

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-175251
(P2013-175251A)

(43) 公開日 平成25年9月5日(2013.9.5)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 4 C	5 B 0 1 5
G 1 1 C 11/419 (2006.01)	G 1 1 C 17/00 6 3 4 B	5 B 1 2 5
	G 1 1 C 11/34 3 1 1	

審査請求 未請求 請求項の数 21 O L (全 31 頁)

(21) 出願番号 特願2012-38511 (P2012-38511)
(22) 出願日 平成24年2月24日 (2012.2.24)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 尾添 英利
神奈川県横浜市神奈川区金港町3番地1
ルネサスマイクロシステム株式会社内
(72) 発明者 頓田 保弘
神奈川県横浜市神奈川区金港町3番地1
ルネサスマイクロシステム株式会社内
(72) 発明者 谷口 一貴
神奈川県横浜市神奈川区金港町3番地1
ルネサスマイクロシステム株式会社内
Fターム(参考) 5B015 HH01 JJ12 KB14 QQ10 QQ11
最終頁に続く

(54) 【発明の名称】 センスアンプ回路及び半導体記憶装置

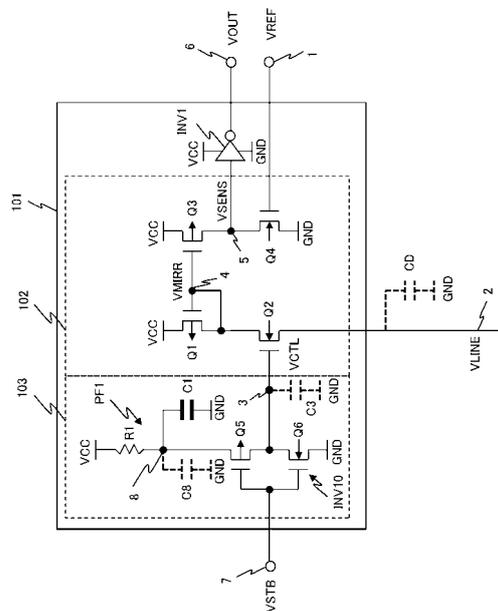
(57) 【要約】

【課題】 センスアンプ回路及び半導体記憶装置の読出し精度を向上する。

【解決手段】

センスアンプ回路101は、電源VCCと、メモリセルまで延在するデータ線2を介した接地GNDとの間に接続されたセンシングトランジスタであるN型FETQ2と、センシングトランジスタのゲートと電源VCCとの間に接続された抵抗素子R1と、センシングトランジスタのゲートと接地GNDとの間に接続された容量素子と、を備えるものである。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 の電源と、メモリセルまで延在するメモリセル接続線を介した第 2 の電源との間に接続されたセンシングトランジスタと、

前記センシングトランジスタの制御端子と前記第 1 の電源との間に接続された抵抗素子と、

前記センシングトランジスタの制御端子と前記第 2 の電源との間に接続された容量素子と、

を備えたセンスアンプ回路。

【請求項 2】

前記センシングトランジスタから前記容量素子を介した前記第 2 の電源までの第 1 の容量は、前記センシングトランジスタから前記メモリセル接続線を介した前記第 2 の電源までの第 2 の容量に等しい容量である、

請求項 1 に記載のセンスアンプ回路。

【請求項 3】

前記センシングトランジスタに流れる電流をミラーするカレントミラー回路を有し、

前記センシングトランジスタから前記容量素子を介した前記第 2 の電源までの第 1 の容量は、前記センシングトランジスタから前記メモリセル接続線を介した前記第 2 の電源までの第 2 の容量と、前記カレントミラー回路の出力側の回路の第 3 の容量とに基づいた容量である、

請求項 1 に記載のセンスアンプ回路。

【請求項 4】

前記第 3 の容量は、前記カレントミラー回路の出力側トランジスタの寄生容量、前記出力側トランジスタから前記センスアンプ回路の出力回路である出力インバータまでの出力配線の全体の寄生容量、前記出力インバータの寄生容量を合計した容量である、

請求項 3 に記載のセンスアンプ回路。

【請求項 5】

前記出力配線は、出力制御トランジスタとの接続を含む経路で前記出力側トランジスタと前記出力インバータとを接続し、

前記出力配線の全体の寄生容量は、前記出力側トランジスタから前記出力インバータまでの配線の寄生容量、前記出力制御トランジスタの寄生容量を合計した容量である、

請求項 4 に記載のセンスアンプ回路。

【請求項 6】

前記第 1 の容量は、前記容量素子の容量、前記センシングトランジスタの寄生容量、前記容量素子から前記センシングトランジスタまで接続する容量配線の全体の寄生容量を合計した容量である、

請求項 2 乃至 5 のいずれか一項に記載のセンスアンプ回路。

【請求項 7】

前記容量配線は、入力制御トランジスタとの接続を含む経路で前記センシングトランジスタと前記容量素子とを接続し、

前記容量配線の全体の寄生容量は、前記センシングトランジスタから前記容量素子までの配線の寄生容量と、前記入力制御トランジスタの寄生容量を合計した容量である、

請求項 6 に記載のセンスアンプ回路。

【請求項 8】

前記第 2 の容量は、前記センシングトランジスタの寄生容量、前記メモリセル接続線の全体の寄生容量、メモリセルの寄生容量を合計した容量である、

請求項 2 乃至 7 のいずれか一項に記載のセンスアンプ回路。

【請求項 9】

前記メモリセル接続線は、メモリセルの列を選択する列選択回路を介して前記センシングトランジスタとメモリセルとを接続し、

10

20

30

40

50

前記メモリセル接続線の全体の寄生容量は、前記センシングトランジスタから前記列選択回路までのデータ線の寄生容量、前記列選択回路の寄生容量、前記列選択回路から前記メモリセルまでのビット線の寄生容量を合成した容量である、

請求項 8 に記載のセンスアンプ回路。

【請求項 10】

前記抵抗素子の抵抗値は、前記第 2 の電源の電位側へ電位変動するノイズの周波数と前記第 1 の容量とに基づいた値である、

請求項 2 乃至 9 のいずれか一項に記載のセンスアンプ回路。

【請求項 11】

前記容量素子は、MOS トランジスタで構成され、

前記容量素子の容量は、前記 MOS トランジスタのゲート容量である、

請求項 1 乃至 10 のいずれか一項に記載のセンスアンプ回路。

10

【請求項 12】

前記容量素子は、前記センスアンプ回路を含む半導体装置において、同一配線層内で離間して平行に延在配置された 2 つの配線により構成され、

前記容量素子の容量は、前記 2 つの配線間の絶縁膜の容量である、

請求項 1 乃至 10 のいずれか一項に記載のセンスアンプ回路。

【請求項 13】

前記容量素子は、前記センスアンプ回路を含む半導体装置において、上層配線層の上層配線と下層配線層の下層配線により構成され、

前記容量素子の容量は、前記上層配線と前記下層配線間の絶縁膜の容量である、

請求項 1 乃至 10 のいずれか一項に記載のセンスアンプ回路。

20

【請求項 14】

第 1 の電源とデータ線との間に直列に接続された第 1 及び第 2 のトランジスタと、

前記第 1 及び第 2 のトランジスタ間の中間ノードを含む経路で接続された出力インバータと、

前記第 2 のトランジスタのゲートと前記第 1 の電源との間に接続された抵抗素子と、

前記第 2 のトランジスタのゲートと第 2 の電源との間に接続された容量素子と、

を備えたセンスアンプ回路。

【請求項 15】

前記第 1 のトランジスタとカレントミラー接続された第 3 のトランジスタと、

前記第 1 の電源と前記第 2 の電源との間に、前記第 3 のトランジスタと直列に接続された第 4 のトランジスタと、を備え、

前記出力インバータは、前記第 3 及び第 4 のトランジスタ間の中間ノードに接続されている、

請求項 14 に記載のセンスアンプ回路。

30

【請求項 16】

前記第 1 の電源と前記第 2 の電源との間に接続され、インバータを構成する第 5 及び第 6 のトランジスタを備え、

前記第 2 のトランジスタのゲートは、前記第 5 及び第 6 のトランジスタの中間ノードに接続され、

直列に接続された前記抵抗素子と前記容量素子の中間ノードは、前記第 5 のトランジスタの前記第 1 の電源側の端子に接続されている、

請求項 14 または 15 に記載のセンスアンプ回路。

40

【請求項 17】

前記第 1 の電源と前記第 2 の電源との間に接続され、インバータを構成する第 5 及び第 6 のトランジスタを備え、

前記第 2 のトランジスタのゲートは、前記第 5 及び第 6 のトランジスタの中間ノードに接続され、

前記抵抗素子は、前記第 1 の電源と前記第 5 のトランジスタの間に接続され、

50

前記容量素子は、一端が前記第 2 のトランジスタのゲートに接続されている、
請求項 1 4 または 1 5 に記載のセンスアンプ回路。

【請求項 1 8】

前記第 1 の電源と前記第 2 の電源との間に接続され、インバータを構成する第 5 及び第 6 のトランジスタを備え、

前記第 2 のトランジスタのゲートは、前記第 5 及び第 6 のトランジスタの中間ノードに接続され、

前記抵抗素子は、前記第 5 及び第 6 のトランジスタの間に接続され、

前記容量素子は、一端が前記第 2 のトランジスタのゲートに接続されている、

請求項 1 4 または 1 5 に記載のセンスアンプ回路。

10

【請求項 1 9】

前記第 2 のトランジスタのゲートに接続され、当該ゲートの充電速度を切り替えるための充電制御トランジスタを備えている、

請求項 1 4 乃至 1 8 のいずれか一項に記載のセンスアンプ回路。

【請求項 2 0】

前記第 2 のトランジスタのゲート、前記第 5 のトランジスタのゲート、前記第 6 のトランジスタのゲートにそれぞれ接続され、前記センスアンプ回路の読出モードを切り替えるためのモード切替回路を備えている、

請求項 1 6 乃至 1 9 のいずれか一項に記載のセンスアンプ回路。

【請求項 2 1】

20

複数のメモリセルが行方向及び列方向にアレイ状に配列されたメモリセルアレイと、
前記列方向に延在し前記複数のメモリセルに接続される複数のビット線と、

前記複数のビット線に接続される複数のセンスアンプ回路と、を備え、

前記複数のセンスアンプ回路の各々は、

第 1 の電源と前記複数のビット線のいずれかとの間に接続されたセンシングトランジスタと、

前記センシングトランジスタの制御端子と前記第 1 の電源との間に接続された抵抗素子と、

前記センシングトランジスタの制御端子と前記第 2 の電源との間に接続された容量素子と、

30

を備えた半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、センスアンプ回路及び半導体記憶装置に関し、例えば、センシングトランジスタを備えたセンスアンプ回路及び半導体記憶装置に好適に利用できるものである。

【背景技術】

【0002】

近年、フラッシュメモリなどのメモリを含む半導体装置であるマイコン製品の用途は、高性能電子機器とは別に低価格電子機器にまで広がっている。この低価格電子機器の市場においては、コストが重要視されるためチップサイズが縮小傾向にある。

40

【0003】

半導体装置のチップサイズが小さくなるに伴い、チップ内部の電源および接地容量も相対的に小さくなる。そうすると、電源および接地電位に発生するノイズに対するノイズ耐性が悪化してしまう。特に、EMS (Electro Magnetic Susceptibility: 電磁感受性) については規格化が推進されているため、ノイズ耐性の向上が必要となっている。

【0004】

このような半導体装置の一例として、従来のセンスアンプ回路を含む半導体記憶装置が、特許文献 1 に記載されている。

【先行技術文献】

50

【特許文献】

【0005】

【特許文献1】特開2009-181599号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

一実施の形態では、半導体装置に使用されている回路の中で、特に、半導体記憶装置におけるセンスアンプ回路がノイズに敏感であることに着目した。

【0007】

すなわち、センスアンプ回路は、メモリセルに流れる電流に応じて信号レベルを判定し記憶データを読み出す。このため、ノイズの影響を受けると、正常に信号レベルを判定することができなくなり、記憶データの"0"と"1"とを誤って誤読出しする恐れがある。

【0008】

したがって、特許文献1のような従来 of センスアンプ回路では、ノイズの影響を受けやすいため、読出し精度が悪いという問題がある。

【0009】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0010】

一実施の形態によれば、センスアンプ回路は、第1の電源と、メモリセルまで延在するメモリセル接続線を介した第2の電源との間に接続されたセンシングトランジスタと、前記センシングトランジスタの制御端子と前記第1の電源との間に接続された抵抗素子と、前記センシングトランジスタの制御端子と前記第2の電源との間に接続された容量素子と、を備えるものである。

【0011】

一実施の形態によれば、センスアンプ回路は、第1の電源とデータ線との間に直列に接続された第1及び第2のトランジスタと、前記第1及び第2のトランジスタ間の中間ノードを含む経路で接続された出力インバータと、前記第2のトランジスタのゲートと前記第1の電源との間に接続された抵抗素子と、前記第2のトランジスタのゲートと第2の電源との間に接続された容量素子と、を備えるものである。

【0012】

一実施の形態によれば、半導体記憶装置は、複数のメモリセルが行方向及び列方向にアレイ状に配列されたメモリセルアレイと、前記列方向に延在し前記複数のメモリセルに接続される複数のビット線と、前記複数のビット線に接続される複数のセンスアンプ回路と、を備え、前記複数のセンスアンプ回路の各々は、第1の電源と前記複数のビット線のいずれかとの間に接続されたセンシングトランジスタと、前記センシングトランジスタの制御端子と前記第1の電源との間に接続された抵抗素子と、前記センシングトランジスタの制御端子と前記第2の電源との間に接続された容量素子と、を備えるものである。

【発明の効果】

【0013】

前記一実施の形態によれば、センスアンプ回路及び半導体記憶装置の読出し精度を向上することができる。

【図面の簡単な説明】

【0014】

【図1】実施の形態1に係るフラッシュメモリのシステム構成を示す構成図である。

【図2】実施の形態1に係るセンスアンプ回路の回路構成を示す回路図である。

【図3】実施の形態1に係るセンスアンプ回路の容量素子の構成を示す図である。

【図4】実施の形態1に係るセンスアンプ回路の容量素子の構成を示す図である。

【図5】実施の形態1に係るセンスアンプ回路の動作を示すタイミングチャートである。

10

20

30

40

50

【図 6】実施の形態 1 に係るセンスアンプ回路の動作を示す波形図である。
 【図 7】実施の形態 2 に係るセンスアンプ回路の回路構成を示す回路図である。
 【図 8】実施の形態 2 に係るセンスアンプ回路の回路構成を示す回路図である。
 【図 9】実施の形態 3 に係るセンスアンプ回路の回路構成を示す回路図である。
 【図 10】実施の形態 3 に係るセンスアンプ回路の動作を示す波形図である。
 【図 11】実施の形態 4 に係るセンスアンプ回路の回路構成を示す回路図である。
 【図 12】実施の形態 4 に係るセンスアンプ回路の動作を示すタイミングチャートである

。【図 13】実施の形態 5 に係るセンスアンプ回路の回路構成を示す回路図である。
 【図 14】実施の形態 5 に係るセンスアンプ回路の動作モードを示す真理値表である。
 【図 15】実施の形態 6 に係るセンスアンプ回路の回路構成を示す回路図である。
 【図 16】実施の形態 6 に係るセンスアンプ回路の動作を示す波形図である。
 【図 17】実施の形態 7 に係るセンスアンプ回路の回路構成を示す回路図である。
 【図 18】参考例のセンスアンプ回路の回路構成を示す回路図である。
 【図 19】参考例のセンスアンプ回路の動作を示す波形図である。
 【図 20】参考例のセンスアンプ回路の動作を示す波形図である。

【発明を実施するための形態】

【0015】

(参考例)

実施の形態を説明する前に、実施の形態を適用する前の参考例について説明する。

【0016】

図 18 は、参考例のセンスアンプ回路 900 の構成を示している。参考例のセンスアンプ回路 900 は、特許文献 1 に記載された回路の出力端子にインバータを接続して構成されている。

【0017】

参考例のセンスアンプ回路 900 は、メモリセル 802 に印加する電圧を制御するセンス回路 901 と、センス回路 901 に基準電圧を供給する基準電圧発生回路 903 とを具備する。

【0018】

センス回路 901 には、信号 STOP 及び信号 STOPB と、モード切り替え信号 HS とが入力される。

【0019】

センス回路 901 は、電流ミラー回路を形成する P 型 FET (電界効果トランジスタ) Q901、Q903、及び N 型 FET Q902 と、ゲートが基準電圧出力端子 809 を介して基準電圧発生回路 903 に接続される N 型 FET Q904 と、電流源を形成する P 型 FET Q910 を備える。又、センス回路 901 は、接点 807 を介してメモリセル 802 に接続される。さらに、接点 808 を介してインバータ INV902 に接続される。

【0020】

基準電圧発生回路 903 は、メモリセル 802 を模した構成のリファレンスセル 804 と、電流ミラー回路を形成する P 型 FET Q905、Q907、及び N 型 FET Q906 と、ゲートが基準電圧出力端子 809 を介してセンス回路 901 に接続される N 型 FET Q908 と、電流源を形成する P 型 FET Q911 と、NOR ゲート NOR902 とを備える。

【0021】

また、参考例のセンスアンプ回路 900 は、信号切り替え回路 902 を備え、N 型 FET Q902 のゲートが接点 909 を介して信号切り替え回路 902 に接続される。

【0022】

信号切り替え回路 902 は、インバータ INV901、2 入力 OR ゲート OR901、2 入力 NOR ゲート NOR901、トランスファゲート CTRS901、CTRS902 を備える。

10

20

30

40

50

【0023】

2入力ORゲートOR901は、信号STOPと信号HSの反転信号の論理和を出力する。2入力NORゲートNOR901は、2入力ORゲートOR901の出力と、接点807の否定論理和を出力する。

【0024】

トランスファゲートCTRS901は、2入力ORゲートOR901の出力と接点909との間の接続を制御する。トランスファゲートCTRS902は、2入力NORゲートNOR902の出力と接点909との間の接続を制御する。

【0025】

参考例のセンスアンプ回路900は、メモリセル802に流れる電流とリファレンスセル804に流れる電流とに基づいて、接点807（ビット線）を介してメモリセル802に記録されたデータを読み取り、インバータINV902を介して出力端子914に出力する。このとき、信号切り替え回路902は、入力される信号HSに応じて、メモリセル802に高速にアクセス可能な高速動作モードと、低消費電力の低速動作モードとを切り替える。

10

【0026】

高速動作モードでは、信号切り替え回路902における2入力NORゲートNOR901（第1帰還制御回路）が、接点807の電圧に応じてN型FETQ902のオンオフを制御し、接点807（メモリセル）の電圧を制御する。したがって、高速動作モードにおいては、メモリセル802に流れる電流量に応じてN型FETQ902の電流量が調整され

20

【0027】

一方、低速動作モードでは、第1帰還制御回路（NOR901）の動作を停止し、基準電圧発生回路903における2入力NORゲートNOR902（第2帰還制御回路）が、N型FETQ902のオンオフを制御して接点807（メモリセル）の電圧を制御する。したがって、低速動作モードにおいては、リファレンスセル804に流れる電流量に応じてN型FETQ902及びQ906の電流量が調整される。

【0028】

参考例のセンスアンプ回路900では、低速動作モードにおいて、メモリセル802に印加する電圧の制御に用いない第1帰還制御回路NOR901は動作しない。このため、低速動作モードにおける第1帰還制御回路NOR901の貫通電流はなくなり、センスアンプ回路900の消費電流は低減される。

30

【0029】

このような参考例のセンスアンプ回路900では、電源VCCおよび接地GNDにマイナスノイズ（マイナス側の電位へ変動するノイズ）が発生した場合、誤読出しになるという問題がある。すなわち、センス回路901は、低速動作モードになると搭載されるマイコンの接地GNDの電位がマイナス側-Vへ変動し、接点（データ線）807の電位が"N型FETのゲート電圧-閾値"より低下してしまう。結果、書込状態のオフしたメモリセル（以降オフセルと称す）の読出しにも関わらず、センス回路901からデータ線807に電流が流れ、消去状態のオンしたメモリセル（以降オンセルと称す）と同じ状態が読み出され、間違ったデータが出力端子914へ出力されてしまう。

40

【0030】

この誤読出しについて、図19及び図20を用いてさらに説明する。

【0031】

図19は、マイナスノイズが発生したときの参考例のセンスアンプ回路900の動作波形を示しており、図20は、図19のT10～T20を拡大した動作波形である。

【0032】

まず、低速動作モードでは、センス回路901のN型FETQ902のゲートが電源VCCの電位となり、接点909の接地GNDへのパスが高インピーダンス状態に設定され

50

ている。

【 0 0 3 3 】

図 1 9 の時間 T 0 では、接地 G N D の電位および接点 8 0 8 の電位は 0 V にあり、データ線 8 0 7 の電位および接点 8 0 8 を受けるインバータ I N V 9 0 2 の閾値は 0 V ~ 電源 V C C の中間電位に、接点 9 0 9 の電位は電源 V C C の電位になっている。例えば、接点 9 0 9 の電位は 3 . 6 V、データ線 8 0 7 の電位は 1 . 8 V、接点 8 0 8 の閾値は 1 . 7 V である。

【 0 0 3 4 】

時間 T 1 0 では、搭載されるマイコン内で接地 G N D にマイナスノイズが発生すると、接点 8 0 8 の電位、データ線 8 0 7 の電位、インバータ I N V 9 0 2 の閾値および接点 9 0 9 の電位は接地 G N D の電位に追従してマイナス側 - V へ電位変動を開始する。

10

【 0 0 3 5 】

図 1 9 における各接点が接地 G N D の電位に追従してマイナス側 - V へ電位変動する動作について、図 2 0 に詳細に示すと、時間 T 1 1 ではセンス回路 9 0 1 の接点 9 0 9 のみがプラス側 + V へ戻り始める。そうすると、データ線 8 0 7 と接点 9 0 9 の電位差が広がるため、N 型 F E T Q 9 0 2 のゲートとソースの電位差である V_{gs} は広がり、N 型 F E T Q 9 0 2 の電流が増加する。増加した電流は、N 型 F E T Q 9 0 2 と直列に接続された P 型 F E T Q 9 0 1 にも流れる。さらに、この増加した電流は、P 型 F E T Q 9 0 1 と電流ミラーを構成している P 型 F E T Q 9 0 3 にも流れるため、接点 8 0 8 の電位が上昇する。例えば、接地 G N D の電位が 0 V から - 1 . 5 V になると、接点 9 0 9 の電位は 3 . 6 V から 2 . 3 V となり、データ線 8 0 7 の電位とインバータ I N V 9 0 2 の閾値は 1 . 8 V から 0 . 2 V となる。そして、接点 8 0 8 の電位は 0 V から - 1 . 5 V となる。

20

【 0 0 3 6 】

図 2 0 の時間 T 1 2 では、接点 8 0 8 の電位はインバータ I N V 9 0 2 の閾値を越える。N 型 F E T Q 9 0 2 のゲートが電源 V C C の電位となる低速動作モードのため、接点 9 0 9 の接地 G N D へのパスが高インピーダンス状態になっている。したがって、接点 8 0 8 の電位がインバータ I N V 9 0 2 の閾値を越えると、オフセル読出し時にオンセルと誤読出してしまうことになる。例えば、接地 G N D の電位が - 1 . 5 V から - 1 . 8 V になり、接点 9 0 9 の電位は 3 . 6 V から一旦、2 . 3 V となってから 2 . 5 V となり、データ線 8 0 7 の電位は 1 . 8 V から 0 V となる。インバータ I N V 9 0 2 の閾値は 1 . 8 V から 0 V となり、接点 8 0 8 の電位は - 1 . 6 V から 0 V となる。そして、接点 8 0 8 の電位はインバータ I N V 9 0 2 の閾値と同電位となる。

30

【 0 0 3 7 】

図 2 0 の時間 T 1 3 では、接点 8 0 8 の電位はピークとなる。接点 8 0 8 の電位はインバータ I N V 9 0 2 の閾値を超えるため、結果、オフセルを読出し時にオンセルとして誤読出しする。例えば、接地 G N D の電位が - 1 . 6 V から - 2 . 0 V になり接点 9 0 9 の電位は 2 . 5 V から 2 . 7 V となると、データ線 8 0 7 の電位とインバータ I N V 9 0 2 の閾値は 0 V 近傍にあるが、接点 8 0 8 の電位は 0 V から 1 . 7 V となり、接点 8 0 8 を入力とするインバータ I N V 9 0 2 の閾値を越えてしまう。

【 0 0 3 8 】

その後、図 1 9 に示すように時間 T 2 0 から時間 T 3 0 にかけて、接点 8 0 8 の電位、データ線 8 0 7 の電位、インバータ I N V 9 0 2 の閾値および接点 9 0 9 の電位も接地 G N D の電位に追従して時間 T 1 0 の状態へ戻り始める。例えば、接地 G N D の電位と接点 8 0 8 の電位は - 2 . 3 V から 0 V へ、接点 9 0 9 の電位は 3 . 4 V から 3 . 6 V へ、データ線 8 0 7 の電位とインバータ I N V 9 0 2 の閾値の電位は 0 V から 1 . 7 V へ戻る。そして、接地 G N D の電位、接点 8 0 8 の電位、データ線 8 0 7 の電位、インバータ I N V 9 0 2 の閾値および接点 9 0 9 の電位は、時間 T 0 と同じ電位の状態となる。

40

【 0 0 3 9 】

以上のように参考例のセンスアンプ回路 9 0 0 では、低速動作モードにおいて、接地 G N D がマイナス側 - V へ変動すると、接点 8 0 8 の電位がインバータ I N V 9 0 2 の閾値

50

を越えることが生じることから、オフセル読出し時にオンセルとして誤読出しするという問題がある。

【0040】

(実施の形態1)

以下、図面を参照して実施の形態1について説明する。図1は、本実施の形態に係るフラッシュメモリのシステム構成を示している。フラッシュメモリ202は、CPU201によって指定されたアドレスのメモリセルに対しデータの読出し/書込みを行う半導体記憶装置である。なお、CPU201とフラッシュメモリ202とは、1チップの半導体装置として構成してもよいし、別々のチップを1パッケージの半導体装置として構成してもよい。

10

【0041】

図1に示すように、本実施の形態のフラッシュメモリ202は、入出力制御回路211、読出回路212、書込回路213、アドレスデコーダ214、列選択回路215、行選択回路216、メモリセルアレイ217、基準電圧発生回路218を備えている。

【0042】

メモリセルアレイ217には、0～xの行アドレス(Xアドレス)に対応する複数のワード線228(WL～WLx)が行方向に延在し、0～yの列アドレス(Yアドレス)及びビット数nに対応する複数のビット線229(BL00～BLyn)が列方向に延在している。メモリセルアレイ217には、複数のワード線228と複数のビット線229とが交差する位置に、複数のメモリセルQM(QM000～QMxyn)がマトリクス状にアレイ配置されている。なお、近年、半導体記憶装置の大容量化に伴い、メモリセルアレイを構成するメモリセル数が増加しているため、ビット線の長さ(図1の距離L1)が長くなる傾向にあり、ビット線229に寄生する寄生容量が増大している。したがって、ビット線229の寄生容量の増大により、センスアンプ回路からメモリセルまでの寄生容量と、センスアンプ内の寄生容量との差が大きくなっており、図20のような誤読出しとなる可能性が高まっている。

20

【0043】

基準電圧発生回路218は、基準電圧VREFを生成し、読出回路212の基準電圧入力端子1へ基準電圧VREFを出力する。

【0044】

CPU201は、読出回路212や書込回路213の動作を制御するための外部制御信号221を出力し、データ入力端子225へ書込みデータを出力し、読出し/書込みを行うメモリセルのアドレスを指定するアドレス信号222をフラッシュメモリ202へ出力する。

30

【0045】

入出力制御回路211は、CPU201から外部制御信号221を受け、内部制御信号223として読出回路212及び書込回路213へ出力する。

【0046】

アドレスデコーダ214は、CPU201からアドレス信号222を受け、アドレス信号222を列アドレスおよび行アドレスにデコードして、列アドレスデコード信号226(YS0～YSy)および行アドレスデコード信号227を出力する。

40

【0047】

行選択回路216は、複数のワード線228(WL～WLx)を介してメモリセルアレイ217のメモリセルと行単位に接続されている。行選択回路216は、行アドレスデコード信号227を受け、行アドレスデコード信号227に対応するワード線228を選択し、メモリセルを行単位に駆動する。

【0048】

列選択回路215は、複数のビット線229(BL00～BLyn)を介してメモリセルアレイ217のメモリセルと列単位に接続され、複数のデータ線2(DL0～DLn)を介して読出回路212の複数のセンスアンプ回路101(SA0～SA n)及び書込回

50

路 2 1 3 に接続されている。列選択回路 2 1 5 は、列アドレスデコード信号 2 2 6 を受け、列アドレスデコード信号 2 2 6 に対応するビット線 2 2 9 を選択する。列選択回路 2 1 5 は、複数のビット線 2 2 9 に対応して複数の N 型 F E T Q S (Q S 0 0 ~ Q S y n) を有している。N 型 F E T Q S は、列アドレスデコード信号 2 2 6 に応じてオンすることでビット線 2 2 9 を選択し、n ビットのビット線 2 2 9 とデータ線 2 とを接続する。

【 0 0 4 9 】

行選択回路 2 1 6 及び列選択回路 2 1 5 により選択されたメモリセル Q M は、読出回路 2 1 2 によりデータが読み出され、または、書込回路 2 1 3 によりデータが書き込まれる。

【 0 0 5 0 】

読出回路 2 1 2 は、内部制御信号 2 2 3 により動作モードが制御され、データ線 2 を介して接続されるメモリセル Q M のデータを読み出し、読出したデータをデータ出力端子 2 2 4 へデータ出力線 D O 0 ~ D O n を介して出力する。読出回路 2 1 2 は、複数のデータ線 2 (D L 0 ~ D L n) に対応して複数のセンスアンプ回路 1 0 1 (S A 0 ~ S A n) を有している。後述するように、センスアンプ回路 1 0 1 は、スタンバイ制御端子 7 に内部制御信号 2 2 3 がスタンバイ制御信号 V S T B として入力され、基準電圧 V R E F が入力され、さらに、メモリセル Q M の電流を検出することで、メモリセル Q M の記憶データを読み出す。

【 0 0 5 1 】

書込回路 2 1 3 は、内部制御信号 2 2 3 により動作モードが制御され、データ入力端子 2 2 5 から書込みデータが入力され、データ線 2 を介して接続されるメモリセル Q M へ書込み電圧を印加することで、メモリセル Q M へデータを書き込む。

【 0 0 5 2 】

図 2 は、本実施の形態に係るセンスアンプ回路 1 0 1 の構成を示している。センスアンプ回路 1 0 1 は、スタンバイ制御信号 V S T B に基づいて動作モードを切り替え、データ線 2 に接続されたメモリセル G M の記憶状態及び基準電圧 V R E F に基づいて、メモリセル G M の読出しデータである出力信号 V O U T を出力する。

【 0 0 5 3 】

図 2 に示すように、センスアンプ回路 1 0 1 は、センス回路 1 0 2 、インバータ I N V 1 、制御回路 1 0 3 を備えている。

【 0 0 5 4 】

センス回路 1 0 2 は、データ線 2 に接続されたメモリセル G M の電流をセンス (検出) し、メモリセル G M の電流及び基準電圧 V R E F に基づいたセンス信号 V S E N S を出力する。

【 0 0 5 5 】

インバータ I N V 1 (出力インバータ) は、センス回路 1 0 2 がセンスしたセンス信号 V S E N S のレベルを閾値 V T H と比較して、メモリセル G M の読出しデータとして出力信号 V O U T を出力する。

【 0 0 5 6 】

制御回路 1 0 3 は、センス回路 1 0 2 の動作モードを制御するセンス制御信号 V C T L を出力する。また、本実施の形態では、センス制御信号 V C T L のフィルタリングも行う。

【 0 0 5 7 】

センス回路 1 0 2 は、電源 V C C とデータ線 2 (データ線信号 V L I N E) との間に直列に接続された P 型 F E T Q 1 及び N 型 F E T Q 2 と、電源 V C C と接地 G N D との間に直列に接続された P 型 F E T Q 3 及び N 型 F E T Q 4 とを備えている。また、P 型 F E T Q 1 と P 型 F E T Q 3 とは、接点 4 (ミラー信号 V M I R R) を介してカレントミラー接続されたカレントミラー回路を構成している。P 型 F E T Q 1 をカレントミラー回路の入力側のトランジスタとし、P 型 F E T Q 3 をカレントミラー回路の出力側のトランジスタとする。

10

20

30

40

50

【 0 0 5 8 】

N型FETQ2は、データ線2に接続されており、データ線2を介してメモリセルGMに流れる電流をセンスするセンシングトランジスタである。図1に示したように、メモリセルGMとセンスアンプ回路101の間は、データ線2及びビット線229を介して接続されている。データ線2及びビット線229を含む、メモリセルGMとセンスアンプ回路101の間を接続する配線をメモリセル接続線という。例えば、図1のL2がメモリ接続線となる。すなわち、N型FETQ2は、センスアンプ回路からメモリセルまで延在するメモリセル接続線を介して接続されている。さらに、メモリセルは接地GNDに接続されているため、N型FETQ2はメモリセル接続線(データ線及びビット線)を介して接地GNDに接続されている。また、N型FETQ2は、制御回路103から供給されるセン

10

【 0 0 5 9 】

P型FETQ1及びP型FETQ3は、N型FETQ2に流れる電流をミラーして接点5(センス回路102の出力端子)へ出力する。N型FETQ4は、基準電圧VREFが制御信号として供給され、接点5の電位(センス信号VSENS)を基準電圧VREFに応じて制御する。

【 0 0 6 0 】

具体的には、P型FETQ1は、ゲートとドレインが接点4に接続され、ソースが電源VCCに接続されている。N型FETQ2は、ゲート(N型FETQ2の制御端子)が接点3に接続され、ドレインがP型FETQ1のドレイン(接点4)に接続され、ソースが

20

【 0 0 6 1 】

P型FETQ3は、ゲートが接点4に接続され、ドレインが接点5に接続され、ソースが電源VCCに接続されている。N型FETQ4は、ゲート(N型FETQ4の制御端子)が基準電圧VREFを入力する基準電圧入力端子1に接続され、ドレインが接点5に接続され、ソースが接地GNDに接続されている。

【 0 0 6 2 】

インバータINV1は、入力が接点5に接続され出力が出力端子6に接続されている。インバータINV1は、CMOSインバータであり、電源VCCと接地GNDとの間に直列に接続されたP型FET及びN型FET(不図示)から構成されている。

30

【 0 0 6 3 】

制御回路103は、インバータINV10(バッファ)とフィルタPF1とを有している。

【 0 0 6 4 】

インバータINV10は、スタンバイ制御信号VSTBが入力され、スタンバイ制御信号VSTBを反転したセンス制御信号VCTLを接点3(N型FETQ2のゲート)へ出力する。インバータINV10は、電源VCCと接地GNDとの間に直列に接続されたP型FETQ5及びN型FETQ6を有している。インバータINV10は、N型FETQ2を制御する入力制御インバータであり、P型FETQ5及びN型FETQ6は、入力制御トランジスタであるともいえる。

40

【 0 0 6 5 】

フィルタPF1は、接点3のセンス制御信号VCTLのノイズをフィルタするハイパスフィルタであり、後述するようにデータ線2の寄生容量に基づいた周波数特性を有する。フィルタPF1は、電源VCCと接地GNDとの間に直列に接続された抵抗素子R1及び容量素子C1を有している。本実施の形態では、抵抗素子R1と容量素子C1間の接点8が、P型FETQ5に接続されている。P型FETQ5がオンの状態では、接点3と接点8が接続された状態となるため、図2の場合でも、接点3と電源VCCの間に抵抗素子R1が接続され、接点3と接地GNDの間に容量素子C1が接続されているといえる。

【 0 0 6 6 】

具体的には、P型FETQ5は、ゲートがスタンバイ制御信号VSTBの入力されるス

50

タンバイ制御端子7及びN型FETQ6のゲートに接続され、ドレインが接点3及びN型FETQ6のドレインに接続され、ソースが接点8に接続されている。N型FETQ6は、ゲートがスタンバイ制御端子7に接続され、ドレインが接点3に接続され、ソースが接地GNDに接続されている。

【0067】

容量素子C1は、接地GNDからのノイズによるデータ線2の電位変動をN型FETQ2のゲートへ同様に伝えるための素子であり、接点8と接地GNDとの間に接続されている。抵抗素子R1は、電源VCCの高周波成分を遮断するための素子であり、電源VCCと接点8との間に接続されている。

【0068】

フィルタPF1の容量素子C1及び抵抗素子R1の設定方法について説明する。本実施の形態では、容量素子C1により、接地GNDからのノイズによるデータ線2の電位変動を同様に伝えるために、容量素子C1を、データ線2の寄生容量CDと同じ容量に設定する。すなわち、N型FETQ2から容量素子C1を介した接地GNDまでの第1の容量を、N型FETQ2からデータ線、ビット線を介した接地GNDまでの第2の容量と等しい容量とする。

【0069】

まず、接点3の寄生容量C3を求める。寄生容量C3は、次の式1に示すような寄生容量の総和である。

寄生容量C3 = N型FETQ2のゲート容量 + 接点3の配線容量 + N型FETQ6ドレイン側接合容量 …… (式1)

【0070】

次に、接点8の寄生容量C8を求める。寄生容量C8は、接点8の配線容量のみである。寄生容量C3と寄生容量C8は、接地GNDからのノイズにより接点3の電位を変動させる。したがって、接地GNDからのノイズによる電位変動をデータ線2と接点8とで等しくさせるには、次の式2が成り立てばよい。

$C_D = C_1 + C_3 + C_8$ …… (式2)

【0071】

式2より、容量素子C1の設定値を次の式3により求める。

$C_1 = C_D - C_3 - C_8$ …… (式3)

【0072】

ここで、データ線2の寄生容量CDは、次の式4に示すような寄生容量の総和である。なお、式4では、メモリセルアレイのメモリセルをQM0とQMxとするが、実際にはQM0～Qmxまで複数のメモリセルが存在するため、それぞれのメモリセルの容量が加算された容量となる。

$C_D = \text{N型FETQ2のソース側接合容量} + \text{データ線2(例えば図1のDL0)の配線容量} + \text{N型FETQS(例えば図1のQS00)のドレイン側接合容量} + \text{N型FETQS(例えば図1のQS00)のソース側接合容量} + \text{ビット線BL(例えば図1のBL00)の配線容量} + \text{メモリセルQM0(例えば図1のQM000)のドレイン側接合容量} + \text{メモリセルQMx(例えば図1のQMx00)のドレイン側接合容量} \dots\dots$ (式4)

【0073】

また、抵抗素子R1は、接地GNDからのノイズと容量素子C1との周波数特性に合わせハイパスフィルタとなるように設定する。ハイパスフィルタの遮断周波数を接地GNDからのノイズの周波数fに合わせ、抵抗素子R1の設定値を次の式5により求める。

$R_1 = 1 / \{ 2 \cdot f \cdot (C_1 + C_3 + C_8) \}$ …… (式5)

【0074】

例えば、容量素子C1は、図3及び図4に示すように形成される。

【0075】

図3(a)及び図3(b)では、容量素子C1をMOSトランジスタ構造により形成し、ゲート容量により容量素子として構成されている。図3(a)は、容量素子C1をNw

10

20

30

40

50

e 1 1 容量により構成する例である。図 3 (a) に示すように、接地 G N D に接続される P 型半導体基板 3 0 1 の主面側に N 型ウェル領域 3 0 2 N が形成される。N 型ウェル領域 3 0 2 N 内の基板表面に、ソース領域及びドレイン領域に相当する長さ L の N + 型活性領域 3 0 3 が並列に 2 つ形成される。N + 型活性領域 3 0 3 間のチャンネル領域に相当する N 型ウェル領域 3 0 2 N 上に、ゲート絶縁膜に相当する膜厚 d の S i O 2 膜 3 0 4 を介して、ゲート電極に相当する幅 W のポリシリコン膜 3 0 5 が形成されている。そして、このポリシリコン膜 3 0 5 に接点 8 が接続され、N + 型活性領域 3 0 3 が接地 G N D に接続されて、図 2 の容量素子 C 1 が形成される。

【 0 0 7 6 】

図 3 (a) の N w e l l 容量の容量は、次の式 6 となる。

$$C = \epsilon \cdot r \cdot S / d \quad \dots (式 6)$$

なお、式 6 において、 ϵ は誘電率、 r は S i O 2 の比誘電率、 S は面積 ($S = W \cdot L$)、 d は S i O 2 の膜厚を示している。

【 0 0 7 7 】

図 3 (b) は、容量素子 C 1 を M O S 容量により構成する例である。図 3 (b) に示すように、接地 G N D に接続される P 型半導体基板 3 0 1 の主面側に P 型ウェル領域 3 0 2 P が形成される。P 型ウェル領域 3 0 2 P 内の基板表面に、ソース領域及びドレイン領域に相当する長さ L の N + 型活性領域 3 0 3 が並列に 2 つ形成される。N + 型活性領域 3 0 3 間のチャンネル領域に相当する P 型ウェル領域 3 0 2 P 上に、ゲート絶縁膜に相当する膜厚 d の S i O 2 膜 3 0 4 を介して、ゲート電極に相当する幅 W のポリシリコン膜 3 0 5 が形成されている。そして、このポリシリコン膜 3 0 5 に接点 8 が接続され、N + 型活性領域 3 0 3 が接地 G N D に接続されて、図 2 の容量素子 C 1 が形成される。なお、図 3 (b) の M O S 容量の容量は、図 3 (a) と同じ式 6 となる。

【 0 0 7 8 】

図 4 (a) は、容量素子 C 1 を平行平板メタル容量により構成する例である。図 4 (a) に示すように、半導体装置に積層形成される複数の配線層のうち、同一の配線層に、配線 3 1 1 が長さ L 及び幅 W となるように形成されている。

配線 3 1 2 が、配線 3 1 1 と間隔 d 離れて並列に形成されている。配線 3 1 1 と配線 3 1 2 の間に層間絶縁膜である S i O 2 膜 3 1 3 が形成されている。そして、配線 3 1 1 に接点 8 が接続され、配線 3 1 2 が接地 G N D に接続されて、図 2 の容量素子 C 1 が形成される。なお、図 4 (a) の平行平板メタル容量の容量は、図 3 (a) と同じ式 6 となる。

【 0 0 7 9 】

図 4 (b) は、容量素子 C 1 を上下層間メタル容量により構成する例である。図 4 (b) に示すように、半導体装置に積層形成される複数の配線層のうち、下層配線層の配線 (下層配線) 3 1 1 が長さ L 及び幅 W となるように形成されている。下層配線層より一層上の上層配線層に、配線 (上層) 3 1 2 が配線 3 1 1 と間隔 d 離れて並列に形成されている。配線 3 1 1 と配線 3 1 2 の間に層間絶縁膜である S i O 2 膜 3 1 3 が形成されている。そして、配線 3 1 1 が接点 8 に接続され、配線 3 1 2 が接地 G N D に接続されて、図 2 の容量素子 C 1 が形成される。なお、図 4 (b) の上下層メタル容量の容量は、図 3 (a) と同じ式 6 となる。

【 0 0 8 0 】

図 5 は、本実施の形態に係るセンスアンプ回路 1 0 1 の動作を示すタイミングチャートである。時間 T m 0 ~ T m 1 では、スタンバイ状態における各信号を示し、時間 T m 1 ~ T m 2 では、読出モード状態でオフセルを読み出す場合の各信号を示し、時間 T m 2 ~ T m 3 では、読出モード状態でオフセルを読み出す場合の各信号を示している。

【 0 0 8 1 】

まず、時間 T m 0 では、スタンバイ状態とするため、スタンバイ制御信号 V S T B、基準電圧 V R E F にハイレベルが入力される。すなわち、スタンバイ制御端子 7 の電位及び基準電圧入力端子 1 の電位は電源 V C C の電位となる (S 1 0 1 , S 1 0 2) 。

【 0 0 8 2 】

10

20

30

40

50

インバータINV10によりスタンバイ制御信号VSTBが反転されてセンス制御信号VCTLとなるため、センスアンプ回路101の接点3の電位は電源VCCの反転である0Vとなる(S103)。

【0083】

センスアンプ回路101のN型FETQ2のゲートに供給されるセンス制御信号VCTLが0Vであることから、N型FETQ2はオフとなり、データ線2が電源VCCから切り離される。このため、データ線2の電位(VLINE)は0Vとなる(S104)。

【0084】

また、N型FETQ2のゲートが0Vであることから電源VCCからデータ線2への電流パスがなくなるため、センスアンプ回路101の接点4の電位(VMIRR)は、電源VCCの電位となる(S105)。

10

【0085】

そうすると、ミラー信号VMIRRによりP型FETQ3のゲートが電源VCCの電位であることからP型FETQ3はオフする。さらに、基準電圧VREFによりN型FETQ4のゲートが電源VCCの電位であることからN型FETQ4はオフである。したがって、センスアンプ回路101の接点5の電位(VSENS)は0Vとなる(S106)。

【0086】

さらに、インバータINV1によりセンス信号VSENSが反転されて出力信号VOUTとなるため、出力端子6の電位は0Vの反転で電源VCCの電位となる(S107)。このようにして、読出回路212(センスアンプ回路101)がスタンバイ状態となる。

20

【0087】

次に、時間Tm1では、読出モード状態とするため、スタンバイ制御信号VSTBにローレベルが入力され、基準電圧VREFに中間レベルが入力される。すなわち、スタンバイ制御端子7の電位が電源VCCの電位から0Vとなり、基準電圧入力端子1の電位が電源VCCの電位から0V～電源VCCの中間電位となる(S111、S112)。

【0088】

インバータINV10によりスタンバイ制御信号VSTBが反転されてセンス制御信号VCTLとなるため、接点3の電位は0Vの反転であり、0Vから電源VCCの電位となる(S113)。

【0089】

センスアンプ回路101のN型FETQ2のゲートに供給されるセンス制御信号VCTLが0Vから電源VCCとなるため、N型FETQ2が導通を開始し、データ線2と電源VCCが接続されてメモリセルQMを読み出し可能な状態となる。時間Tm1ではオフセルを選択して読み出すため、データ線2の電位(VLINE)は"電源VCC電位 - N型FETQ2の閾値"以上の電位となる(S114)。

30

【0090】

また、N型FETQ2のゲートが電源VCCの電位であることから電源VCCからデータ線2への電流パスが発生するため、接点4の電位(VMIRR)は、"電源VCC電位 - P型FETQ1の閾値"以上の電位となる(S115)。

【0091】

そうすると、ミラー信号VMIRRによりP型FETQ3が導通を開始し、さらに、基準電圧VREFによりN型FETQ4も導通を開始する。このため、P型FETQ3とN型FETQ4のレシオ状態となる。このとき、P型FETQ3のゲートが"電源VCC電位 - P型FETQ1の閾値"以上の電位のため、接点5の電位(VSENS)は、0V～電源VCCの電位の間でインバータINV1の閾値以下の電位となる(S116)。

40

【0092】

さらに、インバータINV1によりセンス信号VSENSが反転されて出力信号VOUTとなるため、出力端子6の電位は、インバータINV1の閾値以下の電位を反転増幅した電源VCCの電位となる(S117)。このようにして、読出回路212(センスアンプ回路101)がオフセルの読出モード状態となる。

50

【0093】

次に、時間 T_{m2} では、読出モード状態であるため、 $S_{111} \sim S_{113}$ と同様に、スタンバイ制御端子 7 の電位は $0V$ 、基準電圧入力端子 1 の電位は中間電位、接点 3 の電位は電源 V_{CC} となり ($S_{121} \sim S_{123}$)、 N 型 $FETQ_2$ がデータ線 2 と電源 V_{CC} を接続してメモリセル QM を読出し可能な状態となる。

【0094】

そして、時間 T_{m2} ではオンセルを選択して読み出すため、データ線 2 の電位 (V_{LINE}) は "電源 V_{CC} 電位 - N 型 $FETQ_2$ 閾値" 以下の電位となる (S_{124})。

【0095】

また、 N 型 $FETQ_2$ により電源 V_{CC} からデータ線 2 への電流パスが発生しているため、接点 4 の電位 (V_{MIRR}) は、"電源 V_{CC} 電位 - P 型 $FETQ_1$ の閾値" 以下の電位となる (S_{125})。

10

【0096】

そうすると、 P 型 $FETQ_3$ と N 型 $FETQ_4$ のレシオ状態であり、 P 型 $FETQ_3$ のゲートが "電源 V_{CC} 電位 - P 型 $FETQ_1$ 閾値" 以下の電位のため、接点 5 の電位 (V_{SENS}) は、 $0V \sim$ 電源 V_{CC} の電位の間でインバータ INV_1 の閾値以上の電位となる (S_{126})。

【0097】

さらに、インバータ INV_1 によって、出力端子 6 の電位 (V_{OUT}) は、接点 5 を反転増幅した $0V$ となる (S_{127})。このようにして、読出回路 212 (センスアンプ回路 101) がオンセルの読出モード状態となる。

20

【0098】

図 6 は、本実施の形態に係るセンスアンプ回路 101 における、マイナスノイズを受けたときの動作波形を示している。図 6 は、図 20 と同様に、マイナスノイズが発生したときの $T_{10} \sim T_{20}$ の各信号を示している。

【0099】

まず、センスアンプ回路 101 がオフセルの読出モード状態であるとする、時間 T_{10} では、接地 GND の電位および接点 5 の電位 (V_{SENS}) は $0V$ であり、データ線 2 の電位 (V_{LINE}) およびインバータ INV_1 の閾値 (V_{TH}) は $0V \sim$ 電源 V_{CC} の中間電位であり、接点 3 の電位 (V_{CTL}) は電源 V_{CC} の電位である。例えば、接点 3 の電位は $3.6V$ 、データ線 2 の電位は $1.8V$ 、インバータ INV_1 の閾値は $1.7V$ である。

30

【0100】

次に、時間 T_{10} から時間 T_{11} では、フラッシュメモリ 202 が搭載されるマイコン (半導体装置) 内で接地 GND にマイナスノイズが発生すると、データ線 2 の電位 (V_{LINE})、接点 3 の電位 (V_{CTL})、接点 5 の電位 (V_{SENS}) およびインバータ INV_1 の閾値 (V_{TH}) は、接地 GND の電位に追従してマイナス側 - V へ電位変動を開始する。

【0101】

次に、時間 T_{11} になると、データ線 2 の電位 (V_{LINE})、接点 3 の電位 (V_{CTL})、接点 5 の電位 (V_{SENS}) およびインバータ INV_1 の閾値 (V_{TH}) は、接地 GND の電位に追従する。例えば、接地 GND の電位は $0V$ から $-1.6V$ となると、接点 3 の電位は $3.6V$ から $2.1V$ へ、データ線 2 の電位は $1.8V$ から $0.2V$ へ、インバータ INV_1 の閾値は $1.7V$ から $0.2V$ へ、接点 5 の電位は $0V$ から $-1.6V$ となり、インバータ INV_1 の閾値と接点 5 の電位差は $1.8V$ が保たれる。

40

【0102】

本実施の形態では、容量素子 C_1 を接点 8 に接続し、マイナスノイズの発生時の影響がデータ線 2 と接点 3 とで同等となるように容量素子 C_1 を設定したため、接点 5 の電位が、インバータ INV_1 の閾値を超えることがない。

【0103】

50

したがって、時間 T_{11} 以降においてもデータ線 2 の電位 (V_{LINE})、接点 3 の電位 (V_{CTL})、接点 5 の電位 (V_{SENS}) およびインバータ INV_1 の閾値 (V_{TH}) は接地 GND の電位に追従し、時間 T_{20} まで追従し続ける。

【0104】

さらに、時間 T_{20} の電位を示すと、例えば、接地 GND の電位は $-1.6V$ から $-2.4V$ となると、接点 3 の電位は $2.1V$ から $1.6V$ へ、データ線 2 の電位は $-0.4V$ へ、インバータ INV_1 の閾値は $0.2V$ から $0V$ へ、接点 5 の電位は $-1.6V$ から $-2.4V$ となり、インバータ INV_1 の閾値と接点 5 の電位差は $2.4V$ が保たれる。

【0105】

このように、本実施の形態のセンスアンプ回路 101 は、読出モードになると搭載されるマイコンの接地 GND の電位がマイナス側 $-V$ へ変動したとしても、データ線 2 の電位が " N 型 FET のゲート電圧 - 閾値 " より低下することはない。よって、オフセルの読出しにおいて、間違ったデータが出力端子 6 へ出力されることはなくなる。

10

【0106】

その理由は、容量素子 C_1 を接点 8 に接続し上記のような容量に設定したことにより、図 6 に示すように時間 T_{11} 以降においても、データ線 2 と接点 3 の電位差は一定のため N 型 FET Q_2 のゲートとソースの電位差である V_{gs} も一定のため電流は変化しない。 N 型 FET Q_2 と直列接続された P 型 FET Q_1 も電流変化はなく、 P 型 FET Q_1 と電流ミラーを構成している P 型 FET Q_3 も電流変化はない。したがって、接点 5 の電位は接地 GND の電位に追従するのみでインバータ INV_1 の閾値を越えることはないため、

20

【0107】

以上のように本実施の形態では、接地 GND からのノイズによるデータ線の電位変動をセンシングトランジスタのゲートに同様に伝える容量素子 C_1 と、バッファ (INV_{10}) の電源インピーダンスを高める抵抗素子 R_1 とを有するようにした。

【0108】

これにより、接地 GND からのノイズによりデータ線の電位が押し下げられると、センシングトランジスタのソースの電位は下がるが、同時に容量素子 C_1 によりセンシングトランジスタのゲートの電位も下がる。このため、センシングトランジスタのゲートとソースの電位差である V_{gs} は一定となり電流も一定状態と動作することにより、オフセル読出し時に電流が増加することなくオンセルと誤読出しされることを回避することが可能となる。したがって、センスアンプ回路の読出し精度を向上することができる。

30

【0109】

(実施の形態 2)

以下、図面を参照して実施の形態 2 について説明する。本実施の形態は、実施の形態 1 のセンスアンプ回路に対し、抵抗素子 R_1 と容量素子 C_1 の接続位置を変更した例である。なお、その他の構成については、実施の形態 1 と同様である。また、本実施の形態の構成を、その他の実施の形態に適用することも可能である。

【0110】

図 7 及び図 8 は、本実施の形態に係るセンスアンプ回路の構成を示している。図 7 の例では、図 2 のセンスアンプ回路に対し、容量素子 C_1 の接続位置を変更している。すなわち、図 2 のセンスアンプ回路では、容量素子 C_1 は、一端が接点 8 に接続され、他端が接地 GND に接続されていた。本実施の形態では、図 7 に示すように、容量素子 C_1 は、一端が接点 3 に接続され、他端が接地 GND に接続されている。この場合、 P 型 FET Q_5 を介して、抵抗素子 R_1 と容量素子 C_1 とが直列接続されてフィルタ PF_1 を構成する。また、容量素子 C_1 及び抵抗素子 R_1 の設定値について、実施の形態 1 では寄生容量 C_8 を含めて計算していたが (式 3、式 5)、図 7 の例では、寄生容量 C_8 を含めずに計算してもよい。

40

【0111】

また、図 8 の例では、図 2 のセンスアンプ回路に対し、抵抗素子 R_1 及び容量素子 C_1

50

の位置を変更している。すなわち、図2のセンスアンプ回路では、抵抗素子R1は、一端が電源VCCに接続され、他端が接点8に接続され、容量素子C1は、一端が接点8に接続され、他端が接地GNDに接続されていた。本実施の形態では、図8に示すように、P型FETQ5のソースを電源VCCに接続し、抵抗素子R1は、一端がP型FETQ5のドレインに接続され、他端が接点3（N型FETQ6のドレイン）に接続されている。また、容量素子C1は、一端が接点3に接続され、他端が接地GNDに接続されている。この場合、接点3を介して、抵抗素子R1と容量素子C1とが直列接続されてフィルタPF1を構成する。図8の場合も、図7と同様に、容量素子C1及び抵抗素子R1の設定値について、寄生容量C8を考慮する必要がない。

【0112】

このように、実施の形態1における容量素子C1及び抵抗素子R1の接続位置を変更した場合でも、実施の形態1と同様の効果を得ることができる。すなわち、少なくとも、接点3よりも接地GND側に容量素子を接続し、接点3よりも電源VCC側に抵抗素子R1を接続する構成であればよい。そして、容量素子C1の容量を寄生容量CDに基づいて設定することで、ノイズの発生による誤読出しを防止することができる。

【0113】

（実施の形態3）

以下、図面を参照して実施の形態3について説明する。本実施の形態は、実施の形態1のセンスアンプ回路に対し、容量素子C1及び抵抗素子R1の設定値の計算を変更した例である。なお、その他の構成については、実施の形態1と同様である。また、本実施の形態の設定値を、その他の実施の形態に適用することも可能である。

【0114】

図9は、本実施の形態に係るセンスアンプ回路の構成を示している。図8に示すセンスアンプ回路101は、実施の形態1の図2と同様の素子及び接続関係で構成されている。実施の形態1のセンスアンプ回路101に対して、実施の形態3のセンスアンプ回路101は、接点5と接地GNDとの間に寄生する寄生容量CLを考慮する。すなわち、N型FETQ2から容量素子C1を介した接地GNDまでの第1の容量を、N型FETQ2からデータ線、ビット線を介した接地GNDまでの第2の容量と、センス回路102の出力段に寄生する第3の容量とに基づいた容量とする。本実施の形態では、接地GNDからのノイズによるデータ線2の電位変動を、インバータINV1の閾値を超えない程度、少なくとも誤読出しとならない程度の容量を容量素子C1に設定する。具体的には、以下のように容量素子C1及び抵抗素子R1を設定する。

【0115】

まず、寄生容量CLを求める。寄生容量CLは、次の式11に示すような寄生容量の総和である。

寄生容量CL = P型FETQ3のドレイン側接合容量 + N型FETQ4のドレイン側接合容量 + インバータINV1の入力容量 + 接点5の配線容量 …… (式11)

【0116】

オフセル読出し時にオンセルと誤読出ししないための条件は、接点5の電位がインバータINV1の閾値を越えないことである。接点5がノイズを受けていない安定状態での電位をV5とし、インバータINV1の閾値(VTH)をVINV1とすると、接点5に許容される電位変動量V5は、次の式12となる。

$$V5 = VINV1 - V5 \quad \dots (式12)$$

【0117】

P型FETQ3に許容される電流増加分をIQ3とすると、この電流増加分IQ3は、寄生容量CLと接地GNDからのノイズ発生期間Tより、次の式13となる。

$$IQ3 = V5 \cdot CL / T \quad \dots (式13)$$

【0118】

P型FETQ1の電流をIQ1とし、P型FETQ3の電流をIQ3とし、電流ミラーを構成しているP型FETQ1とP型FETQ3のミラー比をMとすると、このミラー比

10

20

30

40

50

Mは、次の式14となる。

$$M = I_{Q3} / I_{Q1} \quad \dots \text{(式14)}$$

【0119】

P型FETQ1に許容される電流増加分を I_{Q1} とすると、この電流増加分 I_{Q1} は、式14より次の式15となる。

$$I_{Q1} = I_{Q3} / M \quad \dots \text{(式15)}$$

【0120】

P型FETQ1とN型FETQ2は直列接続のため、N型FETQ2に許容される電流増加分を I_{Q2} とすると、この電流増加分 I_{Q2} は、次の式16となる。

$$I_{Q2} = I_{Q1} \quad \dots \text{(式16)}$$

10

【0121】

データ線2がノイズを受けていない安定状態での電位を V_2 とし、接点3がノイズを受けていない安定状態での電位を V_3 とすると、N型FETQ2の電流 I_{Q2} はショックレーの式より、次の式17が成り立つ。なお、" \wedge "はべき乗を示している。

$$I_{Q2} = 1/2 \cdot \left((V_3 - V_2) - V_t \right)^2 \quad \dots \text{(式17)}$$

【0122】

接地GNDからのノイズによるデータ線2の電位変動量を V_2 とし、接点3に許容される電位変動量を V_3 とすると、N型FETQ2に許容される電流 I_{Q2d} はショックレーの式より、次の式18が成り立つ。

$$I_{Q2d} = 1/2 \cdot \left((V_3 + V_3) - (V_2 + V_2) - V_t \right)^2 \quad \dots \text{(式18)}$$

20

【0123】

N型FETQ2に許容される電流増加分 I_{Q2} は、次の式19となる。

$$I_{Q2} = I_{Q2d} - I_{Q2} \quad \dots \text{(式19)}$$

【0124】

上記式17と式18を式19に代入し、 V_3 の式にすると、次の式20となる。

$$V_3 = - (V_3 - V_2 - V_t) + \left((V_3 - V_2 - V_t)^2 + 2 \cdot I_{Q2} / \right) + V_2 \quad \dots \text{(式20)}$$

【0125】

容量素子 C_1 、接点3の寄生容量 C_3 および接点8の寄生容量 C_8 とデータ線2の寄生容量 C_D の容量比と、接点3の電位変動量 V_3 とデータ線2の電位変動量 V_2 の電位変動量比の関係は、次の式21である。

$$(C_1 + C_3 + C_8) / C_D = V_3 / V_2 \quad \dots \text{(式21)}$$

30

【0126】

式21を C_1 の式にすると次の式22となる。

$$C_1 = C_D \cdot V_3 / V_2 - C_3 - C_8 \quad \dots \text{(式22)}$$

【0127】

以上の式より、式22に式20を代入して、次の式23により容量素子 C_1 を求めることができる。

$$C_1 = C_D \cdot \left(- (V_3 - V_2 - V_t) + \left((V_3 - V_2 - V_t)^2 + 2 \cdot ((V_{INV1} - V_5) \cdot C_L / T) / (I_{Q3} / I_{Q1}) / \right) + V_2 \right) / V_2 - C_3 - C_8 \quad \dots \text{式(23)}$$

40

【0128】

また、抵抗素子 R_1 は、容量素子 C_1 の設定値から実施の形態1と同様に、次の式24により求めることができる。

$$R_1 = 1 / \{ 2 \cdot f \cdot (C_1 + C_3 + C_8) \} \quad \dots \text{(式24)}$$

【0129】

図10は、本実施の形態に係るセンスアップ回路における、マイナスノイズを受けたときの動作波形を示している。図10は、図20、図6と同様に、マイナスノイズが発生したときの $T_{10} \sim T_{20}$ の各信号を示している。

50

【 0 1 3 0 】

まず、センスアンプ回路 1 0 1 がオフセルの読出モード状態であるとする、時間 T 1 0 では、接地 G N D の電位および接点 5 の電位 (V S E N S) は 0 V であり、データ線 2 の電位 (V L I N E) およびインバータ I N V 1 の閾値 (V T H) は 0 V ~ 電源 V C C の中間電位であり、接点 3 の電位 (V C T L) は電源 V C C の電位である。例えば、接点 3 の電位は 3 . 6 V、データ線 2 の電位は 1 . 8 V、インバータ I N V 1 の閾値は 1 . 7 V である (図 9 の例では、データ線 2 の電位は約 1 . 3 V)。

【 0 1 3 1 】

次に、時間 T 1 0 から時間 T 1 1 では、フラッシュメモリ 2 0 2 が搭載されるマイコン (半導体装置) 内で接地 G N D にマイナスノイズが発生すると、データ線 2 の電位 (V L I N E)、接点 3 の電位 (V C T L)、接点 5 の電位 (V S E N S) およびインバータ I N V 1 の閾値 (V T H) は、接地 G N D の電位に追従してマイナス側 - V へ電位変動を開始する。例えば、接地 G N D の電位が 0 V から - 1 . 5 V になると、接点 3 の電位は 3 . 6 V から 2 . 3 V となり、データ線 2 の電位とインバータ I N V 1 の閾値は 1 . 8 V から 0 . 2 V となる (図 9 の例では、データ線 2 の電位は約 - 0 . 2 V)。そして、接点 5 の電位は 0 V から - 1 . 5 V となる。

【 0 1 3 2 】

次に、時間 T 1 1 では、接点 3 の電位 (V C T L) のみがプラス側 + V へ戻り始め、データ線 2 と接点 3 の電位差が広がるため、N 型 F E T Q 2 のゲートとソースの電位差である V_{gs} は広がり、N 型 F E T Q 2 の電流が増加する。増加した電流は N 型 F E T Q 2 と直列に接続された P 型 F E T Q 1 にも流れるため、P 型 F E T Q 1 と電流ミラーを構成している P 型 F E T Q 3 の電流も増加することから、接点 5 の電位 (V S E N S) が上昇する。

【 0 1 3 3 】

次に、時間 T 1 3 では、接点 5 の電位 (V S E N S) はピークとなる。接点 5 の電位 (V S E N S) がピークの状態でもインバータ I N V 1 の閾値 (V T H) を越えない。本実施の形態では、容量素子 C 1 を接点 8 に接続し、容量素子 C 1 の容量を寄生容量 C D に加えて、寄生容量 C L に基づいて設定したため、接点 5 の電位が、インバータ I N V 1 の閾値を超えることがない。例えば、接地 G N D の電位が - 1 . 6 V から - 2 . 0 V になり、接点 3 の電位は 2 . 5 V から 2 . 7 V となると、データ線 2 の電位とインバータ I N V 1 の閾値は 0 V 近傍にあるが (図 9 の例では、データ線 2 の電位は約 - 0 . 5 V)、接点 5 の電位は 0 V から - 1 . 0 V となり、インバータ I N V 1 の閾値を越えることはない。

【 0 1 3 4 】

このように、本実施の形態のセンスアンプ回路 1 0 1 は、読出モードになると搭載されるマイコンの接地 G N D の電位がマイナス側 - V へ変動し、データ線 2 の電位が "N 型 F E T のゲート電圧 - 閾値" より低下してしまうが、一定量の低下に押さえ込まれる。よって、オフセルの読出しにおいて、間違ったデータが出力端子 6 へ出力されることはなくなる。

【 0 1 3 5 】

その理由は、容量素子 C 1 を接点 8 に接続し上記のような容量に設定したことにより、図 1 0 に示すように時間 T 1 3 において、データ線 2 と接点 3 の電位差は一定量広がり、N 型 F E T Q 2 のゲートとソースの電位差である V_{gs} も一定量広がり電流が一定量増加する。N 型 F E T Q 2 と直列接続された P 型 F E T Q 1 も電流が一定量増加し、P 型 F E T Q 1 と電流ミラーを構成している P 型 F E T Q 3 も電流が一定量増加し、接点 5 の電位は上昇するが一定量に押さえ込まれているためインバータ I N V 1 の閾値を越えることはなく、オフセルを読出し時にオンセルと誤読出しされることはない。

【 0 1 3 6 】

以上のように本実施の形態では、実施の形態 1 と同様の回路構成において、さらに寄生容量 C L を考慮して、容量素子 C 1 の容量を設定するようにした。これにより、実施の形態 1 と同様に、ノイズの発生による誤読出しを防止することができるとともに、容量素子

10

20

30

40

50

C 1の面積を抑制することが可能となる。

【0137】

(実施の形態4)

以下、図面を参照して実施の形態4について説明する。本実施の形態は、実施の形態1のセンスアンプ回路に対し、N型FETQ2(センシングトランジスタ)の急速充電機能を追加した例である。なお、その他の構成については、実施の形態1と同様である。また、本実施の形態の構成を、その他の実施の形態に適用することも可能である。

【0138】

図11は、本実施の形態に係るセンスアンプ回路の構成を示している。図11に示すセンスアンプ回路101は、実施の形態1の図2のセンスアンプ回路101に対して、P型FETQ7が追加されている。P型FETQ7は、N型FETQ2のゲートへの急速充電を制御するためのトランジスタである。P型FETQ7は、ソースが電源VCCに接続され、ゲートが急速充電制御信号VFAS Tの入力される急速充電制御端子9に接続され、ドレインが接点3に接続されている。

10

【0139】

図12は、本実施の形態に係るセンスアンプ回路のタイミングチャートである。時間Ts0~Tm1では、スタンバイ状態における各信号を示し、時間Ts1~Ts2では、セットアップ状態で読み出す場合の各信号を示し、時間Ts2~Ts3では、通常の読みモード状態で読み出す場合の各信号を示している。

20

【0140】

まず、時間Ts0では、スタンバイ状態とするため、スタンバイ制御信号VSTB、急速充電制御信号VFAS Tにハイレベルが入力される。すなわち、スタンバイ制御端子7の電位および急速充電制御端子9の電位は電源VCCの電位となる(S201、S202)。

【0141】

インバータINV10によりスタンバイ制御信号VSTBが反転されてセンス制御信号VCTLとなる。また、急速充電制御信号VFAS TによりP型FETQ7はオフである。このため、接点3の電位は電源VCCの反転である0Vとなる(S203)。このようにして、センスアンプ回路101はスタンバイ状態となる。

30

【0142】

次に、時間Ts1で急速充電無の場合は、スタンバイ制御信号VSTBにローレベル、急速充電制御信号VFAS Tにハイレベルが入力される(S211、S212a)。すなわち、急速充電制御信号VFAS TによりP型FETQ7はオフのままである。スタンバイ制御端子7の電位が電源VCCの電位から0Vになると、接点3の電位(VCTL)は、抵抗素子R1およびP型FETQ5を介して0Vから電源VCCの電位に充電される(S213a)。これにより、N型FETQ2はメモリセルの読出しが可能となり、センスアンプ回路101はセットアップ状態となる。この場合、接点3の充電速度は抵抗素子R1およびP型FETQ5の電流によってリミットされるため、接点3の電位は緩やかに上昇する。

40

【0143】

一方、時間Ts1で急速充電有の場合は、スタンバイ制御信号VSTBにローレベル、急速充電制御信号VFAS Tにローレベルが入力される(S211、S212b)。すなわち、急速充電制御信号VFAS TによりP型FETQ7はオンとなる。スタンバイ制御端子7の電位および急速充電制御端子9の電位が電源VCCの電位から0Vになると、接点3の電位(VCTL)は、抵抗素子R1およびP型FETQ5を介した電流パスと、電源VCCからP型FETQ7を介した電流パスとを介して0Vから電源VCCの電位に充電される(S213b)。これにより、N型FETQ2はメモリセルの読出しが可能となり、センスアンプ回路101はセットアップ状態となる。この場合、接点3の充電速度は抵抗素子R1およびP型FETQ5の電流またはP型FETQ7の電流の大きい方によってリミットされる。したがって、P型FETQ7の電流の設定によって、接点3(N型F

50

E T Q 2 のゲート) の電位が急峻に上昇するように急速充電することができる。

【0144】

次に、時間 T_{s2} では、急速充電制御信号 V F A S T にハイレベルが入力され、急速充電制御端子 9 の電位が 0 V から電源 V C C の電位になると (S 2 2 1)、読出モード状態となる。読出モード状態では、実施の形態 1 の図 5 と同様の動作となる。

【0145】

以上のように、セットアップ状態において急速充電無の場合は、抵抗素子 R 1 がハイパスフィルタとして設定されているため充電速度は制限されてしまう。しかし、セットアップ状態において急速充電有の場合は、P型 F E T Q 7 を自由に設定できるため充電速度を制御することが可能となる。すなわち、急速充電有の場合は、" P 型 F E T Q 7 の電流 > 抵抗素子 R 1 の電流 " に設定することで接点 3 を急速充電することが可能となる。

【0146】

(実施の形態 5)

以下、図面を参照して実施の形態 5 について説明する。本実施の形態は、実施の形態 1 のセンスアンプ回路に対し、低速読出モード / 高速読出モードを切り替える機能を追加した例である。なお、その他の構成については、実施の形態 1 と同様である。また、本実施の形態の構成を、その他の実施の形態に適用することも可能である。

【0147】

図 1 3 は、本実施の形態に係るセンスアンプ回路の構成を示している。図 1 3 のセンスアンプ回路 1 0 1 では、図 2 のセンスアンプ回路 1 0 1 に対して、モード切替回路 1 0 4 が追加されている。

【0148】

モード切替回路 1 0 4 は、スタンバイ制御信号 V S T B 及びモード切替制御信号 V M O D E に応じて、センスアンプ回路 1 0 1 の動作モードをスタンバイモード / 低速読出モード / 高速読出モードに切り替える回路である。図 1 3 に示すように、モード切替回路 1 0 4 は、インバータ I N V 2、インバータ I N V 3、NANDゲート N A N D 1、NORゲート N O R 1、クロックドインバータ C I N V を有している。

【0149】

インバータ I N V 2 は、入力がスタンバイ制御信号 V S T B の入力されるスタンバイ制御端子 7 に接続され、出力が接点 1 1 (N A N D ゲート N A N D 1 の一方の入力端) に接続されている。インバータ I N V 3 は、入力がモード切替制御信号 V M O D E の入力されるモード切替制御端子 1 0 に接続され、出力が接点 1 3 (N O R ゲートの一方の入力端) に接続されている。

【0150】

NANDゲート N A N D 1 は、2つの入力端を有し、一方の入力端が接点 1 1 に接続され、他方の入力端が接点 1 3 に接続され、出力が接点 1 2 (P 型 F E T Q のゲート) に接続されている。NORゲート N O R 1 は、2つの入力端を有し、一方の入力端が接点 1 3 に接続され、他方の入力端がスタンバイ制御端子 7 に接続され、出力が接点 1 4 (クロックドインバータ C I N V の制御端子) に接続されている。

【0151】

クロックドインバータ C I N V は、制御入力端が接点 1 4 に接続され、信号入力端がデータ線 2 に接続され、出力端が接点 3 (N 型 F E T Q 2 のゲート) に接続されている。

【0152】

図 1 4 は、本実施の形態に係るセンスアンプ回路の動作真理値表である。スタンバイ制御端子 7 の電位 (V S T B) が 0 V で、モード切替制御端子 1 0 の電位 (V M O D E) が 0 V のとき、P型 F E T Q 5 がオン、N型 F E T Q 6 がオフ、クロックドインバータ C I N V がノンアクティブとなる。接点 3 の電位 (V C T L) は、P型 F E T Q 5 のオンにより電源 V C C の電位となる。したがって、N型 F E T Q 2 のゲートの電位が電源 V C C の電位に固定された低速読出モード状態となる。

【0153】

10

20

30

40

50

スタンバイ制御端子7の電位(VSTB)が0Vで、モード切替制御端子10の電位(VMODE)が電源VCCの電位のと看、P型FETQ5がオフ、N型FETQ6がオフ、クロックインバータCINVがアクティブとなる。接点3の電位(VCTL)は、クロックインバータCINVのアクティブによって、データ線2の反転増幅した電位となる。したがって、N型FETQ2のゲートが増幅制御される高速読出モード状態となる。

【0154】

スタンバイ制御端子7の電位(VSTB)が電源VCCの電位で、モード切替制御端子10の電位(VMODE)が0Vまたは電源VCCの電位のと看、P型FETQ5がオフ、N型FETQ6がオン、クロックインバータCINVがノンアクティブとなる。接点3の電位(VCTL)は、N型FETQ6のオンにより0Vとなる。したがって、N型FETQ2のゲートの電位が0Vに固定されたスタンバイ状態となる。

10

【0155】

このように、モード切替制御端子10によって、高速読出モードと、低消費電力かつ低電圧動作可能な低速読出モードの2つの状態を切り替えることが可能となり、低速読出モードでは実施の形態1と同じノイズ耐性の高い状態を得られる。

【0156】

その理由は、高速読出モードにおいて、データ線2の電位の微小振幅をクロックインバータCINVが反転増幅しN型FETQ2のゲートを制御することでオンセルまたはオフセルの電流に合わせてN型FETQ2のインピーダンスを可変させることで高速に接点4の電位を変化させることが可能となる。

20

【0157】

低速読出モードにおいては、N型FETQ2のゲートの電位が電源VCCに固定された状態ではP型FETQ5からの電流パスは存在しないため消費電力が削減される。また、N型FETQ2のゲートの電位が電源VCCの電位を維持できるのは接点8の電位がP型FETQ5の閾値に到達するまでである。ここで、抵抗素子R1には電流パスが存在しないため接点8の電位は電源VCCの電位と同じであるため最低動作電圧は論理ゲートと同じであるため低電圧動作可能となる。さらに、接点3に対して抵抗素子R1、容量素子C1およびP型FETQ5が、実施の形態1と同じ構成で且つ同じ動作をしているためノイズ耐性が高い状態にすることが可能となる。

【0158】

30

(実施の形態6)

以下、図面を参照して実施の形態6について説明する。本実施の形態は、実施の形態1のセンスアンプ回路に対し、スタンバイ制御信号VSTBの入力を省略した例である。なお、その他の構成については、実施の形態1と同様である。また、本実施の形態の構成を、その他の実施の形態に適用することも可能である。

【0159】

図15は、本実施の形態に係るセンスアンプ回路の構成を示している。図15のセンスアンプ回路101は、図2のセンスアンプ回路101に対し、インバータINV10の無い構成となっている。本実施の形態では、図15に示すように、抵抗素子R1は、一端が電源VCCに接続され、他端が接点3(N型FETQ2のゲート)及び容量素子C1の一端に接続されている。容量素子C1は、一端が接点3及び抵抗素子R1の他端に接続され、他端が接地GNDに接続されている。

40

【0160】

そして、容量素子C1および抵抗素子R1の設定値は、実施の形態1と同様に求められるが、図2の寄生容量C8は考慮する必要がない。したがって、容量素子C1は次の式21となり、抵抗素子R1は次の式22となる。

$$C1 = CD - C3 \quad \dots \text{式(21)}$$

$$R1 = 1 / \{ 2 \cdot f \cdot (C1 - C3) \} \quad \dots \text{式(22)}$$

【0161】

図16は、本実施の形態に係るセンスアンプ回路101における、マイナスノイズを受

50

けたときの動作波形を示している。図16は、図20、図6等と同様に、マイナスノイズが発生したときのT10～T20の各信号を示している。

【0162】

まず、センスアンプ回路101がオフセルの読出モード状態であるとする、時間T10では、接地GNDの電位および接点5の電位(VSENS)は0Vであり、データ線2の電位(VLINE)およびインバータINV1の閾値(VTH)は0V～電源VCCの中間電位であり、接点3の電位(VCTL)は電源VCCの電位である。例えば、接点3の電位は3.6V、データ線2の電位は1.8V、インバータINV1の閾値は1.7Vである。

【0163】

次に、時間T10から時間T11では、フラッシュメモリ202が搭載されるマイコン(半導体装置)内で接地GNDにマイナスノイズが発生すると、データ線2の電位(VLINE)、接点3の電位(VCTL)、接点5の電位(VSENS)およびインバータINV1の閾値(VTH)は接地GNDの電位に追従してマイナス側-Vへ電位変動を開始する。

【0164】

次に、時間T11になると、データ線2の電位(VLINE)、接点3の電位(VCTL)、接点5の電位(VSENS)およびインバータINV1の閾値(VTH)は、接地GNDの電位に追従する。例えば、接地GNDの電位は0Vから-1.6Vとなると、接点3の電位は3.6Vから2.1Vへ、データ線2の電位は1.8Vから0.2Vへ、インバータINV1の閾値は1.7Vから0.2Vへ、接点5の電位は0Vから-1.6Vとなり、インバータINV1の閾値と接点5の電位差は1.8Vが保たれる。

【0165】

本実施の形態では、容量素子C1を接点3に接続し、実施の形態1と同様に、マイナスノイズの発生時の影響を、データ線2と接点3とで同等にしたため、接点5の電位が、インバータINV1の閾値を超えることがない。

【0166】

したがって、時間T11以降においてもデータ線2の電位(VLINE)、接点3の電位(VCTL)、接点5の電位(VSENS)およびインバータINV1の閾値(VTH)は接地GNDの電位に追従し、時間T20まで追従し続ける。

【0167】

さらに、時間T20の電位を示すと、例えば、接地GNDの電位は-1.6Vから-2.4Vとなると、接点3の電位は2.1Vから1.6Vへ、データ線2の電位は-0.4Vへ、インバータINV1の閾値は0.2Vから0Vへ、接点5の電位は-1.6Vから-2.4Vとなり、インバータINV1の閾値と接点5の電位差は2.4Vが保たれる。

【0168】

このように、本実施形態のセンスアンプ回路101は、搭載されるマイコンの接地GNDの電位がマイナス側-Vへ変動したとしても、データ線2の電位が"N型FETのゲート電圧-閾値"より低下することはない。よって、オフセルの読出しにおいて、間違ったデータが出力端子6へ出力されることはなくなる。

【0169】

その理由は、容量素子C1を接点3に接続し上記のような容量に設定したことにより、図16に示すように時間T11以降においても、データ線2と接点3の電位差は一定のためN型FETQ2のゲートとソースの電位差であるVgsも一定のため電流は変化しない。N型FETQ2と直列接続されたP型FETQ1も電流変化はなく、P型FETQ1と電流ミラーを構成しているP型FETQ3も電流変化はなく、接点5の電位は接地GNDの電位に追従するのみでインバータINV1の閾値を越えることはなく、オフセルを読出し時にオンセルと誤読出しされることはない。

【0170】

(実施の形態7)

10

20

30

40

50

以下、図面を参照して実施の形態7について説明する。本実施の形態では、実施の形態6のセンスアンプ回路に対し、センス回路102の出力段の構成を変更した例について説明する。なお、その他の構成については、実施の形態6と同様である。また、本実施の形態の構成を、その他の実施の形態に適用することも可能である。

【0171】

図17は、本実施の形態に係るセンスアンプ回路の構成を示している。図17のセンスアンプ回路101は、図15のセンスアンプ回路101に対し、P型FETQ3及びN型FETQ4が無く、P型FETQ1に基準電圧VREFが入力される構成となっている。

【0172】

すなわち、図17に示すように、センス回路102は、電源VCCとデータ線2との間に直列に接続されたP型FETQ1及びN型FETQ2により構成されている。P型FETQ1は、ゲートが基準電圧入力端子1に接続され、ソースが電源VCCに接続され、ドレインが接点5（センス回路102の出力端子）に接続されている。N型FETQ2は、ゲートが接点3（抵抗素子R1と容量素子C1の中間）に接続され、ドレインがP型FETQ1のドレイン（接点5）に接続され、ソースがデータ線2に接続されている。すなわち、P型FETQ1及びN型FETQ2の間のノードを含む経路でインバータINV1に接続されている。

【0173】

本実施の形態のように、センス回路の構成を、実施の形態6等のようなカレントミラーではなく、その他の回路構成に変更した場合でも、同様の効果を得ることができる。すなわち、少なくとも、データ線2にセンシングトランジスタ（N型FETQ2）が接続され、接点3に抵抗素子R1及び容量素子C1が接続された構成であればよい。そして、容量素子C1の容量を寄生容量CDに基づいて設定することで、ノイズの発生による誤読出しを防止することができる。

【0174】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0175】

例えば、上記実施の形態では、フラッシュメモリのセンスアンプ回路について説明したが、フラッシュメモリに限らず、その他のROM等の不揮発性メモリや、SRAM、DRAM等の揮発性メモリであってもよい。

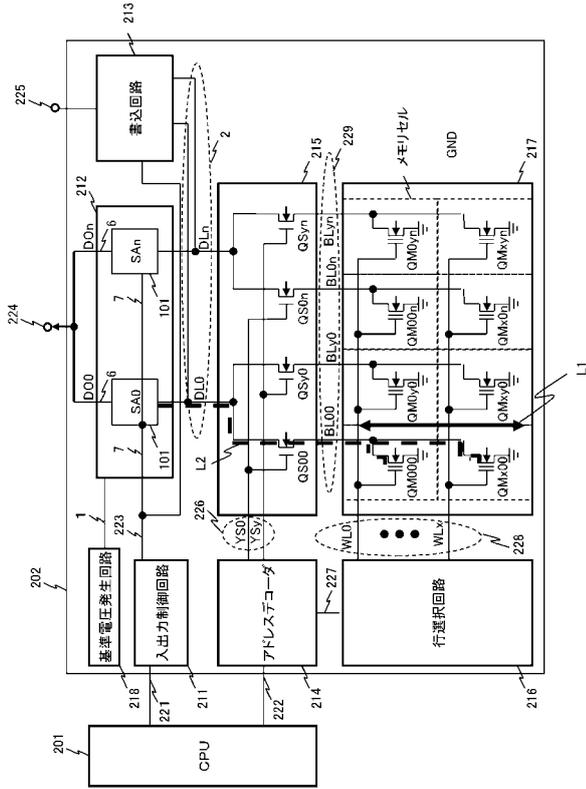
【符号の説明】

【0176】

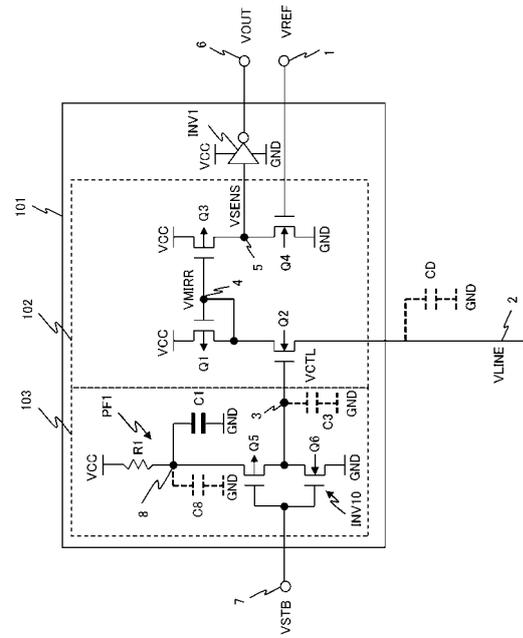
- | | | |
|-------|---------------------------|----|
| 1 | 基準電圧入力端子（基準電圧VREF） | |
| 2 | データ線（データ線信号VLINE） | |
| 3 | 接点（センス制御信号VCTL） | |
| 4 | 接点（ミラー信号VMIRR） | |
| 5 | 接点（センス信号VSENS） | |
| 6 | 出力端子（出力信号VOUT） | 40 |
| 7 | スタンバイ制御端子（スタンバイ制御信号VSTB） | |
| 8 | 接点 | |
| 9 | 急速充電制御端子（急速充電制御信号VFAST） | |
| 10 | モード切替制御端子（モード切替制御信号VMODE） | |
| 11～14 | 接点 | |
| 101 | センスアンプ回路 | |
| 102 | センス回路 | |
| 103 | 制御回路 | |
| 104 | モード切替回路 | |
| 202 | フラッシュメモリ | 50 |

2 1 1	入出力制御回路	
2 1 2	読出回路	
2 1 3	書込回路	
2 1 4	アドレスデコーダ	
2 1 5	列選択回路	
2 1 6	行選択回路	
2 1 7	メモリセルアレイ	
2 1 8	基準電圧発生回路	
2 2 1	外部制御信号	
2 2 2	アドレス信号	10
2 2 3	内部制御信号	
2 2 4	データ出力端子	
2 2 5	データ入力端子	
2 2 6	列アドレスデコード信号	
2 2 7	行アドレスデコード信号	
2 2 8	ワード線	
2 2 9	ビット線	
3 0 1	P型半導体基板	
3 0 2 N	N型ウェル領域	
3 0 2 P	P型ウェル領域	20
3 0 3	N+型活性領域	
3 0 4	SiO ₂ 膜	
3 0 5	ポリシリコン膜	
3 1 1、3 1 2	配線	
3 1 3	SiO ₂ 膜	
C 1	容量素子	
R 1	抵抗素子	
P F 1	フィルタ	
C D、C 3、C 8、C L	寄生容量	
Q 1、Q 3、Q 5、Q 7	P型FET (電界効果トランジスタ)	30
Q 2、Q 4、Q 6	N型FET (電界効果トランジスタ)	
I N V 1、I N V 2、I N V 3、I N V 1 0	インバータ	
C I N V	クロックドインバータ	
N A N D 1	NANDゲート	
N O R 1	NORゲート	

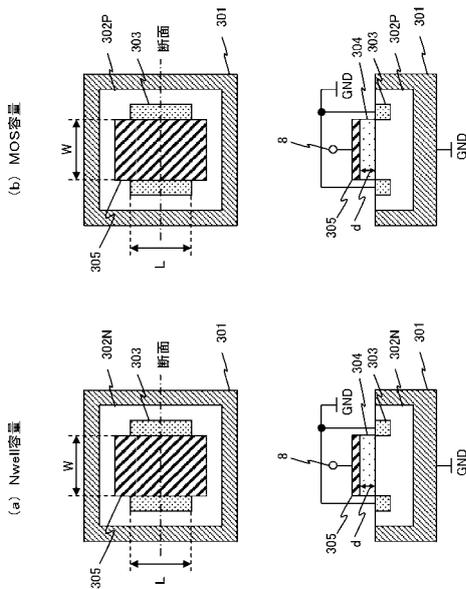
【図1】



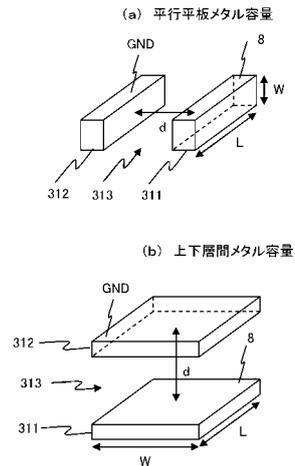
【図2】



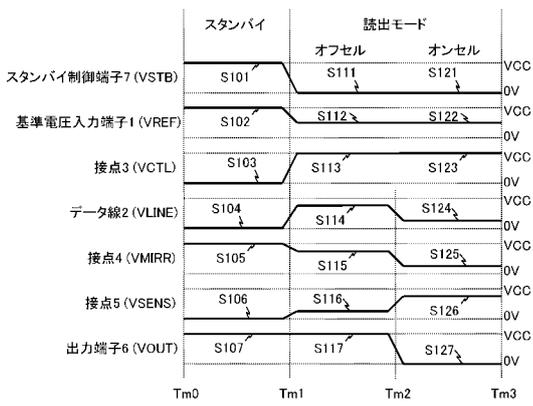
【図3】



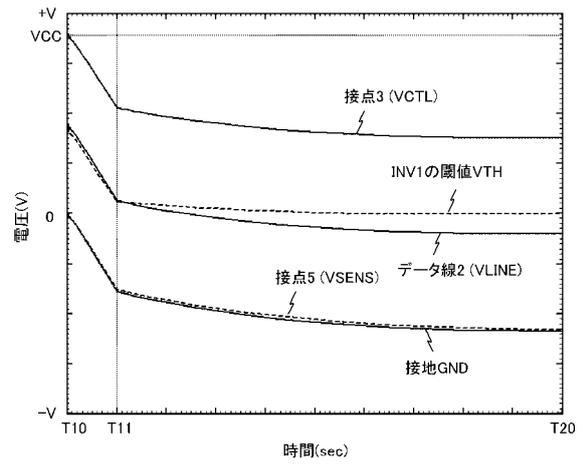
【図4】



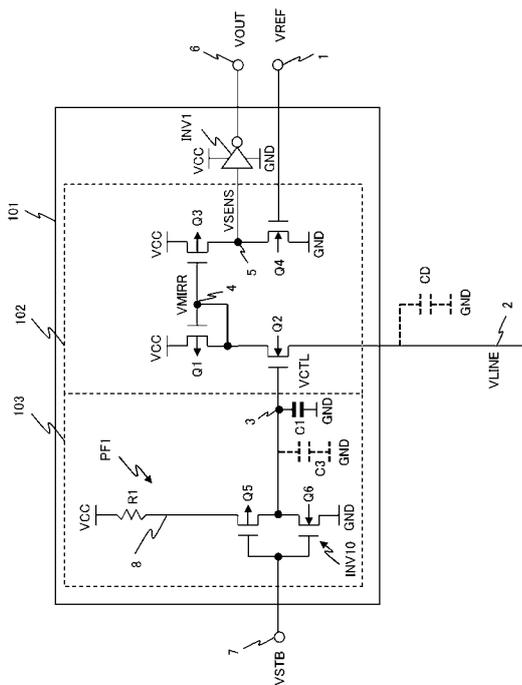
【 図 5 】



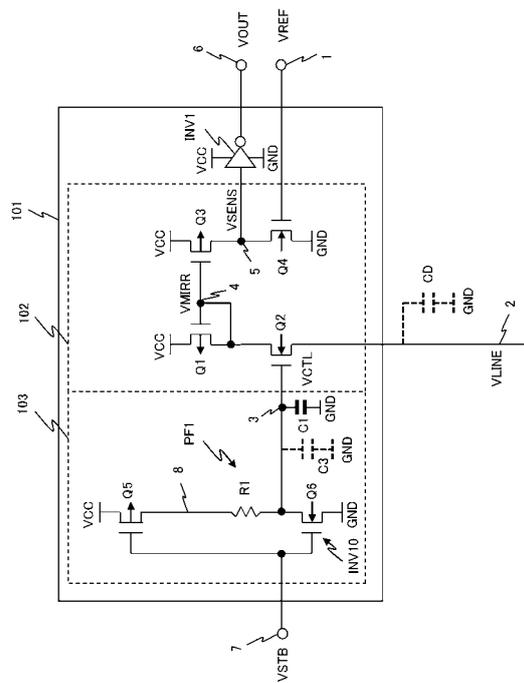
【 図 6 】



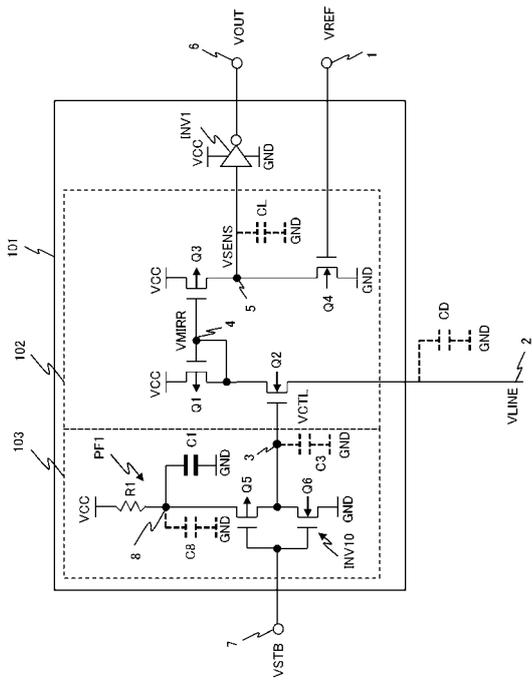
【 図 7 】



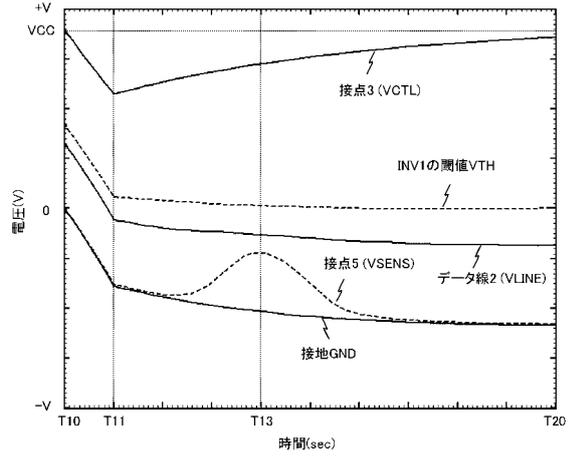
【 図 8 】



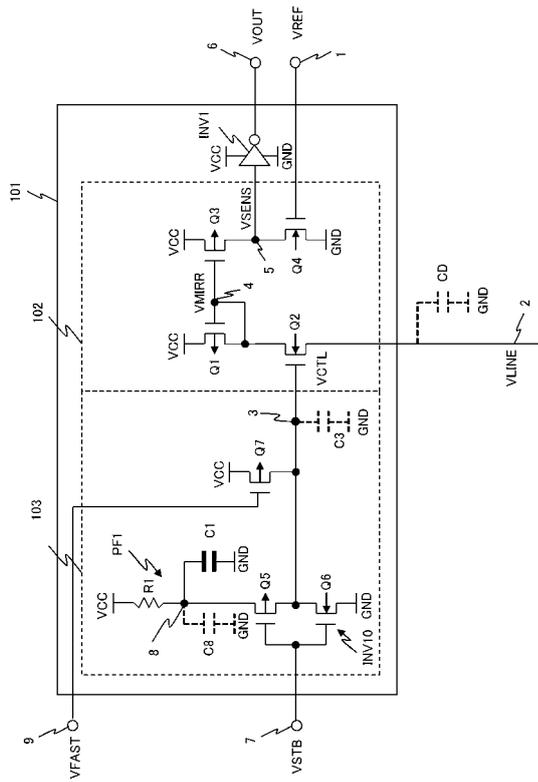
【図 9】



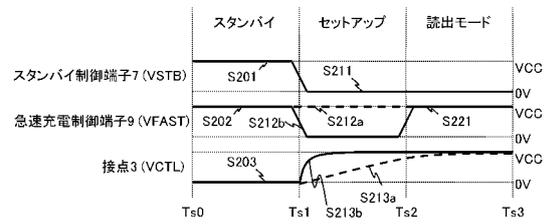
【図 10】



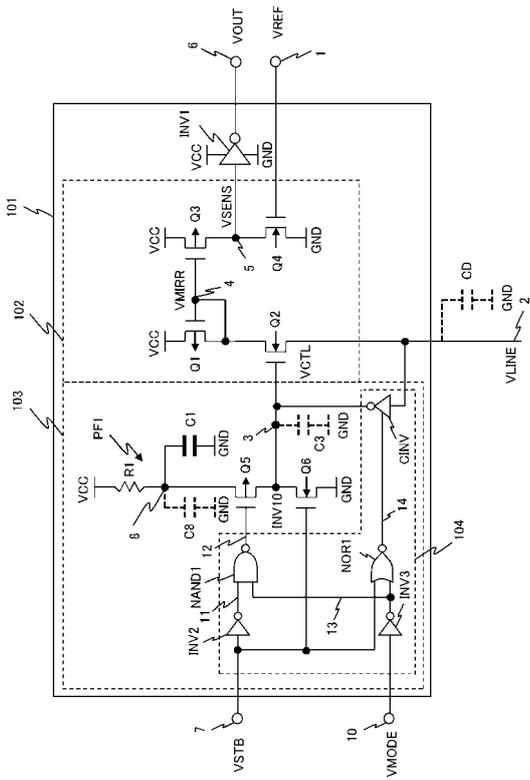
【図 11】



【図 12】



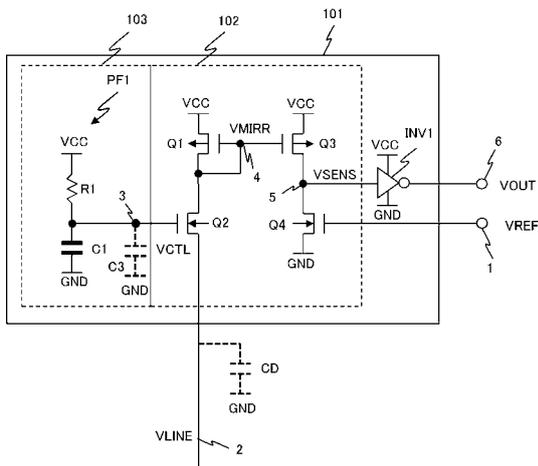
【図 1 3】



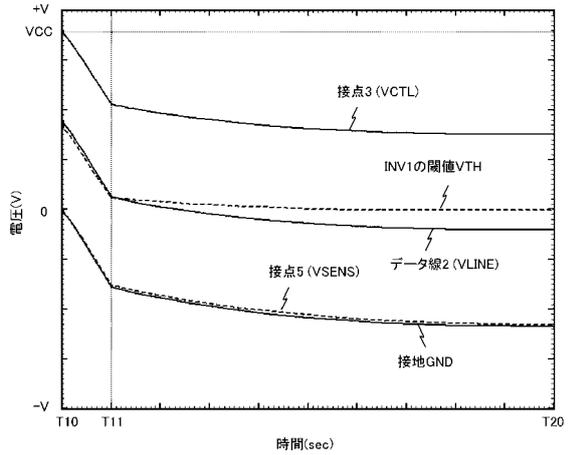
【図 1 4】

動作状態	モード	動作状態	動作状態
スタンバイ制御端子7(VSTB)	0V	モード切替制御端子10(VMODE)	低速度出力モード
0V	VCC		高速出力モード
VCC	0V	接点3(VCTL)	データ線2反転増幅
VCC	VCC		スタンバイ
			スタンバイ

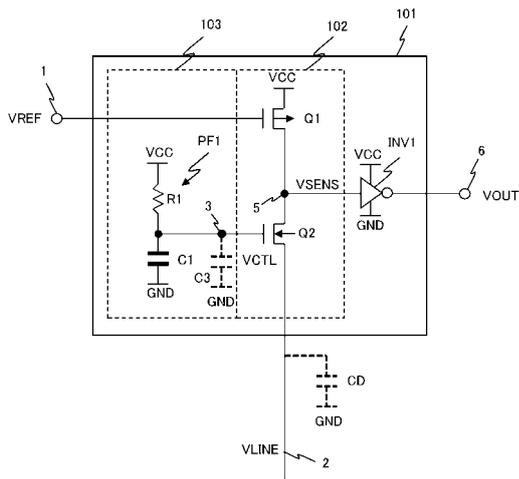
【図 1 5】



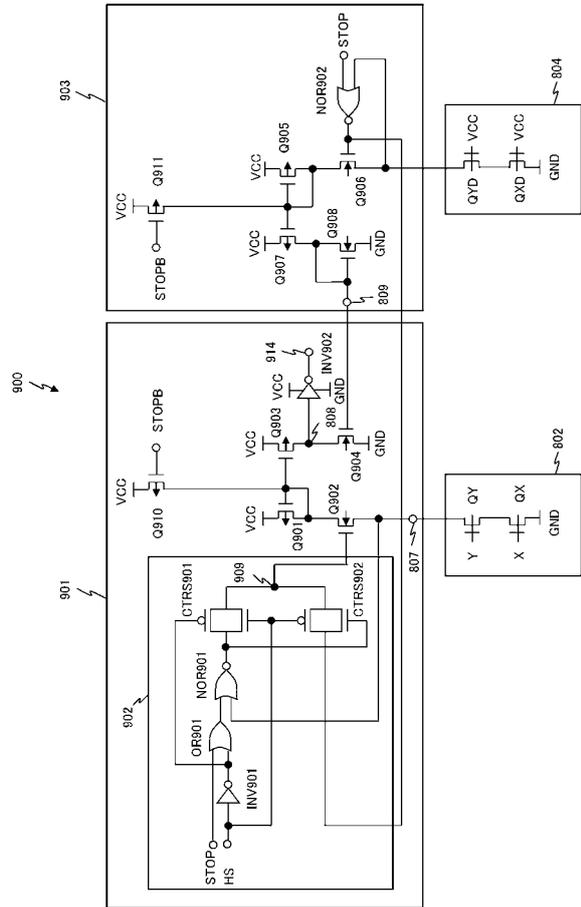
【図 1 6】



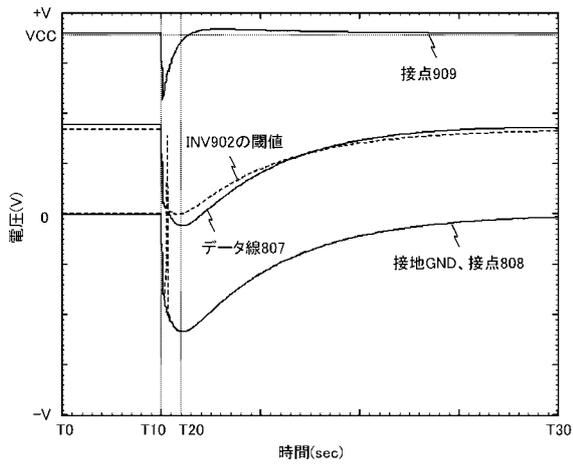
【図 17】



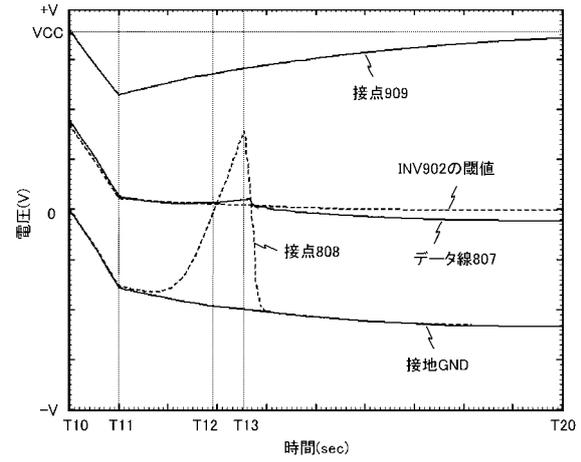
【図 18】



【図 19】



【図 20】



フロントページの続き

Fターム(参考) 5B125 BA02 CA15 DE12 EA01 EE02 EE06 EE09 EE14 EJ02 EJ03
FA02