



(12)实用新型专利

(10)授权公告号 CN 206584930 U

(45)授权公告日 2017. 10. 24

(21)申请号 201621285762.1

(ESM)同样的发明创造已同日申请发明专利

(22)申请日 2016.11.28

(30)优先权数据

1653726 2016.04.27 FR

(73)专利权人 意法半导体(克洛尔2)公司

地址 法国克洛尔

专利权人 意法半导体(鲁塞)公司

(72)发明人 P·波伊文 F·亚瑙德

G·比达尔 D·格兰斯基

E·理查德

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51)Int.Cl.

H01L 27/12(2006.01)

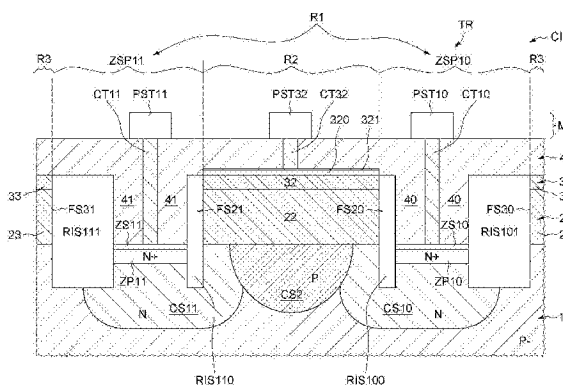
权利要求书2页 说明书6页 附图5页

(54)实用新型名称

集成电路

(57)摘要

本实用新型涉及一种集成电路,其使用绝缘体上硅类型衬底形成,其中所述衬底包括载体衬底以及载体衬底上部上的掩埋绝缘层和半导体薄膜堆叠。无堆叠的第一区域使包括堆叠的第二区域与也包括堆叠的第三区域分离。MOS晶体管具有通过第二区域中的掩埋绝缘层的部分形成的栅极介电区域,以及通过第二区域中的半导体薄膜的部分形成的栅极区域。载体衬底包含位于第一区域下方的掺杂区域,其形成MOS晶体管的源极区域和漏极区域的至少一部分。



1. 一种集成电路,其特征在于,包括:

绝缘体上硅类型衬底,包括载体衬底以及在所述载体衬底的上部上的掩埋绝缘层和半导体薄膜的堆叠;

第一区域,其中所述堆叠被移除,使得包括所述堆叠的第二区域与也包括所述堆叠的第三区域分离;以及

MOS晶体管,具有由在所述第二区域中的所述堆叠的所述掩埋绝缘层的部分形成的栅极介电区域,以及具有由在所述第二区域中的所述堆叠的半导体薄膜的部分形成的栅极区域,并且其中所述MOS晶体管的源极区域和漏极区域的至少部分设置在所述载体衬底内部。

2. 根据权利要求1所述的集成电路,其特征在于,所述第一区域包括第一分离区和第二分离区,所述第一分离区和所述第二分离区的每个分别使所述第二区域中的所述堆叠的面与所述第三区域中的所述堆叠的面分离,并且其中所述MOS晶体管的源极区域和漏极区域包括位于所述载体衬底内部分别在所述第一分离区和所述第二分离区下面的掺杂区域。

3. 根据权利要求2所述的集成电路,其特征在于,所述第一分离区和所述第二分离区中的每个分离区都包括接触所述掺杂区域中的一个的导电区域,以及布置在所述导电区域与所述第二区域和所述第三区域的所述堆叠的对应的面之间的绝缘区域。

4. 根据权利要求3所述的集成电路,其特征在于,每个导电区域都包括导电触点。

5. 根据权利要求3所述的集成电路,其特征在于,每个导电区域都包括半导体区域。

6. 根据权利要求2所述的集成电路,其特征在于,每个分离区包括:

与所述第二区域的所述堆叠的第一面接触的第一隔离沟槽,所述第一隔离沟槽延伸到所述载体衬底中,

与所述第三区域的所述堆叠的第一面接触的第二隔离沟槽,所述第二隔离沟槽延伸到所述载体衬底中,以及

其中对应的源极区域或漏极区域的所述掺杂区域也部分延伸到位于所述晶体管的所述栅极介电区域下方的所述载体衬底的部分。

7. 根据权利要求6所述的集成电路,其特征在于,每个分离区进一步包括位于所述第一隔离沟槽和所述第二隔离沟槽之间并覆盖所述载体衬底的附加半导体区域。

8. 根据权利要求1所述的集成电路,其特征在于,所述掩埋绝缘层的厚度处于12nm和30nm之间的范围内,并且所述半导体薄膜的厚度处于7nm和10nm之间的范围内。

9. 根据权利要求1所述的集成电路,其特征在于,所述衬底是全耗尽绝缘体上硅类型。

10. 根据权利要求1所述的集成电路,其特征在于,进一步包括形成在位于所述第三区域中的所述半导体薄膜的部分中以及位于所述第三区域中的所述半导体薄膜的所述部分上的至少另一MOS晶体管,所述另一MOS晶体管具有栅极介电区域,所述栅极介电区域包括具有高介电常数的材料。

11. 一种集成电路,其特征在于,包括:

绝缘体上硅类型衬底,包括载体衬底以及位于所述载体衬底的上部上的掩埋绝缘层和半导体薄膜的堆叠;

第一分离区,其中所述堆叠被移除;

第二分离区,其中所述堆叠被移除;

其中所述第一分离区和第二分离区限定包括所述堆叠的中央区域;

第一掺杂区域,位于所述中央区域下方的所述载体衬底中;

第二掺杂区域,位于所述第一分离区下方的所述载体衬底中并形成MOS晶体管的源极区域;

第三掺杂区域,位于所述第二分离区下方的所述载体衬底中并形成所述MOS晶体管的漏极区域;

其中所述中央区域中的所述堆叠的所述掩埋绝缘层的部分形成所述MOS晶体管的栅极绝缘区域;以及

其中所述中央区域中的所述堆叠的所述半导体薄膜的部分形成所述MOS晶体管的栅极电极。

12. 根据权利要求11所述的集成电路,其特征在于,

所述第二掺杂区域的部分在所述中央区域中的所述堆叠的所述掩埋绝缘层的所述部分的下方延伸;以及

所述第三掺杂区域的部分在所述中央区域中的所述堆叠的所述掩埋绝缘层的所述部分的下方延伸。

13. 根据权利要求11所述的集成电路,其特征在于,

所述第一掺杂区域是第一导电性类型;以及

所述第二掺杂区域和第三掺杂区域是相反的第二导电性类型。

14. 根据权利要求11所述的集成电路,其特征在于,进一步包括用于所述中央区域的所述堆叠的侧壁上的绝缘侧壁间隔件。

15. 根据权利要求14所述的集成电路,其特征在于,进一步包括所述第二掺杂区域和所述第三掺杂区域之上的外延材料,所述外延材料通过所述绝缘侧壁间隔件与用于所述中央区域的所述堆叠隔离。

16. 根据权利要求11所述的集成电路,其特征在于,进一步包括用于所述中央区域的所述堆叠的侧壁上的绝缘沟槽,所述绝缘沟槽穿入所述第二掺杂区域和所述第三掺杂区域中的每个掺杂区域。

17. 根据权利要求16所述的集成电路,其特征在于,进一步包括所述第二掺杂区域和所述第三掺杂区域之上的外延材料,所述外延材料通过所述绝缘沟槽与用于所述中央区域的所述堆叠隔离。

18. 根据权利要求11所述的集成电路,其特征在于,所述载体衬底中的所述第一掺杂区域在所述中央区域以及所述第一分离区和所述第二分离区下方延伸。

19. 根据权利要求18所述的集成电路,其特征在于,所述第二掺杂区域和所述第三掺杂区域被形成在所述第一掺杂区域内。

集成电路

技术领域

[0001] 本公开涉及一种集成电路。特别地,涉及形成在“绝缘体上硅”(本领域技术人员通常称其为SOI)类型衬底上的金属氧化物半导体(MOS)晶体管结构,例如“部分耗尽绝缘体上硅”(本领域技术人员通常称其为PDSOI)类型衬底或者其他“全耗尽绝缘体上硅”(本领域技术人员通常称其为FDSOI)类型衬底,更特别地,涉及形成在此类衬底上并能够承受高电压(换言之,高于1.8V的电压,例如5V或更高)的MOS晶体管结构。

背景技术

[0002] 绝缘体上硅类型衬底包括例如硅或硅合金材料的半导体薄膜,所述薄膜位于通常以缩写BOX(掩埋氧化层)表示的掩埋绝缘层的上部上,而所述掩埋绝缘层本身位于载体衬底(例如半导体阱)的上部上。

[0003] 在FDSOI技术中,半导体薄膜完全耗尽,换言之,半导体薄膜由本征半导体材料组成。其厚度通常为几纳米。此外,掩埋绝缘层本身一般非常薄,大约10纳米。

[0004] 目前,利用SOI(特别是FDSOI)类型技术形成的MOS晶体管通常包括具有高介电常数K的材料(“高K”材料),例如氮氧化钪硅(HfSiON)。晶体管的隔离栅极区域进一步包括例如位于该栅氧化层上部上的覆盖有非晶硅的金属多层。

[0005] 所述晶体管能够提供改善的性能特性,特别是在速度和频率方面。

[0006] 不过,在一些应用中,例如在非易失性或高电压接口中,可能需要形成“高电压晶体管”,换言之,能够承受高电压的晶体管。在SOI(特别是FDSOI)技术中,高电压通常是高于1.8V的电压。但是,“高K”类型材料并不是专门设计用于在高电压下工作的材料。

[0007] 为此,在不进行大量特定附加操作的情况下,目前无法使用SOI(特别是FDSOI)技术制造高电压晶体管。

实用新型内容

[0008] 为了至少部分解决上述问题,提供一种集成电路,其能够以简单方法形成能够承受高电压的MOS晶体管结构,并且不会影响利用“高K”类型栅极介电区域制造的集成电路的其他MOS晶体管。

[0009] 根据一个方面,提供了一种集成电路,包括:绝缘体上硅类型衬底,包括载体衬底以及在所述载体衬底的上部上的掩埋绝缘层和半导体薄膜的堆叠;第一区域,其中所述堆叠被移除,使得包括所述堆叠的第二区域与也包括所述堆叠的第三区域分离;以及MOS晶体管,具有由在所述第二区域中的所述堆叠的所述掩埋绝缘层的部分形成的栅极介电区域,以及具有由在所述第二区域中的所述堆叠的半导体薄膜的部分形成的栅极区域,并且其中所述MOS晶体管的源极区域和漏极区域的至少部分设置在所述载体衬底内部。

[0010] 根据一个实施例,所述第一区域包括第一分离区和第二分离区,所述第一分离区和所述第二分离区的每个分别使所述第二区域中的所述堆叠的面与所述第三区域中的所述堆叠的面分离,并且其中所述MOS晶体管的源极区域和漏极区域包括位于所述载体衬底

内部分别在所述第一分离区和所述第二分离区下面的掺杂区域。

[0011] 根据一个实施例,所述第一分离区和所述第二分离区中的每个分离区都包括接触所述掺杂区域中的一个的导电区域,以及布置在所述导电区域与所述第二区域和所述第三区域的所述堆叠的对应的面之间的绝缘区域。

[0012] 根据一个实施例,每个导电区域都包括导电触点。

[0013] 根据一个实施例,每个导电区域都包括半导体区域。

[0014] 根据一个实施例,每个分离区包括:与所述第二区域的所述堆叠的第一面接触的第一隔离沟槽,所述第一隔离沟槽延伸到所述载体衬底中,与所述第三区域的所述堆叠的第一面接触的第二隔离沟槽,所述第二隔离沟槽延伸到所述载体衬底中,以及其中对应的源极区域或漏极区域的所述掺杂区域也部分延伸到位于所述晶体管的所述栅极介电区域下方的所述载体衬底的部分。

[0015] 根据一个实施例,每个分离区进一步包括位于所述第一隔离沟槽和所述第二隔离沟槽之间并覆盖所述载体衬底的附加半导体区域。

[0016] 根据一个实施例,所述掩埋绝缘层的厚度处于大约12nm和大约30nm之间的范围内,并且所述半导体薄膜的厚度处于大约7nm和大约10nm之间的范围内。

[0017] 根据一个实施例,所述衬底是全耗尽绝缘体上硅类型。

[0018] 根据一个实施例,集成电路进一步包括形成在位于所述第三区域中的所述半导体薄膜的部分中以及位于所述第三区域中的所述半导体薄膜的所述部分上的至少另一MOS晶体管,所述另一MOS晶体管具有栅极介电区域,所述栅极介电区域包括具有高介电常数的材料。

[0019] 根据另一方面,提供一种集成电路,包括:绝缘体上硅类型衬底,包括载体衬底以及位于所述载体衬底的上部上的掩埋绝缘层和半导体薄膜的堆叠;第一分离区,其中所述堆叠被移除;第二分离区,其中所述堆叠被移除;其中所述第一分离区和第二分离区限定包括所述堆叠的中央区域;第一掺杂区域,位于所述中央区域下方的所述载体衬底中;第二掺杂区域,位于所述第一分离区下方的所述载体衬底中并形成MOS晶体管的源极区域;第三掺杂区域,位于所述第二分离区下方的所述载体衬底中并形成所述MOS晶体管的漏极区域;其中所述中央区域中的所述堆叠的所述掩埋绝缘层的部分形成所述MOS晶体管的栅极绝缘区域;以及其中所述中央区域中的所述堆叠的所述半导体薄膜的部分形成所述MOS晶体管的栅极电极。

[0020] 根据一个实施例,所述第二掺杂区域的部分在所述中央区域中的所述堆叠的所述掩埋绝缘层的所述部分的下方延伸;以及其中所述第三掺杂区的部分在所述中央区域中的所述堆叠的所述掩埋绝缘层的所述部分的下方延伸。

[0021] 根据一个实施例,所述第一掺杂区域是第一导电性类型;以及其中所述第二掺杂区域和第三掺杂区域是相反的第二导电性类型。

[0022] 根据一个实施例,集成电路进一步包括用于所述中央区域的所述堆叠的侧壁上的绝缘侧壁间隔件。

[0023] 根据一个实施例,集成电路进一步包括所述第二掺杂区域和所述第三掺杂区域之上的外延材料,所述外延材料通过所述绝缘侧壁间隔件与用于所述中央区域的所述堆叠隔离。

[0024] 根据一个实施例,集成电路进一步包括用于所述中央区域的所述堆叠的侧壁上的绝缘沟槽,所述绝缘沟槽穿入所述第二掺杂区域和所述第三掺杂区域中的每个掺杂区域。

[0025] 根据一个实施例,集成电路进一步包括所述第二掺杂区域和所述第三掺杂区域之上的外延材料,所述外延材料通过所述绝缘沟槽与用于所述中央区域的所述堆叠隔离。

[0026] 根据一个实施例,所述载体衬底中的所述第一掺杂区域在所述中央区域以及所述第一分离区和所述第二分离区下方延伸。

[0027] 根据一个实施例,所述第二掺杂区域和所述第三掺杂区域被形成在所述第一掺杂区域内。

[0028] 通过本实用新型的集成电路,能够以简单方法形成能够承受高电压的MOS晶体管结构,并且不会影响利用“高K”类型栅极介电区域制造的集成电路的其他MOS晶体管。

附图说明

[0029] 通过非限制性实施例的详细描述并参照附图,本实用新型的其他优点和特征将会显而易见,其中:

[0030] 图1至图5示意性地示出了包括MOS晶体管的集成电路的各个实施例。

具体实施方式

[0031] 在下面实施例中,在某些情况下,将描述NMOS晶体管,而在其他情况下,将描述PMOS晶体管。毋庸置疑,针对NMOS晶体管描述的内容也适用于PMOS晶体管,反之亦然。

[0032] 在图1中,附图标记CI表示集成电路,包括绝缘体上硅类型(例如全耗尽绝缘体上硅类型)衬底,所述衬底包括能够在高电压(例如5V)下工作的MOS晶体管结构TR。通常,晶体管结构TR通过例如浅沟槽隔离(或STI)类型绝缘区域横向隔离,为了简化附图此处未示出。

[0033] SOI或FDSOI类型衬底包括载体衬底1,例如P-掺杂硅,在其上部是包括掩埋绝缘层2 (BOX) 和半导体薄膜3的堆叠,例如硅。

[0034] 根据所使用的SOI或FDSOI类型技术,掩埋绝缘层的厚度可以随着半导体薄膜3的厚度而变化。

[0035] 因而,例如掩埋绝缘层2的厚度可以介于大约12nm和大约100nm之间的范围内,然而半导体薄膜的厚度可以介于大约7nm和大约100nm之间的范围内。

[0036] 如图1所示,集成电路包括第一区域R1,其不包括掩埋绝缘层2 (BOX) 和半导体薄膜3的堆叠。

[0037] 在图1所示的示例中,该第一区域R1包括两个分离区ZSP10和Z SP11。

[0038] 因而,第一区域R1使第二区域R2与第三区域R3相互分离,其中第二区域R2和第三区域R3都包括掩埋绝缘层2 (BOX) 和半导体薄膜3的堆叠。

[0039] 更准确地说,在图1所示的示例中,两个分离区ZSP10和ZSP11分别使堆叠的第二区域R2的两个面与堆叠的第三区域R3的两个面相互分离。

[0040] 因而,分离区ZSP10使堆叠的第二区域的面FS20与堆叠的第三区域的面FS30相互分离,然而分离区ZSP11使堆叠的第二区域的面FS21与堆叠的第三区域的面FS31相互分离。

[0041] 因而,堆叠的第二区域R2包括掩埋绝缘层2的部分22和半导体薄膜3的部分32。MOS晶体管TR的介电区域包括掩埋绝缘层的部分22,而晶体管TR的栅极区域包括半导体薄膜的

部分32。

[0042] 堆叠的第三区域R3包括掩埋绝缘层2的部分23和半导体薄膜3的部分33。

[0043] 每个分离区的宽度(换言之,彼此相对的两个面之间的距离)可以根据所使用的技术节点在80-300nm之间变化。

[0044] 晶体管TR的源极区域和漏极区域包括位于载体衬底1内部的掺杂区域ZDP10和ZDP11,它们分别面向两个分离区ZSP10和ZSP11。

[0045] 在此处所述的示例中,由于晶体管TR是PMOS晶体管,掺杂区域ZDP10和ZDP11是位于N型导电性半导体阱CS内部的P+掺杂区域,其部分位于晶体管TR的介电区域22下面。

[0046] 此外,每个分离区包括:

[0047] 与对应的源极区域或漏极区域的掺杂区域接触的导电区域,以及

[0048] 布置在所述导电区域与堆叠的第二区域和第三区域的对应面之间的绝缘区域。

[0049] 更准确地说,在图1所示的示例中,每个导电区域包括例如由钨制成的导电触点CT10(CT11),其经由硅化区域(为了简化,此处未示出)接触掺杂源极区域或漏极区域ZDP10(ZDP11)。触点CT10(CT11)延伸到集成电路的第一金属化层M1,以接触金属堆叠PST10(PST11)。

[0050] 关于布置在每个触点与对应的第二区域的面FS21、FS20以及第三区域的面FS30、FS31之间的绝缘区域,此处其包括分别位于对应于分离区ZSP10的面FS20和FS30上和对应于分离区ZSP11的面FS31和FS21上的间隔件ESP20、ESP30、ESP21、ESP31。这些间隔件通过传统的CMOS制造工艺步骤形成。

[0051] 此外,绝缘区域还包括本领域技术人员称其为PMD(金属前介质)的介电材料层4的部分40、41,其延伸到第一金属层M1。

[0052] 晶体管TR还包括栅极触点CT32,其接触半导体薄膜的部分32并延伸到金属层M1的金属堆叠PST32。

[0053] 此处,为了简化,没有示出在上面放置触点CT32的硅化区域。

[0054] 根据所使用的技术点和薄膜3的厚度,在形成触点CT32之前,可能需要通过局部重新外延,然后进行硅化,以增加薄膜32的厚度,从而避免触点CT32穿过栅极半导体区域32。

[0055] 对于14nm FDSOI技术,就是这种情况。

[0056] 在CMOS工艺中,也可能需要执行局部重新外延,然后硅化处理掺杂源极区域或漏极区域ZDP10(ZDP11)。但是,这绝不是必须的。

[0057] 例如,通过使用传统CMOS制造工艺步骤,制造此类晶体管TR。

[0058] 因而,在SOI类型芯片中限定例如浅沟槽隔离(STI)类型隔离区之后,在28nm技术节点中,通常以嵌入方式形成各个N和P阱。

[0059] 接下来,执行传统蚀刻工艺,以移除分离区ZSP10和ZSP11中的堆叠-BOX 2和半导体薄膜3。

[0060] 然后,通过共形沉积例如二氧化硅和各向异性蚀刻,执行CMOS工艺中的绝缘间隔件标准成形。

[0061] 随后沉积介电材料层4,并在局部蚀刻后,在该层4内部形成设计用于接纳触点CT10、CT11和CT32的孔,然后使用金属例如钨填充这些孔。

[0062] 根据技术点的不同,可以修改这些步骤的顺序。因而,在更先进的技术节点中,例

如14nm,在蚀刻STI类型隔离沟槽之前,可以执行局部蚀刻堆叠-BOX 2和半导体薄膜3-的步骤。

[0063] 在图2所示的一个变型实施例中,与掺杂区域ZDP10和ZDP11接触的导电区域可以包括外延区域ZEP10、ZEP11,例如在本实施例P+掺杂中,其填充绝缘间隔件之间的分离区ZSP10和ZSP11。

[0064] 然后,触点CT100、CT110接触这些外延区域ZEP10和ZEP11的硅化区域(为了简化,未示出),并延伸到介电层4,直到金属化层M1的对应金属堆叠。

[0065] 在图2所示的实施例中,在特定情况下,可能在外延区域ZEP10和ZEP11与邻近半导体薄膜32或33之间发生短路的危险。

[0066] 为了避免此类短路危险,提供了图3所示的实施例或图4所示的实施例。

[0067] 在图3中,与图1中所示元件类似的元件具有与图1相同的附图标记。下面仅描述图1和图3之间的差异。

[0068] 在图3所示的实施例中,每个分离区包括与堆叠的第二区域的第一面接触的第一隔离沟槽,该第一隔离沟槽延伸到载体衬底。

[0069] 每个分离区还包括与堆叠的第三区域的第一面接触的第二隔离沟槽,该第二隔离沟槽延伸到载体衬底。

[0070] 更准确地说,分离区ZSP10包括与堆叠22、32的第二区域R2的第一面FS20接触的例如浅沟槽隔离(STI)类型的第一隔离沟槽RIS100,该第一隔离沟槽RIS100延伸到载体衬底1。

[0071] 分离区ZSP10还包括与堆叠23、33的第三区域R3的第一面FS30接触的例如浅沟槽隔离类型的第二隔离沟槽RIS101,该第二隔离沟槽RIS101也延伸到载体衬底1。

[0072] 分离区ZSP11也包括与堆叠22、32的第二区域R2的第一面FS21接触的第一隔离沟槽RIS110,该第一隔离沟槽RIS110也延伸到载体衬底1。

[0073] 分离区ZSP11也包括与堆叠23、33的第三区域R3的第一面FS31接触的第二隔离沟槽RIS111,该第二隔离沟槽RIS111也延伸到载体衬底1。

[0074] 进一步地,此处晶体管的源极区域和漏极区域包括位于载体衬底1内部并分别面向两个分离区ZSP10和ZSP11的掺杂区域。

[0075] 不过,在本实施例中,对应的源极区域或漏极区域的掺杂区域也部分延伸到位于晶体管的栅极介电区域22下面的载体衬底区域。

[0076] 更准确地说,对于NMOS类型晶体管TR,此处晶体管的源极区域或漏极区域中的一个区域包括N型导电性半导体阱CS10,其位于载体衬底1内部并朝向分离区ZSP10和晶体管TR的介电区域22的右侧部分延伸。

[0077] 该源极区域或漏极区域还包括更高的N+型掺杂区域ZP10以及硅化区域ZS10。

[0078] 同样地,源极区域或漏极区域中的另一个区域包括N型导电性半导体阱CS11,其朝向分离区ZSP11和晶体管TR的介电区域22的左侧部分延伸。

[0079] 此处,该另一个源极区域或漏极区域包括更高的N+型掺杂区域ZP11以及硅化区域ZS11。

[0080] 此处,晶体管TR还包括P型导电性阱CS2,因此高于载体衬底1的掺杂,该阱CS2位于阱CS10和CS11之间。

[0081] 在图3所示的实施例中,通过在介电材料4,特别是该介电材料4的部分40和41中涂覆的两个金属触点CT10和CT11,硅化区域ZS10和ZS11电气连接到金属化层M1的金属堆叠PST10和PST11。

[0082] 在此处所示的示例中,其中半导体薄膜32特别薄,如前所述,硅320的重新外延区域覆盖有硅化区域321,栅极金属触点CT32位于硅化区域321上面。

[0083] 应该注意的是,在这种情况下,借助优选沟槽类型的隔离区RIS100和RIS110,例如宽度大约50nm,可以实现晶体管TR的栅极32与源极区域或漏极区域之间的有效隔离。

[0084] 此外,借助穿入阱CS10和CS11的绝缘区域RIS110和RIS100,以及嵌入阱CS10和CS11的横向扩散,可以获得高电阻率电流通道。

[0085] 另外,通过改变绝缘区域RIS110和RIS100的宽度,可以调节该电阻率。

[0086] 与参照图2的描述类似,如图4所示,可以提供一个晶体管TR的实施例,其中触点CT10(CT11)的下部替换为通过从阱CS10(CS11)开始重新外延获得的附加半导体区域ZEP10(ZEP11)。该外延区域ZEP10(ZEP11)的上部包括过度掺杂区域ZP10(ZP11),其本身覆盖有硅化区域ZS10(ZS11)。在此处所示的示例中,区域ZEP10、ZP10、ZEP11、ZP11具有N型导电性。

[0087] 此处,与图2类似,在CMOS工艺中,也可能需要进行局部重新外延,然后硅化处理掺杂源极区域或漏极区域ZEP10和ZEP11。但是,这绝不是必须的。

[0088] 由于存在优选沟槽类型的绝缘区域RIS100和RIS110或RIS101和RIS111,进一步避免了区域ZEP10和ZEP11的上部与半导体薄膜32或33之间的短路。

[0089] 此处,此类晶体管TR的制造步骤是传统的CMOS工艺的制造步骤,除了形成间隔件ESP的步骤之外,基本上使用的是与制造图1中晶体管TR相同类型的步骤。

[0090] 在图5中,集成电路CI进一步包括在位于堆叠的第三区域R3中的半导体薄膜的部分33中及其上面形成至少另一个MOS晶体管TRA,该另一个晶体管TRA具有栅极介电区域,其包括具有高介电常数的材料。

[0091] 此外,本实施例兼容在堆叠的区域R2中形成的MOS晶体管TR的任何结构。

[0092] 另外,高电压MOS晶体管结构TR及其制造方法完美地兼容用于形成具有包含“高K”材料的栅极介电区域的TRA类型晶体管的制造方法。实际上,在整个晶片上面沉积“高K”介电材料层之后,通过使用合适的掩膜,只需移除区域R1和R2中的该层“高K”材料,就能够通过蚀刻栅极的通常步骤制造晶体管TR,而不会降低电路的其余部分中“高K”介电材料层的性能。

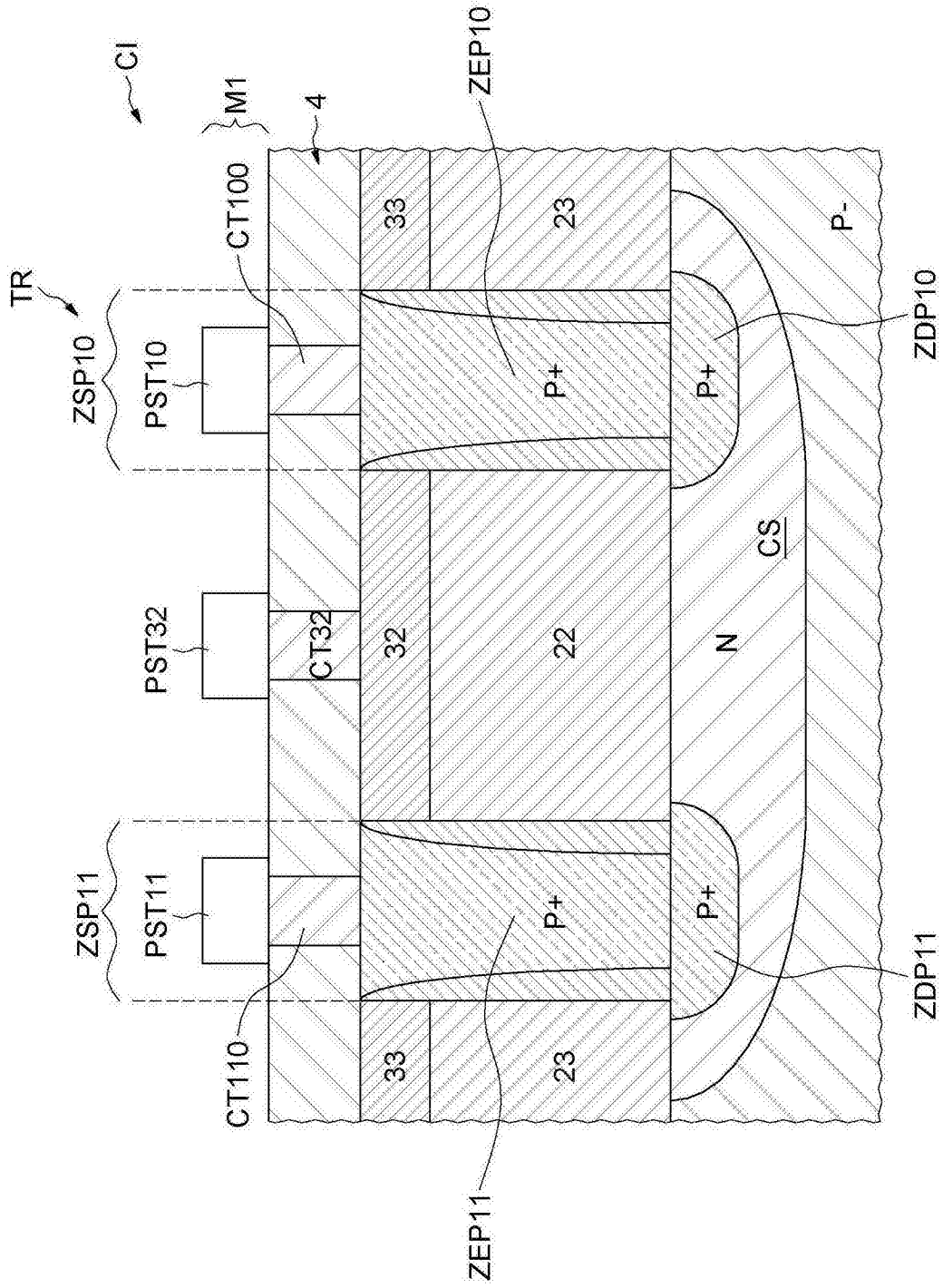


图2

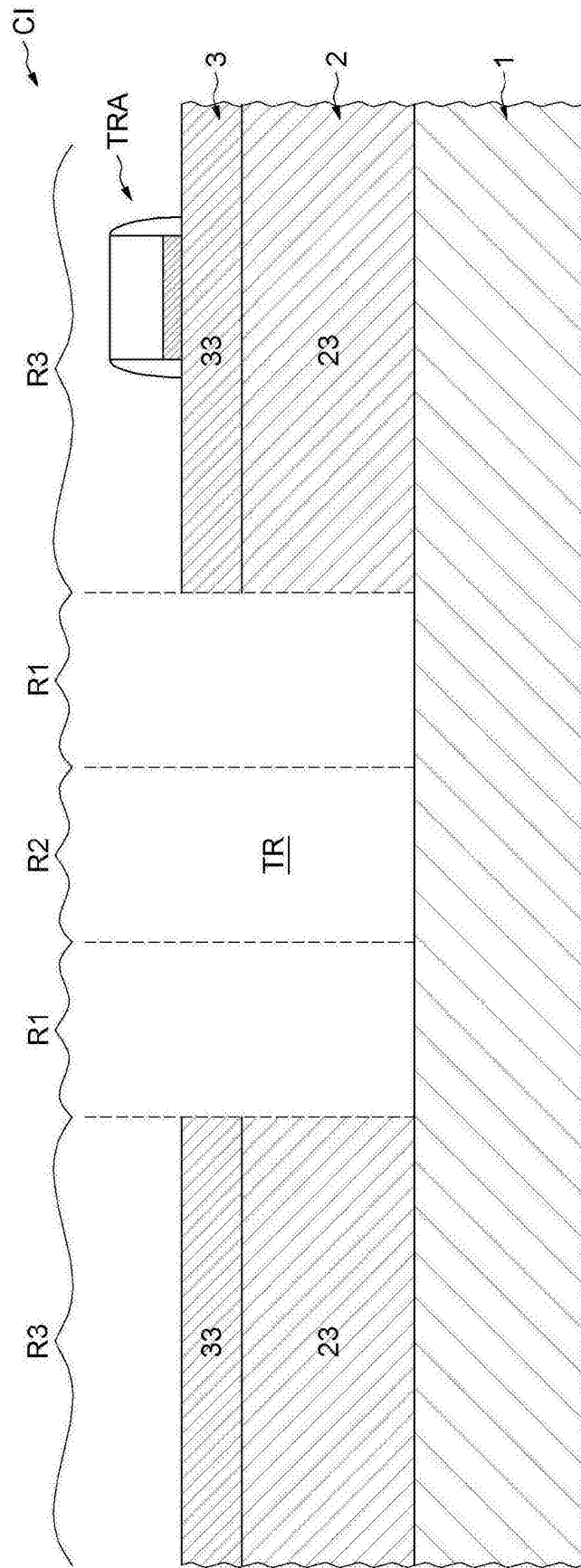


图5