

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6333948号
(P6333948)

(45) 発行日 平成30年5月30日 (2018. 5. 30)

(24) 登録日 平成30年5月11日 (2018. 5. 11)

(51) Int. Cl.		F I	
G06F 17/50	(2006.01)	G06F 17/50	658K
H01L 21/822	(2006.01)	G06F 17/50	658T
H01L 27/04	(2006.01)	G06F 17/50	658U
H01L 21/82	(2006.01)	H01L 27/04	D
		H01L 21/82	C

請求項の数 15 (全 15 頁)

(21) 出願番号 特願2016-504387 (P2016-504387)
 (86) (22) 出願日 平成26年3月21日 (2014. 3. 21)
 (65) 公表番号 特表2016-520895 (P2016-520895A)
 (43) 公表日 平成28年7月14日 (2016. 7. 14)
 (86) 国際出願番号 PCT/US2014/031497
 (87) 国際公開番号 W02014/153538
 (87) 国際公開日 平成26年9月25日 (2014. 9. 25)
 審査請求日 平成28年11月15日 (2016. 11. 15)
 (31) 優先権主張番号 61/804, 107
 (32) 優先日 平成25年3月21日 (2013. 3. 21)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 14/221, 139
 (32) 優先日 平成26年3月20日 (2014. 3. 20)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 597035274
 シノプシス、 インコーポレイテッド
 SYNOPSIS, INC.
 アメリカ合衆国、 カリフォルニア州 9
 4043, マウンテン ビュー, イー
 スト ミドルフィールド ロード 690
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 マ, シャオジュン
 アメリカ合衆国、 95050 カリフォル
 ニア州、 サンタ・クララ、 ヒルブランド・
 プレイス、 1749

最終頁に続く

(54) 【発明の名称】 二重構造クロックツリー合成 (CTS)

(57) 【特許請求の範囲】

【請求項1】

コンピュータによって実行される、クロックツリー合成のための方法であって、前記方法は、

一組の上位クロックツリーを構築することを含み、各上位クロックツリーの各リーフは下位クロックツリーのルートであり、各上位クロックツリーは、クロックスキューに対するチップ内ばらつきおよび/またはクロスコーナーばらつきの影響を減じるように最適化され、

各上位クロックツリーのリーフごとに下位クロックツリーを構築することを含み、前記下位クロックツリーは、クロック信号を前記上位クロックツリーのリーフから一組のクロックシンクに分配し、前記下位クロックツリーは、レイテンシ、消費電力、および/または面積を減じるように最適化される、方法。

【請求項2】

上位クロックツリーにおける配線の幅は下位クロックツリーにおける配線の幅よりも広い、請求項1に記載の方法。

【請求項3】

所与の上位クロックツリーのすべての水平配線は同一金属層上でルーティングされる、請求項1に記載の方法。

【請求項4】

所与の上位クロックツリーのすべての垂直配線は同一金属層上でルーティングされる、

請求項 1 に記載の方法。

【請求項 5】

所与の上位クロックツリーにおけるすべてのバッファは同じサイズを有する、請求項 1 に記載の方法。

【請求項 6】

命令を格納する非一時的なコンピュータ読取可能な記憶媒体であって、前記命令はコンピュータによって実行されると前記コンピュータにクロックツリー合成のための方法を実行させ、前記方法は、

一組の上位クロックツリーを構築することを含み、各上位クロックツリーの各リーフは下位クロックツリーのルートであり、各上位クロックツリーは、クロックスキューに対するチップ内ばらつきおよび/またはクロスコーナーばらつきの影響を減じるように最適化され、

10

各上位クロックツリーのリーフごとに下位クロックツリーを構築することを含み、前記下位クロックツリーは、クロック信号を前記上位クロックツリーのリーフから一組のクロックシンクに分配し、前記下位クロックツリーは、レイテンシ、消費電力、および/または面積を減じるように最適化される、非一時的なコンピュータ読取可能な記憶媒体。

【請求項 7】

上位クロックツリーにおける配線の幅は下位クロックツリーにおける配線の幅よりも広い、請求項 6 に記載の非一時的なコンピュータ読取可能な記憶媒体。

【請求項 8】

20

所与の上位クロックツリーのすべての水平配線は同一金属層上でルーティングされる、請求項 6 に記載の非一時的なコンピュータ読取可能な記憶媒体。

【請求項 9】

所与の上位クロックツリーのすべての垂直配線は同一金属層上でルーティングされる、請求項 6 に記載の非一時的なコンピュータ読取可能な記憶媒体。

【請求項 10】

所与の上位クロックツリーにおけるすべてのバッファは同じサイズを有する、請求項 6 に記載の非一時的なコンピュータ読取可能な記憶媒体。

【請求項 11】

装置であって、
プロセッサと、

30

命令を格納する記憶媒体とを備え、前記命令は前記プロセッサによって実行されると前記装置にクロックツリー合成のための方法を実行させ、前記方法は、

一組の上位クロックツリーを構築することを含み、各上位クロックツリーの各リーフは下位クロックツリーのルートであり、各上位クロックツリーは、クロックスキューに対するチップ内ばらつきおよび/またはクロスコーナーばらつきの影響を減じるように最適化され、

各上位クロックツリーのリーフごとに下位クロックツリーを構築することを含み、前記下位クロックツリーは、クロック信号を前記上位クロックツリーのリーフから一組のクロックシンクに分配し、前記下位クロックツリーは、レイテンシ、消費電力、および/または面積を減じるように最適化される、装置。

40

【請求項 12】

上位クロックツリーにおける配線の幅は下位クロックツリーにおける配線の幅よりも広い、請求項 11 に記載の装置。

【請求項 13】

所与の上位クロックツリーのすべての水平配線は同一金属層上でルーティングされる、請求項 11 に記載の装置。

【請求項 14】

所与の上位クロックツリーのすべての垂直配線は同一金属層上でルーティングされる、請求項 11 に記載の装置。

50

【請求項 15】

所与の上位クロックツリーにおけるすべてのバッファは同じサイズを有する、請求項 1 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

背景

この開示はクロックツリー合成 (clock tree synthesis) (CTS) に関する。より具体的には、この開示は二重構造CTSに関する。

【背景技術】

10

【0002】

関連技術

CTSとは、1つの回路設計内の一組の順序回路素子にクロック信号を分配するためのクロック分配ネットワークを作成するプロセスのことである。1つの回路設計は複数のクロックドメインを含み得る。各クロックドメインは複数のクロックツリーを含み得る。CTSによって生成されたクロックツリーの品質は、EDAフローにおける下流段、特にタイミング収束に多大な影響を及ぼす可能性がある。したがって、必要なのは、高品質のクロックツリーを効率的に作成することができるCTSのためのシステムおよび技術である。

【発明の概要】

20

【課題を解決するための手段】

【0003】

概要

本明細書に記載のいくつかの実施形態は、クロックツリーを構築するためのシステムおよび技術を提供する。いくつかの実施形態は、一組の上位クロックツリーを構築ことができ、各上位クロックツリーの各リーフは下位クロックツリーのルートであり、各上位クロックツリーを、クロックスキューに対するチップ内ばらつき (on-chip-variation) (OCV) またはクロスコーナーばらつきの影響を減じるように最適化することができる。次に、本実施形態は、各上位クロックツリーのリーフごとに下位クロックツリーを構築することができる、下位クロックツリーは、クロック信号を上位クロックツリーのリーフから一組のクロックシンクに分配する。下位クロックツリーは、レイテンシ、消費電力、および/または面積を減じるように最適化することができる。

30

【0004】

いくつかの実施形態において、上位クロックツリーにおける配線の幅は下位クロックツリーにおける配線の幅よりも広くてもよい。いくつかの実施形態において、所与の上位クロックツリーのすべての水平配線は同一金属層上でルーティングされてもよい。いくつかの実施形態において、所与の上位クロックツリーのすべての垂直配線は同一金属層上でルーティングされてもよい。いくつかの実施形態において、所与の上位クロックツリーにおけるすべてのバッファは同じサイズを有していてもよい。

【図面の簡単な説明】

40

【0005】

【図1】本明細書に記載のいくつかの実施形態に従い、動作およびプロセス条件が1つのチップ上でどのように異なり得るかを示す。

【図2】本明細書に記載のいくつかの実施形態に従い、タイミング制約がどのようにOCVばらつきを説明し得るかを示す。

【図3A】本明細書に記載のいくつかの実施形態に従い、クロックツリートポロジの変更がOCVクロックスキューにどのように影響し得るかを示す。

【図3B】本明細書に記載のいくつかの実施形態に従い、クロックツリートポロジの変更がOCVクロックスキューにどのように影響し得るかを示す。

【図4】本明細書に記載のいくつかの実施形態に従い、OCVおよびタイミング臨界を意

50

識したCTSを実行するためのプロセスを示す。

【図5】本明細書に記載のいくつかの実施形態に従い、二重構造クロックツリーの論理回路図を示す。

【図6】本明細書に記載のいくつかの実施形態に従い、上位クロックツリーの一部を示す。

【図7】本明細書に記載のいくつかの実施形態に従い、二重構造クロックツリーを構築するためのプロセスを示す。

【図8】本明細書に記載のいくつかの実施形態に従い、コンピュータシステムを示す。

【発明を実施するための形態】

【0006】

詳細な説明

以下の説明は、当業者が本発明を実施し使用することを可能にするために示され、特定の応用例およびその必要条件との関連で行なわれる。開示される実施形態に対するさまざまな変更が当業者には容易に明らかになるであろう。また、本明細書で規定される一般原理は、本発明の精神および範囲から外れることなく他の実施形態および応用例に適用し得る。よって、本発明は、示される実施形態に限定されるのではなく、本明細書に開示される原理および特徴と矛盾しない最も広い範囲と一致するはずである。この開示では、「および/または」という用語が、列挙された構成要素とともに使用される場合、これは、列挙された構成要素の可能なすべての組み合わせを意味する。たとえば、「X、Y、および/またはZ」という表現は、以下の場合をカバーする。(1) Xのみ、(2) Yのみ、(3) Zのみ、(4) XおよびY、(5) XおよびZ、(6) YおよびZ、(7) X、Y、およびZ。加えて、この開示では、「~に基づく」という用語は「~のみにまたは~の一部に基づく」を意味する。

【0007】

電子設計自動化 (electronic design automation) (EDA) フローの概要

EDAフローを用いて回路設計を作成することができる。回路設計が完成すると、製造、実装、および組立てを経て集積回路チップが生産される。EDAフローは複数の工程を含み得る。各工程は1つ以上のEDAソフトウェアツールの使用を伴ない得る。いくつかのEDA工程およびソフトウェアツールについて以下で説明する。これらEDA工程およびソフトウェアツールの例は、専ら例示を目的としており、実施形態を開示されている形態に限定することを意図しているのではない。

【0008】

いくつかのEDAソフトウェアツールは、回路設計者が実現したい機能を回路設計者が説明できるようにする。これらツールはまた、回路設計者がwhat-if計画を実行することによって機能の改良、コストの確認等を行なえるようにする。論理設計および機能検証中に、システム内のモジュール用のHDL (hardware description language (ハードウェア記述言語)) コード、たとえばSystemVerilogコードを書込むことができ、機能の正確さについて設計を検査することができ、たとえば、設計を検査することにより、これが正しい出力を生成することを保証できる。

【0009】

合成およびテスト用の設計中に、1つ以上のEDAソフトウェアツールを用いてHDLコードをネットリストに変換することができる。さらに、このネットリストを対象技術に合わせて最適化することができ、完成したチップを検査するためにテストを設計し実行することができる。ネットリストの検証中に、ネットリストは、タイミング制約の遵守およびHDLコードとの対応について検査することができる。

【0010】

設計の計画中に、チップの全体平面図を構築するとともにタイミングおよびトップレベルルーティングについて分析することができる。物理的な実装中に、回路素子をレイアウト内に置くことができ(配置)、電氣的に連結することができる(ルーティング)。

【0011】

10

20

30

40

50

分析および抽出中に、回路の機能をトランジスタレベルで検証することができ、寄生要素を抽出することができる。物理的な検証中に、設計を検査することにより、製造、電気的事項、リソグラフィに関する事項、および回路の正確さを保証することができる。

【 0 0 1 2 】

分解能強化中に、幾何学的操作をレイアウトに対して行なうことにより、設計の製造可能性を改善することができる。マスクデータの準備中に、設計を「テープアウト」し、製造中に使用されるマスクを作成することができる。

【 0 0 1 3 】

OCVおよびタイミング臨界を意識したCTS

OCVとは、1つのチップ上の動作およびプロセス条件のばらつきのことである。図1は、本明細書に記載のいくつかの実施形態に従い、動作およびプロセス条件が1つのチップ上でどのように異なり得るかを示す。電圧、温度、およびプロセスパラメータ（たとえばチャンネル長）はチップ102上でばらつき得る。たとえば、領域104における電圧、温度、およびプロセスパラメータはそれぞれ、3.2V、72°F、および0.26μである場合がある。一方、領域106における電圧、温度、およびプロセスパラメータはそれぞれ、3.4V、68°F、および0.24μである場合がある。OCVは、回路素子の1つ以上の特性に影響し得る。たとえば、OCVが原因で、領域104内のセルのインスタンスが領域106内の同一セルのインスタンスと異なる遅延特性を有することがある。

10

【 0 0 1 4 】

一般的に、2つの場所間のOCVの量は、距離とともに増加する。たとえば、間の距離が大きい2つの同一セルは、それぞれの特性（たとえば遅延）の差が、間の距離が小さい2つの同一セルよりも大きいと予測される。加えて、OCVの量は一般的に、経路長の増加および/または経路内の回路素子の数の増加に伴って増加する。たとえば、長い配線は短い配線よりも顕著なOCV効果を有すると予測される。さらに、回路素子の数が多い経路は回路素子の数が少ない経路よりもOCV効果が大きいと予測される。

20

【 0 0 1 5 】

OCVはクロックスキューに影響し得る。なぜなら、OCVが原因で、回路素子および配線の遅延がそれぞれの公称値から変化することがあるからである。このため、タイミング制約はこの変化を説明する必要がある。図2は、本明細書に記載のいくつかの実施形態に従い、タイミング制約がどのようにOCVばらつきを説明し得るかを示す。回路200は、順序回路素子202、204、および206を含む。各順序回路素子は、クロック信号を受けるクロック入力「C」と、クロック信号に基づいてデータ信号を送出する出力「Q」と、クロック信号に基づいてデータ信号を捕捉する入力「D」とを有する。図2では順序回路素子の例として「Dフリップフロップ」が使用されているが、順序回路素子202、204、および206は一般的にはクロック信号を用いて時間調整される任意の回路であればよい。

30

【 0 0 1 6 】

組合せ論理クラウド214および216は、1本以上の配線および/または1つ以上の組合せ論理ゲートを含み得るが、これらは順序回路素子を含まない。ある順序回路素子の出力で送出されたデータ信号は、別の順序回路素子の入力で捕捉される前に組合せ論理クラウドを通過し得る。たとえば、順序回路素子202の出力「Q」によって送出されたデータ信号は、順序回路素子204の入力「D」で捕捉される前に、組合せ論理クラウド214（ここでこのデータ信号を他のデータ信号と論理的に組み合わせることができる）を通過する。

40

【 0 0 1 7 】

クロック信号「CLK」は、バッファ208、210、および212を含むクロックツリーを用いて順序回路素子に分配することができる。このクロックツリーは分岐点B₁およびB₂を含み、この分岐点でクロックツリートポロジは複数の方向に分岐する。先に説明したように、OCVが原因で同一セルまたは配線の異なるインスタンスが異なる遅延を

50

有することがある。具体的には、ある回路素子に対して（１つの公称遅延を用いるのではなく）ある範囲の遅延を用いることにより、たとえば、回路素子に対してディレーティング係数を用いるかまたは高および低遅延値を用いることにより、OCVをモデル化することができる。同様に、経路については、その経路内の回路素子について、それぞれの高遅延値と低遅延値を集約することによって、高遅延値と低遅延値を計算することができる。

【 0 0 1 8 】

図 2 において、回路経路は点線で示されており、回路経路の高遅延値（すなわち低速経路）および低遅延値（すなわち高速経路）はそれぞれ大文字と小文字で示されている。たとえば、分岐点 B_1 から順序回路素子 202 のクロック入力「C」までの高遅延値および低遅延値はそれぞれ X_1 および x_1 である。項「 X_1 」の下付き文字「1」は、この遅延値が分岐点 B_1 からのものであることを示す。

10

【 0 0 1 9 】

データ経路遅延も図 2 に示されている。たとえば、順序回路素子 202 の出力「Q」からデータ信号が送出された時点から順序回路素子 204 の入力「D」でこのデータ信号が捕捉された時点までの高遅延および低遅延は、「A」（高遅延値）および「a」（低遅延値）である。

【 0 0 2 0 】

この開示では、高遅延値に相当する大文字をデータ経路自体にも使用している。たとえば、データ経路「A」は、組合せ論理クラウド 214 を通る、順序回路素子 202 から順序回路素子 204 までのデータ経路である。なお、点線が順序回路素子 202 の（出力「Q」から始まるのではなく）クロック入力「C」から始まっている理由は、点線で示されるデータ経路遅延が、クロック入力「C」に達したクロックエッジと出力「Q」から送出されるデータ信号との間の遅延である、送出遅延を含むことにある。

20

【 0 0 2 1 】

図 2 に示される経路遅延を用いて、OCVを意識したセットアップタイミング制約を次のように表わすことができる。

【 0 0 2 2 】

【数 1】

$$\begin{aligned} A + X_1 - y_1 &< \Delta_A, \\ B + Y_2 - z_2 &< \Delta_B, \text{ および} \\ C + Z_2 - y_2 &< \Delta_C \end{aligned} \quad (1)$$

30

【 0 0 2 3 】

式中、 A 、 B 、および C はセットアップタイミング要件である。同様に、OCVを意識したホールドタイミング制約を次のように表わすことができる。

【 0 0 2 4 】

【数 2】

$$\begin{aligned} a + x_1 - Y_1 &> \delta_A, \\ b + y_2 - Z_2 &> \delta_B, \text{ および} \\ c + z_2 - Y_2 &> \delta_C \end{aligned} \quad (2)$$

40

【 0 0 2 5 】

式中、 A 、 B 、および C はホールドタイミング要件である。

高遅延値および低遅延値は、ディレーティング係数を用いて表わすことができる。d をディレーティング係数とし、プライム記号「'」が公称遅延値を示すものとする。たとえば、 x_1' を、分岐点 B_1 から順序回路素子 202 のクロック入力「C」までの公称経路

50

遅延とする。そうすると、高遅延値および低遅延値はそれぞれ、 $X_1 = x_1' + d \cdot x_1'$ および $x_1 = x_1' - d \cdot x_1'$ と表わすことができる。他の高遅延値および低遅延値についても同様の式を導くことができる。式(1)を用いてデータ経路「A」、「B」、および「C」それぞれのクロックスキュー CS_A 、 CS_B 、および CS_C を次のように表わすことができる。

【0026】

【数3】

$$\begin{aligned} CS_A &= X_1 - y_1 = (x_1' - y_1') + d \cdot (x_1' + y_1'), \\ CS_B &= Y_2 - z_2 = (y_2' - z_2') + d \cdot (y_2' + z_2'), \\ CS_C &= Z_2 - y_2 = (z_2' - y_2') + d \cdot (z_2' + y_2') \end{aligned} \quad (3)$$

10

【0027】

なお、右辺の第1項、たとえば $(x_1' - y_1')$ は、公称クロックスキュー（すなわち公称経路遅延間の差）であり、第2項、たとえば $d \cdot (x_1' + y_1')$ は、OCVの影響を表わす。ホールディング制約についても同様にクロックスキューの式を導くことができる。

20

【0028】

式(3)からいくつかの重要事項がわかる。第1に、OCVクロックスキュー成分は、分岐点からの総（すなわち送出+捕捉）経路レイテンシを最小にする、たとえば $(x_1' + y_1')$ を最小にすることによってしか、最小にすることができない。第2に、分岐点をクロックツリートポロジのルートに向かって動かすと、結果として分岐点からの総経路遅延が大きくなり、その結果、OCVクロックスキュー成分が大きくなる。第3に、挿入遅延を加えることによって公称クロックスキューを最小にしようとする、OCVクロックスキュー成分が悪化する可能性が高い。なぜなら、挿入遅延を加えると、分岐点からの総経路遅延が増すからである。従来のCTSの手法は公称クロックスキューを最適化しようとするのが一般的であった。上記説明に基づくと、OCVクロックスキューを最適化する（すなわちクロックスキューに対するOCVの影響を減じる）ことは、従来のCTSで行なわれる従来のクロックスキュー最適化とは大きく異なることは明らかである。

30

【0029】

図3A～図3Bは、本明細書に記載のいくつかの実施形態に従い、クロックツリートポロジの変更がOCVクロックスキューにどのように影響し得るかを示す。明確にするためかつ開示を容易にするために、図3A～図3Bにバッファは示されていない。図3Aに示される回路300は、分岐点 B_1 がツリーのリーフからより遠く（したがってツリーのルートにより近く）分岐点 B_2 がツリーのリーフにより近い（したがってツリーのルートからより遠い）クロックツリートポロジを含む。これに対し、図3Bに示される回路350では、分岐点 B_2 はツリーのリーフからより遠く分岐点 B_1 はツリーのリーフにより近い。

40

【0030】

なお、回路300では、データ経路「A」のOCVクロックスキュー成分はデータ経路「B」および「C」のOCVクロックスキュー成分よりも大きい。なぜなら、図3Aでは $(x_1' + y_1') > (y_2' + z_2')$ であるからである。逆に、回路350では、データ経路「A」のOCVクロックスキュー成分はデータ経路「B」および「C」のOCVクロックスキュー成分よりも小さい。なぜなら、図3Bでは $(x_1' + y_1') < (y_2' + z_2')$ であるからである。

【0031】

本明細書に記載のいくつかの実施形態は、臨界タイミング経路のクロックスキューに対

50

するOCVの影響を減じるクロックツリートポロジを構築する。たとえば、データ経路「B」および「C」は臨界（たとえばタイミングスラックが負であるかゼロに近い）であるがデータ経路「A」は臨界でない場合、いくつかの実施形態は図3Aに示されるクロックツリートポロジを使用することができる。一方、データ経路「A」は臨界であるがデータ経路「B」および「C」は臨界でない場合、いくつかの実施形態は図3Bに示されるクロックツリートポロジを使用することができる。一般的に、所与のタイミング経路のOCVクロックスキューを減じること（すなわち所与のタイミング経路のクロックスキューに対するOCVの影響を減じること）は、最も近い分岐点（すなわち送出および捕捉順序回路素子に最も近い）から送出および捕捉順序回路素子までの総（すなわち送出+捕捉）経路レイテンシを減じることを含み得る。

10

【0032】

図4は、本明細書に記載のいくつかの実施形態に従い、OCVおよびタイミング臨界を意識したCTSを実行するためのプロセスを示す。このプロセスは、一組の臨界経路にある順序回路素子の時間調整のために第1の組のクロックツリートポロジを構築することで始めることができ、この構築は、クロックスキューに対するOCVの影響を減じようように第1の組のクロックツリートポロジを最適化することを含む（動作402）。

【0033】

タイミングスラックおよび対応するタイミング経路は、所要時間を回路設計によって後方に（すなわちタイミング終点からタイミング始点へ）伝搬し、到着時間を回路設計によって前方に（すなわちタイミング始点からタイミング終点へ）伝搬することによって求めることができる。次に、タイミングスラックの妨害に相当するタイミング経路、およびオプションとしてタイミングスラックのほぼ妨害に相当するタイミング経路を、一組の臨界経路として識別することができる。いくつかの実施形態において、このプロセスは、タイミング経路をこれらタイミング経路のスラック値に基づいて分類し最もスラックが小さい予め定められた数（または予め定められた割合）の経路を選択することによって、上記一組の臨界経路を求めてもよい。

20

【0034】

先に説明したように、各臨界経路は、送出順序回路素子の出力（タイミング始点）で始まり、捕捉順序回路素子の入力（タイミング終点）で終わる。たとえば、図2において、臨界経路は、順序回路素子202の「Q」出力で始まり順序回路素子204の「D」入力で終わるものであってもよい。なお、一組の臨界経路は、一組の順序回路素子に対応する。たとえば、図2において、一組の臨界経路がデータ経路「B」および「C」を含む場合、この一組の臨界経路にある順序回路素子は、順序回路素子202、204、および206を含むであろう。一方、この一組の臨界経路がデータ経路「A」しか含まない場合、この一組の臨界経路にある順序回路素子は、順序回路素子202および204を含むであろうが順序回路素子206は含まないであろう。

30

【0035】

一組のクロックツリートポロジは、1つ以上のクロックツリートポロジを含み得る。たとえば、図3Aの、クロック信号「CLK」を順序回路素子202、204、および206のクロック入力に分配するネットは、クロックツリートポロジを1つしか含まない「一組のクロックツリートポロジ」の一例である。「最適化する」、「最適化」、およびそれ以外のこのような用語は、所与の目的関数を最小化または最大化しようと試みるプロセスを意味する。なお、これら最適化プロセスは、目的関数のグローバル最小値または最大値を得る前に終了し得る。一組のクロックツリートポロジを、クロックスキューに対するOCVの影響を減じようように最適化することは、クロックツリートポロジにおける分岐点の最適化された位置を求めることを含み得る。具体的には、このプロセスは、所与の臨界経路の終点にある2つの順序回路素子にできるだけ近い分岐点を求めることができる。

40

【0036】

図4を参照して、このプロセスは次に、一組の臨界経路にない順序回路素子の時間調整のために第2の組のクロックツリートポロジを構築することができ、この構築は、クロッ

50

クレイテンシを減じるように第2の組のクロックツリートポロジを最適化することを含む(動作404)。いくつかの実施形態において、メトリクスの組合せを最適化することができる。たとえば、動作404において、このプロセスは、クロックツリートポロジの、レイテンシの最適化(たとえばクロックツリーのルートからクロックツリーのリーフまでの最大遅延の最小化)、消費電力(たとえばクロックツリーの動的および/または漏れ消費電力)の最適化、および/または面積(たとえばクロックツリーにおいて使用されているバッファの総セル面積)の最適化を試みることができる。

【0037】

第2の組のクロックツリートポロジは、全く新しいクロックツリートポロジを含むものであってもよく、および/または既存のクロックツリートポロジの増分拡張部(たとえば動作402で作成されたクロックツリートポロジの増分拡張部)を含むものであってもよい。たとえば、図2において、データ経路「A」は臨界経路であるがデータ経路「B」および「C」は臨界経路でないと仮定する。動作402は、クロック信号「CLK」を順序回路素子202および204のクロック入力に分配するクロックツリートポロジを構築し得る。次に、動作404は、ポイントB₂から順序回路素子206のクロック入力までの分岐を作成することによってこのクロックツリートポロジを増分的に拡張し得る(なお、動作402は、順序回路素子206が臨界経路上になかったため、この分岐を作成しなかった)。

【0038】

二重構造クロックツリー

従来のCTSの手法はツリーを下から上に構築する、すなわち、これら手法はクロックシンク(たとえば順序回路素子のクロック入力)から始めてツリーを次第にクロックソースに向けて構築する。あいにく、OCVが原因で、クロックスキューは、従来のCTSの手法を用いて構築されたクロックツリーにおいて大きく変動することがある。

【0039】

従来のCTSの手法と異なり、本明細書に記載のいくつかの実施形態は、上位クロックツリーおよび下位クロックツリーと呼ばれる二種類のクロックツリーを用いて二重構造のクロックツリーを構築する。上位クロックツリーは、比較的長い距離を通してクロック信号をチップの異なる領域に分配するために構築され最適化される。上位クロックツリーは、たとえばクロックスキューに対するOCVおよび/またはクロスコーナーばらつきの影響を減じるようにこの上位クロックツリーを最適化することによって、耐OCVおよび/またはクロスコーナーにすることができる。上位クロックツリーのリーフ(アンカーバッファと呼ばれる)は、下位クロックツリーのルートとして機能する。具体的には、上位クロックツリーの各リーフから、下位クロックツリーを構築し最適化することによって、クロック信号を上位クロックツリーのリーフの近傍にあるクロックシンクに分配することができる。

【0040】

図5は、本明細書に記載のいくつかの実施形態に従い、二重構造クロックツリーの論理回路図を示す。上位クロックツリー504は、クロック信号を、クロックツリールート502から、上位クロックツリー504のリーフ、たとえば上位クロックツリー504のリーフ508に、分配する。上位クロックツリーの各リーフはクロックバッファ(この開示ではアンカーバッファと呼ばれる)であってもよい。たとえば、リーフ508は下位クロックツリーを駆動するアンカーバッファであってもよい。

【0041】

下位クロックツリー506は、クロック信号を、上位クロックツリーのリーフから一組のクロックシンクに分配する。具体的には、各上位クロックツリーの各リーフは、上位クロックツリーのリーフの近傍にあるクロックシンクにクロック信号を分配する、下位クロックツリーのルートとして機能する。たとえば、リーフ508は、クロックシンク、たとえばリーフ508の近傍にあるクロックシンク512にクロック信号を分配する下位クロックツリー510のルートとして機能する。

10

20

30

40

50

【 0 0 4 2 】

上記のように、上位クロックツリーは、たとえばクロックスキューに対するOCVの影響を減じるように上位クロックツリートポロジを最適化することによって、OCVに対する耐性を有するように最適化することができる。さらに、いくつかの実施形態において、上位クロックツリーで使用されるすべてのバッファは、同一セルのインスタンスであってもよく、または、同一種類でサイズが非常によく似たセルのインスタンスであってもよい（たとえばセルライブラリが大きな範囲のセルサイズのセルを含む場合は上位クロックツリーで使用されるセルを小さい範囲のセルサイズから選択してもよい）。同一サイズのバッファを使用することにより、クロックスキューに対するOCVの影響を減じることができる。なぜなら同一サイズにされたバッファはOCVから同じように影響を受けると予想されるからである。加えて、上位クロックツリーのクロックツリートポロジは、規則的な構造を有していてもよく、それは、クロックスキューに対するOCVの影響を減じるのに役立つ。いくつかの実施形態において、上位クロックツリーは、下位クロックツリーで使用される配線の幅よりも大きな配線の幅を使用することができる。幅がより大きな配線の電気的特性（たとえば容量および抵抗）は一般的に、幅が狭い配線よりもOCVに対する耐性が高い。加えて、すべての水平配線を同一金属層（たとえば金属層M4）上でルーティングし、同様に、すべての垂直配線を同一金属層（たとえば金属層M3）上でルーティングすることによって、金属層間のプロセスばらつきの影響を減じることができる。このようにして、上位クロックツリーを、クロックツリーの特長（たとえばクロックスキュー）に対するOCVの影響を減じるように最適化することができる。

10

20

【 0 0 4 3 】

なお、同一の装置および/または配線幅の使用は、OCVの影響を減じるのみならず、クロスコーナーばらつき（PVTばらつきとしても知られている）も減じる。先に説明したように、OCVとは1つのチップの異なる領域内のばらつきのことである。一方、クロスコーナーばらつきまたはPVTばらつきは、チップ全体に影響する、複数のコーナーに亘るプロセス、電圧、および温度のばらつきのことである。一般的に、チップは（たとえばタイミングに関して）複数のコーナー（各コーナーは公称プロセス、電圧、および温度値に関連する）に亘って検証され、同一の装置および/または配線幅の使用は、複数のPVTコーナーに亘るクロックスキューのばらつきを減じるのにも役立つ。

【 0 0 4 4 】

図6は、本明細書に記載の実施形態に従い、上位クロックツリーの一部を示す。図6に示される上位クロックツリーの一部は、配線604等の配線と、バッファ606等のバッファとを含む。ルーティンググリッド602を用いてクロックツリーの配線をルーティングすることができ、ルーティングおよび/または配置の阻止部、たとえば阻止部608をルーティンググリッド602内に指定することができる。配線604が阻止部608を避けるようにルーティングされていることが注目される。加えて、すべての水平配線が同一金属層、すなわち金属層M4においてルーティングされ、すべての垂直配線が同一金属層、すなわち金属層M3においてルーティングされていることが注目される。いくつかの実施形態において、これは、上位クロックツリーのすべての水平配線および垂直配線をそれぞれの金属層においてルーティングすることをルータに強制するルーティング規則を作成することによって可能になる。加えて、図6に示されるように、二重構造CTSは、できる限り共通経路を共有することによってクロックスキューに対するOCVの影響を減じようとしている。

30

40

【 0 0 4 5 】

図7は、本明細書に記載のいくつかの実施形態に従い、二重構造クロックツリーを構築するためのプロセスを示す。このプロセスは、一組の上位クロックツリーを構築することから始めることができ、各上位クロックツリーの各リーフは下位クロックツリーのルートであり、各上位クロックツリーは、クロックスキューに対するOCVおよび/またはクロスコーナーばらつきの影響を減じるように最適化される（動作702）。

【 0 0 4 6 】

50

一組の上位クロックツリーは、1つ以上の上位クロックツリーを含み得る。先に説明したように、上位クロックツリーは一般的に、下位クロックツリーよりも長い配線を有し、クロックバッファごとのファンアウトが少なく、クロックツリーの論理ゲートはほんのわずかであるか全くない。加えて、上位クロックツリーは、好ましくはより良好なOCV耐性のために規則的なトポロジを有していてもよく、装置ばらつきの影響を減じるためにクロックバッファのサイズが同一/同様であってもよい。さらに、上位クロックツリーは、ツリーの異なる分岐に対して一致する配線長および金属層を使用することにより相互接続のばらつきを制御することができる。上位クロックツリーを構築している間に、プロセスは、(1)異なるプロセス、電圧、および温度コーナーに亘るセル遅延および配線遅延のバランスを取ることができ、(2)クロックツリー全体において同一サイズのバッファを使用することができ、(3)分岐のルートを一貫させることができる。

10

【0047】

次に、プロセスは、各上位クロックツリーのリーフごとに下位クロックツリーを構築することができる。下位クロックツリーは、クロック信号を上位クロックツリーのリーフから一組のクロックシンクに分配し、下位クロックツリーは、レイテンシ、消費電力、および/または面積を減じるように最適化される(動作704)。

【0048】

先に説明したように、下位クロックツリーは、一般的に、配線長が上位クロックツリーよりも短く、クロックバッファ/ゲートごとのファンアウトは中程度の数~多数であり、クロックシンクの分布が不均一でありゲートのバッファサイズがばらついているので、構造の規則性は低い。一般的に、下位クロックツリーのレベル数が少ないほど、OCVに対するクロックツリーの耐性は高くなる。

20

【0049】

いくつかの実施形態において、下位クロックツリーのバッファレベルの最大数は、OCVの影響を減じるために、制約を受けることがある。具体的には、最大バッファレベルの制約を満たすために、下位クロックツリーは、バッファの追加に加えて、既存のゲート(たとえばクロックゲーティングセル)の複製を作る必要があるかもしれない。いくつかの実施形態において、同じクラスタ化プロセスを、バッファリングおよびゲート複製に使用する。いくつかの実施形態において、このプロセスは、下位クロックツリーのレベルのバランスが取れておりそれによってOCV耐性をさらに改善できることを保証することができる。

30

【0050】

いくつかの実施形態において、下位クロックツリーにおけるレベル数は、予め定められた最大数になるよう強制される、すなわち、下位クロックツリーのルートから下位クロックツリーのリーフまでの各経路のバッファの数は、予め定められた最大数よりも少なくまたはそれと等しくなるよう強制される。なお、この最大バッファレベルの制約は、下位クロックツリーのサイズも制限する。予め定められた最大バッファレベルの制約を受けて、プロセスは、回路設計においてクロックシンクをクラスタ化することによって一組の下位クロックツリーを構築することができる。このプロセスは次に、下位クロックツリーの一時的アンカーバッファ位置を識別することができる。一時的アンカーバッファ位置が求められると、プロセスは、1つ以上の上位クロックツリーを作成してクロック信号をアンカーバッファに分配することができる。一般的に、下位クロックツリーで許容されるレベル数が少なければ、下位クロックツリーの数は多くなる。逆に、下位クロックツリーで許容されるレベル数が多ければ、下位クロックツリーの数は少なくなる。

40

【0051】

コンピュータシステム

図8は、本明細書に記載のいくつかの実施形態に従い、コンピュータシステムを示す。コンピュータシステム802は、プロセッサ804と、メモリ806と、記憶装置808とを含み得る。コンピュータシステム802は、表示装置814、キーボード810、およびポインティングデバイス812に結合し得る。記憶装置808は、オペレーティング

50

システム 816、アプリケーション 818、およびデータ 820 を格納し得る。データ 820 は、アプリケーション 818 が要求する入力、および / またはアプリケーション 818 が生成した出力を含み得る。

【0052】

コンピュータシステム 802 は、自動的に（またはユーザとの対話により）、この開示において暗示的または明示的に記載されている 1 つ以上の動作を実行する。具体的には、動作中、コンピュータシステム 802 は、アプリケーション 818 をメモリ 806 にロードすることができる。次にアプリケーション 818 を用いて OCV およびタイミング臨界を意識した CTS を実行することができ、および / または二重構造 CTS を実行することができる。

10

【0053】

結論

上記説明は、当業者が本実施形態を実施し使用することを可能にするために示されている。開示されている実施形態に対するさまざまな変更が当業者には容易に明らかになるであろう。また、本明細書で規定されている一般原理は、本開示の精神および範囲から外れることなく他の実施形態および応用例に適用可能である。よって、本発明は、示されている実施形態に限定されるのではなく、本明細書に開示されている原理および特徴と矛盾しない最も広い範囲に一致するはずである。

【0054】

この開示に記載されているデータ構造およびコードは、その一部またはすべてを、コンピュータ読取可能な記憶媒体および / またはハードウェアモジュールおよび / またはハードウェア装置に格納することができる。コンピュータ読取可能な記憶媒体は、揮発性メモリ、不揮発性メモリ、磁気および光記憶装置たとえばディスクドライブ、磁気テープ、CD（コンパクトディスク）、DVD（デジタル多目的ディスクまたはデジタルビデオディスク）に、または、コードおよび / またはデータを格納することができる現在知られているまたは後に開発されるその他の媒体を含むが、これらに限定されない。この開示に記載されているハードウェアモジュールまたは装置は、特定用途向け集積回路（ASIC）、フィールドプログラマブルゲートアレイ（FPGA）、専用または共用プロセッサ、および / または現在知られているまたは後に開発されるその他のハードウェアモジュールまたは装置を含むが、これらに限定されない。

20

30

【0055】

この開示に記載されている方法およびプロセスは、その一部またはすべてを、コンピュータ読取可能な記憶媒体または装置に格納されたコードおよび / またはデータとして実現することにより、コンピュータシステムがこのコードおよび / またはデータを読み出して実行したときにコンピュータシステムが関連する方法およびプロセスを実行するようにしてもよい。この方法およびプロセスはまた、その一部またはすべてを、ハードウェアモジュールまたは装置で実現することにより、ハードウェアモジュールまたは装置が起動されたときにこれらが関連する方法およびプロセスを実行するようにしてもよい。なお、これら方法およびプロセスは、コード、データ、およびハードウェアモジュールまたは装置の組み合わせを用いて実施することができる。

40

【0056】

本発明の実施形態の上記説明は、専ら例示と説明を目的として示されている。上記説明はすべてを網羅することを意図している訳でも、本発明を開示された形態に限定することを意図している訳でもない。したがって、数多くの変更および変形が当業者には明らかであろう。加えて、上記開示は本発明を限定することを意図したものではない。本発明の範囲は以下の請求項によって定義される。

【 図 1 】

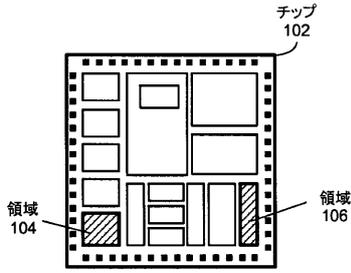


FIG. 1

【 図 2 】

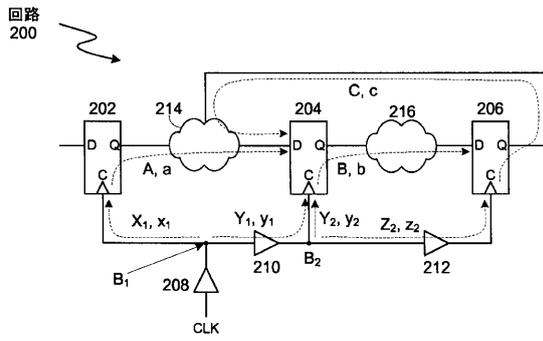


FIG. 2

【 図 4 】

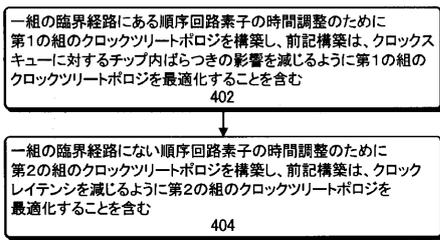


FIG. 4

【 図 5 】

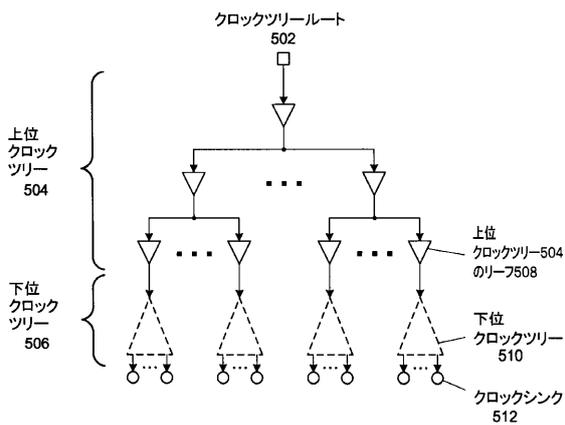


FIG. 5

【 図 3 A 】

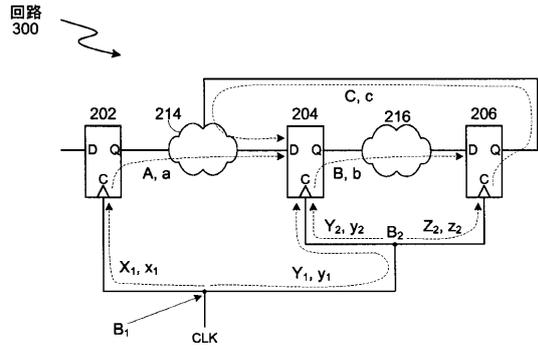


FIG. 3A

【 図 3 B 】

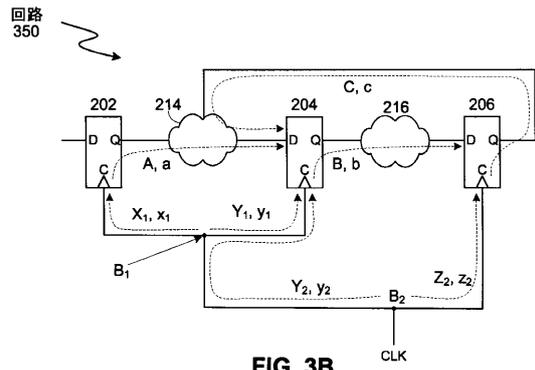


FIG. 3B

【 図 6 】

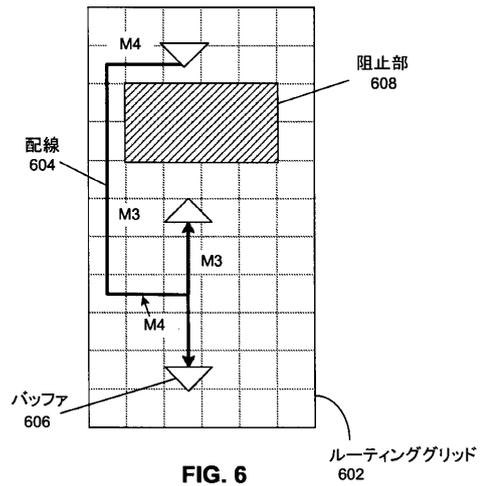


FIG. 6

【 図 7 】

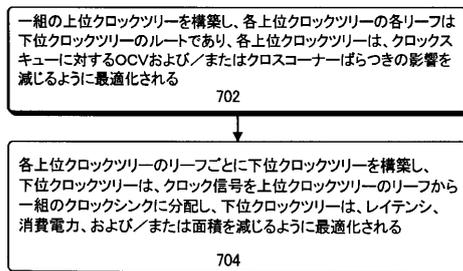


FIG. 7

【 図 8 】

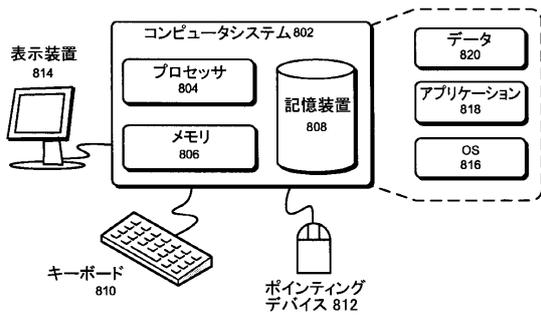


FIG. 8

フロントページの続き

- (72)発明者 パン, ミン
アメリカ合衆国、94536 カリフォルニア州、フリーモント、クレイ・コート、1190
- (72)発明者 ツァオ, アイクン
アメリカ合衆国、94086 カリフォルニア州、サニーバイル、リンコン・アベニュー、497
- (72)発明者 ディン, チェン-リアン
アメリカ合衆国、95014 カリフォルニア州、クパチーノ、ハイアニスポート・ドライブ、8139

審査官 合田 幸裕

- (56)参考文献 特開2012-063886(JP, A)
特開2012-194888(JP, A)
特開2012-094065(JP, A)
特開2010-211302(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 17/50
H01L 21/82
H01L 21/822
H01L 27/04
IEEE Xplore
JSTPlus(JDreamIII)