

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-114918

(P2011-114918A)

(43) 公開日 平成23年6月9日(2011.6.9)

(51) Int.Cl. F I テーマコード (参考)
HO2M 3/155 (2006.01) HO2M 3/155 W 5H730
 HO2M 3/155 H

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21) 出願番号 特願2009-268184 (P2009-268184)
 (22) 出願日 平成21年11月26日 (2009.11.26)

(71) 出願人 000003218
 株式会社豊田自動織機
 愛知県刈谷市豊田町2丁目1番地
 (74) 代理人 100074099
 弁理士 大菅 義之
 (72) 発明者 鈴木 広幸
 愛知県刈谷市豊田町2丁目1番地 株式会
 社豊田自動織機内
 Fターム(参考) 5H730 AA14 AS04 BB14 BB57 BB84
 BB88 DD03 DD27 DD41 FD51
 FF06 FG05

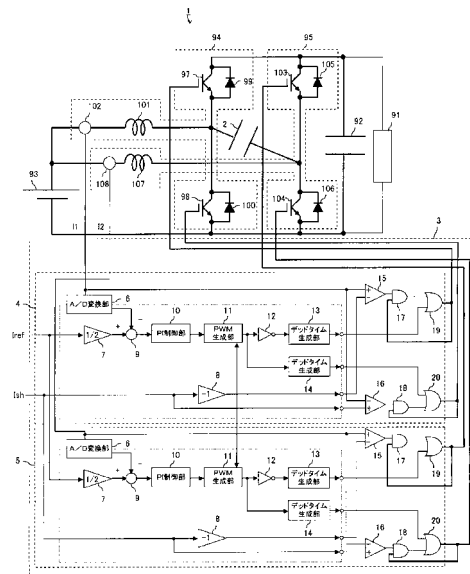
(54) 【発明の名称】 マルチフェーズコンバータ回路

(57) 【要約】

【課題】コストの増加・部品点数増加を抑えた高効率のマルチフェーズコンバータ回路を提供することを目的とする。

【解決手段】複数の昇圧コンバータそれぞれのIGBTの接続点の間に設けられるコンデンサと、複数の昇圧コンバータのリアクトルに流れる電流がそれぞれ目標値になるように、複数の昇圧コンバータそれぞれのIGBTを交互にオン、オフし、力行時、各リアクトルに流れる電流の下限値がそれぞれ負になるまで上アームのIGBTのターンオフを禁止するとともに、回生時、各リアクトルに流れる電流の上限値がそれぞれ正になるまで下アームのIGBTのターンオフを禁止する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

互いに直列接続され、出力側の第 1 のコンデンサと並列接続される第 1 及び第 2 のスイッチング素子と、前記第 1 のスイッチング素子に逆並列接続される第 1 のダイオードと、前記第 2 のスイッチング素子に逆並列接続される第 2 のダイオードと、前記第 1 及び第 2 のスイッチング素子の接続点に一端が接続されるリアクトルとを含むコンバータを複数備え、各前記リアクトルの他端同士が互いに接続されるマルチフェーズコンバータ回路であって、

前記複数のコンバータにおける第 1 及び第 2 のスイッチング素子の接続点の間に設けられる第 2 のコンデンサと、

前記複数のコンバータのリアクトルに流れる電流がそれぞれ目標値になるように、前記複数のコンバータのそれぞれの第 1 及び第 2 のスイッチング素子を交互にオン、オフし、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が正になる制御モード時、前記各リアクトルに流れる電流がそれぞれゼロ以下になるまで前記第 1 のスイッチング素子のターンオフを禁止するとともに、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が負になる制御モード時、前記各リアクトルに流れる電流がそれぞれゼロ以上になるまで前記第 2 のスイッチング素子のターンオフを禁止する制御回路と

を備えるマルチフェーズコンバータ回路。

【請求項 2】

互いに直列接続され、出力側の第 1 のコンデンサと並列接続される第 1 及び第 2 のスイッチング素子と、前記第 1 のスイッチング素子に逆並列接続される第 1 のダイオードと、前記第 2 のスイッチング素子に逆並列接続される第 2 のダイオードと、前記第 1 及び第 2 のスイッチング素子の接続点に一端が接続されるリアクトルとを含むコンバータを複数備え、各前記リアクトルの他端同士が互いに接続されるマルチフェーズコンバータ回路であって、

前記複数のコンバータにおける第 1 及び第 2 のスイッチング素子の一方若しくは両方に並列に設けられる第 2 のコンデンサと、

前記複数のコンバータのリアクトルに流れる電流がそれぞれ目標値になるように、前記複数のコンバータのそれぞれの第 1 及び第 2 のスイッチング素子を交互にオン、オフし、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が正になる制御モード時、前記各リアクトルに流れる電流がそれぞれゼロ以下になるまで前記第 1 のスイッチング素子のターンオフを禁止するとともに、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が負になる制御モード時、前記各リアクトルに流れる電流がそれぞれゼロ以上になるまで前記第 2 のスイッチング素子のターンオフを禁止する制御回路と

を備えるマルチフェーズコンバータ回路。

【請求項 3】

請求項 1 又は請求項 2 に記載のマルチフェーズコンバータ回路であって、

前記制御回路は、前記第 1 及び第 2 のスイッチング素子が交互に 1 回ずつオン、オフするときの制御周期の開始時刻を、前記複数のコンバータにおいて互いにずらすことを特徴とするマルチフェーズコンバータ回路。

【請求項 4】

請求項 1 ~ 3 の何れか 1 項に記載のマルチフェーズコンバータ回路であって、

前記制御回路は、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が正になる時、前記各リアクトルに流れる電流がそれぞれ負の値の閾値以下になると前記第 1 のスイッチング素子をターンオフさせるとともに、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が負になる時、前記各リアクトルに流れる電流がそれぞれ正の値の閾値以上になると前記第 2 のスイッチング素子をターンオフさせることを特徴とするマルチフェーズコンバータ回路。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のコンバータを備えるマルチフェーズコンバータ回路に関する。

【背景技術】

【0002】

図9は、従来のマルチフェーズコンバータ回路を示す図である。

図9に示すマルチフェーズコンバータ回路90は、負荷91に並列に接続される出力側のコンデンサ92と、それぞれ電源93とコンデンサ92との間に設けられる昇圧コンバータ94、95と、昇圧コンバータ94、95のそれぞれの動作を制御する制御回路96とを備えて構成されている。

10

【0003】

昇圧コンバータ94は、互いに直列接続され、コンデンサ92に並列接続されるIGBT97、98と、IGBT97に逆並列接続されたダイオード99と、IGBT98に逆並列接続されたダイオード100と、IGBT97、98の接続点と電源93との間に設けられるリアクトル101と、リアクトル101に流れる電流を検出する電流センサ102とを備えて構成されている。

【0004】

昇圧コンバータ95は、互いに直列接続され、コンデンサ92に並列接続されるIGBT103、104と、IGBT103に逆並列接続されたダイオード105と、IGBT104に逆並列接続されたダイオード106と、IGBT103、104の接続点と電源93との間に設けられるリアクトル107と、リアクトル107に流れる電流を検出する電流センサ108とを備えて構成されている。

20

【0005】

制御回路96は、リアクトル101、107に流れる各電流の合計値が目標値 I_{ref} になるように、IGBT97、98を交互にオン、オフさせると共に、IGBT103、104を交互にオン、オフさせる。IGBT97がオフ、IGBT98がオンすると、電源93からの電力がリアクトル101に蓄積される。次に、IGBT97がオン、IGBT98がオフすると、リアクトル101の誘導起電力によりコンデンサ92にかかる電圧が上昇する。同様に、IGBT103、104を交互にオン、オフさせると、コンデンサ92にかかる電圧が上昇する。この動作が繰り返されることにより、電源93の電圧が上記目標値 I_{ref} に対応する所定電圧に昇圧されて負荷91に出力される。

30

【0006】

上記マルチフェーズコンバータ回路90では、回路内に流れる電流をリアクトル101とリアクトル107にそれぞれ分散させることができるので、リアクトル101、107で発生する損失を低減することができる。

【0007】

しかしながら、上記マルチフェーズコンバータ回路90は、IGBT97、98、103、104のスイッチング損失が大きいという問題がある。例えば、図10に示すように、IGBTのターンオフ時、IGBTに流れていた電流が急峻に下がらないためスイッチング損失が発生してしまう。また、IGBTのターンオン時、IGBTにかかっていた電圧が急峻に下がらないため、スイッチング損失が発生してしまう。

40

【0008】

そこで、IGBTをソフトスイッチングさせるために、IGBTにコンデンサを並列接続するとともに、IGBTに転流補助コンデンサやリアクトルを介して転流スイッチを接続し、その転流スイッチをオン、オフすることで転流補助コンデンサを充放電させるものがある（例えば、特許文献1又は特許文献2参照）。

【先行技術文献】

【特許文献】

【0009】

50

【特許文献1】特開2007-028878号公報

【特許文献2】特開2007-228781号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、上述のように、転流補助コンデンサや転流スイッチを用いたマルチフェーズコンバータ回路では、ソフトスイッチングのために多くの部品を必要とするため、その分コストが増加してしまうという問題がある。

【0011】

そこで、本発明は、コストの増加と部品点数増加を抑えた高効率のマルチフェーズコンバータ回路を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明のマルチフェーズコンバータ回路は、互いに直列接続され、出力側の第1のコンデンサと並列接続される第1及び第2のスイッチング素子と、前記第1のスイッチング素子に逆並列接続される第1のダイオードと、前記第2のスイッチング素子に逆並列接続される第2のダイオードと、前記第1及び第2のスイッチング素子の接続点に一端が接続されるリアクトルを含むコンバータを複数備え、各前記リアクトルの他端同士が互いに接続されるマルチフェーズコンバータ回路であって、前記複数の昇圧コンバータにおける第1及び第2のスイッチング素子の接続点の間に設けられる第2のコンデンサと、前記複数のコンバータのリアクトルに流れる電流がそれぞれ目標値になるように、前記複数のコンバータのそれぞれの第1及び第2のスイッチング素子を交互にオン、オフし、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が正になる制御モード時、前記各リアクトルに流れる電流がそれぞれゼロ以下になるまで前記第1のスイッチング素子のターンオフを禁止するとともに、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が負になる制御モード時、前記各リアクトルに流れる電流がそれぞれゼロ以上になるまで前記第2のスイッチング素子のターンオフを禁止する制御回路とを備える。

【0013】

また、本発明のマルチフェーズコンバータ回路は、互いに直列接続され、出力側の第1のコンデンサと並列接続される第1及び第2のスイッチング素子と、前記第1のスイッチング素子に逆並列接続される第1のダイオードと、前記第2のスイッチング素子に逆並列接続される第2のダイオードと、前記第1及び第2のスイッチング素子の接続点に一端が接続されるリアクトルとを含むコンバータを複数備え、各前記リアクトルの他端同士が互いに接続されるマルチフェーズコンバータ回路であって、前記複数のコンバータにおける第1及び第2のスイッチング素子の一方若しくは両方に並列に設けられる第2のコンデンサと、前記複数のコンバータのリアクトルに流れる電流がそれぞれ目標値になるように、前記複数のコンバータのそれぞれの第1及び第2のスイッチング素子を交互にオン、オフし、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が正になる制御モード時、前記各リアクトルに流れる電流がそれぞれゼロ以下になるまで前記第1のスイッチング素子のターンオフを禁止するとともに、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が負になる制御モード時、前記各リアクトルに流れる電流がそれぞれゼロ以上になるまで前記第2のスイッチング素子のターンオフを禁止する制御回路とを備える。

【0014】

このように、第2のコンデンサを備えているため、各リアクトルからリアクトルの他端に向かって流れる総電流が正になる制御モード時、第2のスイッチング素子がターンオフしてデッドタイムになると、リアクトルからの電流が第2のコンデンサに流れて第2のコンデンサが充電され、各リアクトルからリアクトルの他端に向かって流れる総電流が負になる制御モード時、第1のスイッチング素子がターンオフしてデッドタイムになると、リアクトルからの電流により第2のコンデンサが放電される。また、各リアクトルからリア

10

20

30

40

50

クトルの他端に向かって流れる総電流が正になる制御モード時、リアクトルに流れる電流がゼロ以下になるまで第1のスイッチング素子のターンオフを禁止し、各リアクトルからリアクトルの他端に向かって流れる総電流が負になる制御モード時、リアクトルに流れる電流がゼロ以上になるまで第2のスイッチング素子のターンオフを禁止しているため、各リアクトルからリアクトルの他端に向かって流れる総電流が正になる制御モード時、第1のスイッチング素子がターンオフしてデッドタイムになると、リアクトルに流れる電流により第2のコンデンサが放電され、各リアクトルからリアクトルの他端に向かって流れる総電流が正になる制御モード時、第2のスイッチング素子がターンオフしてデッドタイムになると、リアクトルに流れる電流が第2のコンデンサに流れて第2のコンデンサが充電される。このように、スイッチング素子のターンオフ時、第2のコンデンサが充放電されるため、スイッチング素子のターンオフ時にスイッチング素子にかかる電圧の上昇速度を第2のコンデンサの充放電速度と同じにすることができる。これにより、第2のコンデンサの充放電速度を調整することにより、スイッチング素子のターンオフ時の電圧上昇速度を抑制することができるので、スイッチング素子のターンオフ時のスイッチング損失を低減することができる。

10

20

30

40

50

【0015】

また、第2のスイッチング素子ターンオフ後のデッドタイムにおいて第2のコンデンサの充電が終了すると、第2のスイッチング素子にかかる電圧が出力電圧と同じになり、第1のスイッチング素子にかかる電圧がゼロになるため、第1のスイッチング素子に逆並列接続される第1のダイオードに電流が流れる。そのため、第1のスイッチング素子のターンオン時、第1のスイッチング素子にかかる電圧及び第1のスイッチング素子に流れる電流を共にゼロにすることができる。また、第1のスイッチング素子ターンオフ後のデッドタイムにおいて第2のコンデンサの放電が終了すると、第2のスイッチング素子にかかる電圧がゼロになるため、第2のスイッチング素子に逆並列接続される第2のダイオードに電流が流れる。そのため、第2のスイッチング素子のターンオフ時、第2のスイッチング素子にかかる電圧及び第2のスイッチング素子に流れる電流を共にゼロにすることができる。このように、スイッチング素子がターンオンする際、スイッチング素子にかかる電圧及びスイッチング素子に流れる電流を共にゼロにすることができるため、スイッチング素子のターンオン時のスイッチング損失をなくすことができる。

【0016】

従って、本発明のマルチフェーズコンバータ回路では、回路内に流れる電流を各リアクトルにそれぞれ分散させることができるので、リアクトルに発生する損失を低減することができる。また、上述したように、スイッチング素子のターンオン時及びターンオフ時のスイッチング損失を低減することができる。これにより、高効率で各昇圧コンバータを動作させることができる。

【0017】

また、第2のコンデンサを備えるだけでよいため、コストの増加を抑えることができる。

また、前記制御回路は、前記第1及び第2のスイッチング素子が交互に1回ずつオン、オフするときの制御周期の開始時刻を、前記複数のコンバータにおいて互いにずらすように構成してもよい。

【0018】

これにより、各リアクトルに流れる電流のリプルが互いに打ち消し合うため、電源や第1のコンデンサに流れる電流のリプルを低減することができる。

また、前記制御回路は、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が正になる時、前記各リアクトルに流れる電流がそれぞれ負の値の閾値以下になると前記第1のスイッチング素子をターンオフさせるとともに、前記各リアクトルから前記リアクトルの他端に向かって流れる総電流が負になる時、前記各リアクトルに流れる電流がそれぞれ正の値の閾値以上になると前記第2のスイッチング素子をターンオフさせるよう。

【発明の効果】

【0019】

本発明によれば、コストの増加を抑え、かつ、高効率なマルチフェーズコンバータ回路を実現することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の実施形態のマルチフェーズコンバータ回路を示す図である。

【図2】本実施形態のマルチフェーズコンバータ回路における力行時及び回生時の動作制御を説明するための図である。

【図3】本実施形態のマルチフェーズコンバータ回路の動作を説明するための図である。

10

【図4】本実施形態のマルチフェーズコンバータ回路内の電圧や電流のタイミングチャートを示す図である。

【図5】本実施形態のマルチフェーズコンバータ回路におけるIGBTのターンオン時又はターンオフ時のスイッチング損失を示す図である。

【図6】本実施形態のマルチフェーズコンバータ回路におけるリアクトルや電源に流れる電流を示す図である。

【図7】本発明の他の実施形態のマルチフェーズコンバータ回路を示す図である。

【図8】本発明の他の実施形態のマルチフェーズコンバータ回路を示す図である。

【図9】従来のマルチフェーズコンバータ回路を示す図である。

【図10】従来のマルチフェーズコンバータ回路におけるIGBTのターンオン時又はターンオフ時のスイッチング損失を示す図である。

20

【発明を実施するための形態】

【0021】

図1は、本発明の実施形態のマルチフェーズコンバータ回路を示す図である。なお、図9に示す構成と同じ構成要素には同じ符号を付している。

図1に示すマルチフェーズコンバータ回路1は、負荷91に接続される出力側のコンデンサ92（第1のコンデンサ）と、それぞれ電源93とコンデンサ92との間に設けられる昇圧コンバータ94、95（複数のコンバータ）と、コンデンサ2（第2のコンデンサ）と、昇圧コンバータ94、95の動作を制御する制御回路3とを備えて構成されている。

30

【0022】

昇圧コンバータ94は、互いに直列接続され、コンデンサ92に並列接続されるIGBT97（第1のスイッチング素子）及びIGBT98（第2のスイッチング素子）と、IGBT97に逆並列接続されたダイオード99（第1のダイオード）と、IGBT98に逆並列接続されたダイオード100（第2のダイオード）と、IGBT97、98の接続点と電源93との間に設けられるリアクトル101と、リアクトル101に流れる電流（以下、電流I1とする）を検出する電流センサ102とを備えて構成されている。

【0023】

昇圧コンバータ95は、互いに直列接続され、コンデンサ92に並列接続されるIGBT103（第1のスイッチング素子）及びIGBT104（第2のスイッチング素子）と、IGBT103に逆並列接続されたダイオード105（第1のダイオード）と、IGBT104に逆並列接続されたダイオード106（第2のダイオード）と、IGBT103、104の接続点と電源93との間に設けられるリアクトル107と、リアクトル107に流れる電流（以下、電流I2とする）を検出する電流センサ108とを備えて構成されている。

40

【0024】

なお、上記IGBTの代わりに、バイポーラトランジスタやMOSFETにダイオードが逆並列接続されたものを採用してもよい。

コンデンサ2は、IGBT97、98の接続点と、IGBT103、104の接続点との間に設けられている。

50

【 0 0 2 5 】

制御回路 3 は、電流 I_1 の平均値が目標値 I_{ref} の $1/2$ になるように、IGBT 97、98 を交互にオン、オフさせる制御部 4 と、電流 I_2 の平均値が目標値 I_{ref} の $1/2$ になるように、IGBT 103、104 を交互にオン、オフさせる制御部 5 とを備えている。IGBT 97 がオフ、IGBT 98 がオンすると、電源 93 からの電力がリアクトル 101 に蓄積される。次に、IGBT 97 がオン、IGBT 98 がオフすると、リアクトル 101 の誘導起電力によりコンデンサ 92 にかかる電圧が上昇する。同様に、IGBT 103、104 を交互にオン、オフさせると、コンデンサ 92 にかかる電圧が上昇する。この動作を繰り返すことにより、電源 93 の電圧を目標値 I_{ref} に対応する所定電圧に昇圧させて負荷 91 に出力する。

10

【 0 0 2 6 】

制御部 4、5 は、それぞれ、A/D 変換部 6 と、増幅部 7、8 と、減算部 9 と、PI 制御部 10 と、PWM 生成部 11 と、インバータ 12 と、デッドタイム生成部 13、14 と、コンパレータ 15、16 と、AND 回路 17、18 と、OR 回路 19、20 とを備えている。

【 0 0 2 7 】

A/D 変換部 6 は、電流 I_1 又は電流 I_2 をデジタル値に変換する。

増幅部 7 は、外部から入力される目標値 I_{ref} を $1/2$ にする。

増幅部 8 は、外部から入力される閾値 I_{sh} (正の値の閾値) を閾値 $-I_{sh}$ (負の値の閾値) にする。

20

【 0 0 2 8 】

減算部 9 は、増幅部 7 の出力値から A/D 変換部 6 の出力値を減算する。

PI 制御部 10 は、減算部 9 の出力値に対して PI 制御演算を行う。例えば、PI 制御部 10 は、減算部 9 の出力値がゼロになるような指令値、すなわち、電流 I_1 又は電流 I_2 が目標値 I_{ref} の $1/2$ になるような指令値を演算し、その指令値を PWM 生成部 11 に出力する。

【 0 0 2 9 】

PWM 生成部 11 は、PI 制御部 10 から出力される指令値に基づいて PWM 信号を生成する。例えば、PWM 生成部 11 は、PI 制御部 10 からの指令値と基準三角波とを比較し、指令値が基準三角波よりも大きいときハイレベルの PWM 信号を出力し、指令値が基準三角波よりも小さいときローレベルの PWM 信号を出力する。

30

【 0 0 3 0 】

インバータ 12 は、PWM 生成部 11 から出力される PWM 信号を反転する。

デッドタイム生成部 13 は、インバータ 12 から出力される PWM 信号に所定デッドタイム (IGBT 97、98 が共にオフになる時間、又は、IGBT 103、104 が共にオフになる時間) を設ける。例えば、デッドタイム生成部 13 は、所定時間、インバータ 12 から出力される PWM 信号の反転信号の立ち上がりタイミングを遅延させる。

【 0 0 3 1 】

デッドタイム生成部 14 は、PWM 生成部 11 から出力される PWM 信号に上記所定デッドタイムを設ける。例えば、デッドタイム生成部 14 は、所定時間、PWM 生成部 11 から出力される PWM 信号の立ち上がりタイミングを遅延させる。

40

【 0 0 3 2 】

制御部 4 のコンパレータ 15 は、電流 I_1 が閾値 $-I_{sh}$ よりも大きいとき、ハイレベルの信号を出力し、電流 I_1 が閾値 $-I_{sh}$ 以下のとき、ローレベルの信号を出力する。また、制御部 4 のコンパレータ 16 は、電流 I_1 が閾値 I_{sh} よりも小さいとき、ハイレベルの信号を出力し、電流 I_1 が閾値 I_{sh} 以上のとき、ローレベルの信号を出力する。

【 0 0 3 3 】

制御部 5 のコンパレータ 15 は、電流 I_2 が閾値 $-I_{sh}$ よりも大きいとき、ハイレベルの信号を出力し、電流 I_2 が閾値 $-I_{sh}$ 以下のとき、ローレベルの信号を出力する。また、制御部 5 のコンパレータ 16 は、電流 I_2 が閾値 I_{sh} よりも小さいとき、ハイレ

50

ベルの信号を出力し、電流 I_2 が閾値 I_{sh} 以上のとき、ローレベルの信号を出力する。

【0034】

AND回路17は、コンパレータ15の出力とOR回路19の出力とが共にハイレベルのとき、ハイレベルの信号を出力し、コンパレータ15の出力とOR回路19の出力の少なくとも一方がローレベルのとき、ローレベルの信号を出力する。

【0035】

AND回路18は、コンパレータ16の出力とOR回路20の出力とが共にハイレベルのとき、ハイレベルの信号を出力し、コンパレータ16の出力とOR回路20の出力の少なくとも一方がローレベルのとき、ローレベルの信号を出力する。

【0036】

制御部4のOR回路19は、AND回路17の出力とデッドタイム生成部13から出力されるPWM信号(反転信号)の少なくとも一方がハイレベルのとき、ハイレベルの信号をIGBT97のゲートに出力し、どちらもローレベルのとき、ローレベルの信号をIGBT97のゲートに出力する。また、制御部4のOR回路20は、AND回路18の出力とデッドタイム生成部14から出力されるPWM信号の少なくとも一方がハイレベルのとき、ハイレベルの信号をIGBT98のゲートに出力し、どちらもローレベルのとき、ローレベルの信号をIGBT98のゲートに出力する。

【0037】

制御部5のOR回路19は、AND回路17の出力とデッドタイム生成部13から出力されるPWM信号(反転信号)の少なくとも一方がハイレベルのとき、ハイレベルの信号をIGBT103のゲートに出力し、どちらもローレベルのとき、ローレベルの信号をIGBT103のゲートに出力する。また、制御部5のOR回路20は、AND回路18の出力とデッドタイム生成部14から出力されるPWM信号の少なくとも一方がハイレベルのとき、ハイレベルの信号をIGBT104のゲートに出力し、どちらもローレベルのとき、ローレベルの信号をIGBT104のゲートに出力する。

【0038】

すなわち、コンパレータ15、AND回路17、及びOR回路19により、電源93に流れる平均電流が正になる力行(リアクトル101、107からリアクトル101、107の他端(リアクトル101、107の接続点)に向かって流れる総電流が正になる制御モード)時、デッドタイム生成部13からOR回路19へローレベルのPWM信号(反転信号)が出力されたとしても、電流 I_1 又は電流 I_2 が閾値 $-I_{sh}$ 以下になってコンパレータ15からAND回路17へ出力される信号がハイレベルからローレベルに変化しAND回路17からOR回路19へ出力される信号がハイレベルからローレベルに変化するまで、OR回路19からハイレベルの信号が出力され続ける。そのため、図2(a)に示すように、力行時、電流 I_1 が閾値 $-I_{sh}$ 以下になるまでIGBT97のターンオフが禁止される。また、力行時、電流 I_2 が閾値 $-I_{sh}$ 以下になるまでIGBT103のターンオフが禁止される。

【0039】

また、コンパレータ16、AND回路18、及びOR回路20により、電源93に流れる平均電流が負になる回生(リアクトル101、107からリアクトル101、107の他端(リアクトル101、107の接続点)に向かって流れる総電流が負になる制御モード)時、デッドタイム生成部14からOR回路20へローレベルのPWM信号が出力されたとしても、電流 I_1 又は電流 I_2 が閾値 I_{sh} 以上になってコンパレータ16からAND回路18へ出力される信号がハイレベルからローレベルに変化しAND回路18からOR回路20へ出力される信号がハイレベルからローレベルに変化するまで、OR回路20からハイレベルの信号が出力され続ける。そのため、図2(b)に示すように、回生時、電流 I_1 が閾値 I_{sh} 以上になるまでIGBT98のターンオフが禁止される。また、回生時、電流 I_2 が閾値 I_{sh} 以上になるまでIGBT104のターンオフが禁止される。

【0040】

なお、A/D変換部6、増幅部7、8、減算部9、PI制御部10、PWM生成部11

10

20

30

40

50

、インバータ12、デッドタイム生成部13、14をソフトウェアで構成し、コンパレータ15、16、AND回路17、18、及びOR回路19、20をハードウェアで構成してもよい。

【0041】

次に、本実施形態のマルチフェーズコンバータ回路1の動作を説明する。

図3(a)~図3(h)は、本実施形態のマルチフェーズコンバータ回路1の動作を説明するための図である。なお、コンデンサ2の容量は、コンデンサ2の充放電にかかる時間が、IGBT97、98又はIGBT103、104のデッドタイムよりも短くなるように設定されているものとする。また、初期状態では、IGBT97がオン、IGBT98がオフ、IGBT103がオフ、IGBT104がオンしており、電流I1が負方向(IGBT97、98の接続点から電源93への向き)に、電流I2が正方向(電源93からIGBT103、104の接続点への向き)に流れているものとし、コンデンサ2、92がそれぞれ V_o [V]に充電されているものとする。また、電源93の出力電圧は、 V_b [V]とする。

10

【0042】

図4は、力行時における各IGBTのオン、オフのタイミングチャート並びに各IGBTなどの電圧及び電流のタイミングチャートを示す図である。

まず、負方向の電流I1が閾値 $-I_{sh}$ 以下になると、制御部4のコンパレータ15から出力される信号がハイレベルからローレベルになる。そのため、制御部4からIGBT97のゲートに出力される信号がハイレベルからローレベルになり、IGBT97がターンオフする。このとき、IGBT98がオフ、IGBT103がオフ、IGBT104がオンである。以下、IGBT97がターンオフした後の状態を「モード1」とする。「モード1」では、図3(a)に示すように、負方向の電流I1により、コンデンサ2の正の電極に蓄積されていた電荷、すなわち、図3(a)の極性(+、-)に一致する極性の電荷が放出され、図4に示すようにコンデンサ2にかかる電圧 V_c が徐々に V_o からゼロに完全に下降する。そして、このコンデンサ2の放電に伴ってIGBT98にかかる電圧が徐々に V_o からゼロに完全に下降し、IGBT97にかかる電圧が徐々にゼロから V_o に上昇する。例えば、図9に示す従来のマルチフェーズコンバータ回路90におけるIGBT97のターンオフ時にIGBT97にかかる電圧の上昇速度と比較して、その上昇速度をよりゆるやかにするためにコンデンサ2が追加されることによって、図5に示すように、IGBT97のターンオフ時において、IGBT97にかかる電圧の上昇速度を抑制することができる。これにより、図9に示す従来のマルチフェーズコンバータ回路90に比べて、IGBT97のターンオフ時に発生するスイッチング損失を低減することができる。なお、「モード1」において、コンデンサ2の放電が終了してIGBT98にかかる電圧がゼロになると、ダイオード100に電流(図3(a)の破線矢印が示す電流)が流れる。

20

30

【0043】

次に、制御部4のデッドタイム生成部14から出力される信号がローレベルからハイレベルになると、IGBT98がターンオンする。このとき、IGBT97がオフ、IGBT103がオフ、IGBT104がオンである。以下、IGBT98がターンオンした後の状態を「モード2」とする。「モード2」では、IGBT98がターンオンしても、図3(b)に示すようにダイオード100が導通しているため、図4に示すようにIGBT98にはすぐに電流が流れ込まない。また、IGBT98のターンオン時、コンデンサ2の放電が終了しているため、上述したようにIGBT98にかかる電圧はゼロである。これにより、図5に示すようにIGBT98のターンオン時、IGBT98にかかる電圧やIGBT98に流れる電流はゼロである。そのため、IGBT98のターンオン時、IGBT98のスイッチング損失を発生させないようにすることができる。なお、IGBT98がオンした後、ダイオード100に流れる電流が徐々に減少していき、電流I1が負方向から正方向(電源93からIGBT97、98の接続点への向き)になると、IGBT98に電流が流れ始める。

40

50

【 0 0 4 4 】

次に、制御部 5 のデッドタイム生成部 1 4 から出力される信号がハイレベルからローレベルになると、IGBT 1 0 4 がターンオフする。このとき、IGBT 9 7 がオフ、IGBT 9 8 がオン、IGBT 1 0 3 がオフである。以下、IGBT 1 0 4 がターンオフした後の状態を「モード 3」とする。「モード 3」では、図 3 (c) に示すように、正方向の電流 I_2 により、コンデンサ 2 に、図 3 (c) の極性 (+ 、 -) と反対極性の電荷が蓄積され、図 4 に示すようにコンデンサ 2 にかかる電圧 V_c が徐々にゼロから $-V_o$ に下降する。そして、このコンデンサ 2 の充電によって IGBT 1 0 4 にかかる電圧が徐々にゼロから V_o に上昇し、IGBT 1 0 3 にかかる電圧が徐々に V_o からゼロに完全に下降する。図 9 に示す従来のマルチフェーズコンバータ回路 9 0 における IGBT 1 0 4 のターンオフ時に IGBT 1 0 4 にかかる電圧の上昇速度と比較して、その上昇速度をよりゆるやかにするためにコンデンサ 2 が追加されることによって、図 5 に示すように、IGBT 1 0 4 のターンオフ時において、IGBT 1 0 4 にかかる電圧の上昇速度を抑制することができる。これにより、図 9 に示す従来のマルチフェーズコンバータ回路 9 0 に比べて、IGBT 1 0 4 のターンオフ時に発生するスイッチング損失を低減することができる。なお、「モード 3」において、コンデンサ 2 の充電が終了し IGBT 1 0 3 にかかる電圧がゼロになると、ダイオード 1 0 5 に電流 (図 3 (c) の破線矢印が示す電流) が流れる。

10

【 0 0 4 5 】

次に、制御部 5 のデッドタイム生成部 1 3 から出力される信号がローレベルからハイレベルになると、IGBT 1 0 3 がターンオンする。このとき、IGBT 9 7 がオフ、IGBT 9 8 がオン、IGBT 1 0 4 がオフである。以下、IGBT 1 0 3 がターンオンした後の状態を「モード 4」とする。「モード 4」では、IGBT 1 0 3 がターンオンしても、図 3 (d) に示すようにダイオード 1 0 5 が導通しているため、図 4 に示すように IGBT 1 0 3 にはすぐに電流が流れ込まない。また、IGBT 1 0 3 のターンオン時、コンデンサ 2 の充電が終了しているため、上述したように IGBT 1 0 3 にかかる電圧はゼロである。これにより、図 5 に示すように IGBT 1 0 3 のターンオン時、IGBT 1 0 3 にかかる電圧や IGBT 1 0 3 に流れる電流はゼロである。そのため、IGBT 1 0 3 のターンオン時、IGBT 1 0 3 のスイッチング損失を発生させないようにすることができる。なお、IGBT 1 0 3 がオンしているとき、ダイオード 1 0 5 に流れる電流が徐々に減少していき、電流 I_2 が正方向から負方向 (IGBT 1 0 3 、 1 0 4 の接続点から電源 9 3 への向き) になると、IGBT 1 0 3 に電流が流れ始める。

20

30

【 0 0 4 6 】

次に、負方向の電流 I_2 が閾値 $-I_{sh}$ 以下になると、制御部 5 のコンパレータ 1 5 から出力される信号がハイレベルからローレベルになる。そのため、制御部 5 から IGBT 1 0 3 のゲートに出力される信号がハイレベルからローレベルになり、IGBT 1 0 3 がターンオフする。このとき、IGBT 9 7 がオフ、IGBT 9 8 がオン、IGBT 1 0 4 がオフである。以下、IGBT 1 0 3 がターンオフした後の状態を「モード 5」とする。「モード 5」では、図 3 (e) に示すように、負方向の電流 I_2 により、コンデンサ 2 の負の電極に蓄積されていた電荷、すなわち、図 3 (e) の極性 (+ 、 -) に一致する極性の電荷が放出され、図 4 に示すようにコンデンサ 2 にかかる電圧 V_c が徐々に $-V_o$ からゼロに完全に上昇する。そして、このコンデンサ 2 の放電に伴って IGBT 1 0 4 にかかる電圧が徐々に V_o からゼロに完全に下降し、IGBT 1 0 3 にかかる電圧が徐々にゼロから V_o に上昇する。図 9 に示す従来のマルチフェーズコンバータ回路 9 0 における IGBT 1 0 3 のターンオフ時に IGBT 1 0 3 にかかる電圧の上昇速度と比較して、その上昇速度をよりゆるやかにするためにコンデンサ 2 が追加されることによって、図 5 に示すように、IGBT 1 0 3 のターンオフ時において、IGBT 1 0 3 にかかる電圧の上昇速度を抑制することができる。これにより、図 9 に示す従来のマルチフェーズコンバータ回路 9 0 に比べて、IGBT 1 0 3 のターンオフ時に発生するスイッチング損失を低減することができる。なお、「モード 5」において、コンデンサ 2 の放電が終了して IGBT 1 0 4 にかかる電圧がゼロになると、ダイオード 1 0 6 に電流 (図 3 (e) の破線矢印が示

40

50

す電流)が流れる。

【0047】

次に、制御部5のデッドタイム生成部14から出力される信号がローレベルからハイレベルになると、IGBT104がターンオンする。このとき、IGBT97がオフ、IGBT98がオン、IGBT103がオフである。以下、IGBT104がターンオンした後の状態を「モード6」とする。「モード6」では、IGBT104がターンオンしても、図3(f)に示すようにダイオード106が導通しているため、図4に示すようにIGBT104にはすぐに電流が流れ込まない。また、IGBT104のターンオン時、コンデンサ2の放電が終了しているため、上述したようにIGBT104にかかる電圧はゼロである。これにより、図5に示すようにIGBT104のターンオン時、IGBT104にかかる電圧やIGBT104に流れる電流はゼロである。そのため、IGBT104のターンオン時、IGBT104のスイッチング損失を発生させないようにすることができる。なお、IGBT104がオンした後、ダイオード106に流れる電流が徐々に減少していき、電流I2が負方向から正方向になると、IGBT104に電流が流れ始める。

10

【0048】

次に、制御部4のデッドタイム生成部14から出力される信号がハイレベルからローレベルになると、IGBT98がターンオフする。このとき、IGBT97がオフ、IGBT103がオフ、IGBT104がオンである。以下、IGBT98がターンオフした後の状態を「モード7」とする。「モード7」では、図3(g)に示すように、正方向の電流I1により、コンデンサ2に、図3(g)の極性(+、-)と同じ極性の電荷が蓄積され、図4に示すようにコンデンサ2にかかる電圧Vcが徐々にゼロからVoに上昇する。そして、このコンデンサ2の充電に伴ってIGBT98にかかる電圧が徐々にゼロからVoに上昇し、IGBT97にかかる電圧が徐々にVoからゼロに完全に下降する。図9に示す従来のマルチフェーズコンバータ回路90におけるIGBT98のターンオフ時にIGBT98にかかる電圧の上昇速度と比較して、その上昇速度をよりゆるやかにするためにコンデンサ2が追加されることによって、図5に示すように、IGBT98のターンオフ時において、IGBT98にかかる電圧の上昇速度を抑制することができる。これにより、図9に示す従来のマルチフェーズコンバータ回路90に比べて、IGBT98のターンオフ時に発生するスイッチング損失を低減することができる。なお、「モード7」において、コンデンサ2の充電が終了してIGBT97にかかる電圧がゼロになると、ダイオード99に電流(図3(g)の破線矢印が示す電流)が流れる。

20

30

【0049】

次に、制御部4のデッドタイム生成部13から出力される信号がローレベルからハイレベルになると、IGBT97がターンオンする。このとき、IGBT98がオフ、IGBT103がオフ、IGBT104がオンである。以下、IGBT97がターンオンした後の状態を「モード8」とする。「モード8」では、IGBT97がターンオンしても、図3(h)に示すようにダイオード99が導通しているため、図4に示すようにIGBT97にはすぐに電流が流れ込まない。また、IGBT97のターンオン時、コンデンサ2の充電が終了しているため、上述したようにIGBT97にかかる電圧はゼロである。これにより、図5に示すようにIGBT97のターンオン時、IGBT97にかかる電圧やIGBT97に流れる電流はゼロである。そのため、IGBT97のターンオン時、IGBT97のスイッチング損失を発生させないようにすることができる。なお、IGBT97がオンしているとき、ダイオード99に流れる電流が徐々に減少していき、電流I1が正方向から負方向になると、IGBT97に電流が流れ始める。

40

【0050】

そして、再び「モード8」から「モード1」に移行し、「モード1」~「モード8」が繰り返される。

このように、本実施形態のマルチフェーズコンバータ回路1では、回路内に流れる電流をリアクトル101、107に分散させることができるので、リアクトル101、107に発生する損失を低減することができる。

50

【 0 0 5 1 】

また、本実施形態のマルチフェーズコンバータ回路1では、IGBT97、98がオン、オフする制御周期と、IGBT103、104がオン、オフする制御周期とを互いにずらすことにより電流I1のリプル成分と電流I2のリプル成分とが互いに打ち消し合うため、電源93に流れる電流Ibやコンデンサ92に流れる電流のリプル成分を低減することができる。例えば、IGBT97、98がオン、オフする制御周期を、IGBT103、104がオン、オフする制御周期に対して、1/2ずらす場合では、図6に示すように、電流I1のリプル成分と電流I2のリプル成分とが最も多く互いに打ち消し合い、電流Ibのリプル成分やコンデンサ92に流れる電流のリプル成分を最も低減することができる。

10

【 0 0 5 2 】

また、本実施形態のマルチフェーズコンバータ回路1では、コンデンサ2を備えているため、力行時、下アームのIGBT98又はIGBT104がターンオフしてデッドタイムになると、電流I1又は電流I2がコンデンサ2に流れてコンデンサ2が充電され、回生時、上アームのIGBT97又はIGBT103がターンオフしてデッドタイムになると、電流I1又は電流I2によりコンデンサ2が放電される。また、力行時、電流I1、I2の下限値が負になるまでIGBT97、103のターンオフを禁止し、回生時、電流I1、I2の上限値が正になるまでIGBT98、104のターンオフを禁止しているため、力行時、上アームのIGBT97又はIGBT103がターンオフしてデッドタイムになると、電流I1又は電流I2によりコンデンサ2が放電され、回生時、下アームのIGBT98又はIGBT104がターンオフしてデッドタイムになると、電流I1又は電流I2がコンデンサ2に流れてコンデンサ2が充電される。このように、IGBTのターンオフ時、コンデンサ2が充放電されるため、IGBTのターンオフ時にIGBTにかかる電圧の上昇速度をコンデンサ2の充放電速度と同じにすることができる。これにより、コンデンサ2の充放電速度を調整することにより、IGBTのターンオフ時の電圧上昇速度を抑制することができるので、IGBTのターンオフ時のスイッチング損失を低減することができる。

20

【 0 0 5 3 】

また、本実施形態のマルチフェーズコンバータ回路1では、下アームのIGBT98又はIGBT104のターンオフ後のデッドタイムにおいてコンデンサ2の充電が終了すると、下アームのIGBT98又はIGBT104にかかる電圧が出力電圧Voと同じになり、上アームのIGBT97又はIGBT103にかかる電圧がゼロになるため、上アームのIGBT97又はIGBT103に逆並列接続されるダイオード99又はダイオード105に電流が流れる。そのため、上アームのIGBT97又はIGBT103のターンオン時、上アームのIGBT97又はIGBT103にかかる電圧及び上アームのIGBT97又はIGBT103に流れる電流を共にゼロにすることができる。また、上アームのIGBT97又はIGBT103のターンオフ後のデッドタイムにおいてコンデンサ2の放電が終了すると、下アームのIGBT98又はIGBT104にかかる電圧がゼロになるため、下アームのIGBT98又はIGBT104に逆並列接続されるダイオード100又はダイオード106に電流が流れる。そのため、下アームのIGBT98又はIGBT104のターンオン時、下アームのIGBT98又はIGBT104にかかる電圧及び下アームのIGBT98又はIGBT104に流れる電流を共にゼロにすることができる。このように、IGBTがターンオンする際、IGBTにかかる電圧及びIGBTに流れる電流を共にゼロにすることができるため、IGBTのターンオン時のスイッチング損失を低減することができる。

30

40

【 0 0 5 4 】

従って、本実施形態のマルチフェーズコンバータ回路1では、リアクトル101、107に発生する損失を低減し、電流Ibのリプル成分やコンデンサ92に流れる電流のリプル成分を低減することができ、IGBTのターンオン時及びターンオフ時のスイッチング損失を低減することができるため、高効率で昇圧コンバータ94、95を動作させる

50

ことができる。

【 0 0 5 5 】

また、本実施形態のマルチフェーズコンバータ回路 1 では、追加部品としてコンデンサ 2 のみを備えているため、部品点数増加とコスト増加を抑えることができる。

また、本実施形態のマルチフェーズコンバータ回路 1 では、I G B T のスイッチング損失を低減することができるため、I G B T を小型化することができ、回路全体のコストを抑えることができる。

【 0 0 5 6 】

なお、上述の実施形態のマルチフェーズコンバータ回路 1 は、I G B T のスイッチング損失を低減するためのコンデンサ 2 を I G B T 9 7、9 8 の接続点と I G B T 1 0 3、1 0 4 の接続点との間に設ける構成であるが、コンデンサ 2 を I G B T 9 7、9 8、1 0 3、1 0 4 にそれぞれ並列に接続してもよい。

10

【 0 0 5 7 】

図 7 は、コンデンサ 2 を I G B T 9 7、9 8、1 0 3、1 0 4 にそれぞれ並列接続した場合のマルチフェーズコンバータ回路 1 を示す図である。なお、図 1 に示す構成要素と同じ構成要素には同じ符号を付している。また、図 7 に示すマルチフェーズコンバータ回路 1 の動作は、図 1 に示すマルチフェーズコンバータ回路 1 の動作と同じであるため説明を省略する。また、I G B T 9 7、9 8 のどちらか一方にコンデンサ 2 を並列接続するとともに、I G B T 1 0 3、1 0 4 のどちらか一方にコンデンサ 2 を並列接続するように構成してもよい。

20

【 0 0 5 8 】

このように構成しても、図 1 に示すマルチフェーズコンバータ回路 1 と同様に、スイッチング損失を低減し、高効率で昇圧コンバータ 9 4、9 5 を動作させることができる。また、このように構成する場合、I G B T 9 7、9 8 の接続点と I G B T 1 0 3、1 0 4 の接続点とがコンデンサ 2 を介して互いに接続されないため、一方の昇圧コンバータの I G B T のターンオフ時に発生する、他方の昇圧コンバータの I G B T に流れる電流の瞬間的な持ち上がり又は落ち込みをなくすことができる。

【 0 0 5 9 】

また、上述の実施形態のマルチフェーズコンバータ回路 1 は、昇圧コンバータを 2 つ備える構成であるが、3 つ以上備える構成としてもよい。例えば、図 8 に示すように、昇圧コンバータを 3 つ備えてマルチフェーズコンバータ回路 1 を構成してもよい。図 8 に示すマルチフェーズコンバータ回路 1 では、昇圧コンバータ 9 4、9 5 の他に、さらに昇圧コンバータ 1 0 9 を備えている。昇圧コンバータ 1 0 9 は、互いに直列接続され、コンデンサ 9 2 に並列接続される I G B T 1 1 0 (第 1 のスイッチング素子) 及び I G B T 1 1 1 (第 2 のスイッチング素子) と、I G B T 1 1 0 に逆並列接続されたダイオード 1 1 2 (第 1 のダイオード) と、I G B T 1 1 1 に逆並列接続されたダイオード 1 1 3 (第 2 のダイオード) と、I G B T 1 1 0、1 1 1 の接続点と電源 9 3 との間に設けられるリアクトル 1 1 4 と、リアクトル 1 1 4 に流れる電流を検出する電流センサ 1 1 5 とを備えて構成されている。そして、I G B T 1 0 3、1 0 4 の接続点と、I G B T 1 1 0、1 1 1 の接続点との間にコンデンサ 2 1 が設けられている。なお、コンデンサ 2 1 は、I G B T 9 7、9 8 の接続点と、I G B T 1 1 0、1 1 1 の接続点との間に設けられてもよい。

30

40

【 0 0 6 0 】

図 8 に示すマルチフェーズコンバータ回路 1 の動作は、図 1 や図 7 に示すマルチフェーズコンバータ回路 1 の動作と同様に、力行時、リアクトル 1 0 1 に流れる電流 I_1 、リアクトル 1 0 7 に流れる電流 I_2 、及びリアクトル 1 1 4 に流れる電流 I_3 のそれぞれの下限值が負になるまで I G B T 9 7、1 0 3、1 1 0 のターンオフを禁止し、回生時、電流 $I_1 \sim I_3$ のそれぞれの上限值が正になるまで I G B T 9 8、1 0 4、1 1 1 のターンオフを禁止する。これにより、図 1 や図 7 に示すマルチフェーズコンバータ回路 1 と同様に、スイッチング損失を低減し、高効率で昇圧コンバータ 9 4、9 5、1 0 9 を動作させることができる。

50

【 0 0 6 1 】

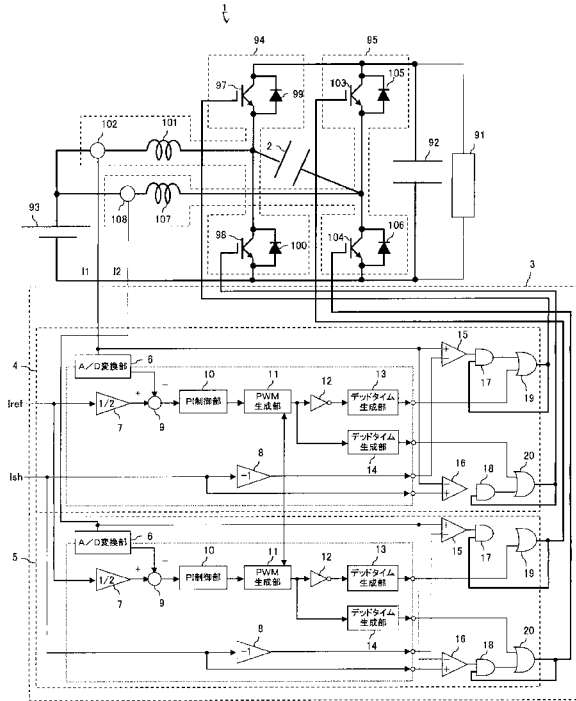
また、上述の実施形態のマルチフェーズコンバータ回路 1 は、閾値 I_{sh} 、 $-I_{sh}$ により、IGBT のターンオフを禁止するタイミングを調整する構成であるが、タイマを使用して、IGBT のターンオフを禁止するタイミングを調整するように構成してもよい。

【 符号の説明 】

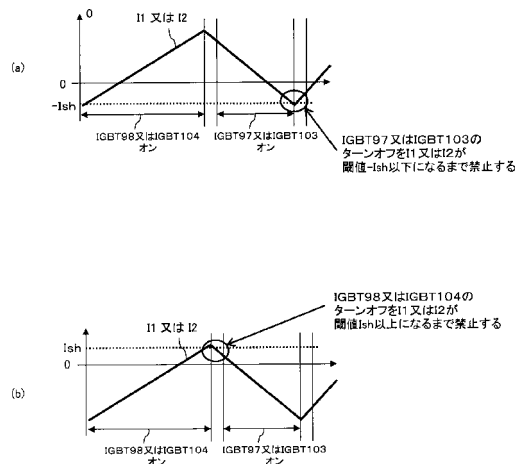
【 0 0 6 2 】

1	マルチフェーズコンバータ回路	
2	コンデンサ	
3	制御回路	
4、5	制御部	10
6	A / D 変換部	
7、8	増幅部	
9	減算部	
10	PI 制御部	
11	PWM 生成部	
12	インバータ	
13、14	デッドタイム生成部	
15、16	コンパレータ	
17、18	AND 回路	
19、20	OR 回路	20
21	コンデンサ	
90	マルチフェーズコンバータ回路	
91	負荷	
92	コンデンサ	
93	電源	
94、95、109	昇圧コンバータ	
96	制御回路	
97、98、103、104、110、111	IGBT	
99、100、105、106、112、113	ダイオード	
101、107、114	リアクトル	30
102、108、115	電流センサ	

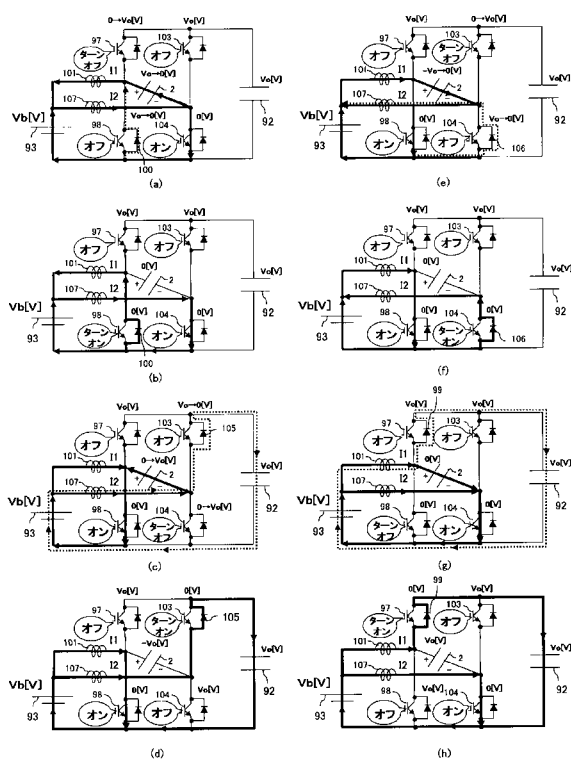
【図1】



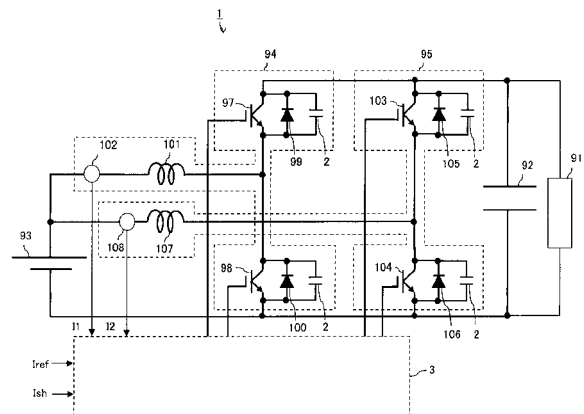
【図2】



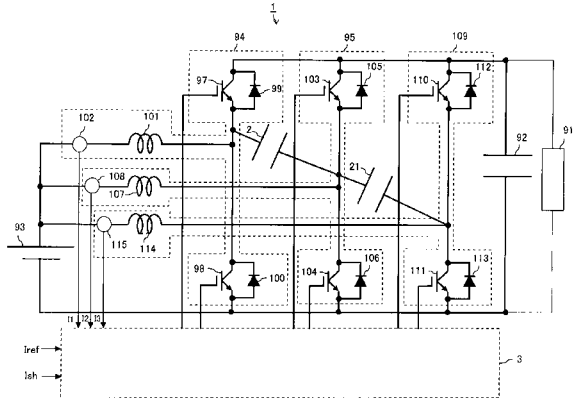
【図3】



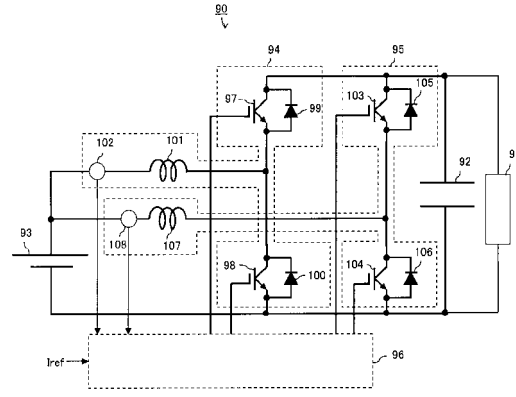
【図7】



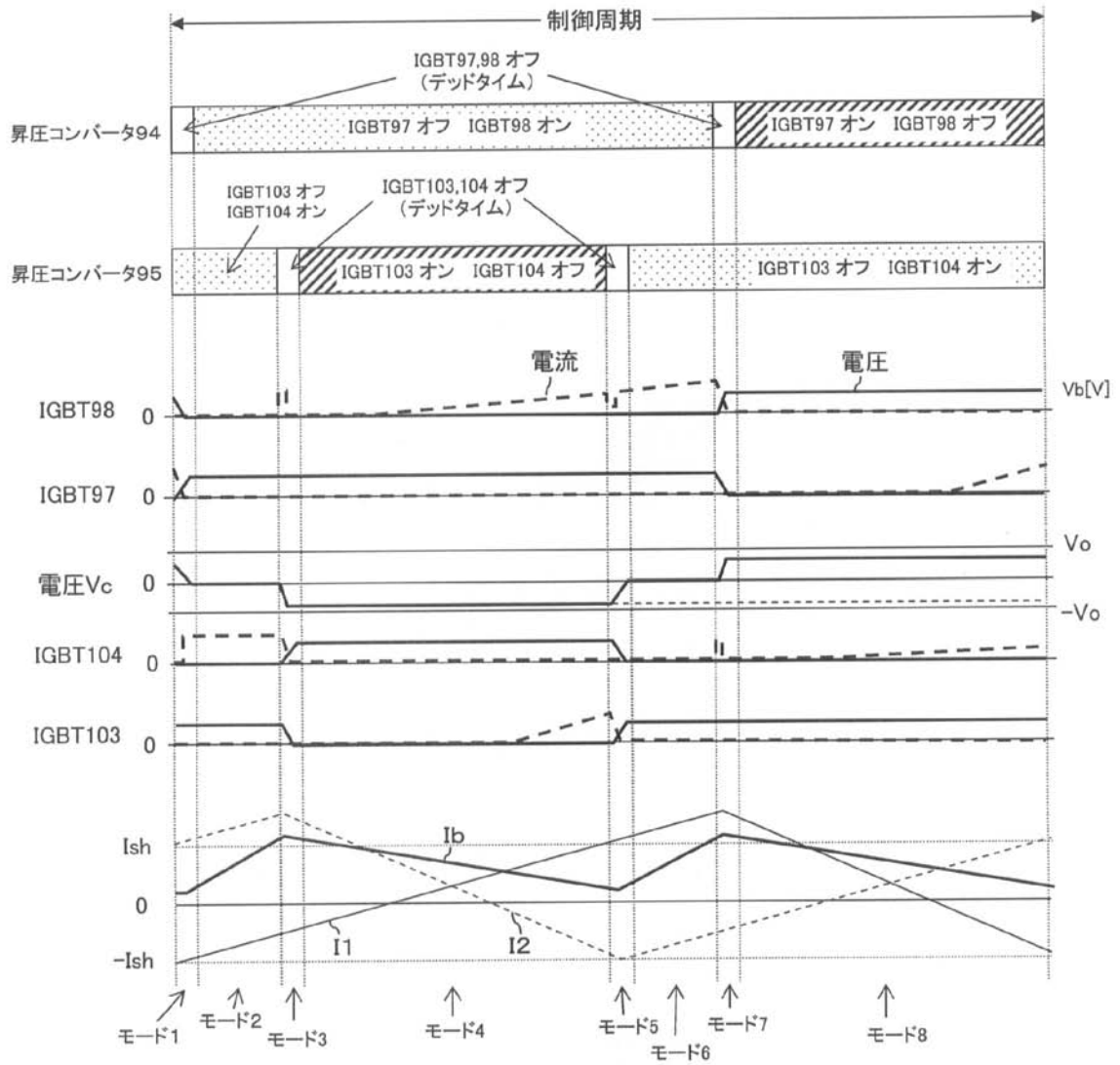
【図 8】



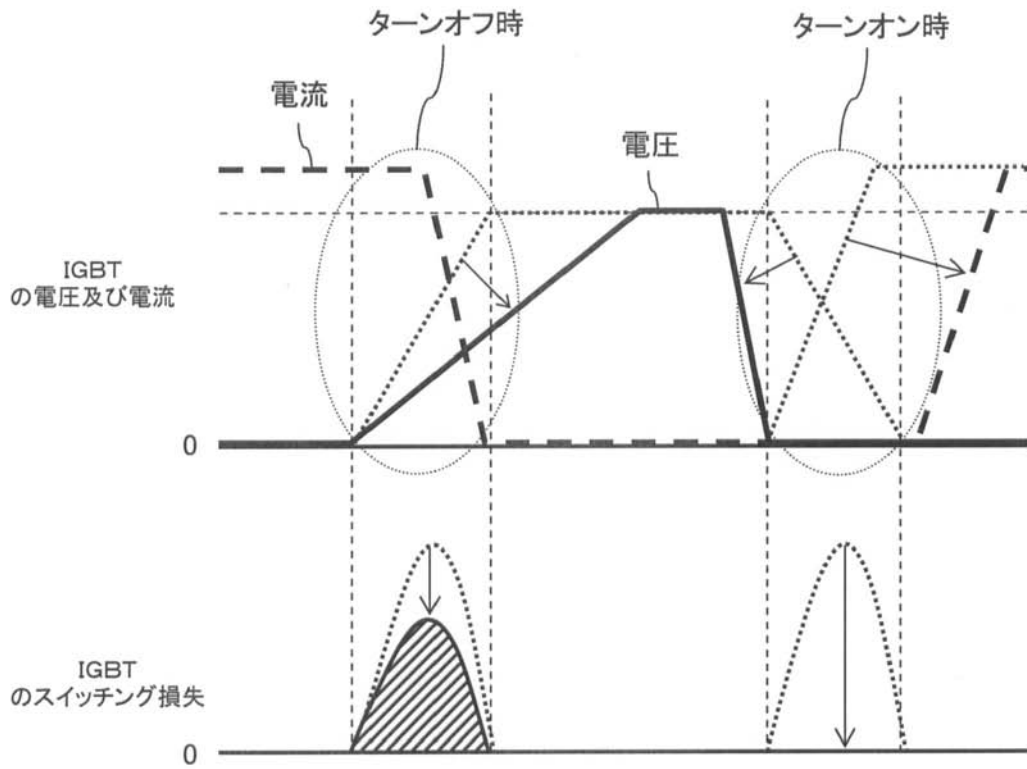
【図 9】



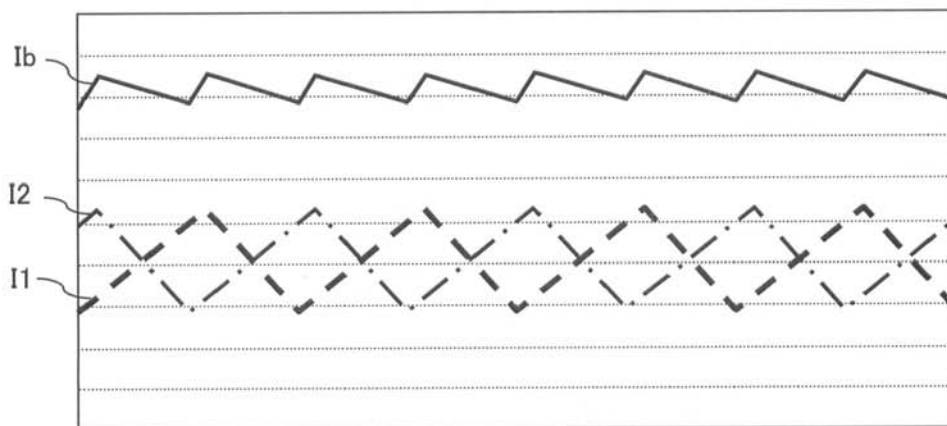
【 図 4 】



【 図 5 】



【 図 6 】



【 図 1 0 】

