



(12) 发明专利

(10) 授权公告号 CN 112600540 B

(45) 授权公告日 2021.05.14

(21) 申请号 202110237621.1

JP 2008154031 A,2008.07.03

(22) 申请日 2021.03.04

US 7936291 B2,2011.05.03

(65) 同一申请的已公布的文献号

US 2014132437 A1,2014.05.15

申请公布号 CN 112600540 A

CN 110611511 A,2019.12.24

(43) 申请公布日 2021.04.02

CN 101072032 A,2007.11.14

(73) 专利权人 上海南芯半导体科技有限公司

US 10812088 B2,2020.10.20

地址 200120 上海市浦东新区晨晖路1000号214室

CN 111030610 A,2020.04.17

CN 111384934 A,2020.07.07

(72) 发明人 陈俊宇

US 2019052282 A1,2019.02.14

CN 110429820 A,2019.11.08

(74) 专利代理机构 成都点睛专利代理事务所

CN 207705759 U,2018.08.07

(普通合伙) 51232

白光磊.无线充电Qi协议正向通信FSK的解调设计.《现代电子技术》.2020,第43卷(第8期),

代理人 葛启函

Xianglong Bai.A Single-Stage Delay-Tuned Active Rectifier for Constant-

(51) Int.Cl.

H03K 5/24 (2006.01)

Current Constant-Voltage Wireless

H02J 7/00 (2006.01)

Charging.《The 2020 IEEE Asia Pacific

H02J 50/10 (2016.01)

Conference on Circuits and Systems

(APCCAS)》.2020,

(56) 对比文件

CN 202135115 U,2012.02.01

审查员 毕爽君

权利要求书3页 说明书7页 附图7页

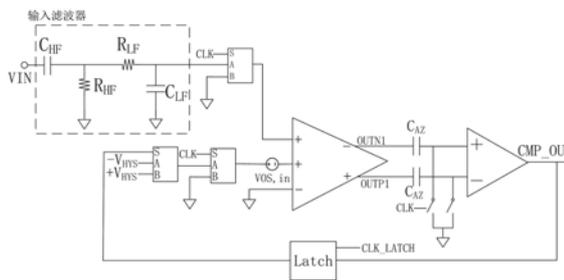
(54) 发明名称

一种适用于无线充电中电流解调的高精度比较器

入失调与隔直电容存储的失调信息相互抵消,从而消除比较器失调。

(57) 摘要

一种适用于无线充电中电流解调的高精度比较器,利用输入滤波模块将比较器输入信号中直流成分和高频过冲成分滤除,利用迟滞比较模块完成比较和输入失调消除,将两个隔直电容接在第一级比较单元的输出和第二级比较单元的输入之间,在逻辑模块的控制下切换两级比较单元的输入连接;失调消除阶段控制两级比较单元的输入都接地,将比较器输出信号锁存,输入失调信息被存储在两个隔直电容上;比较阶段控制第一级比较单元的第一正向输入端接输入滤波模块的输出、第二正向输入端根据比较器输出信号接第一迟滞比较电压或第二迟滞比较电压,第二级比较单元的输入接两个隔直电容,比较器输



CN 112600540 B

1. 一种适用于无线充电中电流解调的高精度比较器,其特征在于,包括输入滤波模块和迟滞比较模块,

所述输入滤波模块用于将比较器输入信号中的直流成分和高频过冲成分滤除后输出;

所述迟滞比较模块包括第一级比较单元、第二级比较单元、两个隔直电容和逻辑单元,

所述第一级比较单元的负向输入端接地,所述第一级比较单元的第一正向输入端在所述逻辑单元的控制下连接所述输入滤波模块的输出信号或接地,所述第一级比较单元的第二正向输入端在所述逻辑单元的控制下连接第一迟滞比较电压、第二迟滞比较电压或接地,所述第一级比较单元的负向输出端连接第一个所述隔直电容的下极板,所述第一级比较单元的正向输出端连接第二个所述隔直电容的下极板;

所述第二级比较单元的第一输入端在所述逻辑单元的控制下连接第一个所述隔直电容的上极板或接地,所述第二级比较单元的第二输入端在所述逻辑单元的控制下连接第二个所述隔直电容的上极板或接地,所述第二级比较单元的输出端输出比较器输出信号;

所述逻辑单元包括锁存控制和时钟控制,当时钟信号为第一状态时为失调消除阶段,所述逻辑单元控制所述第一级比较单元的第一正向输入端和第二正向输入端以及所述第二级比较单元的第一输入端和第二输入端接地,同时所述逻辑单元将所述比较器输出信号进行锁存,在失调消除阶段输入失调电压被存储在两个所述隔直电容上;

当所述时钟信号为第二状态时为比较阶段,所述逻辑单元控制所述第一级比较单元的第一正向输入端连接所述输入滤波模块的输出信号、控制所述第二级比较单元的第一输入端和第二输入端分别连接第一个所述隔直电容和第二个所述隔直电容的上极板,同时所述逻辑单元根据所述比较器输出信号控制所述第一级比较单元的第二正向输入端连接所述第一迟滞比较电压或第二迟滞比较电压,所述第一迟滞比较电压和第二迟滞比较电压互为反相,且所述第一迟滞比较电压为正,所述第二迟滞比较电压为负;在比较阶段所述输入失调电压与两个所述隔直电容上存储的失调信息相抵消,当所述比较器输入信号高于所述第一迟滞比较电压时,所述比较器输出信号由第二状态翻转为第一状态,当所述比较器输入信号低于所述第二迟滞比较电压时,所述比较器输出信号由第一状态翻转为第二状态,当所述比较器输入信号在所述第二迟滞比较电压和所述第一迟滞比较电压之间时,所述比较器输出信号状态保持不变。

2. 根据权利要求1所述的适用于无线充电中电流解调的高精度比较器,其特征在于,所述输入滤波模块包括高通滤波电容、高通滤波电阻、低通滤波电容和低通滤波电阻,高通滤波电容一端连接所述比较器输入信号,另一端连接低通滤波电阻的一端并通过高通滤波电阻后接地;低通滤波电阻的另一端作为所述输入滤波模块的输出端并通过低通滤波电容后接地。

3. 根据权利要求1或2所述的适用于无线充电中电流解调的高精度比较器,其特征在于,在比较阶段,当所述比较器输出信号为第一状态时,所述逻辑单元控制所述第一级比较单元的第二正向输入端连接所述第一迟滞比较电压;当所述比较器输出信号为第二状态时,所述逻辑单元控制所述第一级比较单元的第二正向输入端连接所述第二迟滞比较电压。

4. 根据权利要求3所述的适用于无线充电中电流解调的高精度比较器,其特征在于,所述第一级比较单元包括第一PMOS管、第二PMOS管、第三PMOS管、第四PMOS管、第一电流源、第

二电流源、第一电阻、第二电阻、第五开关、第六开关、第七开关和第八开关，

第一PMOS管的栅极作为所述第一级比较单元的第一正向输入端，其源极连接第二PMOS管的源极并连接第一电流源，其漏极作为所述第一级比较单元的正向输出端并通过第一电阻后接地；

第二PMOS管的栅极连接第三PMOS管的栅极并作为所述第一级比较单元的负向输入端，其漏极作为所述第一级比较单元的负向输出端并通过第二电阻后接地；

第四PMOS管的栅极作为所述第一级比较单元的第二正向输入端，其源极连接第三PMOS管的源极并连接第二电流源，其漏极分别通过第六开关后连接所述第一级比较单元的负向输出端和通过第八开关后连接所述第一级比较单元的正向输出端；

第三PMOS管的漏极分别通过第七开关后连接所述第一级比较单元的负向输出端和通过第五开关后连接所述第一级比较单元的正向输出端；

所述第二级比较单元包括第五PMOS管、第六PMOS管、第一NMOS管、第二NMOS管、第三NMOS管、第三电流源和第四电流源，

第五PMOS管的栅极作为所述第二级比较单元的正向输入端并通过第一个所述隔直电容后连接所述第一级比较单元的正向输出端，其源极连接第六PMOS管的源极并连接第三电流源，其漏极连接第一NMOS管的栅极和漏极以及第二NMOS管的栅极；

第六PMOS管的栅极作为所述第二级比较单元的负向输入端并通过第二个所述隔直电容后连接所述第一级比较单元的负向输出端，其漏极连接第二NMOS管的漏极和第三NMOS管的栅极；

第三NMOS管的漏极连接第四电流源并作为所述第二级比较单元的输出端，其源极连接第一NMOS管和第二NMOS管的源极并接地。

5. 根据权利要求1或4所述的适用于无线充电中电流解调的高精度比较器，其特征在于，所述逻辑单元包括第一开关、第二开关、第三开关、第四开关、第九开关和第十开关，

第一开关一端接地，另一端连接所述第一级比较单元的第一正向输入端；

第二开关一端连接所述输入滤波模块，另一端连接所述第一级比较单元的第一正向输入端；

第三开关一端接地，另一端连接所述第一级比较单元的第二正向输入端；

第四开关一端连接第一迟滞比较电压，另一端连接所述第一级比较单元的第二正向输入端；

第九开关一端接地，另一端连接所述第二级比较单元的第一输入端；

第十开关一端接地，另一端连接所述第二级比较单元的第二输入端；

当所述时钟信号为第一状态时，第一开关、第九开关和第十开关闭合，第二开关断开；当所述时钟信号为第二状态时，第一开关、第九开关和第十开关断开，第二开关闭合。

6. 根据权利要求5所述的适用于无线充电中电流解调的高精度比较器，其特征在于，令所述比较器输出信号和所述时钟信号的第一状态为高电平，第二状态为低电平；

锁存时钟的上升沿与所述时钟信号的上升沿对齐，锁存时钟的下降沿晚于所述时钟信号的下降沿；当所述锁存时钟为高电平时将所述比较器输出信号进行锁存，当所述锁存时钟为低电平时将所述比较器输出信号直用于控制所述第一级比较单元的第二正向输入端连接所述第一迟滞比较电压或第二迟滞比较电压，若所述比较器输出信号为高电平，第

七开关和第八开关断开,第五开关和第六开关闭合;若所述比较器输出信号为低电平,第七开关和第八开关闭合,第五开关和第六开关断开。

一种适用于无线充电中电流解调的高精度比较器

技术领域

[0001] 本发明属于模拟集成电路中的无线充电技术领域,涉及一种适用于无线充电中电流解调的高精度比较器。

背景技术

[0002] 无线充电系统中,线圈开关频率一般在100KHz以上,通过调节负载端的阻抗,可以使线圈电流/电压发生变化,这种编码+调节的过程,称之为调制,调制频率为1KHz。通过采集、感应线圈电流的变化,并将之转化为数字码的过程,称之为解调。

[0003] 传统的解调方式,是将输入信号通过电容 C_{HF} 与电阻 R_{HF} 组成的高通滤波器后,在一个迟滞比较器中进行比较,迟滞比较器的阈值为迟滞电压 V_{HYS} 与 $-V_{HYS}$,所以该比较器有 $2V_{HYS}$ 的噪声容限。如图1所示就是一种带输入高通滤波器迟滞比较器,其中数据选择器MUX的真值表如图2所示,当数据选择器MUX的S端即选择端输入的比较器输出电压CMP_OUT为高电平时,数据选择器MUX输出其B输入端的信号,即输出迟滞电压 $+V_{HYS}$;当数据选择器MUX的S端输入的比较器输出电压CMP_OUT为低电平时,数据选择器MUX输出其A输入端的信号,即输出迟滞电压 $-V_{HYS}$ 。

[0004] 当电流调制信号比较好,并且比较器自身失调电压比较低的情况下,能够正确解调,此时的波形图如图3所示。如果信号较差,比如输入信号振铃过大会导致解调失败,此时的波形图如图4所示,可以看出波形有较大振铃,解调误码率增大。另外如果比较器自身失调电压比较大,也会导致解调失败,此时的波形图如图5所示,可以看出比较器自身失调电压比较大,解调误码率也会增大。

发明内容

[0005] 针对上述传统迟滞比较器由于输入信号振铃过大或比较器自身失调导致解调失败的问题,本发明提出一种适用于无线充电中电流解调的高精度比较器,利用输入滤波模块将过冲较大的电流波形进行矫正,经过输入滤波模块的电流过冲减小,但幅值有一定损失;然后利用迟滞比较模块消除比较器失调(offset),从而减小电路解调误码率。

[0006] 本发明的技术方案为:

[0007] 一种适用于无线充电中电流解调的高精度比较器,包括输入滤波模块和迟滞比较模块,

[0008] 所述输入滤波模块用于将比较器输入信号中的直流成分和高频过冲成分滤除后输出;

[0009] 所述迟滞比较模块包括第一级比较单元、第二级比较单元、两个隔直电容和逻辑单元,

[0010] 所述第一级比较单元的负向输入端接地,所述第一级比较单元的第一正向输入端在所述逻辑单元的控制下连接所述输入滤波模块的输出信号或接地,所述第一级比较单元的第二正向输入端在所述逻辑单元的控制下连接第一迟滞比较电压、第二迟滞比较电压或

接地,所述第一级比较单元的负向输出端连接第一个所述隔直电容的下极板,所述第一级比较单元的正向输出端连接第二个所述隔直电容的下极板;

[0011] 所述第二级比较单元的第一输入端在所述逻辑单元的控制下连接第一个所述隔直电容的上极板或接地,所述第二级比较单元的第二输入端在所述逻辑单元的控制下连接第二个所述隔直电容的上极板或接地,所述第二级比较单元的输出端输出比较器输出信号;

[0012] 所述逻辑单元包括锁存控制和时钟控制,当时钟信号为第一状态时为失调消除阶段,所述逻辑单元控制所述第一级比较单元的第一正向输入端和第二正向输入端以及所述第二级比较单元的第一输入端和第二输入端接地,同时所述逻辑单元将所述比较器输出信号进行锁存,在失调消除阶段输入失调电压被存储在两个所述隔直电容上;

[0013] 当所述时钟信号为第二状态时为比较阶段,所述逻辑单元控制所述第一级比较单元的第一正向输入端连接所述输入滤波模块的输出信号、控制所述第二级比较单元的第一输入端和第二输入端分别连接第一个所述隔直电容和第二个所述隔直电容的上极板,同时所述逻辑单元根据所述比较器输出信号控制所述第一级比较单元的第二正向输入端连接所述第一迟滞比较电压或第二迟滞比较电压,所述第一迟滞比较电压和第二迟滞比较电压互为反相,且所述第一迟滞比较电压为正,所述第二迟滞比较电压为负;在比较阶段所述输入失调电压与两个所述隔直电容上存储的失调信息相抵消,当所述比较器输入信号高于所述第一迟滞比较电压时,所述比较器输出信号由第二状态翻转为第一状态,当所述比较器输入信号低于所述第二迟滞比较电压时,所述比较器输出信号由第一状态翻转为第二状态,当所述比较器输入信号在所述第二迟滞比较电压和所述第一迟滞比较电压之间时,所述比较器输出信号状态保持不变。

[0014] 具体的,所述输入滤波模块包括高通滤波电容、高通滤波电阻、低通滤波电容和低通滤波电阻,高通滤波电容一端连接所述比较器输入信号,另一端连接低通滤波电阻的一端并通过高通滤波电阻后接地;低通滤波电阻的另一端作为所述输入滤波模块的输出端并通过低通滤波电容后接地。

[0015] 具体的,在比较阶段,当所述比较器输出信号为第一状态时,所述逻辑单元控制所述第一级比较单元的第二正向输入端连接所述第一迟滞比较电压;当所述比较器输出信号为第二状态时,所述逻辑单元控制所述第一级比较单元的第二正向输入端连接所述第二迟滞比较电压。

[0016] 具体的,所述第一级比较单元包括第一PMOS管、第二PMOS管、第三PMOS管、第四PMOS管、第一电流源、第二电流源、第一电阻、第二电阻、第五开关、第六开关、第七开关和第八开关,

[0017] 第一PMOS管的栅极作为所述第一级比较单元的第一正向输入端,其源极连接第二PMOS管的源极并连接第一电流源,其漏极作为所述第一级比较单元的正向输出端并通过第一电阻后接地;

[0018] 第二PMOS管的栅极连接第三PMOS管的栅极并作为所述第一级比较单元的负向输入端,其漏极作为所述第一级比较单元的负向输出端并通过第二电阻后接地;

[0019] 第四PMOS管的栅极作为所述第一级比较单元的第二正向输入端,其源极连接第三PMOS管的源极并连接第二电流源,其漏极分别通过第六开关后连接所述第一级比较单元的

负向输出端和通过第八开关后连接所述第一级比较单元的正向输出端；

[0020] 第三PMOS管的漏极分别通过第七开关后连接所述第一级比较单元的负向输出端和通过第五开关后连接所述第一级比较单元的正向输出端；

[0021] 所述第二级比较单元包括第五PMOS管、第六PMOS管、第一NMOS管、第二NMOS管、第三NMOS管、第三电流源和第四电流源，

[0022] 第五PMOS管的栅极作为所述第二级比较单元的正向输入端并通过第一个所述隔直电容后连接所述第一级比较单元的正向输出端，其源极连接第六PMOS管的源极并连接第三电流源，其漏极连接第一NMOS管的栅极和漏极以及第二NMOS管的栅极；

[0023] 第六PMOS管的栅极作为所述第二级比较单元的负向输入端并通过第二个所述隔直电容后连接所述第一级比较单元的负向输出端，其漏极连接第二NMOS管的漏极和第三NMOS管的栅极；

[0024] 第三NMOS管的漏极连接第四电流源并作为所述第二级比较单元的输出端，其源极连接第一NMOS管和第二NMOS管的源极并接地。

[0025] 具体的，所述逻辑单元包括第一开关、第二开关、第三开关、第四开关、第九开关和第十开关，

[0026] 第一开关一端接地，另一端连接所述第一级比较单元的第一正向输入端；

[0027] 第二开关一端连接所述输入滤波模块，另一端连接所述第一级比较单元的第一正向输入端；

[0028] 第三开关一端接地，另一端连接所述第一级比较单元的第二正向输入端；

[0029] 第四开关一端连接第一迟滞比较电压，另一端连接所述第一级比较单元的第二正向输入端；

[0030] 第九开关一端接地，另一端连接所述第二级比较单元的第一输入端；

[0031] 第十开关一端接地，另一端连接所述第二级比较单元的第二输入端；

[0032] 当所述时钟信号为第一状态时，第一开关、第九开关和第十开关闭合，第二开关断开；当所述时钟信号为第二状态时，第一开关、第九开关和第十开关断开，第二开关闭合。

[0033] 具体的，令所述比较器输出信号和所述时钟信号的第一状态为高电平，第二状态为低电平；

[0034] 锁存时钟的上升沿与所述时钟信号的上升沿对齐，锁存时钟的下降沿晚于所述时钟信号的下降沿；当所述锁存时钟为高电平时将所述比较器输出信号进行锁存，当所述锁存时钟为低电平时将所述比较器输出信号直通用于控制所述第一级比较单元的第二正向输入端连接所述第一迟滞比较电压或第二迟滞比较电压，若所述比较器输出信号为高电平，第七开关和第八开关断开，第五开关和第六开关闭合；若所述比较器输出信号为低电平，第七开关和第八开关闭合，第五开关和第六开关断开。

[0035] 本发明的有益效果为：本发明提出的比较器利用输入滤波模块滤除比较器输入信号VIN中的直流成分和高频过冲成分，使得输入信号VIN中过冲较大的电流波形得到矫正，减小了输入过冲；同时利用迟滞比较模块用于完成比较作用，并且结合逻辑控制，在失调消除阶段将输入失调信息存储在隔直电容上，使得比较阶段比较器的输入失调与隔直电容上存储的输入失调信息相互抵消，从而消除比较器失调(offset)，减小电路解调误码率，提高无线充电电流解调解码率。

附图说明

[0036] 下面的附图有助于更好地理解下述对本发明不同实施例的描述,这些附图示意性地示出了本发明一些实施方式的主要特征。这些附图和实施例以非限制性、非穷举性的方式提供了本发明的一些实施例。为简明起见,不同附图中具有相同功能的相同或类似的组件或结构采用相同的附图标记。

[0037] 图1是带输入高通滤波器的传统迟滞比较器结构框图。

[0038] 图2是传统迟滞比较器中数据选择器MUX的真值表。

[0039] 图3是传统迟滞比较器在正确解调情况下的波形示意图。

[0040] 图4是传统迟滞比较器由于输入信号振铃过大导致解调失败的波形图,可以看出波形有较大振铃,解调误码率增大。

[0041] 图5是传统迟滞比较器由于比较器失调过大导致解调失败的波形图,可以看出比较器自身失调电压比较大,解调误码率增大。

[0042] 图6是本发明提出的一种适用于无线充电中电流解调的高精度比较器的结构框图。

[0043] 图7是本发明提出的一种适用于无线充电中电流解调的高精度比较器的时序图。

[0044] 图8是本发明提出的一种适用于无线充电中电流解调的高精度比较器在失调消除状态下的结构框图。

[0045] 图9是本发明提出的一种适用于无线充电中电流解调的高精度比较器在比较状态下的结构框图。

[0046] 图10是比较器输入信号VIN经过输入滤波模块后的波形示意图。

[0047] 图11是本发明提出的一种适用于无线充电中电流解调的高精度比较器在实施例中的一种具体电路图。

[0048] 图12是实施例中失调消除状态下解调比较器的具体电路图。

[0049] 图13是实施例中比较状态下解调比较器的具体电路图。

具体实施方式

[0050] 为了使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明进行详细地说明。显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0051] 本发明提出一种高精度的比较器,能够适用于无线充电中进行电流解调。如图6所示,本发明提出的比较器包括输入滤波模块和迟滞比较模块,其中输入滤波模块用于将比较器输入信号VIN中的直流成分和高频过冲成分滤除后输出,使得输入信号VIN中过冲较大的电流波形得到矫正,减小过冲;迟滞比较模块用于完成比较作用,并且消除比较器失调(offset),从而减小电路解调误码率。

[0052] 如图6所示给出了输入滤波模块的一种实现电路图,包括高通滤波电容 C_{HF} 、高通滤波电阻 R_{HF} 、低通滤波电容 C_{LF} 和低通滤波电阻 R_{LF} ,高通滤波电容 C_{HF} 一端连接比较器输入信号VIN,另一端连接低通滤波电阻 R_{LF} 的一端并通过高通滤波电阻 R_{HF} 后接地;低通滤波电阻 R_{LF} 的另一端作为输入滤波模块的输出端并通过低通滤波电容 C_{LF} 后接地。

[0053] 本实施例中输入滤波模块利用高通滤波电容 C_{HF} 和高通滤波电阻 R_{HF} 组成高通滤波器,利用低通滤波电容 C_{LF} 和低通滤波电阻 R_{LF} 组成低通滤波器。高通滤波器主要作用是隔直,即屏蔽信号的直流成分。低通滤波将信号的高频过冲成分滤除,留下低频成分。经过低通滤波器的波形如图10所示,可以看到输入信号中的振铃被抑制,但是伴随着振幅的减小。

[0054] 如图6所示,迟滞比较模块包括第一级比较单元、第二级比较单元、两个隔直电容 C_{AZ} 和逻辑单元,其中第一级比较单元的负向输入端接地,第一级比较单元的第一正向输入端在逻辑单元的控制下连接输入滤波模块的输出信号或接地,第一级比较单元的第二正向输入端在逻辑单元的控制下连接第一迟滞比较电压 $+V_{HYS}$ 、第二迟滞比较电压 $-V_{HYS}$ 或接地,第一迟滞比较电压 $+V_{HYS}$ 和第二迟滞比较电压 $-V_{HYS}$ 互为反相,且第一迟滞比较电压 $+V_{HYS}$ 为正,第二迟滞比较电压 $-V_{HYS}$ 为负,图3-5中的VTR即为第一迟滞比较电压 $+V_{HYS}$,VTF即为第二迟滞比较电压 $-V_{HYS}$;第一级比较单元的负向输出端连接第一个隔直电容的下极板,第一级比较单元的正向输出端连接第二个隔直电容的下极板。

[0055] 第二级比较单元的第一输入端在逻辑单元的控制下连接第一个隔直电容的上极板或接地,第二级比较单元的第二输入端在逻辑单元的控制下连接第二个隔直电容的上极板或接地,第二级比较单元的输出端输出比较器输出信号CMP_OUT。如图6所示,一些实施例中令第二级比较单元的第一输入端为正向输入端,第二级比较单元的第二输入端为负向输入端;另一些实施例中,如图11所示,还可以令第二级比较单元的第一输入端为负向输入端,第二级比较单元的第二输入端为正向输入端;这两种实施例产生的比较器输出信号CMP_OUT极性相反,可根据实际应用条件来选择。

[0056] 逻辑单元包括锁存控制和时钟控制,其中锁存控制由锁存器(Latch)实现,时钟控制由多个数据选择器在时钟信号CLK的控制下实现。

[0057] 如图8所示,当时钟信号CLK为第一状态时为失调消除阶段,逻辑单元控制第一级比较单元的第一正向输入端和第二正向输入端以及第二级比较单元的第一输入端和第二输入端接地,即第一级比较单元和第二级比较单元的输入全部接0电平。同时逻辑单元通过锁存器(Latch)将比较器输出信号CMP_OUT进行锁存,保存比较器输出信号CMP_OUT的上一个状态。在失调消除阶段,输入失调电压 $V_{OS,in}$ 经过第一级比较单元后,失调信息被存储在两个隔直电容 C_{AZ} 上。

[0058] 如图9所示,当时钟信号CLK为第二状态时为比较阶段,时钟信号CLK的第一状态和第一状态反相,一些实施例中可以令时钟信号CLK的第一状态为高电平,第二状态为低电平。在比较阶段,逻辑单元控制第一级比较单元的第一正向输入端连接输入滤波模块的输出信号、控制第二级比较单元的第一输入端和第二输入端分别连接第一个隔直电容和第二个隔直电容的上极板;同时逻辑单元根据比较器输出信号CMP_OUT控制第一级比较单元的第二正向输入端连接第一迟滞比较电压 $+V_{HYS}$ 或第二迟滞比较电压 $-V_{HYS}$ 。在比较阶段,输入失调电压与两个隔直电容上存储的失调信息相抵消,因此等效输入失调电压为0V。输入信号与迟滞电压 $\pm V_{HYS}$ 进行比较,当比较器输入信号VIN高于第一迟滞比较电压 $+V_{HYS}$ 时,比较器输出信号CMP_OUT由第二状态翻转为第一状态,当比较器输入信号VIN低于第二迟滞比较电压 $-V_{HYS}$ 时,比较器输出信号CMP_OUT由第一状态翻转为第二状态,当比较器输入信号VIN在第二迟滞比较电压 $-V_{HYS}$ 和第一迟滞比较电压 $+V_{HYS}$ 之间时,比较器输出信号CMP_OUT状态保持不变。

[0059] 本实施例中令时钟信号CLK的第一状态为高电平,第二状态为低电平;同时令比较器输出信号COMP_OUT的第一状态为高电平,第二状态为低电平。如图7所示,时钟信号CLK为高电平时,时钟信号CLK的反相信号CLKZ为低电平,令锁存时钟CLK_LATCH的上升沿与时钟信号CLK的上升沿对齐,锁存时钟CLK_LATCH的下降沿晚于时钟信号CLK的下降沿,如锁存时钟CLK_LATCH的下降沿相比时钟信号CLK的下降沿延后1 μ s。锁存时钟CLK_LATCH用于控制锁存器(Latch),当锁存时钟CLK_LATCH为高电平时锁存器(Latch)将比较器输出信号COMP_OUT进行锁存,当锁存时钟CLK_LATCH为低电平时将比较器输出信号COMP_OUT直用于控制第一级比较单元的第二正向输入端连接第一迟滞比较电压 $+V_{HYS}$ 或第二迟滞比较电压 $-V_{HYS}$;具体来说,结合图2所示的真值表,在比较阶段,锁存器(Latch)直通,当比较器输出信号COMP_OUT为高时,逻辑单元控制第一级比较单元的第二正向输入端连接第一迟滞比较电压 $+V_{HYS}$;当比较器输出信号COMP_OUT为低时,逻辑单元控制第一级比较单元的第二正向输入端连接第二迟滞比较电压 $-V_{HYS}$ 。

[0060] 下面结合迟滞比较模块的具体结构进行说明,如图11所示给出了迟滞比较模块的一种具体实现电路图,其中第一级比较单元包括第一PMOS管MP1、第二PMOS管MP2、第三PMOS管MP3、第四PMOS管MP4、第一电流源IB1、第二电流源IB2、第一电阻R1、第二电阻R2、第五开关S5、第六开关S6、第七开关S7和第八开关S8,第一PMOS管MP1的栅极作为第一级比较单元的第一正向输入端,其源极连接第二PMOS管MP2的源极并连接第一电流源IB1,其漏极作为第一级比较单元的正向输出端并通过第一电阻R1后接地;第二PMOS管MP2的栅极连接第三PMOS管MP3的栅极并作为第一级比较单元的负向输入端,其漏极作为第一级比较单元的负向输出端并通过第二电阻R2后接地;第四PMOS管MP4的栅极作为第一级比较单元的第二正向输入端,其源极连接第三PMOS管MP3的源极并连接第二电流源IB2,其漏极分别通过第六开关S6后连接第一级比较单元的负向输出端和通过第八开关S8后连接第一级比较单元的正向输出端;第三PMOS管MP3的漏极分别通过第七开关S7后连接第一级比较单元的负向输出端和通过第五开关S5后连接第一级比较单元的正向输出端。

[0061] 第一级比较单元中,第一PMOS管MP1和第二PMOS管MP2以及尾电流源IB1、第一电阻R1、第二电阻R2是第一组输入,第三PMOS管MP3和第四PMOS管MP4以及尾电流源IB2是第二组输入对管,通过第五开关S5、第六开关S6、第七开关S7和第八开关S8可以改变第二组输入的电流极性,从而改变迟滞极性。第一级比较单元和第二级比较单元之间通过两个隔直电容C1、C2相连,图11中的两个隔直电容C1、C2对应图6中的两个隔直电容 C_{AZ} 。

[0062] 如图11所示,第二级比较单元包括第五PMOS管MP5、第六PMOS管MP6、第一NMOS管MN1、第二NMOS管MN2、第三NMOS管MN3、第三电流源IB3和第四电流源IB4,第五PMOS管MP5的栅极作为第二级比较单元的正向输入端并通过第一个隔直电容C1后连接第一级比较单元的正向输出端,其源极连接第六PMOS管MP6的源极并连接第三电流源IB3,其漏极连接第一NMOS管MN1的栅极和漏极以及第二NMOS管MN2的栅极;第六PMOS管MP6的栅极作为第二级比较单元的负向输入端并通过第二个隔直电容C2后连接第一级比较单元的负向输出端,其漏极连接第二NMOS管MN2的漏极和第三NMOS管的栅极;第三NMOS管MN3的漏极连接第四电流源IB4并作为第二级比较单元的输出端,其源极连接第一NMOS管MN1和第二NMOS管MN2的源极并接地。

[0063] 逻辑单元包括第一开关S1、第二开关S2、第三开关S3、第四开关S4、第九开关S9和

第十开关S10,第一开关S1一端接地,另一端连接第一级比较单元的第一正向输入端;第二开关S2一端连接输入滤波模块,另一端连接第一级比较单元的第一正向输入端;第三开关S3一端接地,另一端连接第一级比较单元的第二正向输入端;第四开关S4一端连接第一迟滞比较电压,另一端连接第一级比较单元的第二正向输入端;第九开关S9一端接地,另一端连接第二级比较单元的第一输入端;第十开关S10一端接地,另一端连接第二级比较单元的第二输入端。当时钟信号CLK为第一状态时,第一开关S1、第九开关S9和第十开关S10闭合,第二开关S2断开,将第一级比较单元和第二级比较单元的输入都接地;当时钟信号CLK为第二状态时,第一开关S1、第九开关S9和第十开关S10断开,第二开关S2闭合,将第一级比较单元的第一正向输入端连接输入滤波模块的输出信号、第二级比较单元的第一输入端和第二输入端分别连接两个隔直电容C1和C2的上极板,将第一级比较单元的第二正向输入端连接第一迟滞比较电压 $+V_{HYS}$ 或第二迟滞比较电压 $-V_{HYS}$,若比较器输出信号为第一状态(本实施例为高),第七开关S7和第八开关S8断开,第五开关S5和第六开关S6闭合,输入信号与第一迟滞比较电压 $+V_{HYS}$ 比较,若比较器输出信号为第二状态(本实施例为低),第七开关S7和第八开关S8闭合,第五开关S5和第六开关S6断开,输入信号与第二迟滞比较电压 $-V_{HYS}$ 比较。

[0064] 本实施例的工作过程如下:

[0065] 第一步为失调消除状态,如图12所示,当时钟信号CLK为高时,第一级比较单元的第一PMOS管MP1通过第一开关S1接地AVSS,第四PMOS管MP4通过第三开关S3接地AVSS,第二级比较单元的输入通过第九开关S9和第十开关S10接地AVSS。逻辑单元利用锁存器(Latch)将比较器输出信号ON_RAW的上一个状态锁存住,在此状态下,输入失调电压 $V_{OS,in}$ 经过第一级放大单元后,将失调信息存储在两个隔直电容C1、C2上

[0066] 第二步为比较状态,如图13所示,当CLKZ(时钟信号CLK的反相信号)为高时,第一级比较单元的第一PMOS管MP1通过第二开关S2接输入滤波模块输出的低通滤波,第四PMOS管MP4通过第四开关S4接第一迟滞电压 V_{HYS} ,第二级比较单元的两个输入端分别接两个隔直电容C1、C2的上极板。在比较阶段,逻辑模块的锁存器(Latch)为直通模式,将比较器输出信号ON_RAW直通输出,其输出为 $ON_F = ON_RAW$ 。比较阶段两个隔直电容C1、C2上存储的失调信息将抵消输入失调电压,等效输入失调电压为0V。输入信号与迟滞电压 $\pm V_{HYS}$ 进行比较,当输入信号大于 $+V_{HYS}$ 时,比较器输出信号ON_RAW为高;当输入信号小于 $-V_{HYS}$ 时,比较器输出信号ON_RAW为低。

[0067] 综上所述,可以看到本发明提出的比较器通过输入滤波模块的低通滤波器减小了输入信号中的过冲,通过auto-zero的迟滞比较模块减小了比较器失调电压,输入滤波模块和迟滞比较模块的结合可以有效地提高无线充电的解码率。

[0068] 本领域的普通技术人员可以根据本发明公开的这些技术启示做出各种不脱离本发明实质的其它各种具体变形和组合,这些变形和组合仍然在本发明的保护范围内。

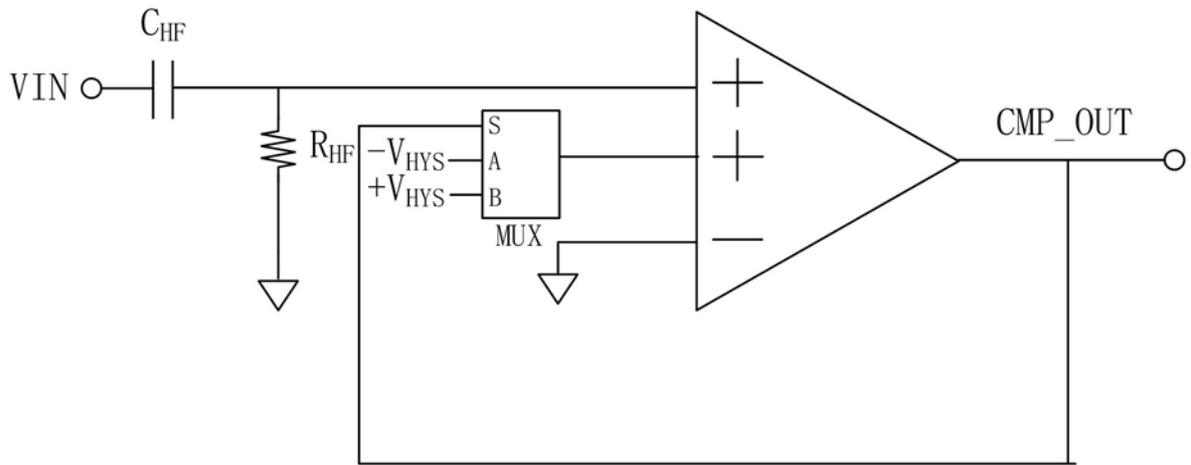


图1

CMP_OUT	MUX_OUT
H	B
L	A

图2

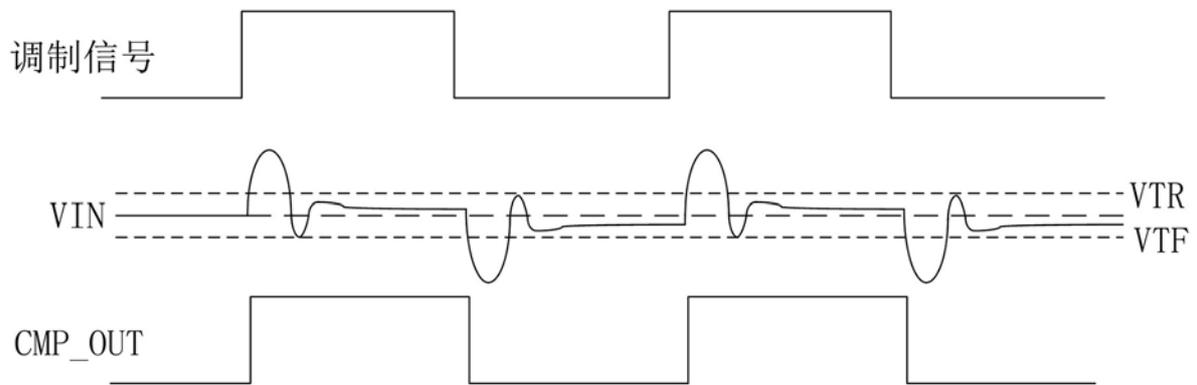


图3

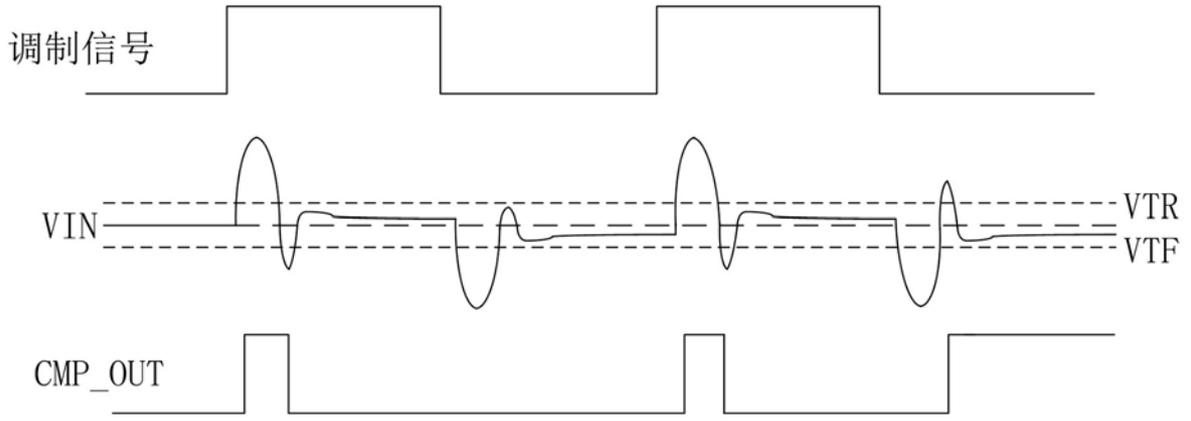


图4

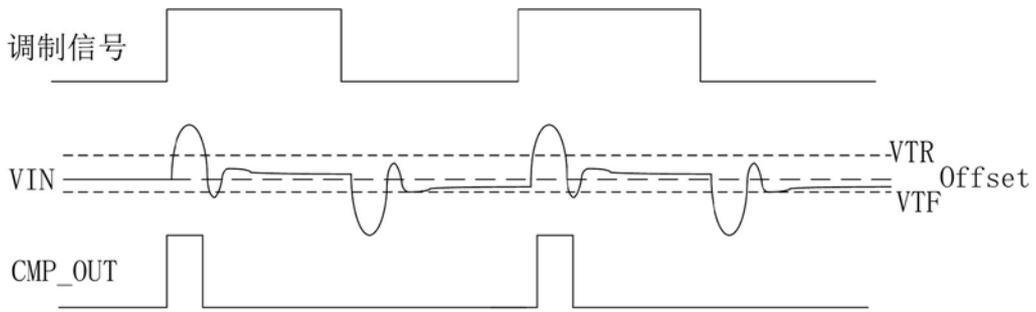


图5

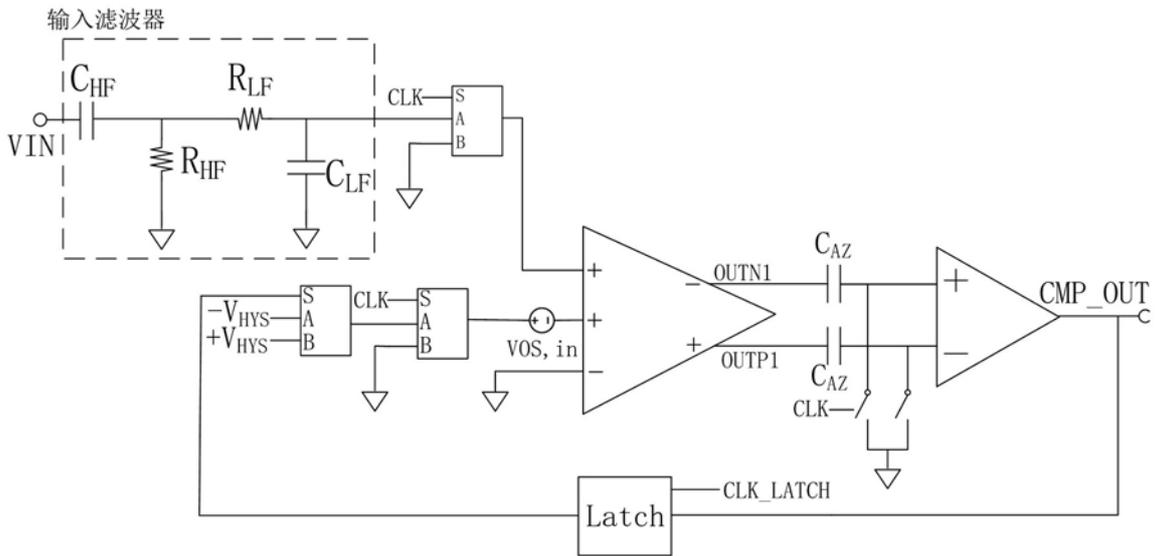


图6

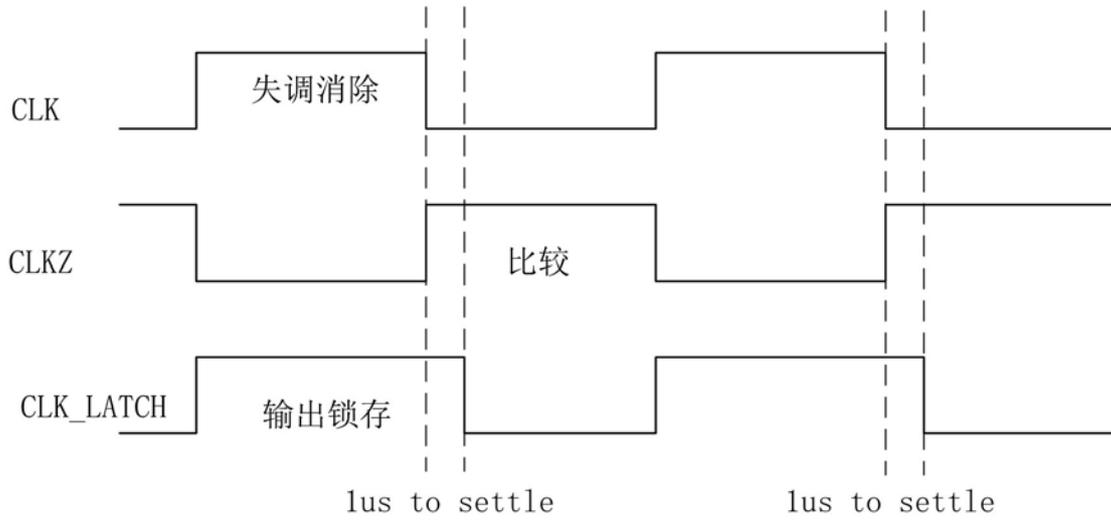


图7

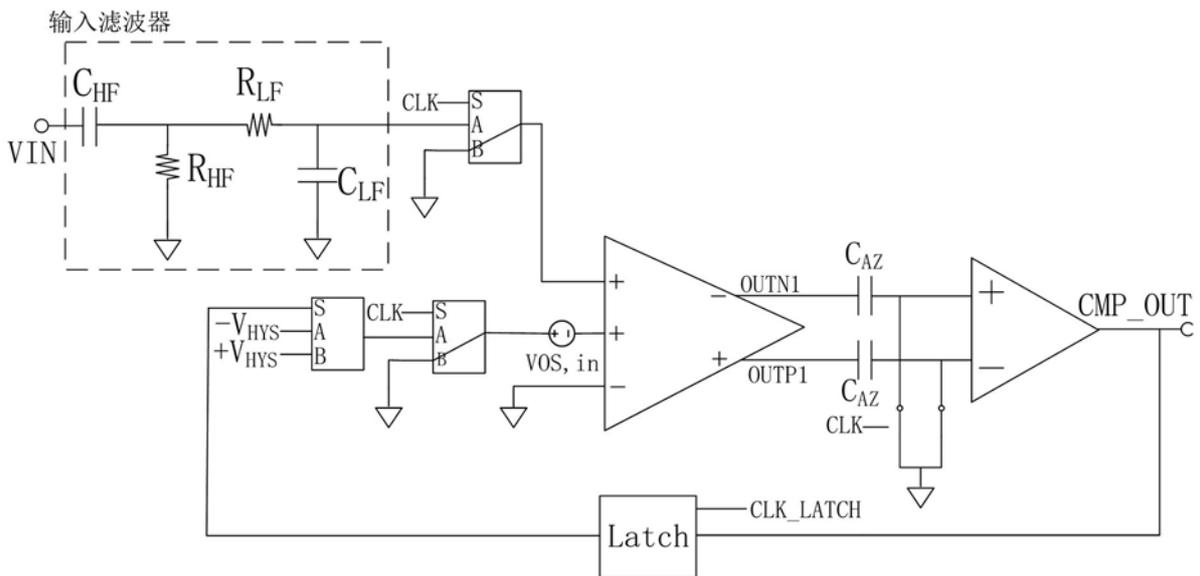


图8

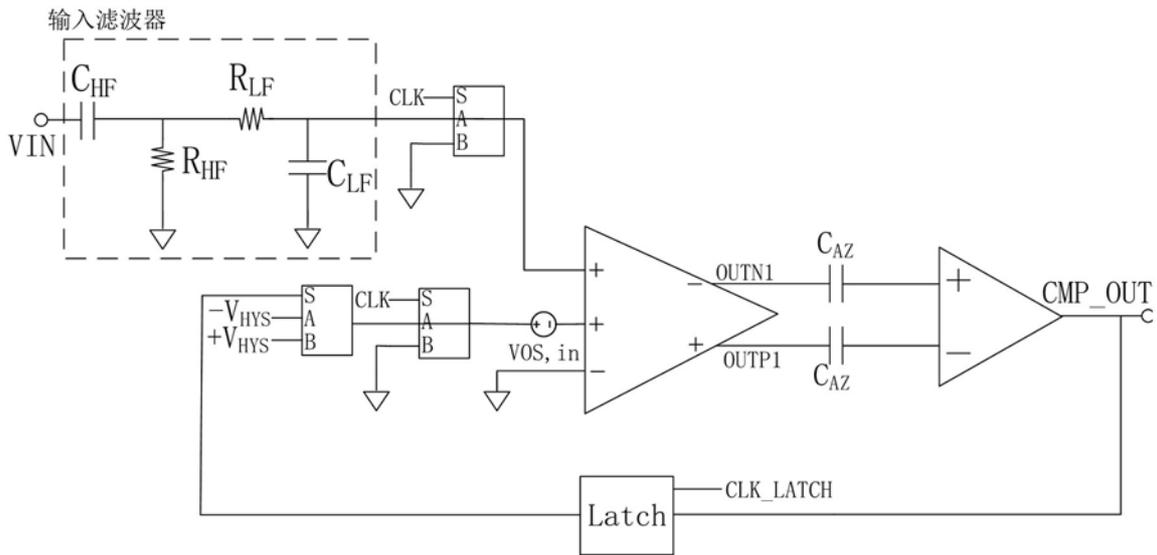


图9

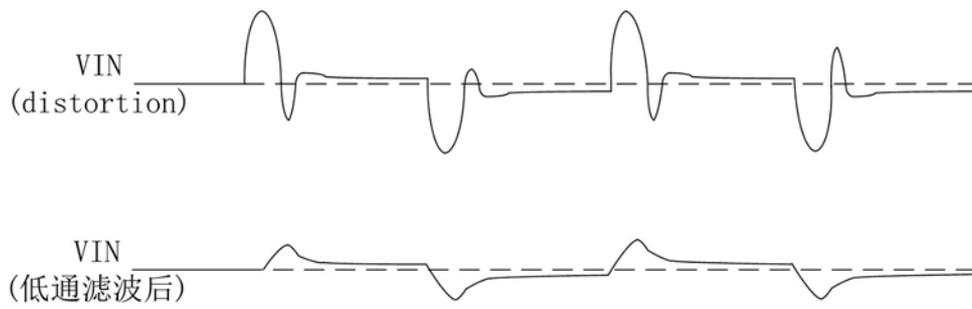


图10

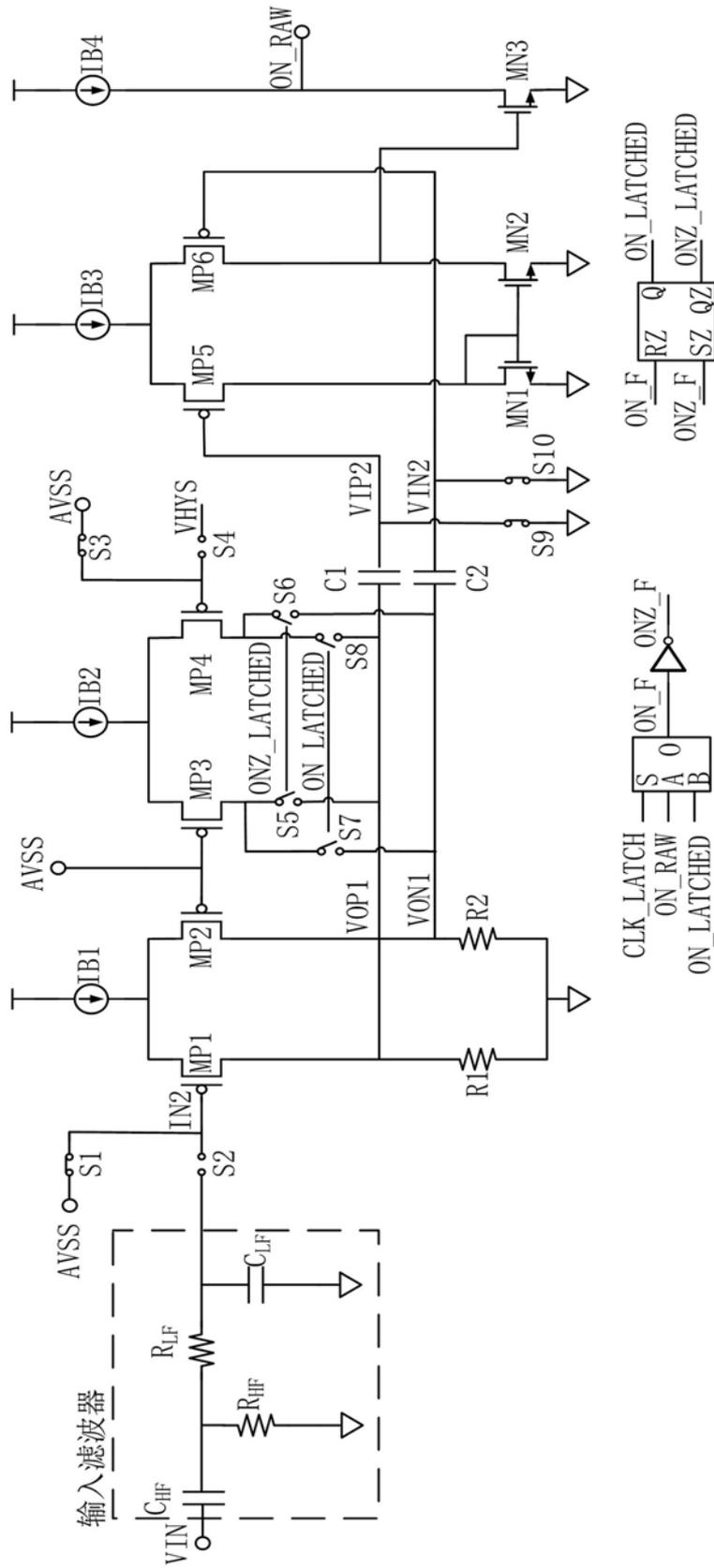


图12

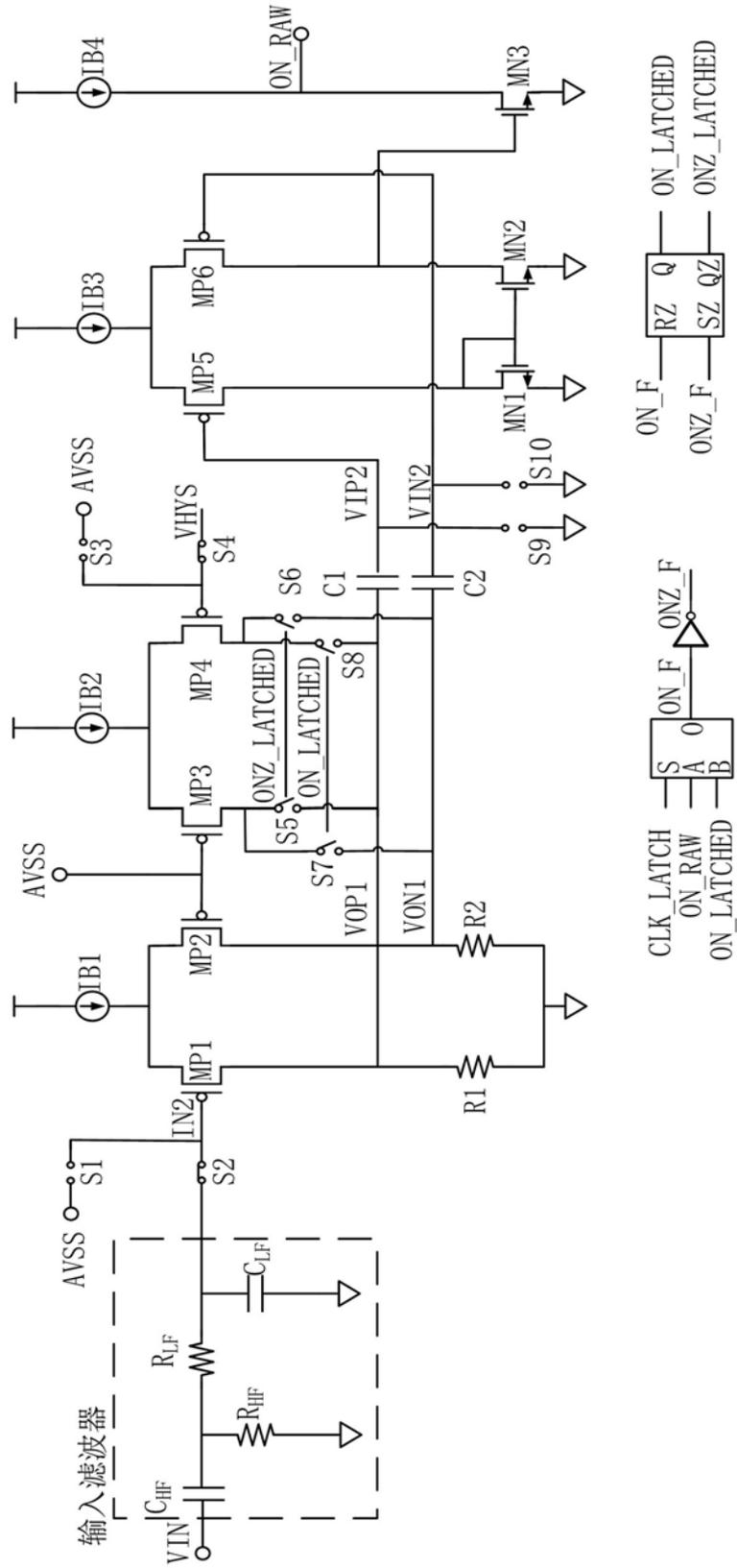


图13