

⑬ RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

⑪ N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

**2 543 326**

⑫ N° d'enregistrement national :

**84 04570**

⑮ Int Cl<sup>3</sup> : G 06 F 13/00, 15/20.

⑫

## DEMANDE DE BREVET D'INVENTION

A1

⑲ Date de dépôt : 23 mars 1984.

⑳ Priorité : JP, 23 mars 1983, n° 58-48233.

⑳ Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 39 du 28 septembre 1984.

㉑ Références à d'autres documents nationaux apparentés :

㉒ Demandeur(s) : NEC CORPORATION. — JP.

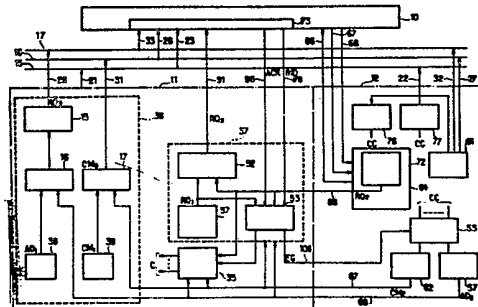
㉓ Inventeur(s) : Akihito Ohtake.

㉔ Titulaire(s) :

㉕ Mandataire(s) : Novapat-Chereau.

⑳ Système de traitement de données comprenant un circuit de conversion d'adresse utilisé en commun avec une unité centrale de traitement et une unité de canaux.

㉖ Dans un système de traitement de données pour accéder à une mémoire principale 10 à partir d'une unité centrale de traitement 11 et d'une unité de canaux 12 par l'intermédiaire d'un bus de données commun 15, un circuit de conversion d'adresse 45 est incorporé dans l'unité centrale de traitement de manière à convertir chaque adresse logique en adresse réelle affectée physiquement à la mémoire principale et est utilisé en commun par l'unité centrale de traitement et l'unité de canaux. La conversion d'adresse est exécutée par le circuit de conversion d'adresse sélectivement pour l'unité centrale de traitement, et l'unité de canaux. Lorsque la mémoire principale est accédée à partir de l'unité de canaux par l'intermédiaire de l'unité centrale de traitement, un signal d'indication IND est fourni à partir de la mémoire principale seulement à l'unité centrale de traitement pour indiquer soit la réception soit la fourniture d'un groupe de données. L'unité centrale de traitement met sous tension l'unité de canaux pour affecter le bus de donnée à l'unité de canaux. Ensuite, le groupe de données est transféré de la mémoire principale 10 à l'unité de canaux 12 par l'intermédiaire du bus de données 15.



FR 2 543 326 - A1

D

## 1.

La présente invention concerne un système de traitement de données comprenant une mémoire principale, une unité centrale de traitement et une unité de canaux, qui sont toutes connectées à un bus de données et, plus particulièrement, un système de traitement de données destiné à être utilisé dans l'accession de la mémoire principale à partir de l'unité centrale de traitement et de l'unité de canaux.

Un procédé d'adresses virtuelles ou logiques est souvent adopté dans un système de traitement de données lorsqu'une mémoire principale est utilisée en commun avec une pluralité de programmes, et la capacité de la mémoire principale est inférieure à la capacité nécessaire pour tous les programmes. Avec la méthode d'adresses virtuelles, une adresse virtuelle doit être convertie ou soumise à traduction dans une adresse réelle spécifiant chacune des adresses physiques de la mémoire principale lorsque celle-ci est accédée par une unité centrale de traitement ou une unité de canaux.

Il est préférable qu'une telle traduction

## 2.

d'adresse soit effectuée aussi rapidement que possible. En particulier, la traduction d'adresse doit s'effectuer sur un accès à partir de l'unité centrale de traitement plus rapidement que sur un accès à partir de l'unité de canaux.

Un système classique de traitement de données comporte une table de traduction d'adresses mémorisée dans une mémoire principale pour convertir chaque adresse virtuelle en adresse réelle. Avec le système classique, la conversion d'adresse est possible sans augmentation d'un matériel superflu. Cependant, on doit accéder à la mémoire principale pour rechercher la table de traduction d'adresse chaque fois que la conversion d'adresse est nécessaire. Par conséquent, le temps supplémentaire de conversion d'adresse devient extrêmement long. Cela signifie que la table de traduction d'adresse ne peut être sensiblement utilisée par l'unité centrale de traitement à cause de ce long temps supplémentaire. Pour toute vitesse, un système classique de traitement de données subit inévitablement une dégradation de ses performances.

Dans le brevet des Etats-Unis d'Amérique n° 3 902 163, on décrit un système de traitement de données qui comprend une section de commande de stockage couplée à une unité centrale de traitement. La section de commande de stockage comprend une mémoire tampon primaire pour le stockage d'une table de traduction d'adresse transférée à partir d'une mémoire principale. Une telle mémoire tampon peut généralement être appelée tampon de recherche à part de table et peut fonctionner à haute vitesse par rapport à la mémoire principale. Avec le système du brevet cité ci-dessus, la conversion d'adresse peut être rapidement exécutée en utilisant la mémoire tampon primaire lorsque l'unité centrale de traitement accède à la mémoire principale. Cependant, aucune suggestion n'est faite quant à la conversion d'adresse d'une adresse logique

3.

provenant d'une unité de canaux. Par conséquent, une telle conversion d'adresse se produit lentement par accès à une table de traduction d'adresse stockée dans la mémoire principale comme mentionné précédemment.

5 Dans le but d'exécuter une conversion rapide d'adresse liée à l'unité de canaux, on doit incorporer une autre mémoire tampon dans l'unité de canaux de manière à stocker une table de traduction d'adresse supplémentaire qui est identique à la table de traduction d'adresse stockée dans la mémoire tampon primaire incorporée  
10 dans l'unité centrale de traitement. Cependant, cela se traduit par une augmentation du matériel. Dans la mesure où la mémoire tampon primaire et la mémoire tampon supplémentaire doivent toujours coïncider quant à leur contenu, un matériel superflu doit également être ajouté aux  
15 mémoires tampons primaire et supplémentaire sous forme de circuits périphériques.

Un objet de la présente invention est un système de traitement de données où la conversion d'adresse  
20 peut être rapidement exécutée, l'augmentation du matériel étant supprimée par rapport au système du brevet cité ci-dessus même lorsqu'un accès a son origine à l'unité de canaux.

Un autre objet de la présente invention est un  
25 système de traitement de données du type décrit, où le temps supplémentaire est réduit pour la conversion d'adresse et les performances du système sont donc meilleures.

Un système de traitement de données auquel s'applique la présente invention est destiné à être utilisé  
30 dans l'accès d'une mémoire principale à partir d'une unité centrale de traitement ainsi que d'une unité de canaux par l'intermédiaire d'un bus de données partagé entre l'unité centrale de traitement et l'unité de canaux. L'unité centrale de traitement comprend un moyen de production  
35 de premier signal d'accès destiné à produire un premier

4.

signal d'accès et un moyen de production de premier signal de demande destiné à produire un premier signal de demande. L'unité de canaux comprend un moyen de production de second signal d'accès destiné à produire un second signal d'accès et un moyen de production de second signal de demande destiné à produire un second signal de demande. La mémoire principale produit un signal d'accusé de réception lorsqu'elle est accédée. Selon la présente invention, l'unité centrale de traitement comprend en outre un premier moyen de fourniture répondant à un signal sélectionné parmi les premier et second signaux d'accès pour fournir un troisième signal d'accès à la mémoire principale par l'intermédiaire du bus de données, un second moyen de fourniture couplé au premier moyen de fourniture pour fournir l'un des premier et second signaux de demande à la mémoire principale qui est choisi en correspondance avec le signal sélectionné des premier et second signaux d'accès, et un moyen d'excitation couplé au second moyen de fourniture et au moins au moyen de production de second signal de demande et répondant au signal d'accusé de réception pour mettre sous tension l'unité de canaux avec le bus de données affecté à l'unité de canaux lorsque le moyen de production de second signal de demande produit le second signal de demande et le second moyen de fourniture délivre le second signal de demande comme l'un des premier et second signaux de demande.

La présente invention sera bien comprise lors de la description suivante faite en liaison avec les dessins ci-joints dans lesquels :

La figure 1 est un schéma sous forme de blocs d'un système de traitement de données selon un mode de réalisation préféré de la présente invention; et

La figure 2 est un schéma sous forme de blocs destiné à décrire une partie du système de traitement de données représenté en détail en figure 1.

5.

En liaison avec la figure 1, un système de traitement de données, selon un mode de réalisation préféré de la présente invention est destiné à être utilisé dans l'accès d'une mémoire principale 10 à partir d'une

5 unité centrale de traitement 11, et d'une unité de canaux 12. L'unité de canaux 12 peut être appelée processeur d'entrée/sortie. Un bus de données 15 est monté entre la mémoire principale 10 et l'unité centrale de traitement 11 et entre la mémoire principale 10 et l'unité de canaux 12

10 en même temps qu'un bus d'adresses 16 et d'un bus d'ordres 17. L'unité centrale de traitement 11 ainsi que l'unité de canaux 12 sont connectées à la mémoire principale 10 par l'intermédiaire du bus de données 15, du bus d'adresses 16 et du bus d'ordres 17 comme cela sera décrit. En d'au-

15 tres termes, le bus de données 15, le bus d'adresses 16 et le bus d'ordres 17 sont partagés par l'unité centrale de traitement 11 et l'unité de canaux 12. Plus particulièrement, le bus de données 15 est connecté par l'intermédiaire de première, seconde et troisième lignes de don-

20 nées 21, 22 et 23 à l'unité centrale de traitement 11 à l'unité de canaux 12 et à la mémoire principale 10, respectivement, alors que le bus d'adresses 16 est connecté par l'intermédiaire de première, seconde et troisième

25 lignes d'adresses 26, 27 et 28 à l'unité centrale de traitement 11, à l'unité de canaux 12 et à la mémoire principale 10, respectivement. De plus, le bus d'ordres 17 est connecté par l'intermédiaire de première, seconde et troisième

30 lignes d'ordres 31, 32 et 33 à l'unité centrale de traitement 11, à l'unité de canaux 12, et à la mémoire principale 10, respectivement. Dans l'exemple illustré, la seconde ligne d'adresses 27, et la seconde ligne d'ordres 32 servent à exécuter une opération de transfert entre l'unité de canaux 12 et des dispositifs d'entrée/sortie (non représentés) comme cela apparaîtra au fur et

35 à mesure de la description. L'opération de transfert en-

6.

tre l'unité de canaux 12 et le dispositif d'entrée/sortie n'entre pas dans le cadre de la présente invention et ne sera par conséquent pas décrite en détail.

L'unité centrale de traitement 11 qui est illustrée comprend un contrôleur principal 35 pour fournir un jeu de signaux de commande C à un circuit d'accès 36 et à un circuit de demande 37 pour les mettre en fonctionnement en relation temporelle avec les canaux de commande C. Le circuit d'accès 36 comprend un premier registre d'adresses 38 et un premier registre d'ordres 39 pour maintenir un premier signal d'adresse  $AD_1$  et un premier signal d'ordre  $CM_1$ , respectivement, sous la commande du contrôleur principal 35. Le premier signal d'adresse  $AD_1$  et le premier signal d'ordre  $CM_1$  peuvent être appelés collectivement premier signal d'accès car ils servent à accéder à la mémoire principale 10. A cet égard, la combinaison du premier registre d'adresses 38 et du premier registre d'ordres 39 peut être appelé circuit de production de premier signal d'accès.

On doit signaler ici que le premier signal d'adresse  $AD_1$  spécifie une adresse logique pour désigner un programme ou analogue. Par conséquent, le premier signal d'adresse  $AD_1$  doit être traduit ou converti en adresse physique ou réelle de manière à accéder réellement à la mémoire principale 10 d'une manière qui sera décrite ultérieurement.

De toute façon, le premier signal d'adresse  $AD_1$  est appliqué à un circuit de traduction d'adresse 45 par l'intermédiaire d'un premier multiplexeur 46, alors que le premier signal d'ordre  $CM_1$  est appliqué à un second multiplexeur 47. Les premier et second multiplexeurs 46 et 47 sont couplés à l'unité de canaux 12 comme cela sera décrit ultérieurement.

Le circuit de demande 37 peut fonctionner en relation temporelle avec le circuit d'accès 36 sous la

## 7.

commande du contrôleur primaire 35 et comprend un circuit 51 de premier signal de demande pour produire un premier signal de demande  $RQ_1$  en réponse à un signal pré-sélectionné des signaux de commande C. Le circuit 51 peut  
5 être une bascule. Le premier signal de demande  $RQ_1$  est fourni à un processeur 52 de signaux de demande et à un circuit 53 de commande de réponse, qui sont tous deux mis en fonctionnement d'une manière décrite ultérieurement.

L'unité de canaux 12 comprend un contrôleur de  
10 canaux 55 pour produire un groupe de signaux de commande de canal CC vers diverses parties de commande de l'unité 12. Un second registre d'adresses 57 est commandé par le contrôleur 55 et produit un second signal d'adresse  $AD_2$  qui y est maintenu. Le second signal d'adresse  $AD_2$  spécifie une seconde adresse logique désignée par le dispositif  
15 d'entrée/sortie sous forme d'une adresse logique ou virtuelle, comme le premier signal d'adresse  $AD_1$ . Un second registre d'ordres 62 est commandé en même temps que le second registre d'adresses 57 et produit un second signal  
20 d'ordre  $CM_2$ . Le second signal d'adresse  $AD_2$  et le second signal d'ordre  $CM_2$  peuvent être appelés collectivement second signal d'accès comme mentionné en conjonction avec le premier signal d'adresse  $AD_1$  et le premier signal d'ordre  $CM_1$ .

25 On doit signaler ici que chacun des premier et second signaux d'ordre  $CM_1$  et  $CM_2$  est représentatif d'un type d'accès, c'est-à-dire un accès pour lecture ou un accès pour écriture.

L'unité de canaux 12 représentée comprend d'autre part, un circuit 64 d'accès à la mémoire principale  
30 qui est mis en fonctionnement par le contrôleur de canal 55. Le circuit 64 est connecté directement à la mémoire principale 10 par l'intermédiaire d'une ligne de signaux de demande d'accès 66, d'une ligne de signaux d'accusé  
35 de réception d'accès 67, et d'une ligne de signaux d'indi-



cation 68, comme dans un système classique de traitement de données. La ligne de signaux d'indication 68 sert à indiquer, à l'unité de canaux 12, soit la transmission soit la réception des données. Pour toute vitesse, la ligne de signaux de demande d'accès 66, la ligne de signaux d'accusé de réception d'accès 67, et la ligne de signaux d'indication 68 sont utilisées ensemble avec la seconde ligne d'adresses 27 et la seconde ligne d'ordres 32 seulement lorsque la mémoire principale 10 est directement accédée par l'unité de canaux 12 comme cela apparaîtra clairement au fur et à mesure de la description.

Le circuit 64 d'accès à la mémoire principale est spécifié par un circuit 72 de second signal de demande qui peut être une bascule, comme le circuit 51 de premier signal de demande et qui produit un second signal de demande  $RQ_2$  représentatif d'une demande d'accès envoyée à partir de l'unité de canaux 12.

L'unité de canaux 12 comprend des premier et second registres de données 76 et 77 couplés au bus de données 15 par l'intermédiaire de la seconde ligne de données 22. Les premier et second registres de données 76 et 77 peuvent fonctionner sous la commande du contrôleur de canal 55. Plus spécifiquement, les premier et second registres de données 76 et 77 sont validés lorsque les accès pour lecture et écriture sont spécifiés par le second signal d'ordre  $CM_2$ , respectivement, lors de la production du second signal de demande  $RQ_2$ . Ainsi, les premier et second registres de données 76 et 77 sont couplés au circuit 64 d'accès à la mémoire principale et au second registre d'ordres 62.

La seconde ligne de données 22, la seconde ligne d'adresses 27 et la seconde ligne d'ordres 32 sont couplées à un circuit 81 de commande de transfert de données destiné à la commande de l'opération de transfert entre le dispositif d'entrée/sortie et la mémoire principale 10.

## 9.

Une telle opération de transfert ne sera plus décrite.

On notera ici que le second signal d'adresse  $AD_2$ , le second signal d'ordre  $CM_2$ , et le second signal de demande  $RQ_2$  ne sont pas envoyés directement à la mémoire principale 10 mais à l'unité centrale de traitement 11 par l'intermédiaire de première, seconde et troisième lignes d'interconnexion 86, 87 et 88 reliées au premier multiplexeur 46, au second multiplexeur 47, et au processeur de signaux de demande 52, respectivement. Cela signifie que l'unité de canaux 12 accède indirectement à la mémoire principale 10 par l'intermédiaire de l'unité centrale de traitement 11 lorsque la conversion d'adresses est nécessaire pour le second signal d'adresse  $AD_2$ .

Supposons que l'unité de canaux 12 produise une demande de lecture de manière à lire un groupe de données prédéterminé dans la mémoire principale 10 par utilisation d'une adresse virtuelle ou logique prédéterminée spécifiée par le second signal d'adresse  $AD_2$ . Dans ce cas, le second signal d'adresse  $AD_2$  et le second signal d'ordre  $CM_2$  sont maintenus dans le second registre d'adresses 57 et le second registre d'ordres 62, respectivement, sous la commande du contrôleur de canal 55. Le second signal d'ordre  $CM_2$  spécifie la demande de lecture. Simultanément, le circuit 72 de second signal de demande est chargé avec un niveau logique "1" comme le second signal de demande  $RQ_2$ .

Le second signal d'adresse  $AD_2$  et le second signal d'ordre  $CM_2$  sont envoyés aux premier et second multiplexeurs 46 et 47 et au contrôleur principal 35. Par conséquent, le second signal d'adresse et le second signal d'ordre  $AD_2$  et  $CM_2$  sont fournis au circuit de demande 37. Le second signal de demande  $RQ_2$  est envoyé à partir du circuit 72 de second signal de demande au processeur de signal de demande 52 et au contrôleur principal 35. Répondant au second signal de demande  $RQ_2$ , le contrô-

10.

leur principal 35 fait choisir par le premier multiplexeur 46 le second signal d'adresse  $AD_2$ . Il en résulte que le premier multiplexeur 46 envoie le second signal d'adresse  $AD_2$  comme signal d'adresse sélectionné au circuit de conversion d'adresse 45. Le circuit 45 convertit ou traduit le signal d'adresse sélectionné en adresse physique ou réelle correspondant à l'adresse logique prédéterminée.

Le contrôleur principal 35 fait sélectionner par le second multiplexeur 47 le second signal d'ordre  $CM_2$ . Le second multiplexeur 47 produit le second signal d'ordre  $CM_2$  comme signal d'ordre sélectionné qui peut être appelé troisième signal d'ordre  $CM_3$ .

Après la conversion d'adresse par le circuit 45, le circuit de demande 37 est validé par le contrôleur principal 35. Plus spécifiquement, le processeur 52 vérifie si l'unité centrale de traitement 11 accède ou non à la mémoire principale 10. Si l'unité centrale de traitement 11 n'accède pas à la mémoire principale 10, le processeur de signaux de demande 52 produit le second signal de demande  $RQ_2$  comme troisième signal de demande  $RQ_3$  sur une ligne 91 de demande de mémoire principale. Le troisième signal de demande  $RQ_3$  est spécifié par le niveau logique "1". D'autre part, le processeur 52 produit le premier signal de demande  $RQ_1$  comme troisième signal de demande  $RQ_3$ , alors que l'unité centrale de traitement 11 accède la mémoire principale 10. Cela signifie que l'unité centrale de traitement 11 traite de préférence un accès provenant de l'unité centrale de traitement 11 par comparaison à un accès provenant de l'unité de canaux 12.

La mémoire principale 10 reçoit le troisième signal de demande  $RQ_3$  à une section 93 de commande de mémoire. La section 93 fournit un signal d'accusé de réception ACK à l'unité centrale de traitement 11 par l'intermédiaire d'une ligne 96 de signaux d'accusé de réception de

11.

la manière connue lorsque la mémoire principale 10 peut recevoir le troisième signal de demande  $RQ_3$ . Le signal d'accusé de réception ACK est spécifié par le niveau logique "1". La réception du signal d'accusé de réception ACK met l'unité centrale de traitement 11 dans un état où cha-  
5 met l'unité centrale de traitement 11 dans un état où cha-  
cun des bus de données, d'adresses et d'ordres, 15 à 17 peut être exclusivement utilisé par l'unité centrale de traitement 11.

Le signal d'accusé de réception ACK est trans-  
10 féré par l'intermédiaire du circuit de commande de réponse 53 au contrôleur principal 35. Le contrôleur 35 fait fournir par le circuit de conversion d'adresse 45 le troi-  
sième signal d'adresse  $AD_3$  à la mémoire principale 10 par l'intermédiaire de la première ligne d'adresses 26, du  
15 bus d'adresses 16, et de la troisième ligne d'adresses 28. De même, le contrôleur 35 fait fournir par le second mul-  
tiplexeur 47 le troisième signal d'ordre  $CM_3$  à la mémoire principale 10 par l'intermédiaire de la première ligne  
d'ordre 31, du bus d'ordres 17, et de la troisième ligne  
20 d'ordres 32. Ainsi, le troisième signal d'accès qui est une combinaison du troisième signal d'adresses  $AD_3$  et du  
troisième signal d'ordre  $CM_3$  est fourni par le circuit d'accès 36 à la mémoire principale 10. Il en résulte que  
la combinaison du circuit de conversion d'adresse 45 et du  
25 second multiplexeur 47 peut être appelée premier circuit de fourniture pour fournir le troisième signal d'accès à  
la mémoire principale 10. De même, le processeur 52 de signaux de demande peut être appelé second circuit de four-  
niture pour fournir le troisième signal de demande  $RQ_3$  à  
30 la mémoire principale 10. Il va sans dire que les premier et second signaux d'accès sont sélectionnés comme troi-  
sième signal d'accès lorsque les premier et second si-  
gnaux de demande  $RQ_1$  et  $RQ_2$  sont choisis comme troisième  
signal de demande  $RQ_3$ , respectivement. En d'autres termes,  
35 le signal choisi parmi les premier et second signaux

12.

d'accès correspond au signal choisi des premier et second signaux de demande  $RQ_1$  et  $RQ_2$ .

La mémoire principale 10 exécute une opération en conformité avec le troisième signal d'ordre après interprétation du troisième signal d'ordre  $CM_3$ . Dans la  
5 mesure où l'on suppose auparavant que le troisième signal d'ordre  $CM_3$  spécifie la demande de lecture, l'opération de lecture est exécutée pour lire le groupe de données prédéterminé dans la mémoire principale 10 en conformité  
10 avec le troisième signal d'adresse  $AD_3$ .

Lorsque le groupe de données prédéterminé est mis sur la troisième ligne de données 23, le circuit 93 de commande de mémoire produit un signal d'indication IND qui indique l'extraction ou fourniture du groupe de don-  
15 nées prédéterminé. Le signal d'indication IND est transmis par une ligne de signaux d'indication 98 au circuit 53 de commande de réponse de l'unité centrale de traitement 11.

En liaison avec la figure 2 ainsi qu'avec la  
20 figure 1, le circuit 53 de commande de réponse comprend des premier et second circuits de commande de stockage 101 et 102 pouvant fonctionner en réponse aux signaux de commande C pour le stockage des premier et second signaux de demande  $RQ_1$  et  $RQ_2$ , respectivement. Les premier et second  
25 signaux de demande  $RQ_1$  et  $RQ_2$  proviennent des premier et second circuits de commande de stockage 101 et 102 pour être envoyés au contrôle principal 35 et à l'unité de canaux 12 par l'intermédiaire de première et seconde portes ET 106 et 107 validées par le signal d'indication IND.  
30 Dans l'exemple illustré, le second signal de demande  $RQ_2$  est fourni comme signal de mise sous tension EG par le second circuit de commande de stockage 102 à l'unité de canaux 12 par l'intermédiaire de la seconde porte ET 107 et d'une ligne intérieure de connexion 108. Le signal EG  
35 est spécifié par le niveau logique "1".

13.

Recevant le signal EG, le contrôleur de canaux 55 recherche le second signal d'ordre  $CM_2$  stocké dans le second registre d'ordres 62. Dans la mesure où le second signal d'ordre  $CM_2$  indique la demande de lecture, le contrôleur 55 met le premier registre de données 76 à l'état de validation. Il en résulte que le groupe de données prédéterminé qui se trouve sur le bus de données 15 est pris en charge dans le premier registre de données 76 par l'intermédiaire de la seconde ligne de données 22. Ainsi, le signal de mise sous tension EG sert à affecter le bus de données 15 à l'unité de canaux 12 lorsque le second signal de demande  $RQ_2$  est produit à l'unité 12.

En figure 2, lorsque le premier signal de demande  $RQ_1$  est lu dans le premier circuit de commande de stockage 101 pour être envoyé par l'intermédiaire de la première porte ET 106 au contrôleur principal 35, l'unité centrale de traitement 11 est mise en fonctionnement sous la commande du contrôleur principal de la manière usuelle.

On signalera ici que le signal d'accusé de réception et le signal d'indication ACK et IND sont envoyés à l'unité centrale de traitement 11 seule même lorsque le second signal de demande  $RQ_2$  est choisi par le processeur 52 de signaux de demande. Par conséquent, il est inutile d'ajouter un drapeau à chacun des signaux ACK et IND de manière à identifier l'unité centrale de traitement 11 et l'unité de canaux 12.

Bien que la description ait été faite jusqu'ici en ce qui concerne une demande de lecture, le système illustré peut effectivement fonctionner lorsqu'une demande d'écriture est émise par l'unité de canaux 12 sous forme du second signal d'ordre  $CM_2$ . Dans ce cas, le signal d'alimentation EG est alors renvoyé aussi à l'unité de canaux, comme dans le cas de la demande de lecture. Le contrôleur de canaux 55 valide le second registre de données 77 pour envoyer un groupe de données qui y est maintenu à la mémoi-

14.

re principale 10 par l'intermédiaire du bus de données 15, après recherche du second signal d'ordre  $CM_2$ . Toutes les autres opérations sont semblables à celles mentionnées ci-dessus.

5           Ainsi, le système de traitement de données illustré exécute une conversion d'adresse à haute vitesse de chaque adresse logique provenant de l'unité de canaux 12, par l'utilisation du circuit de conversion d'adresse 45. En d'autres termes, aucun circuit interne de conversion d'adresse n'est nécessaire dans l'unité de canaux 10 12. Il est par conséquent possible de réduire l'importance du matériel nécessaire pour la conversion d'adresse. De plus chacun des bus de données d'adresses et d'ordres 15 à 17 est effectivement affecté à l'unité centrale de 15 traitement 11 et à l'unité de canaux 12, car l'unité centrale de traitement 11 contrôle toujours la demande d'accès émise par l'unité de canaux 12 sous forme d'une adresse logique.

          Alors que la présente invention a été décrite 20 jusqu'ici en liaison avec un mode de réalisation préféré, il sera facilement possible à l'homme de l'art de la mettre en pratique de diverses autres manières. Par exemple, une adresse réelle peut être envoyée de l'unité de canaux 12 par l'intermédiaire de l'unité centrale de traitement 11 à la mémoire principale 10. Le signal d'indication IND peut être employé pour faire une distinction 25 entre l'extraction et la fourniture d'un groupe de données. Dans ce cas, soit un signal d'extraction, soit un signal de fourniture est délivré par le circuit de commande de réponse à chacun des contrôleurs principal et 30 de canaux 35 et 55. La production d'un tel signal d'extraction ou de fourniture est possible grâce à l'utilisation d'un décodeur. Avec cette structure, le second registre d'ordres 62 peut ne pas être contrôlé par le 35 contrôleur de canaux 55. En outre, le signal d'accusé de

15.

réception ACK peut être contrôlé dans le circuit 53 de  
commande de réponse en même temps que les premier et  
second signaux de commande  $RQ_1$  et  $RQ_2$  pour distribuer in-  
dividuellement le signal d'accusé de réception ACK au  
5 contrôleur principal et de canaux 35 et 55, respective-  
ment.

La présente invention n'est pas limitée aux  
exemples de réalisation qui viennent d'être décrits, el-  
le est au contraire susceptible de modifications et de  
10 variantes qui apparaîtront à l'homme de l'art.



REVENDECATIONS

- 1 - Unité centrale de traitement (11) dans un système de traitement de données destiné à être utilisé à l'accession d'une mémoire principale (10) à partir de l'unité centrale de traitement et d'une unité de canaux (12) par l'intermédiaire d'un bus de données (15) partagé par les unités centrale de traitement et de canaux, cette unité centrale de traitement comprenant un moyen de production (38, 39) de premier signal d'accès pour produire un premier signal d'accès ( $AD_1 + CM_1$ ) et un moyen de production (51) de premier signal de demande pour produire un premier signal de demande ( $RQ_1$ ), l'unité de canaux comprenant un moyen de production (57, 62) de second signal d'accès pour produire un second signal d'accès ( $AD_2 + CM_2$ ) et un moyen de production (72) de second signal de demande pour produire un second signal de demande ( $RQ_2$ ), la mémoire principale produisant un signal d'accusé de réception (ACK) lorsqu'elle est accédée, caractérisée en ce qu'elle comprend en outre :
- 20 - un premier moyen de fourniture (46, 47) répondant à un signal sélectionné des premier et second signaux d'accès pour fournir un troisième signal d'accès ( $AD_3 + CM_3$ ) à la mémoire principale (10) par l'intermédiaire du bus de donnée (15);
  - 25 - un second moyen de fourniture (52) couplé au premier moyen de fourniture pour délivrer l'un des premier et second signaux de demande à la mémoire principale qui est choisi en correspondance avec le signal choisi des premier et second signaux d'accès; et
  - 30 - un moyen de mise sous tension (53) couplé au second moyen de fourniture et au moins au moyen de production de second signal de demande et répondant au signal d'accusé de réception pour mettre sous tension l'unité de canaux avec le bus de données affecté à l'unité de canaux
  - 35 lorsque le moyen de production de second signal de demande

17.

produit le second signal de demande et le second moyen de fourniture délivre le second signal de demande comme étant l'un des premier et second signaux de demande.

5           2 - Unité centrale de traitement selon la revendication 1, caractérisée en ce que les premier et second signaux d'accès comprennent des premier et second signaux d'adresses ( $AD_1$ ;  $AD_2$ ) donnés sous forme d'adresses logiques, respectivement, le troisième signal d'accès ( $AD_3 + CM_3$ ) comprenant un troisième signal d'adresse ( $AD_3$ )  
10 pour spécifier physiquement chaque adresse de la mémoire principale, où le premier moyen de fourniture comprend :

- un moyen (45) de conversion d'adresse pour convertir un signal sélectionné des premier et second signaux d'adresse en troisième signal d'adresse.

15           3 - Unité centrale de traitement selon la revendication 2, les premier et second signaux d'accès comprenant des premier et second signaux d'ordre concernant les premier et seconds signaux d'adresse pour spécifier des ordres devant être envoyés à la mémoire principale, respectivement, où le premier moyen de fourniture comprend :

- un moyen pour fournir à la mémoire principale un signal choisi parmi les premier et second signaux d'ordre comme constituant une partie du troisième signal d'accès.

25           4 - Unité centrale de traitement selon la revendication 1, caractérisée en ce que le moyen de mise sous tension, comprend :

- un moyen (55) répondant au signal d'accusé de réception de demande et couplé aux premier et second moyens de production de demande pour fournir à l'unité de canaux un signal de mise sous tension (EG) de canal de manière à affecter le bus de donnée à l'unité de canaux lorsque le second signal de demande ( $RQ_2$ ) est envoyé à la mémoire principale comme signal de demande choisi;

35           - l'unité de canaux (12) comprenant :

18.

- un moyen couplé au moyen (57, 62) de production de second signal d'accès et répondant au signal de mise sous tension (EG) de canal pour exécuter l'opération en conformité avec le second signal d'accès.

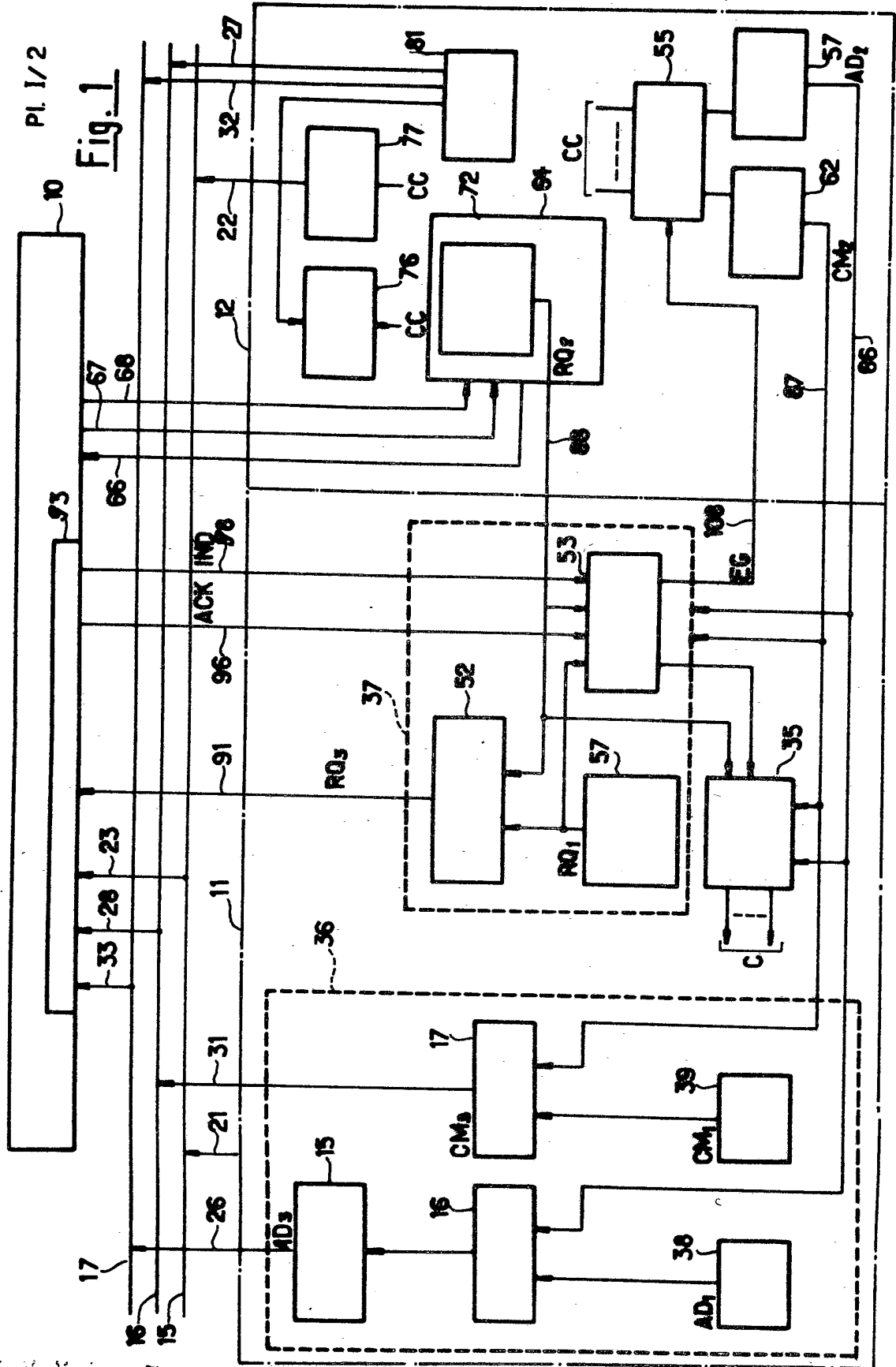
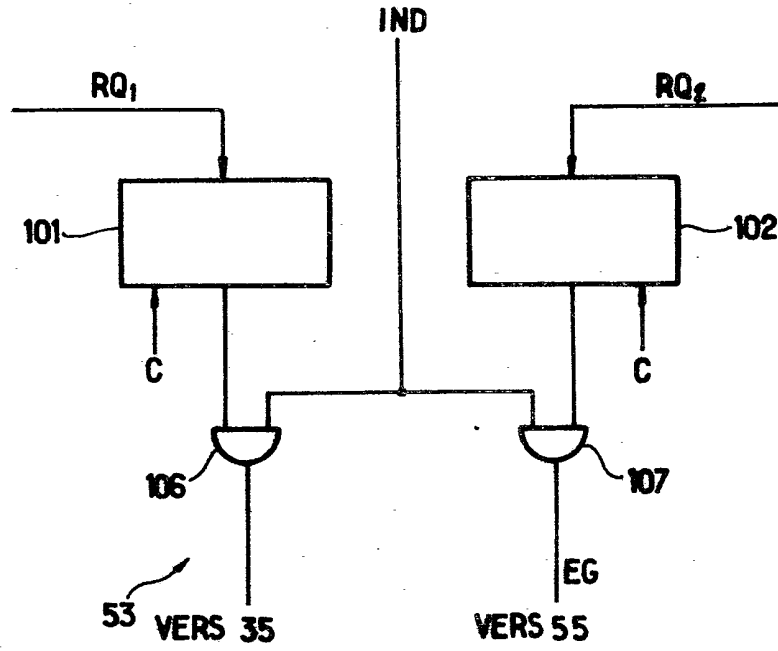


Fig. 1

2543326

Pl. II/2

Fig. 2