

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公开说明书

[21] 申请号 03812477.7

G09G 3/36 (2006.01)
G11C 19/18 (2006.01)
G11C 19/36 (2006.01)
G11C 8/04 (2006.01)
G02F 1/133 (2006.01)

[43] 公开日 2006 年 11 月 8 日

[11] 公开号 CN 1860519A

[22] 申请日 2003.6.13 [21] 申请号 03812477.7

[30] 优先权

[32] 2002.6.15 [33] KR [31] 10-2002-0033455

[32] 2002.7.2 [33] KR [31] 10-2002-0037946

[32] 2002.7.6 [33] KR [31] 10-2002-0039129

[32] 2003.2.4 [33] KR [31] 10-2003-0006683

[86] 国际申请 PCT/KR2003/001160 2003.6.13

[87] 国际公布 WO2003/107314 英 2003.12.24

[85] 进入国家阶段日期 2004.11.30

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李栢远 文胜焕

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邸万奎 黄小临

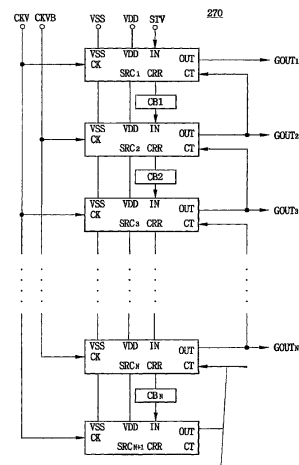
权利要求书 8 页 说明书 34 页 附图 36 页

[54] 发明名称

驱动移位寄存器的方法、移位寄存器、具有移位寄存器的液晶显示设备

[57] 摘要

在一种可用于具有大屏幕尺寸和高分辨率的液晶显示设备中的移位寄存器和具有该移位寄存器的 LCD 设备中，该移位寄存器包括相互级联的级，并且每个级具有用于产生进位信号的进位缓冲器。移位寄存器的每个级的下拉晶体管分成第一下拉晶体管和第二下拉晶体管。大于施加于时钟产生器的电源电压 V_{on} 的电源电压 V_{ona} 施加于移位寄存器。由于栅极线的 RC 延迟而造成的信号延迟可被最小化，移位寄存器独立于 TFT 的阈值电压变化，并且图像显示质量可以不被恶化。



1. 一种移位寄存器，包括多个级联的级，这些级接收第一时钟信号和第二时钟信号，以顺序产生用于选择多条扫描线的多个扫描线驱动信号，每个级包括：

进位缓冲器，用于向下一级提供对应于第一时钟信号或第二时钟信号的进位信号，第二时钟信号具有与第一时钟信号相反的相位；

上拉部分，用于向输出端子提供对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号；

下拉部分，用于向输出端子提供第一电源电压；

上拉驱动器部分，用于响应从前一级提供的进位信号而导通上拉部分，并且响应下一级的第二扫描线驱动信号而关断上拉部分；以及

下拉驱动器部分，用于响应从前一级提供的进位信号而关断下拉部分，并且响应下一级的第二扫描线驱动信号而导通上拉部分。

2. 如权利要求1所述的移位寄存器，其中进位缓冲器包括第一晶体管，其用于通过第一晶体管的第一漏电极接收第一或第二时钟信号，以响应下拉驱动器部分的输出信号而通过第一晶体管的第一源电极将进位信号输出到下一级，并且该输出信号施加于第一晶体管的第一栅电极。

3. 如权利要求2所述的移位寄存器，其中在相邻于上拉部分的位置形成第一晶体管，以便将第一或第二时钟信号提供给下一级的上拉驱动器部分。

4. 如权利要求2所述的移位寄存器，其中上拉部分包括第二晶体管，下拉部分包括第三晶体管，并且第三晶体管包括：

第一栅电极，从第二晶体管的第二栅极布线分支；

第一漏电极，从第二晶体管的第二漏极从其分支的主布线分支；以及

第一源电极，绕开上拉部分和下拉部分以延展到下一级的下拉部分的第三栅极。

5. 如权利要求4所述的移位寄存器，其中第一晶体管的第一源电极通过第一源极线与第三漏极线之间形成的桥连接到第三晶体管的第三漏电极。

6. 一种液晶显示设备，包括：

显示单元阵列，在透明基板上形成，该显示单元阵列包括多条栅极线、多条数据线和多个开关元件，开关元件耦合于栅极线和数据线；

数据驱动器电路，用于向每条数据线提供图像信号；以及

栅极驱动器电路，包括移位寄存器，该移位寄存器包括多个级联的级，这些级接收第一时钟信号和第二时钟信号，以顺序产生用于选择栅极线的多个栅极线驱动信号，每个级包括：

进位缓冲器，用于向下一级提供对应于第一时钟信号或第二时钟信号的进位信号，第二时钟信号具有与第一时钟信号相反的相位；

上拉部分，用于向输出端子提供对应于第一时钟信号或第二时钟信号的第一栅极线驱动信号；

下拉部分，用于向输出端子提供第一电源电压；

上拉驱动器部分，用于响应从前一级提供的进位信号而导通上拉部分，并且响应下一级的第二栅极线驱动信号而关断上拉部分；以及

下拉驱动器部分，用于响应从前一级提供的进位信号而关断下拉部分，并且响应下一级的第二栅极线驱动信号而导通上拉部分。

7. 一种驱动移位寄存器的方法，该移位寄存器包括多个级联的级，这些级接收第一时钟信号和第二时钟信号，以顺序产生用于选择多条扫描线的多个扫描线驱动信号，该方法包括：

向下一级提供对应于第一时钟信号或第二时钟信号的进位信号，第二时钟信号具有与第一时钟信号相反的相位；

响应从前一级输出的进位信号而产生对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号；以及

响应从下一级输出的第二扫描线驱动信号而降低从当前级输出的第一扫描线驱动信号的第一电压电平。

8. 如权利要求7所述的方法，其中进位信号具有对应于第一时钟信号或第二时钟信号的第二电压电平，并且独立于从扫描线产生的寄生电阻器和寄生电容器。

9. 如权利要求7所述的方法，还包括：在预定周期之后，响应第一扫描线驱动信号的第一电压电平而降低从前一级输出的进位信号的第二电压电平。

10. 一种移位寄存器，包括多个级联的级，第一级接收扫描启动信号，这些级接收第一时钟信号和第二时钟信号，以顺序产生用于选择多条扫描线的多个扫描线驱动信号，每个级包括：

第一进位缓冲器，用于向下一级提供对应于第一时钟信号或第二时钟信号的第一进位信号，第二时钟信号具有与第一时钟信号相反的相位；

上拉部分，用于向第一输出端子提供对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号；

下拉部分，用于向第一输出端子提供第一电源电压；

上拉驱动器部分，用于响应从前一级的第一进位缓冲器输出的第二进位信号而导通上拉部分，并且响应下一级的第二扫描线驱动信号而关断上拉部分；

下拉驱动器部分，用于响应从前一级的第一进位缓冲器提供的第一进位信号而关断下拉部分，并且响应下一级的第二扫描线驱动信号而导通上拉部分；以及

第二进位缓冲器，用于降低第二进位信号的第一电压电平，从前一级的第一进位缓冲器输出第一进位信号以施加于上拉部分。

11. 如权利要求 10 所述的移位寄存器，其中第一进位缓冲器包括第一晶体管，其用于通过第一晶体管的第一漏电极接收第一或第二时钟信号，以响应下拉驱动器部分的输出信号而通过第一晶体管的第一源电极将进位信号输出到下一级，并且该输出信号施加于第一晶体管的第一栅电极。

12. 如权利要求 10 所述的移位寄存器，其中第二进位缓冲器包括第二晶体管，并且第二晶体管包括：

第二漏电极，耦合于前一级的第一进位缓冲器的第二输出端子以及上拉驱动器部分的输入端子；

第二栅电极，耦合于下拉部分；以及

第二源电极，用于接收第一电源电压。

13. 如权利要求 10 所述的移位寄存器，其中第二进位缓冲器包括：

第二晶体管，其第二漏电极耦合于前一级的第一进位缓冲器的第二输出端子以及上拉驱动器部分的输入端子，其第二栅电极耦合于下拉部分，并且其第二源电极用于接收第一电源电压；以及

第三晶体管，其第三漏电极和第三栅电极共同耦合于第二源电极，并且其第三源电极用于接收第一电源电压。

14. 如权利要求 10 所述的移位寄存器，其中第二进位缓冲器包括：

第二晶体管，其第二漏电极耦合于前一级的第一进位缓冲器的第二输出

端子以及上拉驱动器部分的输入端子，其第二栅电极耦合于下拉部分，并且其第二源电极用于接收第一电源电压；以及

第三晶体管，其第三漏电极耦合于第二晶体管的第二栅电极，其第三栅电极耦合于第二晶体管的第二漏电极，并且其第三源电极用于接收第一电源电压。

15. 如权利要求 10 所述的移位寄存器，其中第二进位缓冲器包括：

第二晶体管，其第二漏电极耦合于前一级的第一进位缓冲器的第二输出端子以及上拉驱动器部分的输入端子，其第二栅电极耦合于下拉部分，并且其第二源电极用于接收第一电源电压；

第三晶体管，其第三漏电极和第三栅电极共同耦合于第二晶体管的第二源电极，并且其第三源电极用于接收第一电源电压；以及

第四晶体管，其第四漏电极耦合于第二晶体管的第二栅电极，其第四栅电极耦合于第二晶体管的第二漏电极，并且其第四源电极用于接收第一电源电压。

16. 一种液晶显示设备，包括：

显示单元阵列，形成于透明基板上，该显示单元阵列包括多条栅极线、多条数据线和多个开关元件，开关元件耦合于栅极线和数据线；

数据驱动器电路，用于向每条数据线提供图像信号；以及

栅极驱动器电路，包括移位寄存器，该移位寄存器包括多个级联的级，第一级接收扫描启动信号，这些级接收第一时钟信号和第二时钟信号，以顺序产生用于选择多条栅极线的多个栅极线驱动信号，每个级包括：

第一进位缓冲器，用于向下一级提供对应于第一时钟信号或第二时钟信号的第一进位信号，第二时钟信号具有与第一时钟信号相反的相位；

上拉部分，用于向第一输出端子提供对应于第一时钟信号或第二时钟信号的第一栅极线驱动信号；

下拉部分，用于向第一输出端子提供第一电源电压；

上拉驱动器部分，用于响应从前一级的第一进位缓冲器输出的第二进位信号而导通上拉部分，并响应下一级的第二栅极线驱动信号而关断上拉部分；

下拉驱动器部分，用于响应从前一级的第一进位缓冲器提供的第一进位信号而关断下拉部分，并且响应下一级的第二栅极线驱动信号而导通上拉部分；以及

第二进位缓冲器，用于降低第二进位信号的第一电压电平，从前一级的第一进位缓冲器输出第一进位信号施加于上拉部分。

17. 一种移位寄存器，包括多个级联的级，这些级接收第一时钟信号和第二时钟信号，以顺序产生用于选择多条扫描线的多个扫描线驱动信号，每个级包括：

上拉开关器件，用于向每个级的输出端子提供对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号；

第一上拉驱动器开关器件，用于响应从前一级输出的扫描启动信号或第二扫描线驱动信号而导通上拉开关器件；

第二上拉驱动器开关器件，用于响应从下一级输出的第三扫描线驱动信号而关断上拉开关器件；

第一下拉开关器件，用于向输出端子提供第一电源电压；

下拉驱动器开关器件，用于响应从前一级输出的扫描启动信号或第二扫描线驱动信号而关断下拉开关器件；以及

第二下拉开关器件，响应第三扫描线驱动信号而导通第二下拉开关器件，以向输出端子提供第一电源电压。

18. 如权利要求 17 所述的移位寄存器，其中每个级还包括第三上拉驱动器开关器件，并且当上拉开关器件导通并且对上拉开关器件放电时，第三上拉驱动器开关器件关断。

19. 如权利要求 17 所述的移位寄存器，其中第一和第二下拉开关器件分别包括非晶硅 NMOS 薄膜晶体管。

20. 如权利要求 19 所述的移位寄存器，其中第二下拉开关器件的第一晶体管尺寸大于第一下拉开关器件的第二晶体管尺寸。

21. 如权利要求 20 所述的移位寄存器，其中第二晶体管尺寸大于第一晶体管尺寸基本上九倍。

22. 一种液晶显示设备，包括：

显示单元阵列，形成于透明基板上，该显示单元阵列包括多条栅极线、多条数据线和多个开关元件，开关元件耦合于栅极线和数据线；

数据驱动器电路，用于向每条数据线提供图像信号；以及

栅极驱动器电路，包括移位寄存器，该移位寄存器包括多个级联的级，这些级接收第一时钟信号和第二时钟信号，以顺序产生用于选择多条栅极线

的多个栅极线驱动信号，每个级包括：

上拉开关器件，用于向每个级的输出端子提供对应于第一时钟信号或第二时钟信号的第一栅极线驱动信号；

第一上拉驱动器开关器件，用于响应从前一级输出的扫描启动信号或第二栅极线驱动信号而导通上拉开关器件；

第二上拉驱动器开关器件，用于响应从下一级输出的第三栅极线驱动信号而关断上拉开关器件；

第一下拉开关器件，用于向输出端子提供第一电源电压；

下拉驱动器开关器件，用于响应从前一级输出的扫描启动信号或第二栅极线驱动信号而关断下拉开关器件；以及

第二下拉开关器件，响应第三栅极线驱动信号而导通第二下拉开关器件，以向输出端子提供第一电源电压。

23. 一种移位寄存器，包括多个级联的级，这些级接收第一时钟信号和第二时钟信号，以顺序产生用于选择多条扫描线的多个扫描线驱动信号，每个级包括：

第一上拉驱动器开关器件，其第一电极用于接收第二电源电压，其第二电极用于接收从前一级输出的扫描启动信号或第一扫描线驱动信号，并且其第三电极耦合于第一节点；

上拉开关器件，其第四电极用于接收第一时钟信号或第二时钟信号，其第五电极耦合于第一节点，并且其第六电极耦合于输出端子；

第一下拉开关器件，其第七电极耦合于输出端子，其第八电极耦合于第二节点，并且其第九电极用于接收第一电源电压；

第二下拉开关器件，其第十电极耦合于输出端子，其第十一电极用于接收从下一级输出的第二栅极线驱动信号，并且其第十二电极用于接收第一电源电压；

电容器，耦合于第一节点与输出端子之间；

第二上拉驱动器开关器件，其第十三电极耦合于第一节点，其第十四电极用于接收从下一级输出的第二栅极线驱动信号，并且其第十五电极用于接收第一电源电压；

第三上拉驱动器开关器件，其第十六电极耦合于第一节点，其第十七电极耦合于第二节点，并且其第十八电极用于接收第一电源电压；

第一上拉驱动器开关器件，其第十九电极和第二十电极相互共同耦合并接收第二电源电压，并且其第二十一电极耦合于第二节点；以及

第二下拉驱动器开关器件，其第二十二电极耦合于第二节点，其第二十三电极耦合于第一节点，并且其第二十四电极用于接收第一电源电压。

24. 如权利要求 23 所述的移位寄存器，其中第一和第二下拉开关器件分别包括非晶硅 NMOS 薄膜晶体管。

25. 如权利要求 24 所述的移位寄存器，其中第一和第二下拉开关器件分别是 NMOS 晶体管，并且第二下拉开关器件的第一晶体管尺寸大于第一下拉开关器件的第二晶体管尺寸。

26. 如权利要求 25 所述的移位寄存器，其中第二晶体管尺寸大于第一晶体管尺寸基本上九倍。

27. 一种驱动移位寄存器的方法，该移位寄存器包括多个级联的级，这些级接收第一时钟信号和第二时钟信号，以顺序产生用于选择多条扫描线的多个扫描线驱动信号，该方法包括：

接收第一时钟信号或第二时钟信号，以向每个级提供第一时钟信号或第二时钟信号，第一时钟信号和第二时钟信号基本上具有与第一电源电压的第一电压电平对应的第一电压电平；

产生第二电源电压，以向每个级提供第二电源电压，第二电源电压具有比第一电压电平高预定电压电平的第二电压电平；

产生用于选择耦合于当前级的第一扫描线的第一扫描线驱动信号；

响应从下一级输出的第二扫描线驱动信号，将第一扫描线驱动信号的第三电压电平降至低于第三电压电平的第四电压电平；

向第一扫描线提供具有第四电压电平的第一扫描线驱动信号；以及

在降低第一扫描线驱动信号的第三电压电平之后，当下拉开关器件的输出信号的电压电平从第五电压电平变至高于第五电压电平的第六电压电平时，将第一扫描线驱动信号的第四电压电平保持预定周期。

28. 如权利要求 27 所述的方法，其中第一电源电压的第一电压电平升高预定电压电平，以便产生具有第二电压电平的第二电源电压。

29. 如权利要求 27 所述的方法，其中第一电源电压的第一电压电平被调节以使其变化，并且第一电源电压的第二电压电平独立于第一电源电压而调节。

30. 如权利要求 27 所述的方法，其中下拉开关器件的输出信号的最大电压电平在第一电压电平与第二电压电平之间。

31. 一种驱动移位寄存器的方法，该移位寄存器包括多个级联的级，并且这些级交替接收从时钟产生器产生的第一时钟信号和第二时钟信号，以顺序产生用于选择多条扫描线的多个扫描线驱动信号，第一和第二时钟信号基本上具有与第一电源电压的第一电压电平对应的第一电压电平，每个级包括：

上拉开关器件，用于向每个级的输出端子提供对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号；

第一上拉驱动器开关器件，用于响应从前一级输出的扫描启动信号或第二扫描线驱动信号而导通上拉开关器件；

第二上拉驱动器开关器件，用于响应从下一级输出的第三扫描线驱动信号而关断上拉开关器件；

下拉开关器件，用于向输出端子提供第三电源电压；以及

下拉驱动器开关器件，用于响应从前一级输出的扫描启动信号或第二扫描线驱动信号而关断下拉开关器件，其中该方法包括：

接收第一时钟信号或第二时钟信号，以向每个级提供第一时钟信号或第二时钟信号；

产生第二电源电压，以向每个级提供第二电源电压，第二电源电压具有比第一电压电平高预定电压电平的第二电压电平；

在第一时钟信号或第二时钟信号的高电平周期期间，产生用于选择耦合于当前级的第一扫描线的第一扫描线驱动信号；

响应从下一级输出的第三扫描线驱动信号，将第一扫描线驱动信号的第三电压电平降至低于第三电压电平的第四电压电平；

向第一扫描线提供具有第四电压电平的第一扫描线驱动信号；以及

在降低第一扫描线驱动信号的第三电压电平之后，当下拉开关器件的输出信号的电压电平从第五电压电平变至高于第五电压电平的第六电压电平时，将第一扫描线驱动信号的第四电压电平保持预定周期。

驱动移位寄存器的方法、移位寄存器、具有 移位寄存器的液晶显示设备

技术领域

本发明涉及一种驱动移位寄存器的方法、移位寄存器和具有该移位寄存器的液晶显示(LCD)设备。更具体地说,本发明涉及一种可用于具有大显示屏的非晶硅(a-Si)薄膜晶体管液晶显示设备(非晶硅 TFT LCD)中的移位寄存器的驱动方法、移位寄存器和具有该移位寄存器的液晶显示(LCD)设备。

背景技术

TFT LCD 设备被分成非晶硅 TFT LCD(或 a-Si TFT LCD)设备和多晶硅 TFT LCD 设备两类。与非晶硅 TFT LCD 设备相比,多晶硅 TFT LCD(或 poly-Si TFT LCD)设备具有较低的功耗和低成本,但是通过复杂的工艺来制造。从而,多晶硅 TFT LCD 用于具有小显示屏的显示设备如移动电话中。

非晶硅 TFT LCD 设备可提供大显示屏和高成品率(或高生产率),并且用于具有大显示屏的显示设备如膝上型计算机、LCD 监视器或高清晰电视(HDTV)中。

图 1 是示出传统多晶硅薄膜晶体管 LCD 的示意图,而图 2 是示出传统非晶硅薄膜晶体管 LCD 的示意图。

如图 1 所示,多晶硅 TFT LCD 设备包括在玻璃基板 10 上形成的多晶硅 TFT 像素阵列。在玻璃基板 10 上形成数据驱动器电路 12 和栅极驱动器电路 14。集成印刷电路板 20 通过薄膜电缆 18 连接到端子部分 16,从而由于数据驱动器电路 12 和栅极驱动器电路 14 集成在玻璃基板 10 上而可降低多晶硅 TFT LCD 设备的制造成本,可减小多晶硅 TFT LCD 设备的厚度并且可最小化功耗。

然而,如图 2 所示,在非晶硅 TFT LCD 设备中,数据驱动器芯片 34 通过薄膜上的芯片(COF)安装在柔性印刷电路板 32 上,并且数据印刷电路板 36 通过柔性印刷电路板 32 连接到非晶硅 TFT 像素阵列上的数据线端子。栅极驱动器芯片 404 通过薄膜上的芯片(COF)安装在柔性印刷电路板 32 上,并且

栅极印刷电路板 42 通过柔性印刷电路板 40 连接到非晶硅 TFT 像素阵列上的栅极线端子。

非晶硅 TFT LCD 设备具有成品率(或生产率)方面的优点,但是具有制造成本和厚度方面的缺点。

另外,在用于在具有高分辨率的大显示屏上显示图像的非晶硅 TFT LCD 设备中,栅极驱动器电路需要对在连接到像素的栅极线上累积(或充电)的电荷进行快速放电。栅极线具有电容性负载。

然而,当传统栅极驱动器电路用于具有大显示屏的非晶硅 TFT LCD 设备中时,可能发生显示质量的恶化。

发明内容

从而,本发明被提供用来基本上消除由于相关技术领域的限制和缺点而造成一个或多个问题。

本发明的一方面是提供一种移位寄存器,其可驱动用于在具有高分辨率的大显示屏上显示图像的非晶硅 TFT LCD 设备。

本发明的另一方面是提供一种具有上述移位寄存器的液晶显示设备。

本发明的另一方面是提供一种驱动上述移位寄存器的方法。

在本发明的一方面,提供了一种移位寄存器,其包括多个级联(cascade-connected)的级。这些级接收第一时钟信号和第二时钟信号以顺序产生用于选择多条扫描线的多个扫描线驱动信号。每个级包括进位缓冲器(carry buffer)、上拉(pull-up)部分、下拉(pull-down)部分、上拉驱动器部分和下拉驱动器部分。进位缓冲器向下一级提供对应于第一时钟信号或第二时钟信号的进位信号,并且第二时钟信号具有与第一时钟信号相反的相位。上拉部分向输出端子提供对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号。下拉部分向输出端子提供第一电源电压。上拉驱动器部分响应从前一级提供的进位信号而导通上拉部分,并且响应下一级的第二扫描线驱动信号而关断上拉部分。下拉驱动器部分响应从前一级提供的进位信号而关断下拉部分,并且响应下一级的第二扫描线驱动信号而导通上拉部分。

在本发明的另一方面,提供了一种液晶显示设备,其包括显示单元阵列、数据驱动器电路和栅极驱动器电路。显示单元阵列形成在透明基板上并且包括多条栅极线、多条数据线和多个开关元件。开关元件耦合于栅极线和数据

线。数据驱动器电路向每条数据线提供图像信号。栅极驱动器电路包括移位寄存器，并且该移位寄存器包括多个级联的级。这些级接收第一时钟信号和第二时钟信号以顺序产生用于选择栅极线的多个栅极线驱动信号。每个级包括进位缓冲器、上拉部分、下拉部分、上拉驱动器部分和下拉驱动器部分。进位缓冲器向下一级提供对应于第一时钟信号或第二时钟信号的进位信号，并且第二时钟信号具有与第一时钟信号相反的相位。上拉部分向输出端子提供对应于第一时钟信号或第二时钟信号的第一栅极驱动信号。下拉部分向输出端子提供第一电源电压。上拉驱动器部分响应从前一级提供的进位信号而导通上拉部分，并且响应下一级的第二栅极线驱动信号而关断上拉部分。下拉驱动器部分响应从前一级提供的进位信号而关断下拉部分，并且响应下一级的第二栅极线驱动信号而导通上拉部分。

在本发明的另一方面，提供了一种驱动移位寄存器的方法。该移位寄存器包括多个级联的级。这些级接收第一时钟信号和第二时钟信号以顺序产生用于选择多条扫描线的多个扫描线驱动信号。向下一级提供对应于第一时钟信号或第二时钟信号的进位信号，并且第二时钟信号具有与第一时钟信号相反的相位。然后，响应从前一级输出的进位信号而产生对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号。响应从下一级输出的第二扫描线驱动信号而降低从当前级输出的第一扫描线驱动信号的第一电压电平。

在本发明的另一方面，提供了一种移位寄存器，其包括多个级联的级。第一级接收扫描启动信号，并且这些级接收第一时钟信号和第二时钟信号以顺序产生用于选择多条扫描线的多个扫描线驱动信号。每个级包括第一进位缓冲器、上拉部分、下拉部分、上拉驱动器部分和下拉驱动器部分以及第二进位缓冲器。第一进位缓冲器向下一级提供对应于第一时钟信号或第二时钟信号的第一进位信号，并且第二时钟信号具有与第一时钟信号相反的相位。上拉部分向第一输出端子提供对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号。下拉部分向第一输出端子提供第一电源电压。上拉驱动器部分响应从前一级的第一进位缓冲器输出的第二进位信号而导通上拉部分，并且响应下一级的第二扫描线驱动信号而关断上拉部分。下拉驱动器部分响应从前一级的第一进位缓冲器提供的第一进位信号而关断下拉部分，并且响应下一级的第二扫描线驱动信号而导通上拉部分。第二进位缓冲器降低第二进位信号的第一电压电平，并且从前一级的第一进位缓冲器输出第一进位信号

以施加于上拉部分。

在本发明的另一方面，提供了一种液晶显示设备，其包括显示单元阵列、数据驱动器电路和栅极驱动器电路。显示单元阵列形成在透明基板上并且包括多条栅极线、多条数据线和多个开关元件。开关元件耦合于栅极线和数据线。数据驱动器电路向每条数据线提供图像信号。栅极驱动器电路包括移位寄存器，并且该移位寄存器包括多个级联的级。这些级接收第一时钟信号和第二时钟信号以顺序产生用于选择栅极线的多个栅极线驱动信号。每个级包括第一进位缓冲器、上拉部分、下拉部分、上拉驱动器部分和下拉驱动器部分以及第二进位缓冲器。第一进位缓冲器向下一级提供对应于第一时钟信号或第二时钟信号的第一进位信号，并且第二时钟信号具有与第一时钟信号相反的相位。上拉部分向第一输出端子提供对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号。下拉部分向第一输出端子提供第一电源电压。上拉驱动器部分响应从前一级的第一进位缓冲器输出的第二进位信号而导通上拉部分，并且响应下一级的第二扫描线驱动信号而关断上拉部分。下拉驱动器部分响应从前一级的第一进位缓冲器提供的第一进位信号而关断下拉部分，并且响应下一级的第二扫描线驱动信号而导通上拉部分。第二进位缓冲器降低第二进位信号的第一电压电平，并且从前一级的第一进位缓冲器输出第一进位信号，以施加于上拉部分。

在本发明的另一方面，提供了一种移位寄存器，其包括多个级联的级。这些级接收第一时钟信号和第二时钟信号以顺序产生用于选择多条扫描线的多个扫描线驱动信号。每个级包括上拉开关器件、第一上拉驱动器开关器件、第二上拉驱动器开关器件、第一下拉开关器件、下拉驱动器开关器件以及第二下拉开关器件。上拉开关器件向每个级的输出端子提供对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号。第一上拉驱动器开关器件响应从前一级输出的扫描启动信号或第二扫描线驱动信号而导通上拉开关器件。第二上拉驱动器开关器件响应从下一级输出的第三扫描线驱动信号而关断上拉开关器件。第一下拉开关器件向输出端子提供第一电源电压。下拉驱动器开关器件响应从前一级输出的扫描启动信号或第二扫描线驱动信号而关断下拉开关器件。第二下拉开关器件响应第三扫描线驱动信号而导通以向输出端子提供第一电源电压。

在本发明的另一方面，提供了一种液晶显示设备，其包括显示单元阵列、

数据驱动器电路和栅极驱动器电路。显示单元阵列形成在透明基板上并且包括多条栅极线、多条数据线和多个开关元件。开关元件耦合于栅极线和数据线。数据驱动器电路向每条数据线提供图像信号。栅极驱动器电路包括移位寄存器，并且该移位寄存器包括多个级联的级。这些级接收第一时钟信号和第二时钟信号以顺序产生用于选择栅极线的多个栅极线驱动信号。每个级包括上拉开关器件、第一上拉驱动器开关器件、第二上拉驱动器开关器件、第一下拉开关器件、下拉驱动器开关器件以及第二下拉开关器件。上拉开关器件向每个级的输出端子提供对应于第一时钟信号或第二时钟信号的第一栅极线驱动信号。第一上拉驱动器开关器件响应从前一级输出的扫描启动信号或第二栅极线驱动信号而导通上拉开关器件。第二上拉驱动器开关器件响应从下一级输出的第三栅极线驱动信号而关断上拉开关器件。第一下拉开关器件向输出端子提供第一电源电压。下拉驱动器开关器件响应从前一级输出的扫描启动信号或第二栅极线驱动信号而关断下拉开关器件。第二下拉开关器件响应第三栅极线驱动信号而导通以向输出端子提供第一电源电压。

在本发明的另一方面，提供了一种移位寄存器，其包括多个级联的级。这些级接收第一时钟信号和第二时钟信号以顺序产生用于选择多条扫描线的多个扫描线驱动信号。每个级包括第一上拉驱动器开关器件、上拉开关器件、第一下拉开关器件、第二下拉开关器件、电容器、第二上拉驱动器开关器件、第三上拉驱动器开关器件、第一上拉驱动器开关器件和第二下拉驱动器开关器件。第一上拉驱动器开关器件的第一电极接收第二电源电压，第一上拉驱动器开关器件的第二电极接收从前一级输出的扫描启动信号或第一扫描线驱动信号，并且第一上拉驱动器开关器件的第三电极耦合于第一节点。上拉开关器件的第四电极接收第一时钟信号或第二时钟信号，上拉开关器件的第五电极耦合于第一节点，并且上拉开关器件的第六电极耦合于输出端子。第一下拉开关器件的第七电极耦合于输出端子，第一下拉开关器件的第八电极耦合于第二节点，并且第一下拉开关器件的第九电极接收第一电源电压。第二下拉开关器件的第十电极耦合于输出端子，第二下拉开关器件的第十一电极接收从下一级输出的第二栅极线驱动信号，并且第二下拉开关器件的第十二电极接收第一电源电压。电容器耦合于第一节点与输出端子之间。第二上拉驱动器开关器件的第十三电极耦合于第一节点，第二上拉驱动器开关器件的第十四电极接收从下一级输出的第二栅极线驱动信号，并且第二上拉驱动器

开关器件的第十五电极接收第一电源电压。第三上拉驱动器开关器件的第十六电极耦合于第一节点，第三上拉驱动器开关器件的第十七电极耦合于第二节点，并且第三上拉驱动器开关器件的第十八电极接收第一电源电压。第一上拉驱动器开关器件的第十九电极和第一上拉驱动器开关器件的第二十电极相互共同耦合并接收第二电源电压，并且第一上拉驱动器开关器件的第二十一电极耦合于第二节点。第二下拉驱动器开关器件的第二十二电极耦合于第二节点，第二下拉驱动器开关器件的第二十三电极耦合于第一节点，并且第二下拉驱动器开关器件的第二十四电极接收第一电源电压。

在本发明的另一方面，提供了一种驱动移位寄存器的方法。该移位寄存器包括多个级联的级，并且这些级接收第一时钟信号和第二时钟信号以顺序产生用于选择多条扫描线的多个扫描线驱动信号。接收第一时钟信号或第二时钟信号，并且向每个级提供第一时钟信号或第二时钟信号。第一时钟信号和第二时钟信号基本上具有与第一电源电压的第一电压电平对应的第一电压电平。产生第二电源电压，并且向每个级提供第二电源电压。第二电源电压具有比第一电压电平高预定电压电平的第二电压电平。产生用于选择耦合于当前级的第一扫描线的第一扫描线驱动信号。响应从下一级输出的第二扫描线驱动信号，将第一扫描线驱动信号的第三电压电平降至低于第三电压电平的第四电压电平。向第一扫描线提供具有第四电压电平的第一扫描线驱动信号。在降低第一扫描线驱动信号的第三电压电平之后，当下拉开关器件的输出信号的电压电平从第五电压电平变至高于第五电压电平的第六电压电平时，将第一扫描线驱动信号的第四电压电平保持预定周期。

在本发明的另一方面，提供了一种驱动移位寄存器的方法。该移位寄存器包括多个级联的级，并且这些级交替接收从时钟产生器产生的第一时钟信号和第二时钟信号，以顺序产生用于选择多条扫描线的多个扫描线驱动信号。第一和第二时钟信号基本上具有与第一电源电压的第一电压电平对应的第一电压电平。每个级包括上拉开关器件、第一上拉驱动器开关器件、第二上拉驱动器开关器件、下拉开关器件、以及下拉驱动器开关器件。上拉开关器件向每个级的输出端子提供对应于第一时钟信号或第二时钟信号的第一扫描线驱动信号。第一上拉驱动器开关器件响应从前一级输出的扫描启动信号或第二扫描线驱动信号而导通上拉开关器件。第二上拉驱动器开关器件响应从下一级输出的第三扫描线驱动信号而关断上拉开关器件。下拉开关器件向输出

端子提供第三电源电压。下拉驱动器开关器件响应从前一级输出的扫描启动信号或第二扫描线驱动信号而关断下拉开关器件。接收第一时钟信号或第二时钟信号，并且向每个级提供第一时钟信号或第二时钟信号。产生第二电源电压，并且向每个级提供第二电源电压。第二电源电压具有比第一电压电平高预定电压电平的第二电压电平。在第一时钟信号或第二时钟信号的高电平周期期间，产生用于选择耦合于当前级的第一扫描线的第一扫描线驱动信号。响应从下一级输出的第三扫描线驱动信号，将第一扫描线驱动信号的第三电压电平降至低于第三电压电平的第四电压电平。向第一扫描线提供具有第四电压电平的第一扫描线驱动信号。在降低第一扫描线驱动信号的第三电压电平之后，当下拉开关器件的输出信号的电压电平从第五电压电平变至高于第五电压电平的第六电压电平时，将第一扫描线驱动信号的第四电压电平保持预定周期。

如上所述，根据本发明的移位寄存器，该移位寄存器包括多个级以及用于产生进位信号的进位缓冲器晶体管。在具有大屏幕尺寸和高分辨率的液晶显示设备中可以最小化由于栅极线的 RC 延迟而造成的信号延迟。

进位信号独立于从当前级的输出端子输出的输出信号，并且由位于当前级中的进位缓冲器晶体管传输到栅极线。因此，可以防止由于栅极线造成的 RC 负载的效应。

另外，由于下一级不是由栅极线驱动信号复位而是由时钟信号复位，因此图像显示质量不会恶化。

另外，在具有大屏幕尺寸和高分辨率的液晶显示设备中，移位寄存器独立于薄膜晶体管的阈值电压的变化，因此即使当薄膜晶体管的阈值电压由于周围温度的变化而变化时，移位寄存器也可输出正常的栅极线驱动信号，并且可以防止由于薄膜晶体管阈值电压变化而造成的移位寄存器的异常操作。

另外，由于在具有大屏幕尺寸和高分辨率的液晶显示设备中，移位寄存器独立于薄膜晶体管的阈值电压变化，因此其可被增强。

另外，在大范围的周围温度内，可提高移位寄存器的可靠性。

另外，由于可提高阈值电压变化的容限，因此可提高制造移位寄存器的成品率。

另外，移位寄存器的每个级的下拉晶体管分成第一下拉晶体管和第二下拉晶体管。因此，可以减小对移位寄存器的逆变器(inverter)的电容负载有影

响的下拉晶体管的晶体管尺寸，可以提高逆变器的操作速度，因此图像显示质量不会恶化。

另外，大于施加于时钟产生器的电源电压 V_{on} 的电源电压 V_{ona} 施加于移位寄存器，因此即使在具有大屏幕尺寸和高分辨率的液晶显示设备中，图像显示质量也不会恶化。

附图说明

通过参照附图对本发明的优选实施例进行详细描述，本发明的上述和其它优点将会变得更加清楚，其中：

图 1 是传统多晶硅薄膜晶体管 LCD 的示意图；

图 2 是示出传统非晶硅薄膜晶体管 LCD 的示意图；

图 3 是示出根据本发明一个示例性实施例的非晶硅薄膜晶体管 LCD 的分解透视图；

图 4 是示出图 3 的非晶硅薄膜晶体管基板的示意图；

图 5 是示出图 4 的数据驱动器电路的方框图；

图 6 是示出用于图 4 的栅极驱动器电路中的移位寄存器的方框图；

图 7 是示出图 6 的移位寄存器的级的电路图；

图 8 是示出从图 7 的级输出的扫描线驱动信号的图；

图 9 是示出从图 6 的移位寄存器输出的扫描线驱动信号的图；

图 10 是示出图 6 的移位寄存器以及栅极线的示意图；

图 11 是示出根据本发明第一示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图；

图 12 是示出图 11 的移位寄存器中的第 N 级的电路图；

图 13 是示出图 11 的移位寄存器中的最后级和伪级(dummy stage)的电路图；

图 14 是示出图 11 的移位寄存器以及栅极线的示意图；

图 15A 和 15B 是示出图 11 的移位寄存器的级中的上拉部分、下拉部分和进位缓冲器的布局图；

图 15C 是示出图 15A 的移位寄存器中的进位缓冲器的放大图；

图 16A、16B 和 16C 是示出从图 7 的移位寄存器输出的栅极线驱动信号的图；

图 17 是示出根据本发明第二示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图；

图 18 是示出根据本发明第三示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图；

图 19A 和 19B 是示出图 18 的移位寄存器的输出的图；

图 20 是示出根据本发明第四示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图；

图 21 是示出根据本发明第五示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图；

图 22 是在图 21 的电容器处测量的电压的图；

图 23 是示出从图 7 的移位寄存器输出的栅极线驱动信号的图；

图 24 是示出根据本发明第六示例性实施例的用于栅极驱动器电路中的移位寄存器的单元级的方框图；

图 25 是示出从图 24 的移位寄存器输出的栅极线驱动信号的图；

图 26 是示出从图 7 的移位寄存器输出的栅极线驱动信号和从图 24 的移位寄存器输出的栅极线驱动信号的图；

图 27 是根据本发明第七示例性实施例的电源和时钟产生器的方框图；

图 28 是示出当将与施加于图 27 的时钟产生器的电源电压相同的电源电压施加于移位寄存器时、从移位寄存器输出的栅极线驱动信号的图；

图 29 是根据本发明第七示例性实施例的电源和时钟产生器的方框图；

图 30 是图 29 的直流到直流转换器的示例电路图；

图 31 是示出当图 29 的电源和时钟产生器驱动移位寄存器时、从移位寄存器输出的栅极线驱动信号的图；以及

图 32 是当图 29 和 28 的电源和时钟产生器驱动移位寄存器时、从移位寄存器输出的栅极线驱动信号的图。

具体实施方式

以下，将参照附图详细描述本发明的优选实施例。

图 3 是示出根据本发明一个示例性实施例的非晶硅薄膜晶体管 LCD 的分解透视图。

参照图 3，液晶显示设备 100 包括液晶显示板组件 110、背光组件 120、

底盘(chassis)130 和罩壳(cover case)140。

液晶显示板组件 110 包括液晶显示板 112、柔性印刷电路板 116 和集成控制芯片 118。液晶显示板 112 包括 TFT 基板 112a 和滤色器基板 112b。

在 TFT 基板 112a 上形成显示单元阵列、数据驱动器电路、栅极驱动器电路和外部连接端子。在滤色器基板 112b 上形成滤色器和透明公共电极。滤色器基板 112b 面对 TFT 基板 112a, 并且在滤色器基板 112b 与 TFT 基板 112a 之间填充液晶。

集成控制芯片 118 通过柔性印刷电路 116 电气连接到在 TFT 基板 112a 的显示单元阵列上形成的薄膜晶体管。将数据信号、数据定时信号、栅极定时信号以及用于驱动栅极驱动器电路的电源电压提供给在 TFT 基板 112a 上形成的数据驱动器电路和栅极驱动器电路。显示单元阵列包括多条栅极线、多条数据线以及多个开关元件, 并且开关元件分别连接到数据线的每一条和栅极线的每一条。栅极驱动器电路与栅极线连接, 并且驱动开关元件。数据驱动器电路与数据线连接, 并且向数据线提供图像信号。

背光组件 120 包括灯组件 122、光导片 124、光片 126、反射片 128 以及铸模框架(mold frame)129。

图 4 是示出图 3 的非晶硅薄膜晶体管基板的示意图。

参照图 4, 采用在 TFT 基板 112a 上形成 TFT 的相同工艺, 在 TFT 基板 112a 上形成显示单元阵列 150、数据驱动器电路 160、栅极驱动器电路 170、用于将数据驱动器电路 160 连接到集成控制芯片 118 的外部连接端子 162 和 163、以及用于将栅极驱动器电路 170 连接到集成控制芯片 118 的另一个外部连接端子 169。

显示单元阵列 150 包括 m 条数据线 $DL1$ 、 $DL2$ 、...、 DLm 和 n 条栅极线 $GL1$ 、 $GL2$ 、...、 GLn 。数据线 $DL1$ 、 $DL2$ 、...、 DLm 在列方向上延展, 而栅极线 $GL1$ 、 $GL2$ 、...、 GLn 在行方向上延展。例如, 具有 2 英寸屏幕尺寸的液晶显示板被公开。液晶显示板具有 176 条数据线和 192 条栅极线, 从而提供点分辨率 $525(176 \times 3) \times 192$ 。

在数据线和栅极线之间的交叉点上形成开关晶体管(ST; 或者开关元件)。开关晶体管 ST_i 的漏极连接到数据线 DL_i , 开关晶体管 ST_i 的栅极连接到栅极线 GL_i , 并且开关晶体管 ST_i 的源极连接到像素电极 PE。液晶 LC 位于像素电极 PE 与公共电极 CE 之间。在滤色器基板 112b 上形成公共电极 CE。

因此,施加于像素电极 PE 和公共电极 CE 的电压改变液晶分子的排列角度,调节通过液晶分子的光量,并且可显示图像。

数据驱动器电路 160 包括移位寄存器 164 和 528 个开关晶体管(SWT)。8 个数据线块 BL1、BL2、...、BL8 中的每一个包括 66 个开关晶体管(SWT)。

每个数据线块的 66 个输入端子共同连接到外部连接端子 163,并且 66 个输出端子分别连接到 66 条对应数据线。外部连接端子 163 具有 66 个数据输入端子。块选择端子连接到移位寄存器 164 的输出端子。

528 个开关晶体管(SWT)的源极分别连接到对应数据线,528 个开关晶体管(SWT)的漏极分别连接到对应数据输入端子,并且 528 个开关晶体管(SWT)的栅极连接到块选择端子。528 个开关晶体管(SWT)中的每一个均是非晶硅 TFT MOS 晶体管。

从而,528 条数据线中的 66 条数据线分成 8 个块,并且 8 个块选择信号可顺序选择每个块。

移位寄存器 164 通过具有三个端子的外部连接端子 162 接收第一时钟 CKH、第二时钟 CKHB 和块选择启动信号 STH。移位寄存器 164 的每个输出端子连接到对应的数据线块的块选择端子。

图 5 是示出图 4 的数据驱动器电路的方框图。

参照图 5,根据本发明的移位寄存器 164 包括例如相互级联的 9 个级 SRH₁、SRH₂、...、SRH₉。每个级的输出端子 OUT 连接到下一级的输入端子 IN。这些级包括 8 个级 SRH₁、SRH₂、...、SRH₈ 以及伪级(SRH₉)。8 个级 SRH₁、SRH₂、...、SRH₈ 对应于 8 个数据线块。每个级包括输入端子 IN、输出端子 OUT、控制端子 CT、时钟端子 CK、第一电源电压端子 VSS 和第二电源电压端子 VDD。8 个级 SRH₁、SRH₂、...、SRH₈ 分别向每个数据线块 BL1、BL2、...、BL8 的块选择端子提供块选择启动信号 DE1、DE2、...、DE8。块选择启动信号 DE1、DE2、...、DE8 是用于选择每个数据线块的使能(enable)信号。

第一时钟 CKH 施加于奇数级 SRH₁、SRH₃、SRH₅、SRH₇ 和 SRH₉,而第二时钟 CKHB 施加于偶数级 SRH₂、SRH₄、SRH₆、SRH₈。第一时钟 CKH 具有与第二时钟 CKHB 相反的相位。例如,第一时钟 CKH 和第二时钟 CKHB 的工作周期低于 1/66ms。

下一级的输出信号(或栅极线驱动信号)作为控制信号施加于控制端子 CT。

每个级的输出信号顺序具有有源周期(或高电平周期), 选择对应于有源周期的数据线块。

伪级 SRH_9 向前一级(SRH_8)的控制端子 CT 提供控制信号。

图 6 是示出用于图 4 的栅极驱动器电路中的移位寄存器的方框图。

参照图 6, 栅极驱动器电路 170 包括移位寄存器, 并且该移位寄存器包括相互级联的多个级 SRC_1 、 SRC_2 、...、 SRC_{192} 和伪级 SRC_{193} 。每个级的输出端子 OUT 连接到下一级的输入端子 IN。这些级包括 192 个级 SRC_1 、 SRC_2 、...、 SRC_{192} 和伪级 SRC_{193} 。

每个级包括输入端子 IN、输出端子 OUT、控制端子 CT、时钟信号输入端子 CK、第一电源电压端子 VSS 以及第二电源电压端子 VDD。

第一级 SRC_1 通过输入端子 IN 接收扫描启动信号 STV。扫描启动信号 STV 是与垂直同步信号 Vsync 同步的脉冲。每个级 SRC_1 、 SRC_2 、...、 SRC_{192} 分别产生栅极线驱动信号 $GOUT_1$ 、 $GOUT_2$ 、...、 $GOUT_{192}$, 并且栅极线驱动信号 $GOUT_1$ 、 $GOUT_2$ 、...、 $GOUT_{192}$ 分别连接到栅极线, 以便选择栅极线。

第一时钟信号 ckv 施加于奇数级(SRC_1 、 SRC_3 、 SRC_5 、...), 并且第二时钟信号 $ckvb$ 施加于偶数级(SRH_2 、 SRH_4 、 SRH_6 、...)。第一时钟 ckv 具有与第二时钟 $ckvb$ 相反的相位。例如, 第一时钟 ckv 和第二时钟 $ckvb$ 的工作周期为约 16.6/192ms。

用于数据驱动器电路的移位寄存器 164 中的时钟的工作周期大于用于栅极驱动器电路的移位寄存器 170 中的时钟的工作周期约 8 倍。

下一级 SRC_2 、 SRC_3 、 SRC_4 的输出信号 $GOUT_1$ 、 $GOUT_2$ 、...、 $GOUT_{192}$ 作为控制信号分别施加于级 SRC_1 、 SRC_2 、 SRC_3 的控制端子 CT。

每个级的输出信号顺序具有有源周期(或高电平周期), 并且选择对应于有源周期的栅极线。

伪级 SRC_{193} 复位(或去激活)最后级(SRH_{192})。具体地说, 伪级 SRC_{193} 将最后级(SRC_{192})的输出信号的电压电平从高电压电平(HIGH)降低到低电压电平(LOW)。

图 7 是示出图 6 的移位寄存器的级的电路图, 而图 8 是示出从图 7 的级输出的扫描线驱动信号的图。

参照图 7, 移位寄存器 170 的每个级包括上拉部分 171、下拉部分 172、上拉驱动器部分 173 以及下拉驱动器部分 174。

上拉部分 171 包括第一 NMOS 晶体管 M1, 其漏极连接到时钟信号输入端子 CK、栅极连接到第一节点 N1, 并且源极连接到输出端子 GOUT[N]。

下拉部分 172 包括第二 NMOS 晶体管 M2, 其漏极连接到输出端子 OUT, 栅极连接到第二节点 N2, 并且源极连接到第一电源电压端子 VSS。

上拉驱动器部分 173 包括电容器 C 和 NMOS 晶体管 M3、M4 和 M5。电容器 C 连接在第一节点 N1 与输出端子 GOUT[N]之间。第三 NMOS 晶体管 M3 的漏极连接到第二电源电压 VON、其栅极连接到前一级的输出端子 GOUT[N-1], 并且其源极连接到第一节点 N1。晶体管 M4 的漏极连接到第一节点 N1, 其栅极连接到第二节点 N2, 并且其源极连接到第一电源电压 VOFF。晶体管 M5 的漏极连接到第一节点 N1, 其栅极连接到第二节点 N2, 并且其源极连接到第一电源电压 VOFF。晶体管 M3 的晶体管尺寸大于晶体管 M5 约 2 倍。

下拉驱动器部分 174 包括两个 NMOS 晶体管 M6 和 M7。晶体管 M6 的漏极和栅极相互共同连接, 并且连接到第二电源电压 VON, 其源极连接到第二节点 N2。晶体管 M7 的漏极连接到第二节点 N2, 其栅极连接到第一节点 N1, 并且其源极连接到第一电源电压 VOFF。晶体管 M6 的晶体管尺寸大于晶体管 M7 约 16 倍。

如图 8 所示, 当第一和第二时钟信号 ckv 和 ckvb 以及扫描启动信号 STV 被提供给移位寄存器 170 时, 第一级 SRC1 响应扫描启动信号 STV 的前(起始)沿而将第一时钟信号 ckv 的高电平周期延迟 Tdr1 的预定时间, 从而输出延迟输出信号 GOUT1。

如上所述, 在玻璃基板上形成的移位寄存器接收扫描启动信号 STV、第一时钟 ckv 以及第二时钟 ckvb, 并且驱动在 TFT 基板上形成的 TFT 的栅极。

以下将描述移位寄存器的每个级的操作。

图 9 是示出从图 6 的移位寄存器输出的扫描线驱动信号的图。

参照图 9, 移位寄存器接收第一时钟信号 ckv 或第二时钟信号 ckvb, 并且向多条栅极线提供多个栅极线驱动信号(GOUT₁、GOUT₂、GOUT₃、...)。第二时钟 ckvb 具有与第一时钟 ckv 相反的相位。第一和第二时钟信号在 2H 的周期内摆动(swing), 如图 9 所示。从定时控制器(未示出)输出的信号具有 0 伏到 3 伏的范围内的电压, 并且经过放大以具有 -8 伏到 24 伏的范围内的电压, 从而获得第一和第二时钟信号。

再次参照图 7,前一级的输出信号(或栅极线驱动信号) $GOUT_{N-1}$ 对电容器 C 充电,并且设置(或激活)当前级。下一级的输出信号(或栅极线驱动信号) $GOUT_{N+1}$ 对电容器 C 放电,并且复位(或去激活)当前级。

当第一时钟信号 ckv 、第二时钟信号 $ckvb$ 和扫描启动信号 STV 施加于第一级时,响应扫描启动信号 STV 的上升沿而将第一时钟信号 ckv 的高电平周期延迟预定周期,以在输出端子作为输出信号 $GOUT[1]$ 输出。

电容器 C 响应通过输入端子 IN 输入到晶体管 M1 的栅极中的扫描启动信号 STV 的上升沿而开始充电。当在电容器 C 充电的电压 V_{c1} 大于晶体管 M1 的阈值电压时,导通上拉晶体管 M1,并且在输出端子 OUT 输出第一时钟 ckv 的高电平周期。

当在输出端子 OUT 输出第一时钟信号 CKV 的高电平周期时,在电容器 C 引导(bootstrap)该输出电压或第一时钟信号 ckv 的高电平周期,从而上拉晶体管 M1 的栅极电压升至导通电压 V_{on} 之上。从而, NMOS 上拉晶体管 M1 保持完全导通状态。由于晶体管 M3 的晶体管尺寸大于晶体管 M4 约 2 倍,甚至当晶体管 M4 由扫描启动信号 STV 导通时,晶体管 M2 也导通。

同时,在扫描启动信号 STV 输入到下拉驱动器部分 174 中之前,第一节点 N1 的电压通过晶体管 M6 升至第二电源电压 V_{on} ,并且导通晶体管 M2。从而,输出端子 OUT 的输出信号基本上具有第一电源电压 V_{off} 。当扫描启动信号 STV 输入到下拉驱动器部分 174 时,该晶体管导通,并且第二节点 N2 的电压降至基本上第一电源电压 V_{off} 。由于晶体管 M7 的晶体管尺寸大于晶体管 M6 约 16 倍,因此即使晶体管 M6 导通,第二节点 N2 也基本上保持第一电源电压 V_{off} 。从而,关断下拉晶体管 M2。

当扫描启动信号 STV 施加于下拉驱动器部分 74 时,关断下拉晶体管 M2,并且将第一时钟信号 ckv 延迟第一时钟信号 ckv 的工作周期,以在输出端子输出。

当从输出端子 OUT 输出的输出信号的电压降至关断电压 V_{off} (或 V_{ss})时,晶体管 M7 关断。

由于只有第二电源电压 V_{on} 通过晶体管 M6 提供给第二节点 N2,因此第二节点 N2 的电压开始从第一电源电压 V_{off} 升至第二电源电压 V_{on} 。当第四节点的电压开始上升时,晶体管 M4 导通,并且电容器的电荷通过晶体管 M4 放电。因此,上拉晶体管 M1 开始关断。

然后，由于从下一级输出的输出信号 $GOUT[N+1]$ 上升至导通电压 V_{on} ，因此晶体管 $M5$ 导通。由于晶体管 $M5$ 的晶体管尺寸大于晶体管 $M4$ 约两倍，因此与仅晶体管 $M4$ 导通的情况相比，第一节点 $N1$ 的电压更快速地降至第一电源电压 V_{off} 。

另外，当第二节点 $N2$ 的电压升至第二电源电压 V_{on} 时，下拉晶体管 $M2$ 导通，并且从输出端子 OUT 输出的输出电压从导通电压 V_{on} 变至关断电压 V_{off} 。

由于第二节点 $N2$ 连接到晶体管 $M6$ ，因此即使施加于控制端子 CT 的下一级的输出信号 $GOUT[N+1]$ 降至低电压电平、并且晶体管 $M5$ 关断，第二节点 $N2$ 也保持第二电源电压 V_{on} 。从而，防止由于下拉晶体管 $M2$ 的关断而造成的故障。

如图 8 所示，顺序产生输出信号 $GOUT[1]$ 、 $GOUT[2]$ 、 $GOUT[3]$ 、...

如上所述，电容器 C 响应前一级的输出信号而充电，施加于上拉部分或下拉部分的时钟信号作为当前级的输出信号而输出。当在连接到下一级的输出端子的栅极线上产生下一级的输出信号时，下一级的输出信号导通放电晶体管 $M5$ ，并且对电容器 C 放电，从而终止移位寄存器的操作循环。

上述移位寄存器用作具有小或中显示尺寸的液晶显示设备中的栅极驱动器电路，但是由于因存在于栅极线中的电阻和电容而造成的 RC 延迟，其不可用作具有大显示屏的液晶显示设备中的栅极驱动器电路。

如图 6 所示，每个级接收具有 $2H$ 周期的第一时钟 ckv 或第二时钟 $ckvb$ ，并且将第一时钟 ckv 或第二时钟 $ckvb$ 施加于栅极线。

具体地说，第 N 级通过输入端子接收第 $(N-1)$ 栅极导通电压(或第 $(N-1)$ 栅极线驱动信号)，并且响应第 $(N-1)$ 栅极导通电压而产生第 N 栅极导通电压(或第 N 栅极线驱动信号)。第 N 级通过控制端子接收第 $(N+1)$ 栅极线驱动信号，并且响应第 $(N+1)$ 栅极线驱动信号而向栅极线提供栅极关断电压。

由于第 $(N-1)$ 栅极导通电压与第 $(N-1)$ 栅极线电气耦接，因此第 $(N-1)$ 栅极线的负载电气地影响第 N 级的输入端子。因此，产生信号延迟，并且每个级受栅极线的负载的影响。

如图 10 所示，每一条栅极线具有多个电阻元件以及多个电容元件，并且第 N 级的输入端子接收第 $(N-1)$ 级的第 $(N-1)$ 输出信号。由于第 N 级的输入端子连接到第 $(N-1)$ 栅极线，因此由于栅极线的 RC 负载而可能发生信号延迟(例

如, RC 延迟)。

另外, 由于每个级相互级联, 因此信号延迟由于连接到前面级(第一级、第二级、...、第(N-1)级)的前面栅极线(第一栅极线、第二栅极线、...、第(N-1)栅极线)的 RC 负载而可随着 N 的增大而增大。因此, 显示质量可能被严重恶化。在具有小或中屏幕尺寸的液晶显示设备中, 由于栅极线的 RC 负载小, 并且显示栅极导通电压的周期长, 因此信号延迟可以不导致上述严重恶化的显示质量。然而, 在具有大显示屏尺寸的液晶显示设备中, 信号延迟可导致上述严重恶化的显示质量。

可使用外部信号来代替从前一级输出的栅极线驱动信号以激活(或设置)下一级。

图 11 是示出根据本发明第一示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图。

参照图 11, 根据本发明第一示例性实施例的栅极驱动器电路包括相互级联的多个级 SRC_1 、 SRC_2 、 SRC_3 、...、 SRC_N 、 SRC_{N+1} 以及多个进位缓冲器 CB_1 、 CB_2 、...、 CB_N 。进位缓冲器 CB_1 、 CB_2 、...、 CB_N 介于两个相邻级之间。每个级的输出端子 OUT 连接到下一级的输入端子 IN。这些级包括 N 个级 SRC_1 、 SRC_2 、 SRC_3 、...、 SRC_N 以及伪级 SRC_{N+1} 。

每个级包括输入端子 IN、输出端子 OUT、控制端子 CT、时钟信号输入端子 CK、第一电源电压端子 VSS、第二电源电压端子 VDD 和进位输出端子 CRR。

第一级 SRC_1 通过输入端子 IN 接收扫描启动信号 STV。扫描启动信号 STV 是与从外部图形控制器(未示出)提供的垂直同步信号 Vsync 同步的脉冲信号。

级 SRC_2 、...、 SRC_N 通过进位缓冲器接收从前一级的进位输出端子 CRR 提供的进位电压。

每个级 SRC_1 、 SRC_2 、...、 SRC_{192} 分别产生栅极线驱动信号 $GOUT_1$ 、 $GOUT_2$ 、...、 $GOUT_{192}$, 并且栅极线驱动信号 $GOUT_1$ 、 $GOUT_2$ 、...、 $GOUT_{192}$ 分别连接到栅极线, 以便选择栅极线。

第一时钟信号 ckv 施加于奇数级(SRC_1 、 SRC_3 、 SRC_5 、...), 并且第二时钟信号 $ckvb$ 施加于偶数级(SRC_2 、 SRC_4 、 SRC_6 、...)。第一时钟 ckv 具有与第二时钟 $ckvb$ 相反的相位。例如, 第一时钟 ckv 和第二时钟 $ckvb$ 的工作周

期为约 16.6/192ms。

用于数据驱动器电路的移位寄存器 164 中的时钟的工作周期大于用于栅极驱动器电路的移位寄存器 170 中的时钟约 8 倍。

下一级 SRC₂、SRC₃、SRC₄ 的输出信号 GOUT₂、...、GOUT₁₉₂ 作为控制信号分别施加于级 SRC₁、SRC₂、SRC₃ 的控制端子 CT。

进位缓冲器 CB₁、CB₂、...、CB_N 使用从外部电源提供的时钟信号而非从前一级输出的栅极线驱动信号作为进位信号，以便激活(或设置)下一级。进位缓冲器 CB₁、CB₂、...、CB_N 可安装在每个级的内部。

图 12 是示出图 11 的移位寄存器中的第 N 级的电路图。

参照图 12，移位寄存器的每个级包括上拉部分 171、下拉部分 172、上拉驱动器部分 173、下拉驱动器部分 174 以及进位缓冲器 275。

上拉部分 171 包括第一 NMOS 晶体管 M1，其漏极连接到时钟信号输入端子 CK，其栅极连接到第一节点 N1，并且其源极连接到输出端子 GOUT[N]。

下拉部分 172 包括第二 NMOS 晶体管 M2，其漏极连接到输出端子 GOUT[N]，其栅极连接到第二节点 N2，并且其源极连接到第一电源电压端子 VSS。

上拉驱动器部分 173 包括电容器 C 和 NMOS 晶体管 M3、M4 和 M5。电容器 C 连接在第一节点 N1 与输出端子 GOUT[N]之间。第三 NMOS 晶体管 M3 的漏极连接到第二电源电压 VON，其栅极连接到前一级的输出端子 GOUT[N-1]，并且其源极连接到第一节点 N1。晶体管 M4 的漏极连接到第一节点 N1，其栅极连接到第二节点 N2，并且其源极连接到第一电源电压 VOFF。晶体管 M5 的漏极连接到第一节点 N1，其栅极连接到第二节点 N2，并且其源极连接到第一电源电压 VOFF。晶体管 M3 的晶体管尺寸大于晶体管 M5 约 2 倍。

下拉驱动器部分 174 包括两个 NMOS 晶体管 M6 和 M7。晶体管 M6 的漏极和栅极相互共同连接，并且连接到第二电源电压 VON，其源极连接到第二节点 N2。晶体管 M7 的漏极连接到第二节点 N2，其栅极连接到第一节点 N1，并且其源极连接到第一电源电压 VOFF。晶体管 M6 的晶体管尺寸大于晶体管 M7 约 16 倍。

进位缓冲器 275 包括进位缓冲器晶体管 TR1，并且将第一时钟 ckv 或第二时钟 ckvb 输出到下一级。具体地说，进位缓冲器晶体管 TR1 的栅极连接

到下拉驱动器部分 174 的输入端子，进位缓冲器晶体管 TR1 的漏极连接到时钟端子 CKV 或 CKVB，并且进位缓冲器晶体管 TR1 的源极连接到下一级的上拉部分 173 的第三晶体管 M3 的栅极。

前一级的进位缓冲器晶体管 TR1 接收第一时钟 ckv 或第二时钟 ckvb，并且将第一时钟 ckv 或第二时钟 ckvb 作为进位信号传输到当前级。由于具有基本上一致的电压电平的时钟信号用作进位信号，因此可以不发生由于栅极线的 RC 负载而造成的 RC 延迟。

图 13 是示出图 11 的移位寄存器中的最后级和伪级的电路图。

参照图 13，移位寄存器的每个级包括上拉部分 171、下拉部分 172、上拉驱动器部分 173、下拉驱动器部分 174 以及进位缓冲器 275。在图 13 中，相同的标号表示图 12 中的相同元件，因此将省略相同元件的详细描述。

如图 13 所示，由于前一级的输出信号受栅极线的 RC 负载的影响，因此前一级的输出信号不施加于每个级的输入端子，将时钟信号作为进位信号施加于每个级的输入端子。因此，由于用作进位信号的时钟信号独立于前一级的输出信号，因此可以不发生由于栅极线的 RC 负载而造成的 RC 延迟。

以下，将图 13 的上面级称作前一级 SRC_N ，将图 13 的下面级称作当前级 SRC_{N+1} ，以便描述本发明的移位寄存器的操作。

前一级 SRC_N 的进位缓冲器晶体管 TR1 接收用于激活(或设置)当前级 SRC_{N+1} 的第一时钟 ckv(或上拉晶体管 M1 的控制信号)，并且基本上将第一时钟 ckv 作为进位信号传输到当前级 SRC_{N+1} 。由于具有基本上一致的电压电平的时钟信号 ckv 用作进位信号，因此可以不发生由于栅极线的 RC 负载而造成的 RC 延迟。

在进位信号 $CA[N]$ 施加于第三晶体管 M3 的栅极之前，第三晶体管 M3 保持于关断状态。当进位信号 $CA[N]$ 施加于第三晶体管 M3 的栅极时，在预定周期之后，第三晶体管 M3 导通，以形成通过其对电容器 C 充电第二电源电压 V_{on} 的电流路径。

当将具有低电平的时钟 ckv 或第一电源电压 V_{off} 的电压电平施加于第三晶体管 M3 的栅极时，第三晶体管 M3 关断。

图 14 是示出图 11 的移位寄存器以及栅极线的示意图。

参照图 14，每个级(SRC_1 、 SRC_2 、 SRC_3 、...)通过每个级的输出端子分别施加多个栅极线驱动信号($GOUT_1$ 、 $GOUT_2$ 、 $GOUT_3$ 、...)，以便选择液晶显

示板 150 的栅极线。

另外，每个级(SRC_1 、 SRC_2 、 SRC_3 、...)通过进位输出端子 CA 将进位信号施加于下一级的输入端子。进位信号是第一时钟 ckv 或第二时钟 $ckvb$ 。第一时钟 ckv 或第二时钟 $ckvb$ 从外部电源提供，并且独立于每个级。第二时钟 $ckvb$ 具有与第一时钟 ckv 相反的相位。

由于代替从前一级的输出端子 OUT 输出的栅极线驱动信号而将从前一级的进位输出端子输出的进位信号施加于当前级的输入端子以便激活当前级，因此可以防止由于栅极线的 RC 负载而造成的显示质量恶化。

图 15A 和 15B 是示出图 11 的移位寄存器的级中的上拉部分、下拉部分和进位缓冲器的布局图，而图 15C 是示出图 15A 的移位寄存器中的进位缓冲器的放大图。

图 12 的上拉 NMOS 晶体管 M1 和下拉 NMOS 晶体管 M2 的晶体管尺寸大于上拉驱动器 NMOS 晶体管 M3、M4、M5 以及下拉驱动器 NMOS 晶体管 M6、M7，以便驱动连接到上拉晶体管 M1 和下拉晶体管 M2 的栅极线。

如图 15A、15B 和 15C 所示，在绝缘基板上的预定区域内顺序形成栅极布线(gate wiring)和有源图案(active pattern)，并且在栅极布线上以‘分支’型形状(或‘手指’型形状)形成多个漏电极和多个源电极，以便形成上拉晶体管($M1[N]$ 和 $M1[N+1]$)和下拉晶体管($M2[N]$ 和 $M2[N+1]$)。栅极布线包括一个栅电极(或多个栅电极)和一条栅极线(或多条栅极线)。M1[N]是第 N 级的上拉晶体管 M1，并且 M1[N+1]是第(N+1)级的上拉晶体管 M1。M2[N]是第 N 级的下拉晶体管 M2，并且 M2[N+1]是第(N+1)级的下拉晶体管 M2。在本发明的‘分支’型形状中，漏电极从主漏极布线分支，并且每个漏电极插入到各漏电极的分支中。例如，有源图案由非晶硅组成。以下，将第 N 级称作当前级，而将第(N+1)级称作下一级。

具体地说，在用来限定第一预定面积的第一预定区域内形成上拉晶体管($M1[N]$ 和 $M1[N+1]$)的栅极布线。例如，第一预定区域可具有矩形形状。在上拉晶体管($M1[N]$ 和 $M1[N+1]$)的栅极布线上形成上拉晶体管($M1[N]$ 和 $M1[N+1]$)的有源图案。上拉晶体管($M1[N]$ 和 $M1[N+1]$)的漏电极从在向下方向上延展的主漏极布线 300 分支，并且在上拉晶体管($M1[N]$ 和 $M1[N+1]$)的有源图案上形成。在漏电极的分支(漏极线)之间形成上拉晶体管($M1[N]$ 和 $M1[N+1]$)的每个源极。也就是，在漏电极的分支(或漏极线)之间形成源电极

的每个分支(源极线)。还可在上拉晶体管(M1[N]和 M1[N+1])的漏电极的外部形成上拉晶体管(M1[N]和 M1[N+1])的源电极。上拉晶体管(M1[N]和 M1[N+1])的每个源电极通过接触孔(CNT1、CNT2)电气连接到栅极线。例如, 每条漏极线的宽度可以为大约 $5\ \mu\text{m}$, 并且每条栅极线的宽度可以为大约 $5\ \mu\text{m}$ 。例如, 主漏极线的宽度可大于约 $5\ \mu\text{m}$ 。漏极线与源极线之间的距离(L)越小, 薄膜晶体管(TFT)的特性就越好。例如, 漏极线与源极线之间的距离(L)越小, 晶体管尺寸(W/L)就越大。

具体地说, 在用来限定第二预定面积的第二预定区域内形成下拉晶体管(M2[N]和 M2[N+1])的栅极布线。例如, 第二预定区域可具有矩形形状。在下拉晶体管(M2[N]和 M2[N+1])的栅极布线上形成下拉晶体管(M2[N]和 M2[N+1])的有源图案。下拉晶体管(M2[N]和 M2[N+1])的漏电极从在向上方向上延展的主漏极布线 300 分支, 并且形成在下拉晶体管(M2[N]和 M2[N+1])的有源图案上。下拉晶体管(M2[N]和 M2[N+1])的每个漏电极通过接触孔(CNT1、CNT2)电气连接到栅极线。在漏电极的分支(或漏极线)之间形成下拉晶体管(M2[N]和 M2[N+1])的每个源电极。也就是, 在漏电极的分支(或漏极线)之间形成源电极的每个分支(或源极线)。还可在上拉晶体管(M2[N]和 M2[N+1])的漏电极的外部形成上拉晶体管(M2[N]和 M2[N+1])的源电极。

具体地说, 上拉晶体管(M1[N]和 M1[N+1])的多个源电极和下拉晶体管(M2[N]和 M2[N+1])的多个漏电极共同连接到第一接触孔 CNT1, 使得上拉晶体管(M1[N]和 M1[N+1])的源电极和下拉晶体管(M2[N]和 M2[N+1])的多个漏电极可共同连接到栅极线。由于上拉晶体管(M1[N]和 M1[N+1])的源电极的高度或者下拉晶体管(M2[N]和 M2[N+1])的源电极的高度不同于栅极线的高度, 因此上拉晶体管(M1[N]和 M1[N+1])或下拉晶体管(M2[N]和 M2[N+1])的源电极通过在第一氧化铟锡(ITO1)层与第二接触孔 CNT2 之间形成的桥连接到栅极线。第一氧化铟锡(ITO1)层包括导电材料。第一氧化铟锡(ITO1)层连接到第一接触孔 CNT1。

在相邻于上拉晶体管 M1 的位置上形成进位缓冲器晶体管 TR1, 以便将施加于当前级的上拉晶体管 M1 的漏电极的第一时钟 ckv 或第二时钟 ckvb 提供给下一级的第三晶体管 M3 的栅电极。

具体地说, 进位缓冲器晶体管 TR1 的栅电极共同连接到上拉晶体管(M1[N]和 M1[N+1])的栅电极。进位缓冲器晶体管 TR1 的漏电极可从上拉晶

晶体管(M1[N]和 M1[N+1])的主漏极布线分支。进位缓冲器晶体管 TR1 的源电极绕开(绕过)上拉晶体管(M1[N]和 M1[N+1])和下拉晶体管(M2[N]和 M2[N+1]),以延伸到下一级的第三晶体管 M3 的栅电极。

由于进位缓冲器晶体管 TR1 的源电极的分支(或源极线)的高度不同于连接到下一级的第三晶体管 M3 的栅电极的栅极布线的高度,因此进位缓冲器晶体管 TR1 的源电极通过在第二氧化铟锡(ITO2)层与第四接触孔 CNT4 之间形成的桥连接到与第三晶体管 M3 的栅电极连接的栅极布线。第二氧化铟锡(ITO2)层包括导电材料。第二氧化铟锡(ITO2)层通过第三接触孔 CNT3 连接到进位缓冲器晶体管 TR1 的源极线。

图 7 和 8 的移位寄存器用于具有小或中屏幕尺寸如 525(176×3)×192 的液晶显示板中,但是图 7 和 8 的移位寄存器由于信号延迟问题而不可用于具有大屏幕尺寸的液晶显示板中。

上拉或下拉晶体管(M1 或 M2)的晶体管尺寸需要增大,以便图 7 和 8 的移位寄存器可用于具有大屏幕尺寸的液晶显示板中。然而,由于移位寄存器的芯片面积的限制,上拉或下拉晶体管(M1 或 M2)的晶体管尺寸的增大存在限制。

因此,制造液晶显示设备的可靠性和成品率可能得不到保证,因为薄膜晶体管的阈值电压由于上拉或下拉晶体管(M1 或 M2)的晶体管尺寸的限制和非晶硅薄膜晶体管的特性而变化。

图 16A、16B 和 16C 是示出从图 7 的移位寄存器输出的栅极线驱动信号的图。

参照图 16A,当移位寄存器的薄膜晶体管在室温下具有正常阈值电压时,栅极线驱动信号(GOUT₁、GOUT₂、GOUT₃、...)类似于方波,并且具有约 25 伏的一致峰值电压电平。

参照图 16B,移位寄存器的薄膜晶体管的阈值电压随着温度的升高而降低,栅极线驱动信号(GOUT'₁、GOUT'₂、GOUT'₃、...)类似于方波,但是栅极线驱动信号(GOUT'₁、GOUT'₂、GOUT'₃、...)具有降低的峰值电压电平。也就是,第一栅极线驱动信号 GOUT'₁的峰值电压电平具有约 20 伏,并且第二栅极线驱动信号 GOUT'₂的峰值电压电平低于 20 伏。

如图 16B 所示,其波形如同火花的重叠信号(override signal)施加于特定栅极线。栅极线驱动信号(GOUT'₁、GOUT'₂、GOUT'₃、...)由于重叠信号而

具有降低的峰值电压电平，使得产生具有异常波形的栅极线驱动信号。

参照图 16C，移位寄存器的薄膜晶体管的阈值电压随着温度的降低而升高，栅极线驱动信号(GOUT¹、GOUT²、GOUT³、...)不类似于方波，并且栅极线驱动信号(GOUT¹、GOUT²、GOUT³、...)具有降低的峰值电压电平。也就是，第一栅极线驱动信号 GOUT¹的峰值电压电平具有约 22 伏，并且第二栅极线驱动信号 GOUT²的峰值电压电平低于 22 伏。

当移位寄存器的薄膜晶体管在室温下具有正常阈值电压时，移位寄存器正常工作，并且从移位寄存器输出的栅极线驱动信号类似于方波，并且具有一致峰值电压电平。

然而，当移位寄存器的薄膜晶体管的阈值电压随着温度降低(或升高)而变化时，从移位寄存器输出的栅极线驱动信号具有异常波形，或者一致峰值电压电平。因此，具有异常波形的栅极线驱动信号不正常导通位于液晶显示板上的开关器件(开关元件)，并且液晶显示设备的显示质量恶化。

如图 6 所示，移位寄存器具有这样的电路结构，其中从前一级输出的栅极线驱动信号影响从当前级输出的栅极线驱动信号，尤其是在具有大显示屏尺寸的液晶显示设备中，当移位寄存器的各个薄膜晶体管的阈值电压变换并且每个级由移位寄存器顺序驱动时，某些级可能不输出栅极线驱动信号。

图 17 是示出根据本发明第二示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图。

参照图 17，移位寄存器的每个级包括上拉部分 171、下拉部分 172、上拉驱动器部分 173、下拉驱动器部分 174、第一进位缓冲器 275 以及第二进位缓冲器 276。在图 17 中，相同的标号表示图 7 中的相同元件，因此将省略相同元件的详细描述。

第一进位缓冲器 275 包括第一进位缓冲器晶体管 TR1，并且将第一时钟 ckv 或第二时钟 ckvb 输出到下一级。

具体地说，第一进位缓冲器晶体管 TR1 的栅极连接到下拉驱动器部分 174 的输入端子，第一进位缓冲器晶体管 TR1 的漏极连接到时钟端子 CKV 或 CKVB，并且第一进位缓冲器晶体管 TR1 的源极连接到下一级的第二进位缓冲器 276。

第二进位缓冲器 276 包括由下拉驱动器部分 174 或逆变器控制的第二进位缓冲器晶体管 TR2。具体地说，缓冲器晶体管 M3 由从第一进位缓冲器 275

提供以施加于上拉部分 171 的第一时钟 ckv 或第二时钟 $ckvb$ 导通, 然后下拉驱动器部分 174(或逆变器)的输出电压具有低电压电平, 并且第二进位缓冲器 276 关断。因此, 当进位信号被传输到第二进位缓冲器晶体管 $TR2$ 时, 进位信号的电压电平可以不被降低。

第二进位缓冲器晶体管 $TR2$ 的漏极连接到当前级的上拉驱动器部分 173 的输入端子, 并且还连接到第一进位缓冲器晶体管 $TR1$ 的源极。第二进位缓冲器晶体管 $TR2$ 的栅极连接到第二晶体管 $M2$ 或下拉部分 172 的栅极, 并且第二进位缓冲器晶体管 $TR2$ 的源极通过第一电源电压端子 $VOFF$ 接收第一电源电压。

另外, 在 $1H$ 周期之后, 第二进位缓冲器晶体管 $TR2$ 保持导通状态, 同时下拉驱动器部分 174 导通, 并且将第一电源电压 $Voff$ 施加于缓冲器晶体管 $M3$, 以便关断缓冲器晶体管 $M3$ 。第一电源电压端子 $VOFF$ 相同于图 5 的电源电压端子 VSS 。

由于使用时钟信号代替从前一级输出的栅极线驱动信号作为进位信号, 因此从每个级输出的栅极线驱动信号独立于前一级的栅极线驱动信号。

以下, 将图 17 的上面一级称作前一级 SRC_N , 将图 17 的下面一级称作当前级 SRC_{N+1} , 以便描述本发明的移位寄存器的操作。

前一级 SRC_N 的进位缓冲器晶体管 $TR1$ 接收第一时钟 ckv 或第二时钟 $ckvb$, 并且将第一时钟 ckv 或第二时钟 $ckvb$ 作为进位信号传输到当前级 SRC_{N+1} 。由于使用具有基本上一致的电压电平的时钟信号作为进位信号, 因此可以不发生由于栅极线的 RC 负载而造成的 RC 延迟。

在进位信号 $CA[N]$ 施加于第三晶体管 $M3$ 的栅极之前, 第三晶体管 $M3$ 保持于关断状态。当进位信号 $CA[N]$ 施加于第三晶体管 $M3$ 的栅极时, 在预定周期之后, 第三晶体管 $M3$ 导通以形成电流路径, 通过该电流路径在电容器 C 上充电第二电源电压 Von 。

当对当前级的上拉驱动器部分 173 的电容器 C 充电时, 第二进位缓冲器晶体管 $TR2$ 关断。当当前级具有空闲状态时, 施加于第二进位缓冲器晶体管 $TR2$ 的电源电压 $Voff$ 施加于缓冲器晶体管 $M3$ 的栅极, 并且保持缓冲器晶体管 $M3$ 的关断状态。

具体地说, 当前级的上拉驱动器部分 173 的第三晶体管 $M3$ 保持关断状态, 并且当进位信号通过前一级的第一进位缓冲器晶体管 $TR1$ 施加于第三晶

晶体管 M3 时，其变至空闲状态。因此，第三晶体管 M3 的栅极具有与由第一进位缓冲器晶体管 TR1 的电阻和第二晶体管 M2 的电阻形成的分压电压对应的电压电平。

当第二进位缓冲器晶体管 TR2 关断并且诸如时钟信号的进位信号施加于缓冲器晶体管 M3 的栅极时，缓冲器晶体管 M3 导通，并且电压 V_{on} 施加于电容器 C。

图 18 是示出根据本发明第三示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图。

参照图 18，移位寄存器的每个级包括上拉部分 171、下拉部分 172、上拉驱动器部分 173、下拉驱动器部分 174、第一进位缓冲器 275 以及第二进位缓冲器 376。在图 18 中，相同的标号表示图 7 中的相同元件，因此将省略相同元件的详细描述。

第一进位缓冲器 275 包括第一进位缓冲器晶体管 TR1，并且将第一时钟 ckv 或第二时钟 $ckvb$ 输出到下一级。

具体地说，第一进位缓冲器晶体管 TR1 的栅极连接到下拉驱动器部分 174 的输入端子，第一进位缓冲器晶体管 TR1 的漏极连接到时钟端子 CKV 或 CKVB，并且进位缓冲器晶体管 TR1 的源极连接到下一级的第二进位缓冲器 376。

第二进位缓冲器 376 包括第二和第三进位缓冲器晶体管 TR2 和 TR3。具体地说，当下拉驱动器部分 174(或逆变器)的输出具有低电压电平时，第二进位缓冲器 376 关断。因此，当进位信号被传输到第二进位缓冲器 376 时，进位信号的电压电平可以不被降低。另外，在 1H 周期之后，第二进位缓冲器 376 保持导通状态，同时下拉驱动器部分 174 导通，以便关断缓冲器晶体管 M3。

第二进位缓冲器晶体管 TR2 的漏极连接到当前级的上拉驱动器部分 173 的输入端子，并且还连接到前一级的第一进位缓冲器晶体管 TR1 的源极。第二进位缓冲器晶体管 TR2 的栅极连接到第二晶体管 M2 或下拉部分 172 的栅极，并且第二进位缓冲器晶体管 TR2 的源极连接到第三进位缓冲器晶体管 TR3 的漏极。第一电源电压端子 VOFF 相同于图 5 的电源电压端子 VSS。

以下，将图 18 的上面一级称作前一级 SRC_N ，将图 18 的下面一级称作当前级 SRC_{N+1} ，以便描述本发明的移位寄存器的操作。

前一级 SRC_N 的进位缓冲器晶体管 TR1 接收第一时钟 ckv ，并且将第一时钟 ckv 作为进位信号传输到当前级 SRC_{N+1} 。由于时钟信号具有基本上一致的电压电平，因此可以不发生由于栅极线的 RC 负载而造成的 RC 延迟。

当对当前级的上拉驱动器部分 173 的电容器 C 充电时，第二进位缓冲器晶体管 TR2 关断。当当前级具有空闲状态时，第三进位缓冲器晶体管 TR3 的电压 ($V_{off} + V_{th}$) 施加于缓冲器晶体管 M3 的栅极，并且保持缓冲器晶体管 M3 的关断状态。

具体地说，当前级的上拉驱动器部分 173 的第三晶体管 M3 保持关断状态，并且当进位信号通过前一级的第一进位缓冲器晶体管 TR1 施加于第三晶体管 M3 时，其变至空闲状态。因此，第三晶体管 M3 的栅极具有与由第一进位缓冲器晶体管 TR1 的电阻、第二进位缓冲器晶体管 TR2 的电阻和第三进位缓冲器晶体管 TR3 的阈值电压形成的分电压对应的电压电平。

当第二进位缓冲器晶体管 TR2 关断并且进位信号施加于缓冲器晶体管 M3 的栅极时，缓冲器晶体管 M3 导通，并且电压 V_{on} 施加于电容器 C。

当具有低电压电平如电压电平 V_{off} 的时钟施加于缓冲器晶体管 M3 的栅极时，该缓冲器晶体管关断。缓冲器晶体管 M3 的导通或关断时间点依赖于施加于缓冲器晶体管 M3 的栅极的电压的电压电平。

缓冲器晶体管 M3 的导通或关断时间点与缓冲器晶体管 M3 的阈值电压成反比。当缓冲器晶体管 M3 的阈值电压由于周围温度的升高而降低时，与缓冲器晶体管 M3 具有正常阈值电压的情况相比，缓冲器晶体管 M3 的导通或关断时间点变得更早。当缓冲器晶体管 M3 的阈值电压由于周围温度的降低而升高时，缓冲器晶体管 M3 的导通或关断时间点被延迟。因此，在电容器 C 中充电的电荷随着周围温度的变化而变化，并且栅极线驱动信号随着由于在电容器 C 中充电的电荷而产生的电压而变化。

可以防止重叠信号的产生。当阈值电压变低并且第二进位缓冲器晶体管 TR2 未被完全关断时，产生重叠信号。重叠信号可导通前一级的放电晶体管 M5，并且降低前一级的上拉晶体管 M1 的输出电压，使得可降低从前一级输出的栅极线驱动信号。

根据本发明的第三示例性实施例，缓冲器晶体管 M3 的栅极具有与由第二和第三进位缓冲器晶体管 TR1 的电阻、缓冲器晶体管 M3 的阈值以及第一进位缓冲器晶体管 TR1 的电阻形成的分电压对应的电压电平。即使缓冲器晶

晶体管 M3 的阈值电压根据周围温度的变化而变化,第三进位缓冲器晶体管 TR3 的阈值电压也根据周围温度的变化而变化,进位信号的电压电平依赖于周围温度,并且进位信号施加于缓冲器晶体管 M3 的栅极,从而抵消由于阈值电压的变化而造成的效应。栅极线驱动信号的电压电平变化可以被防止。

图 19A 和 19B 是示出图 18 的移位寄存器的输出的图。

如图 16A 所示,当移位寄存器的薄膜晶体管在室温下具有正常阈值电压时,栅极线驱动信号(GOUT₁、GOUT₂、GOUT₃、...)类似于方波。

参照图 19A,移位寄存器的薄膜晶体管的阈值电压随着温度的升高而降低,栅极线驱动信号(GOUT'₁、GOUT'₂、GOUT'₃、...)类似于方波,并且栅极线驱动信号(GOUT'₁、GOUT'₂、GOUT'₃、...)具有约 25 伏。图 19A 所示的重叠信号的电压电平大大小于图 16B 所示的重叠信号。正常栅极线驱动信号被输出。

参照图 19B,移位寄存器的薄膜晶体管的阈值电压随着温度的降低而升高,栅极线驱动信号(GOUT''₁、GOUT''₂、GOUT''₃、...)类似于方波,栅极线驱动信号(GOUT''₁、GOUT''₂、GOUT''₃、...)具有约 25 伏的均匀电压电平。与图 16C 的栅极线驱动信号(GOUT''₁、GOUT''₂、GOUT''₃、...)相比,图 19B 的栅极线驱动信号(GOUT''₁、GOUT''₂、GOUT''₃、...)更类似于方波,并且栅极线驱动信号(GOUT''₁、GOUT''₂、GOUT''₃、...)的电压电平更一致。

如图 19A 和 19B 所示,由于移位寄存器在每个级中包括进位缓冲器,因此即使当薄膜晶体管的阈值电压由于周围温度的变化而变化时,移位寄存器也可输出正常栅极线驱动信号。

根据本发明的第三示例性实施例,由于每个级包括第一、第二和第三进位缓冲器晶体管 TR1、TR2 和 TR3,因此当前级接收具有一致电压电平的第一时钟 ckv 或第二时钟 ckvb 作为进位信号,并且从当前级输出的栅极线驱动信号可以独立于从前一级输出的栅极线驱动信号。进位信号补偿阈值电压的变化。因此,移位寄存器独立于薄膜晶体管的阈值电压变化,并且可以提高制造具有大屏幕尺寸的液晶显示设备的可靠性、生产率和成品率。

图 20 是示出根据本发明第四示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图。

参照图 20,移位寄存器的每个级包括上拉部分 171、下拉部分 172、上拉驱动器部分 173、下拉驱动器部分 174、第一进位缓冲器 275 以及第二进位

缓冲器 476。在图 20 中，相同的标号表示图 7 中的相同元件，因此将省略相同元件的详细描述。

第二进位缓冲器 476 包括第二和第四进位缓冲器晶体管 TR2 和 TR4。具体地说，当下拉驱动器部分 174(或逆变器)的输出具有低电压电平时，第二进位缓冲器 476 关断。因此，当进位信号被传输到第二进位缓冲器 476 时，进位信号的电压电平可以不被降低。另外，在 1H 周期之后，第二进位缓冲器 476 保持导通状态，同时下拉驱动器部分 174 导通，以便关断缓冲器晶体管 M3。

第二进位缓冲器晶体管 TR2 的漏极连接到当前级的上拉驱动器部分 173 的输入端子，并且还连接到前一级的第一进位缓冲器晶体管 TR1 的源极。第二进位缓冲器晶体管 TR2 的栅极连接到第二晶体管 M2 或者下拉部分 172 的栅极，并且第二进位缓冲器晶体管 TR2 的源极通过第一电源电压端子 VOFF 接收第一电源电压 Voff。第一电源电压端子 VOFF 相同于图 5 的电源电压端子 VSS。

第四进位缓冲器晶体管 TR4 的漏极连接到第二进位缓冲器晶体管 TR2 的栅极，第四进位缓冲器晶体管 TR4 的栅极连接到第二进位缓冲器晶体管 TR2 的漏极，并且第四进位缓冲器晶体管 TR4 的源极通过第一电源电压端子 VOFF 接收第一电源电压 Voff。

以下，将图 20 的上面一级称作前一级 SRC_N ，将图 20 的下面一级称作当前级 SRC_{N+1} ，以便描述根据本发明第四示例性实施例的移位寄存器的操作。

前一级 SRC_N 的进位缓冲器晶体管 TR1 接收第一时钟 ckv ，并且将第一时钟 ckv 作为进位信号传输到当前级 SRC_{N+1} 。由于时钟信号具有基本上一致的电压电平，因此可以不发生由于栅极线的 RC 负载而造成的 RC 延迟。

当对当前级的上拉驱动器部分 173 的电容器 C 电气充电时，第二进位缓冲器晶体管 TR2 关断。当当前级处于空闲状态时，第二进位缓冲器晶体管 TR2 的电压(Voff)施加于缓冲器晶体管 M3 的栅极，并且保持缓冲器晶体管 M3 的关断状态。

具体地说，当前级的上拉驱动器部分 173 的第三晶体管 M3 保持关断状态。当进位信号通过前一级的第一进位缓冲器晶体管 TR1 施加于第三晶体管 M3 时，第三晶体管 M3 的栅极具有与由第一进位缓冲器晶体管 TR1 的电阻和第二进位缓冲器晶体管 TR2 的电阻形成的分压电压对应的电压电平。

当第二进位缓冲器晶体管 TR2 关断并且进位信号施加于缓冲器晶体管 M3 的栅极时, 缓冲器晶体管 M3 导通, 并且在缓冲器晶体管 M3 和电容器 C 之间形成电流路径, 使得将电压 V_{on} 施加于电容器 C。

当具有低电压电平如电压电平 V_{off} 的时钟施加于缓冲器晶体管 M3 的栅极时, 缓冲器晶体管 M3 关断。

当从前一级产生的进位信号施加于第四进位缓冲器晶体管 TR4 的栅极时, 第四进位缓冲器晶体管 TR4 导通, 从而快速降低第二进位缓冲器晶体管 TR2 的栅极的电压电平。也就是, 第四进位缓冲器晶体管 TR4 提高第二进位缓冲器晶体管 TR2 的开关速度。因此, 可提高进位缓冲器的操作速度。

图 21 是示出根据本发明第五示例性实施例的用于栅极驱动器电路中的移位寄存器的方框图。

参照图 21, 移位寄存器的每个级包括上拉部分 171、下拉部分 172、上拉驱动器部分 173、下拉驱动器部分 174、第一进位缓冲器 275 以及第二进位缓冲器 576。在图 21 中, 相同的标号表示图 7 中的相同元件, 因此将省略相同元件的详细描述。

第一进位缓冲器 275 包括第一进位缓冲器晶体管 TR1, 并且将第一时钟 ckv 或第二时钟 $ckvb$ 输出到下一级。具体地说, 第一进位缓冲器晶体管 TR1 的栅极连接到下拉驱动器部分 174 的输入端子, 第一进位缓冲器晶体管 TR1 的漏极连接到时钟端子 CKV 或 $CKVB$, 并且进位缓冲器晶体管 TR1 的源极连接到下一级的第二进位缓冲器 576。

第二进位缓冲器 576 包括第二、第三和第四进位缓冲器晶体管 TR2、TR3 和 TR4。具体地说, 当下拉驱动器部分 174(或逆变器)的输出具有低电压电平时, 第二进位缓冲器 576 关断。因此, 当进位信号被传输到第二进位缓冲器 576 时, 进位信号的电压电平可以不被降低。另外, 在 1H 周期之后, 第二进位缓冲器 576 保持导通状态, 同时下拉驱动器部分 174 导通, 以便关断缓冲器晶体管 M3。

第二进位缓冲器晶体管 TR2 的漏极连接到当前级的上拉驱动器部分 173 的输入端子, 并且还连接到前一级的第一进位缓冲器晶体管 TR1 的源极。第二进位缓冲器晶体管 TR2 的栅极连接到第二晶体管 M2 或下拉部分 172 的栅极, 并且第二进位缓冲器晶体管 TR2 的源极连接到第三进位缓冲器晶体管 TR3 的漏极。

第三进位缓冲器晶体管 TR3 的漏极和栅极相互共同连接，并且连接到第二进位缓冲器晶体管 TR2 的源极以及第三进位缓冲器晶体管 TR3 的源极。第三进位缓冲器晶体管 TR3 的源极通过第一电源电压端子 VOFF 接收第一电源电压 Voff。第一电源电压端子 VOFF 相同于图 5 的电源电压端子 VSS。

第四进位缓冲器晶体管 TR4 的漏极连接到第二进位缓冲器晶体管 TR2 的栅极，第四进位缓冲器晶体管 TR4 的栅极连接到第二进位缓冲器晶体管 TR2 的漏极，并且第四进位缓冲器晶体管 TR4 的源极通过第一电源电压端子 VOFF 接收第一电源电压 Voff。

当从前一级产生的进位信号施加于第四进位缓冲器晶体管 TR4 的栅极时，第四进位缓冲器晶体管 TR4 导通，从而快速降低第二进位缓冲器晶体管 TR2 的栅极的电压电平。也就是，第四进位缓冲器晶体管 TR4 提高第二进位缓冲器晶体管 TR2 的开关速度。因此，可提高进位缓冲器的操作速度。

根据本发明的第五示例性实施例，由于进位缓冲器还包括用于控制第二进位缓冲器晶体管 TR2 的导通或关断的第四进位缓冲器晶体管 TR4，因此可提高第二进位缓冲器晶体管 TR2 的开关速度。

图 22 是示出在图 21 的电容器测量的电压的图。特别地，部分 ‘A’ 表示当进位缓冲器具有第四进位缓冲器晶体管 TR4 时在电容器处测量的电压，而部分 ‘B’ 表示当进位缓冲器没有第四进位缓冲器晶体管 TR4 时在电容器处测量的电压。

如图 22 所示，当将第四进位缓冲器晶体管 TR4 添加到进位缓冲器时，可降低第二进位缓冲器晶体管 TR2 的关断时间，可降低第三晶体管 M3 的导通或关断时间，从而可提高在电容器处测量的电压。因此，具有第四进位缓冲器晶体管 TR4 的进位缓冲器可用于具有大显示屏尺寸和高分辨率的液晶显示设备中，第三晶体管 M3 的导通或关断可以由最大电压进行控制，并且可提高移位寄存器的性能。

如本发明的上面实施例所述，代替从前一级的输出端子 OUT 输出的输出信号(或栅极线驱动信号)，将用于产生独立于前一级的输出信号的进位信号的进位缓冲器安设在每个级中，从而防止由于薄膜晶体管的阈值电压变化而造成的移位寄存器异常操作。另外，可以在大范围的周围温度内提高移位寄存器的可靠性，并且由于可提高阈值电压的变化容限，因此可提高制造移位寄存器的成品率。

图 23 是示出从图 7 的移位寄存器输出的栅极线驱动信号的图。图 23 表示当时钟信号 V[CKVB]施加于每个级时、从下拉驱动器部分(或逆变器)输出的输出电压(或节点 N2 的电压)的波形。V[GOUT(1)]表示根据从逆变器输出的输出电压变化的第一级的输出电压,并且 V[GOUT(2)]表示根据逆变器的输出电压变化的第二级的输出电压。

参照图 23,从逆变器输出的输出电压具有较缓的斜度,或者从低电压电平缓慢升至高电压电平。也就是,逆变器的操作速度慢。

逆变器的斜度依赖于逆变器的电阻和下拉晶体管 M2 的寄生电容 C1。 $R \times C1$ 值越大,逆变器的斜度就越缓,并且逆变器的操作速度就越慢。

特别地,当栅极驱动器电路或移位寄存器驱动与位于具有大显示屏尺寸的液晶显示板上的薄膜晶体管连接的栅极线时,由于上拉和下拉晶体管 M1 和 M2 的晶体管尺寸增大,因此上拉和下拉晶体管 M1 和 M2 的寄生电容也增大。晶体管尺寸是指晶体管的沟道宽度(W)与晶体管的沟道长度(L)的比率(W/L)。从而, $R \times C1$ 增大,并且逆变器的斜度变缓。

逆变器的尺寸需要增大,以便提高逆变器的操作速度。为了增大逆变器的尺寸,需要较大的布局面积,并且逆变器的功耗增大。因此,逆变器的尺寸需要最小化。然而,当逆变器被设计成具有最小尺寸时,逆变器的操作速度慢。

如图 23 所示,当逆变器的操作速度慢,特别是逆变器的输出电压从低电压电平缓慢变至高电压电平时,栅极线驱动信号例如 V[Gout(1)]、V[Gout(2)]的脉冲宽度大于 1H。1H 是指时钟信号的脉冲宽度。从数据驱动器电路 160 输出的灰度级电压的脉冲宽度也为 1H。

例如,连接到第一栅极线的输出端子 OUT 的像素受施加于连接到与下一级连接的下一栅极线的数据线的灰度级电压的影响。因此,当 V[Gout(1)]的脉冲宽度大于 1H 时,图像显示质量被恶化。通常,灰度级电压的最小值为约 0 伏,栅极线驱动信号 V[Gout(n)]的有效脉冲宽度最好小于或等于 1H。栅极线驱动信号 V[Gout(n)]的有效脉冲宽度是指栅极线驱动信号 V[Gout(n)]中具有大于 0 伏的电压电平的部分的脉冲宽度。特别地,为了减轻图像显示质量恶化,当逆变器的电压电平从低电平变至高电平时,栅极线驱动信号的电压电平需要快速地从高电平变至低电平,并且栅极线驱动信号 V[Gout(n)]的有效脉冲宽度最好小于或等于 H。

以下，描述在布局面积的限制下具有最小逆变器尺寸并可防止图像显示质量恶化的移位寄存器。

图 24 是示出根据本发明第六示例性实施例的用于栅极驱动器电路中的移位寄存器的单元级的方框图。

参照图 24，单元级包括缓冲器晶体管 808、保持晶体管 806、放电晶体管 804、逆变器 808、上拉晶体管 810 以及下拉晶体管 812。图 24 的单元级与图 7 的单元级具有一些区别。

首先，图 24 的逆变器 808 的尺寸、上拉晶体管 M1 的尺寸和下拉晶体管 M2 的尺寸与图 7 相同。然而，下拉晶体管 M2 分成第一下拉晶体管 M2a 和第二下拉晶体管 M2b。例如，当图 7 的下拉晶体管 M2 的晶体管尺寸为 1 时，第一下拉晶体管 M2a 与第二下拉晶体管 M2b 之间的晶体管尺寸比率可以为 0.1:0.9。最好，第二下拉晶体管 M2b 的晶体管尺寸大于第一下拉晶体管 M2a 的尺寸。

第二，第一下拉晶体管 M2a 由逆变器 808 的输出电压驱动，第二下拉晶体管 M2b 由上拉驱动器晶体管 M5 和从下一级输出的栅极线驱动信号 $V[Gout(n+1)]$ 驱动。第二上拉驱动器晶体管 M5 对在电容器 C 内充电的电荷放电。

由于第二下拉晶体管 M2b 由从下一级输出的栅极线驱动信号 $V[Gout(n+1)]$ 驱动，因此栅极线驱动信号 $V[Gout(n)]$ 的有效脉冲宽度可以小于或等于 $1H$ 。另外，具有电容负载的第一下拉晶体管 M2a 的晶体管尺寸减小，并且逆变器的操作速度提高。

图 25 是示出从图 24 的移位寄存器输出的栅极线驱动信号的图。特别地，图 25 示出当第一下拉晶体管 M2a 与第二下拉晶体管 M2b 之间的晶体管尺寸比率为约 0.1:0.9 时、从移位寄存器输出的栅极线驱动信号。

参照图 25，从图 25 的移位寄存器输出的栅极线驱动信号 $V[Gout(n)]$ 的有效脉冲宽度小于或等于 $1H$ ，并且图 25 的逆变器的输出电压斜度陡于图 23 的逆变器的输出电压斜度。图 25 的逆变器的操作速度快于图 23 的逆变器的操作速度。

图 26 是示出从图 7 的移位寄存器输出的栅极线驱动信号和从图 24 的移位寄存器输出的栅极线驱动信号的图。图 26 同时示出图 23 和 25 的逆变器的输出电压。图 23 的逆变器的输出电压为 $V[INVERTER']$ ，图 23 的移位寄存

器的输出电压为 $V[Gout']$ ，图 25 的逆变器的输出电压为 $V[INVERTER]$ ，并且图 25 的移位寄存器的输出电压为 $V[Gout]$ 。

参照图 26，图 24 的逆变器 808 的输出电压 $V[INVERTER]$ 的斜度在输出电压的上升沿大于图 23 的逆变器的输出电压 $V[INVERTER']$ 。参照图 26 的 'A' 和 'A''，与图 23 的移位寄存器的输出电压 $V[Gout']$ 的电压电平相比，图 24 的移位寄存器的输出电压 $V[Gout]$ 的电压电平更快速地从高电平变至低电平，从而栅极线驱动信号 $V[Gout(n)]$ 的有效脉冲宽度可以小于或等于 $1H$ 。

图 27 是根据本发明第七示例性实施例的电源和时钟产生器的方框图。

参照图 27，电源可以是直流到直流转换器 710，并且直流到直流转换器 710 的输出电源电压 V_{on} 施加于时钟产生器 720 和移位寄存器 170。时钟产生器 720 接收电源电压 V_{on} 和 V_{off} ，并且产生时钟信号 ckv 和 $ckvb$ ，以向移位寄存器 170 提供时钟信号 ckv 和 $ckvb$ 。也就是，时钟产生器 720 和移位寄存器 170 由相同电源电压 V_{on} 驱动。

图 28 是示出当将与施加于图 27 的时钟产生器的电源电压相同的电源电压施加于移位寄存器时、从移位寄存器输出的栅极线驱动信号的图。

参照图 28，当相同电源电压 V_{on} 施加于时钟产生器 720 和移位寄存器 170 时，从第一级输出的栅极线驱动信号 $V[Gout(1)']$ 被示出为根据第一级的逆变器 808(或下拉驱动晶体管 M6 和 M7)的输出电压的变化而变化，并且从第二级输出的栅极线驱动信号 $V[Gout(2)']$ 被示出为根据第二级的逆变器 808(或下拉驱动晶体管 M6 和 M7)的输出电压的变化而变化。

当相同电源电压 V_{on} 施加于时钟产生器 720 和移位寄存器 170 时，时钟信号的最大电压电平基本上相同于电源电压 V_{on} 的高电平。

当相同电源电压 V_{on} 施加于具有大显示屏尺寸的液晶显示设备中的时钟产生器 720 和移位寄存器 170 时，图像显示质量可随着由于栅极线的电容负载增大而恶化。

如图 28 所示，栅极线驱动信号 $V[Gout(1)']$ 的脉冲宽度大于 $1H$ (时钟信号的脉冲宽度)。通常，灰度级电压的最小值为约 0 伏，栅极线驱动信号 $V[Gout(n)']$ 的有效脉冲宽度最好小于或等于 $1H$ 。特别地，为了减轻图像显示质量的恶化，当从逆变器 808 输出的输出电压的电压电平从低电平变至高电平时，栅极线驱动信号的电压电平需要快速地从高电平变至低电平，并且栅极线驱动信号 $V[Gout(n)']$ 的有效脉冲宽度最好小于或等于 $1H$ 。

由于逆变器 808(或下拉晶体管 M6 和 M7)的操作速度慢,因此栅极线驱动信号 $V[Gout(1)']$ 的脉冲宽度大于 $1H$ 。如图 28 的部分 A1'和 A2'所示,由于从逆变器 808 输出的输出电压具有缓斜度或者从低电平缓慢升至高电平,因此,栅极线驱动信号 $V[Gout(1)']$ 和 $V[Gout(2)']$ 的电压电平在部分 A1'和 A2' 的附近缓慢降至低电平之下。因此,栅极线驱动信号 $V[Gout(1)']$ 和 $V[Gout(2)']$ 的有效脉冲宽度大于 $1H$ 。

当 $V[Gout(n)']$ 的有效脉冲宽度大于 $1H$ 时,连接到第 n 栅极线的输出端子 OUT 的像素受施加于连接到与下一级连接的下一栅极线(第 $(n+1)$ 栅极线)的数据线的灰度级电压的影响。因此,图像显示质量可被恶化。逆变器 808 的输出电压的电压电平需要从低电平快速地变至高电平,使得 $V[Gout(n)']$ 的有效脉冲宽度可以不大于 $1H$ 。也就是,逆变器的输出电压的斜度需要大。可增大逆变器的输出电压的幅度,使得可增大逆变器的输出电压斜度。

图 29 是根据本发明第七示例性实施例的电源和时钟产生器的方框图。

参照图 29,直流到直流转换器 910 产生电源电压 Von ,并且将电源电压 Von 施加于时钟产生器 720。直流到直流转换器 910 产生另一电源电压 $Vona$,并且将电源电压 $Vona$ 施加于移位寄存器 170。电源电压 $Vona$ 具有与电源电压 Von 不同的电压电平。也就是,不同于电源电压 Von 的电源电压 $Vona$ 施加于移位寄存器 170。

最好,电源电压 $Vona$ 的幅度大于电源电压 Von 的幅度,以便保持逆变器 808 的最大输出电压大于图 28 的逆变器的最大输出电压。

图 30 是示出图 29 的直流到直流转换器的示例电路图。图 30 示出用于产生大于电源电压 Von 的电源电压 $Vona$ 的直流到直流转换器。

参照图 30,直流到直流转换器接收直流电压 VDD ,并且通过电荷泵电路产生电源电压 $Von(VDD+\Delta V)$ 和电源电压 $Vona(VDD+2\Delta V)$ 。例如,电荷泵电路包括相互串联的多个二极管 D1、D2、D3 和 D4 以及多个电容器 C2、C3、C4 和 C5。

直流电压 VDD 施加于二极管 D1 的阳极, ΔV 施加于电容器 C2,并且从二极管 D2 的阴极输出 $Von(VDD+\Delta V)$ 。 Von 施加于二极管 D3 的阳极, ΔV 施加于电容器 C4,并且从二极管 D4 的阴极输出 $Vona(VDD+2\Delta V)$ 。因此, $Vona(>Von)$ 和 Von 可通过电荷泵电路来产生。另外, $Vona(>Von)$ 和 Von 可通过电压电平偏移器(shifter)电路来产生。 Von 可以变化,并且 $Vona$ 也可以独立

于 V_{on} 而变化。

当 $V_{ona}(>V_{on})$ 施加于移位寄存器 170 时, 如图 7 和 29 所示, 逆变器 808 由通过晶体管 M6 的漏极施加于移位寄存器的 V_{ona} 驱动。从而, 由 V_{ona} 驱动的逆变器 808 的输出电压增大由 V_{on} 驱动的逆变器的输出电压。另外, 逆变器的输出电压的电压电平从低电平快速地变至高电平。因此, $V[Gout(n)]$ 的有效脉冲宽度基本上为 $1H$ 或不大于 $1H$, 并且图像显示质量可以不被恶化。

图 31 是示出当图 29 的电源和时钟产生器驱动移位寄存器时、从移位寄存器输出的栅极线驱动信号的图。

在图 28 中, 约 25 伏的 V_{on} 施加于逆变器 808, 并且逆变器 808 的最大输出电压为约 15 伏。在图 31 中, 约 45 伏的 V_{on} 施加于逆变器 808, 并且逆变器 808 的最大输出电压为约 35 伏。因此, 关于逆变器的输出电压的上升沿的部分 B1 和 B1', $V[Gout(1)]$ 和 $V[Gout(1)]$ 的有效脉冲宽度小于图 28 中的有效脉冲宽度。

图 32 是示出当图 29 和 28 的电源和时钟产生器驱动移位寄存器时、从移位寄存器输出的栅极线驱动信号的图。

参照图 32, $V[Gout']$ 表示当时钟产生器和移位寄存器由相同电源电压 V_{on} 驱动时的栅极线驱动信号。 $V[Gout]$ 表示当 V_{on} 施加于时钟产生器而大于 V_{on} 的 V_{ona} 施加于移位寄存器时的栅极线驱动信号。

关于逆变器的输出电压的下降沿的部分 A 和 A', $V[Gout]$ 的有效脉冲宽度窄于 $V[Gout']$ 的有效脉冲宽度。

虽然上述实施例讨论了用于驱动液晶显示设备的栅极线的移位寄存器, 但是本发明也可用于有机场致发光显示设备中。

虽然详细描述了本发明的示例性实施例及其优点, 但是应当理解, 在不脱离由所附权利要求限定的本发明的范围的情况下, 可以对其进行各种改变、替换和变更。

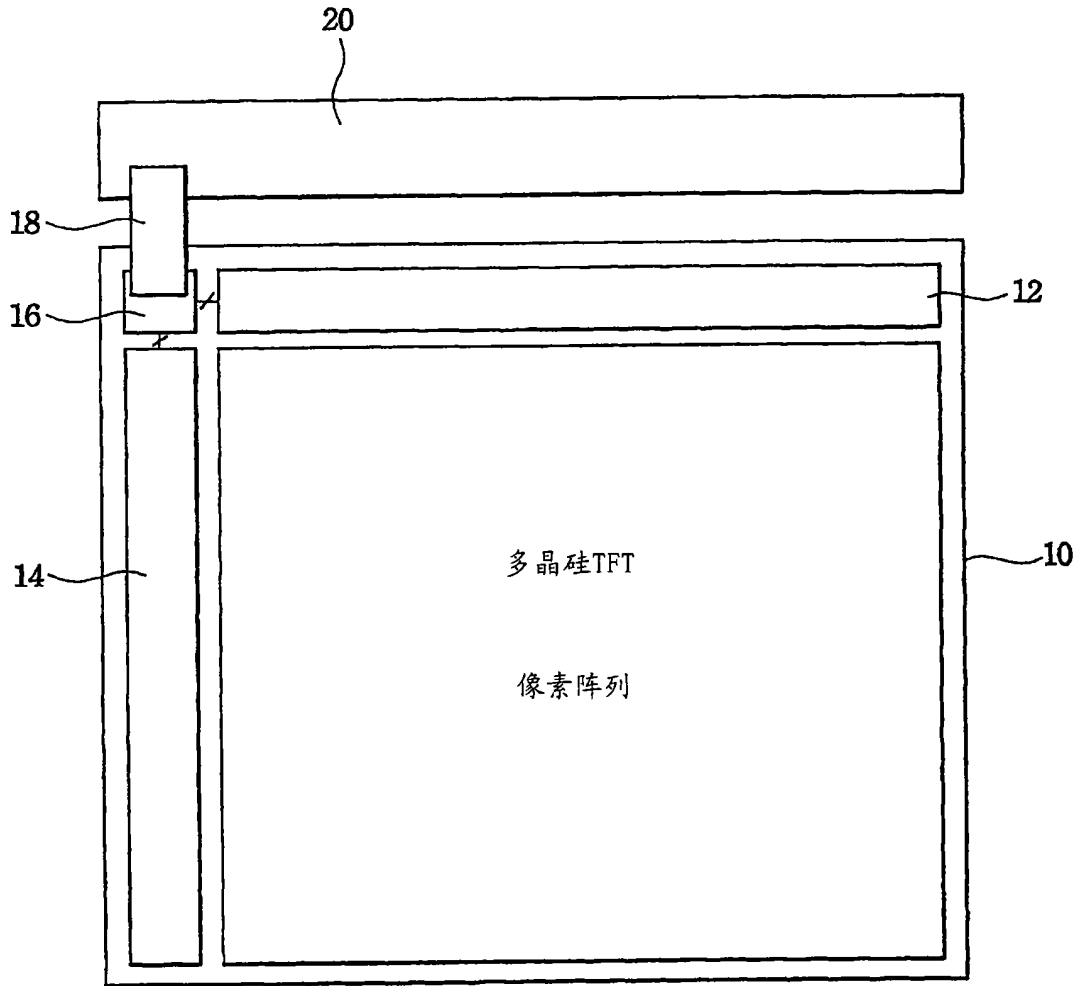


图 1
(现有技术)

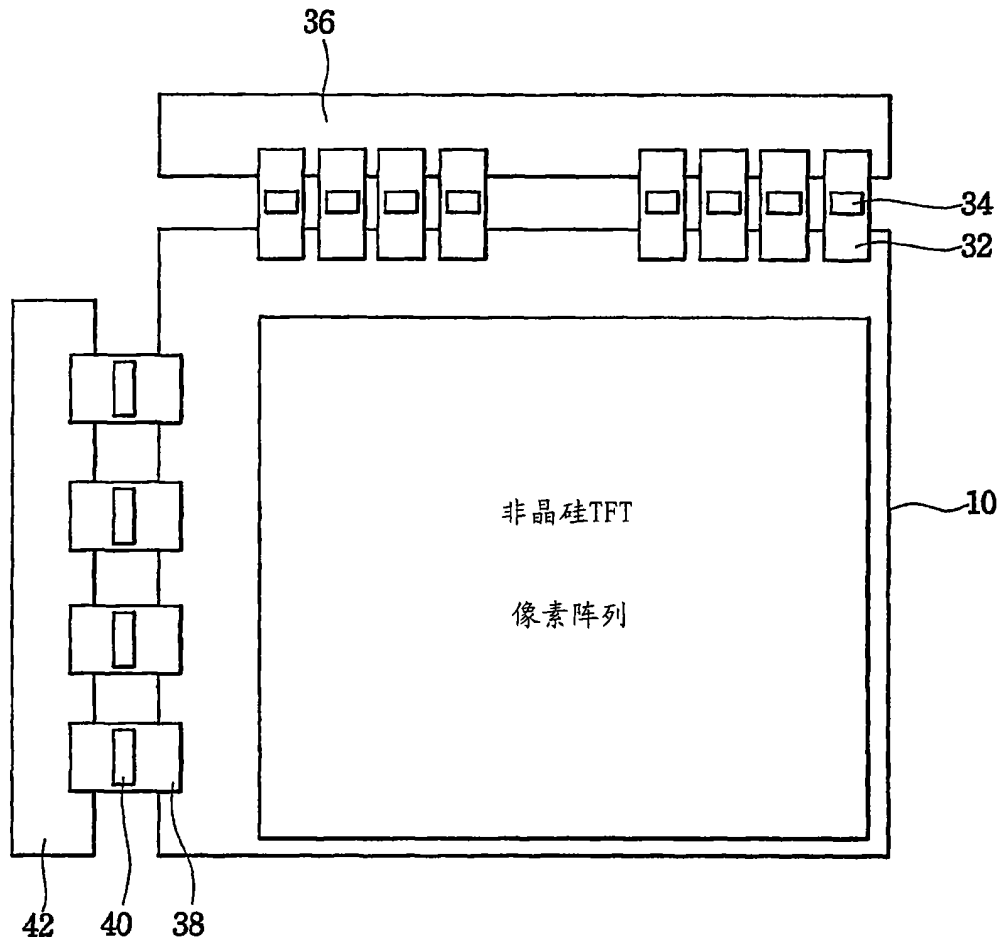


图 2
(现有技术)

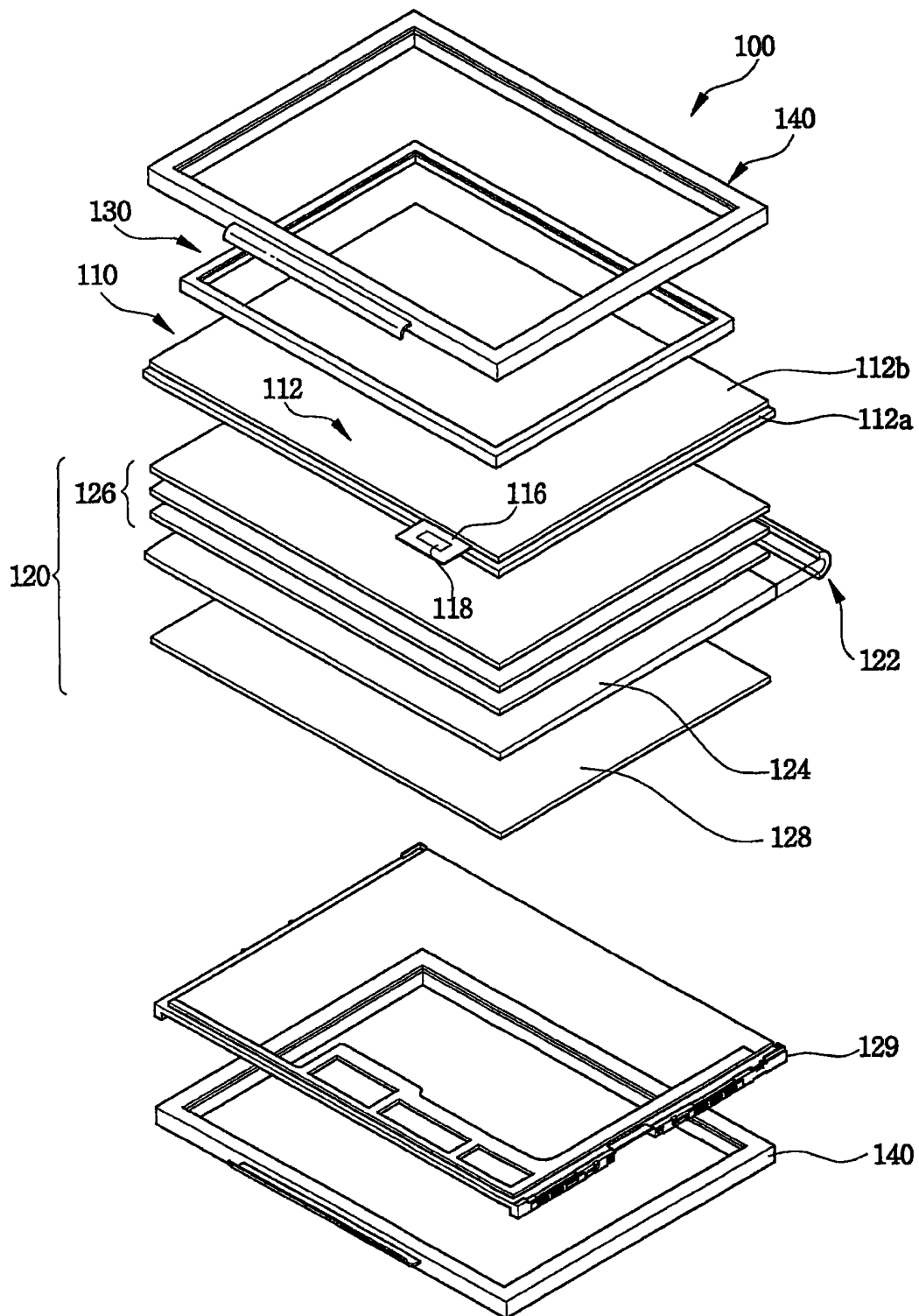


图 3

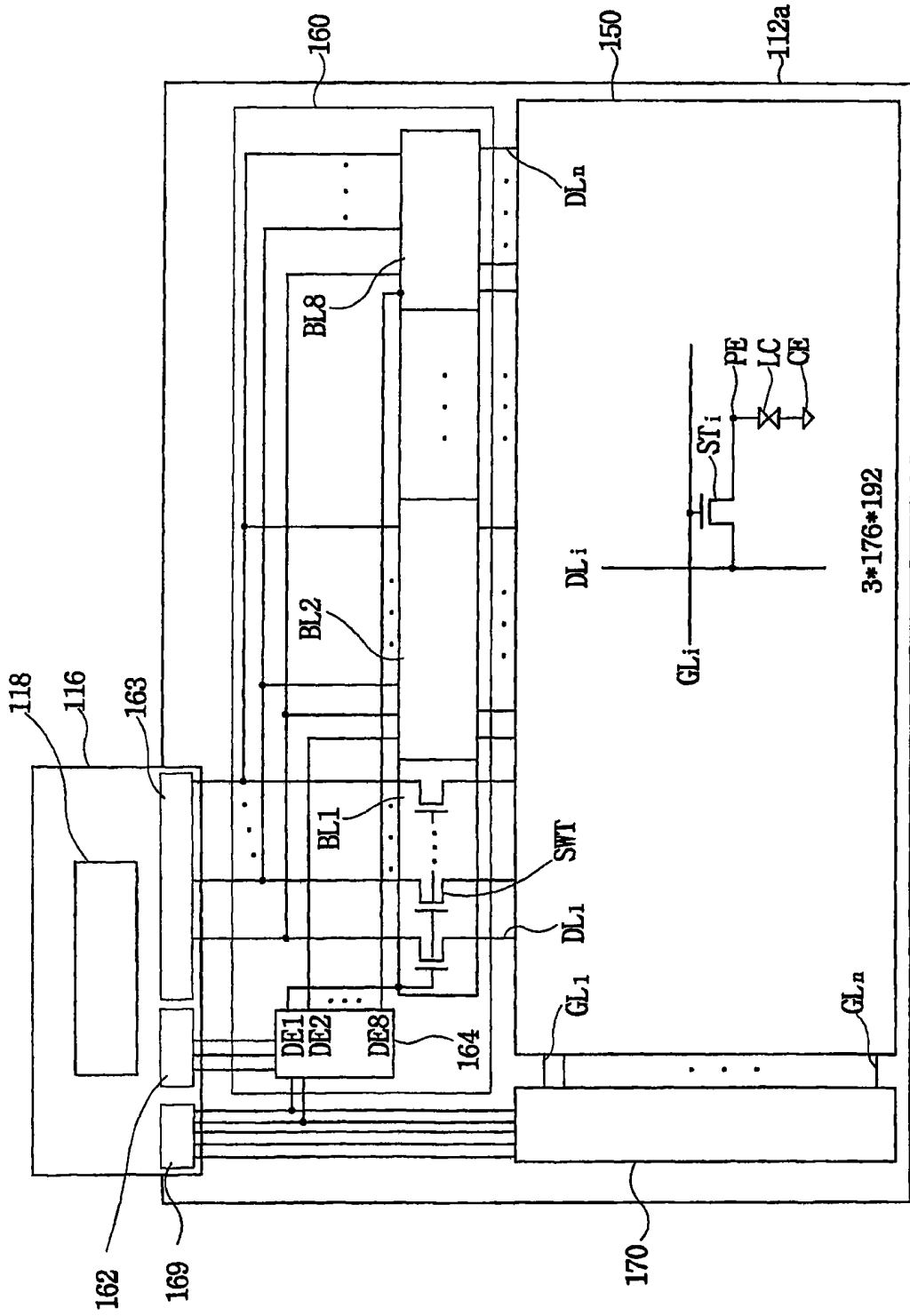


图 4

164

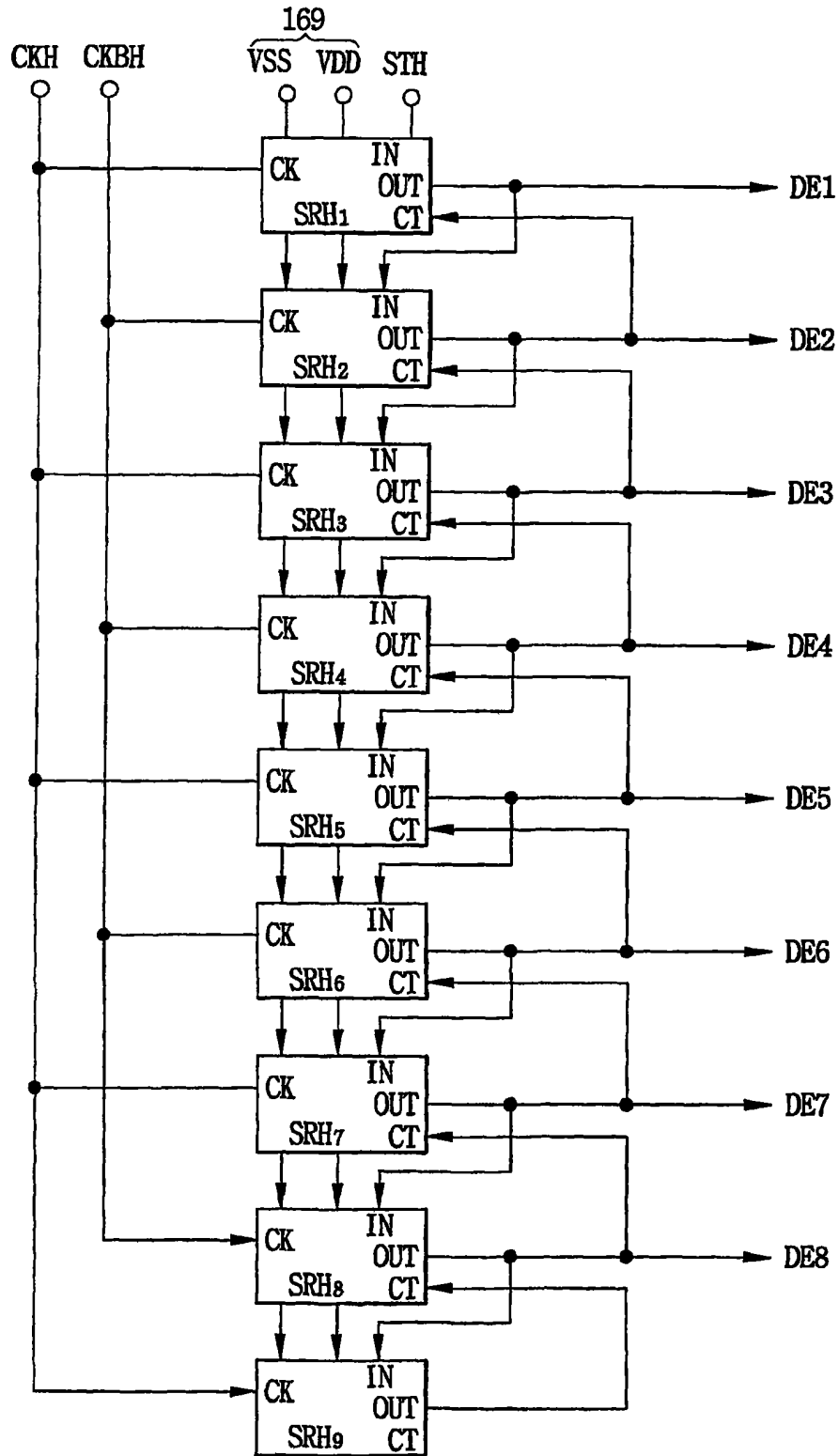


图 5

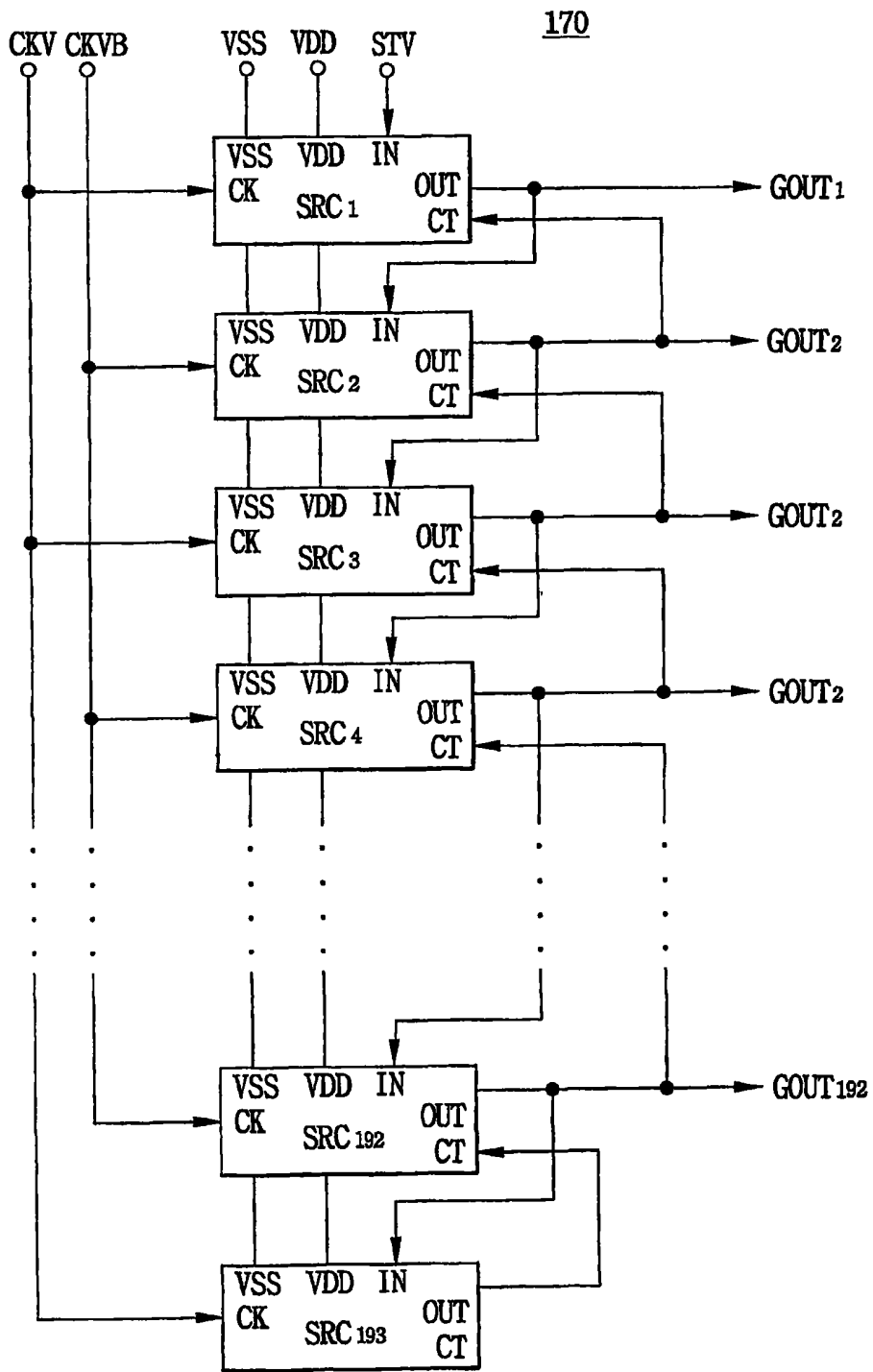


图 6

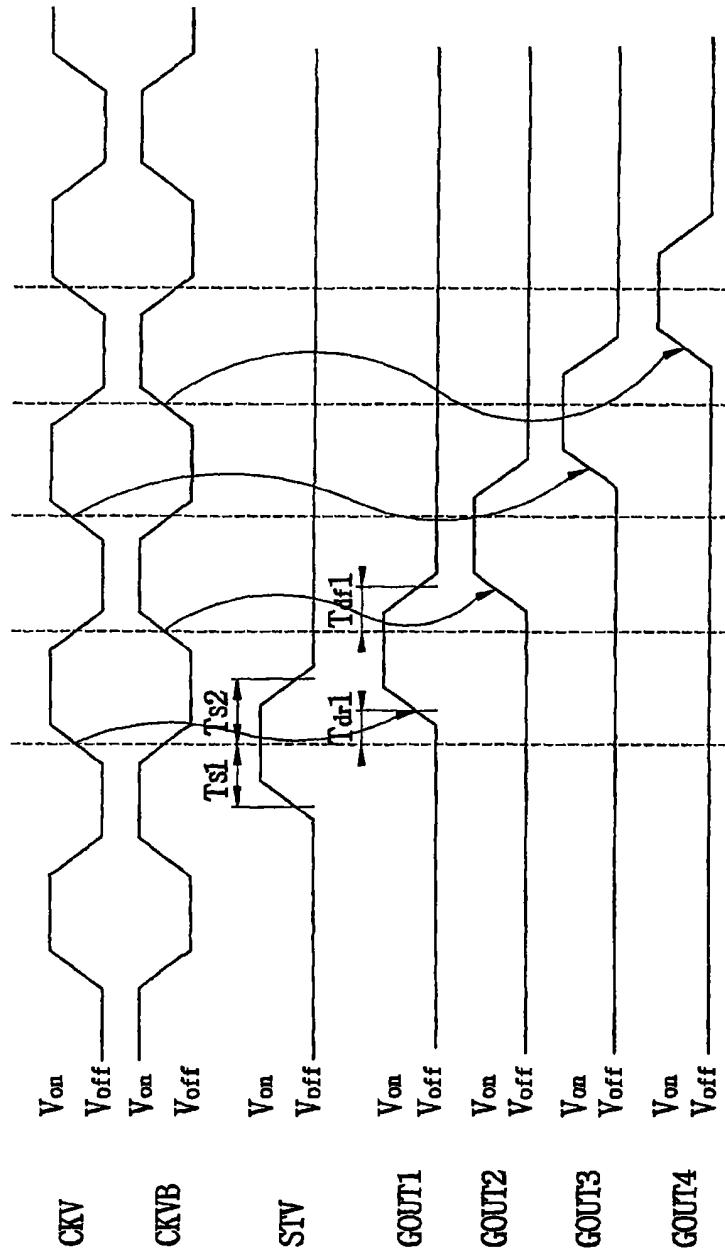


图 8

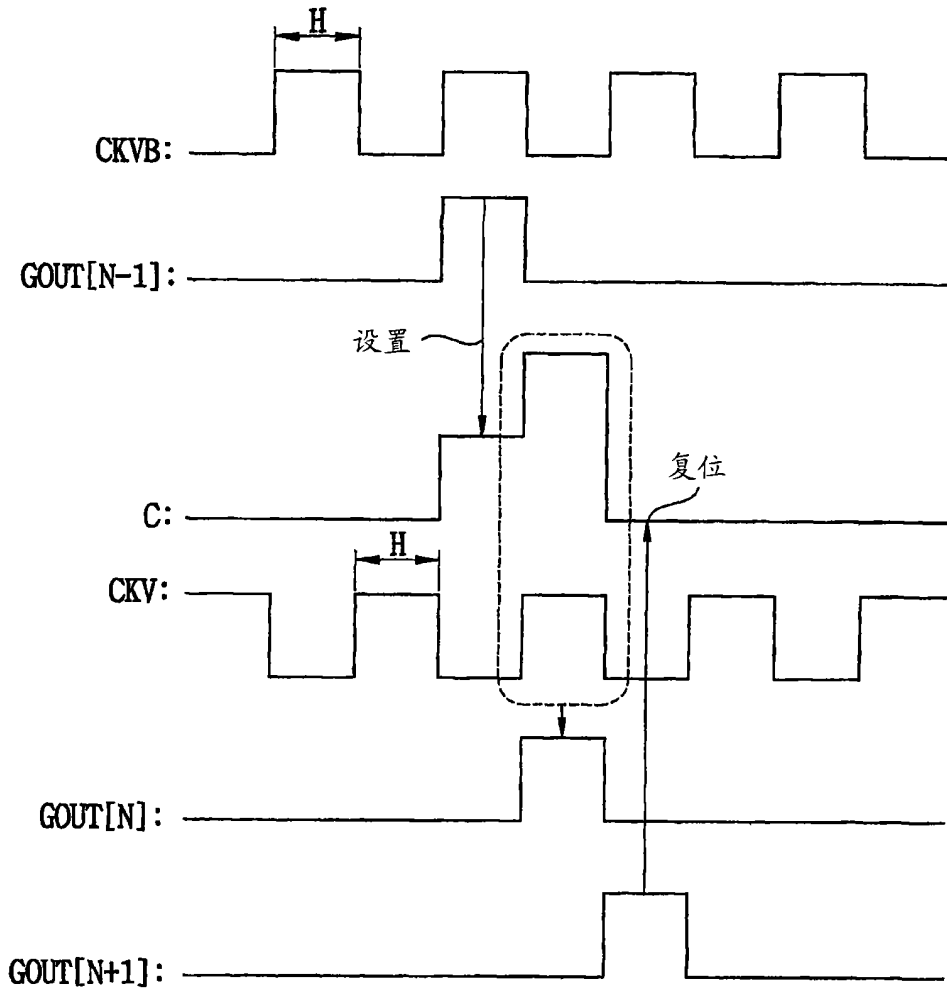


图 9

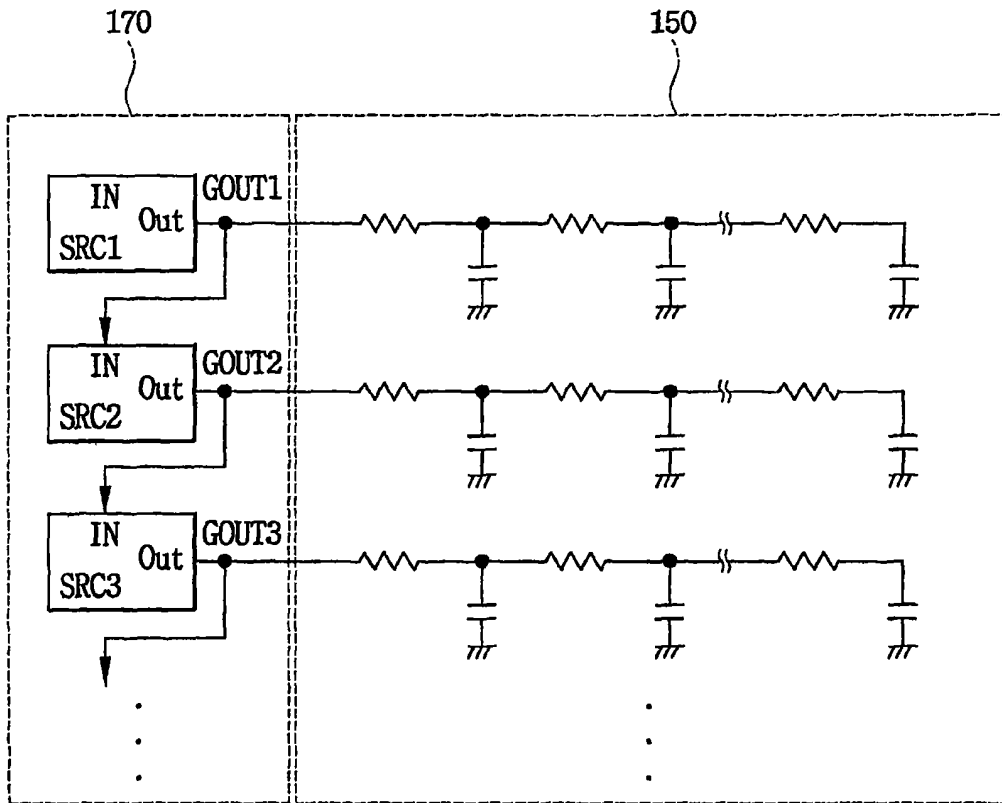


图 10

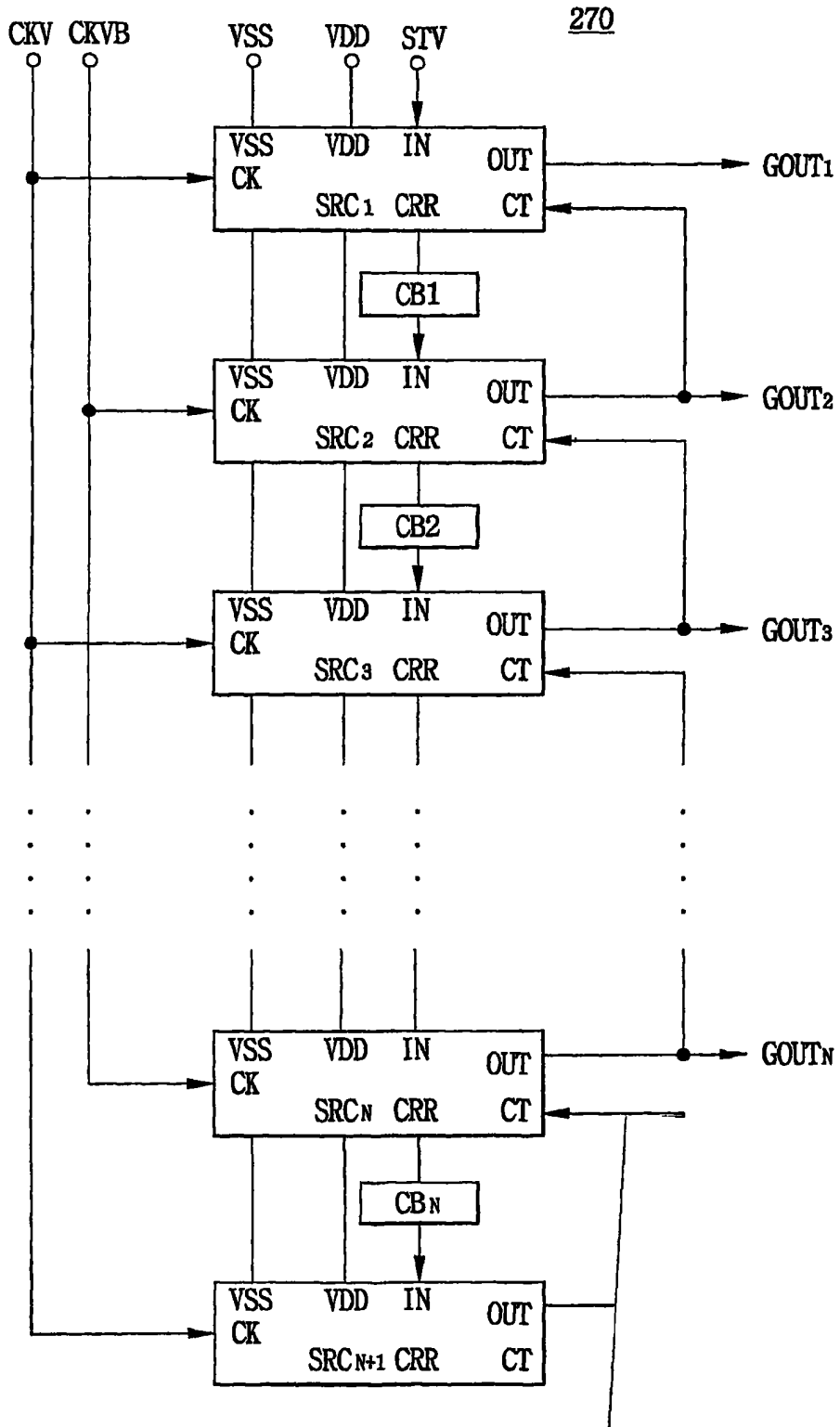


图 11

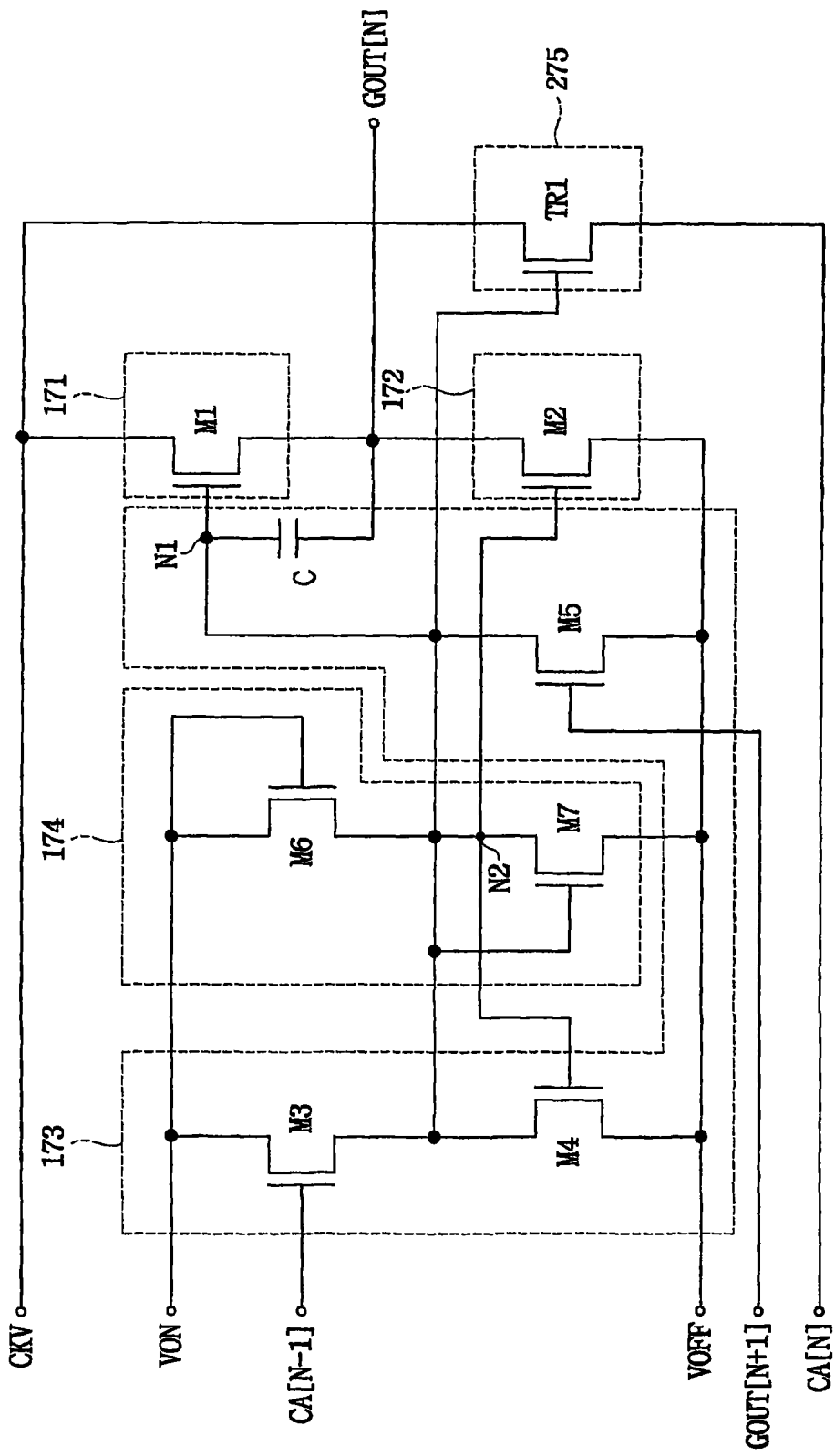


图 12

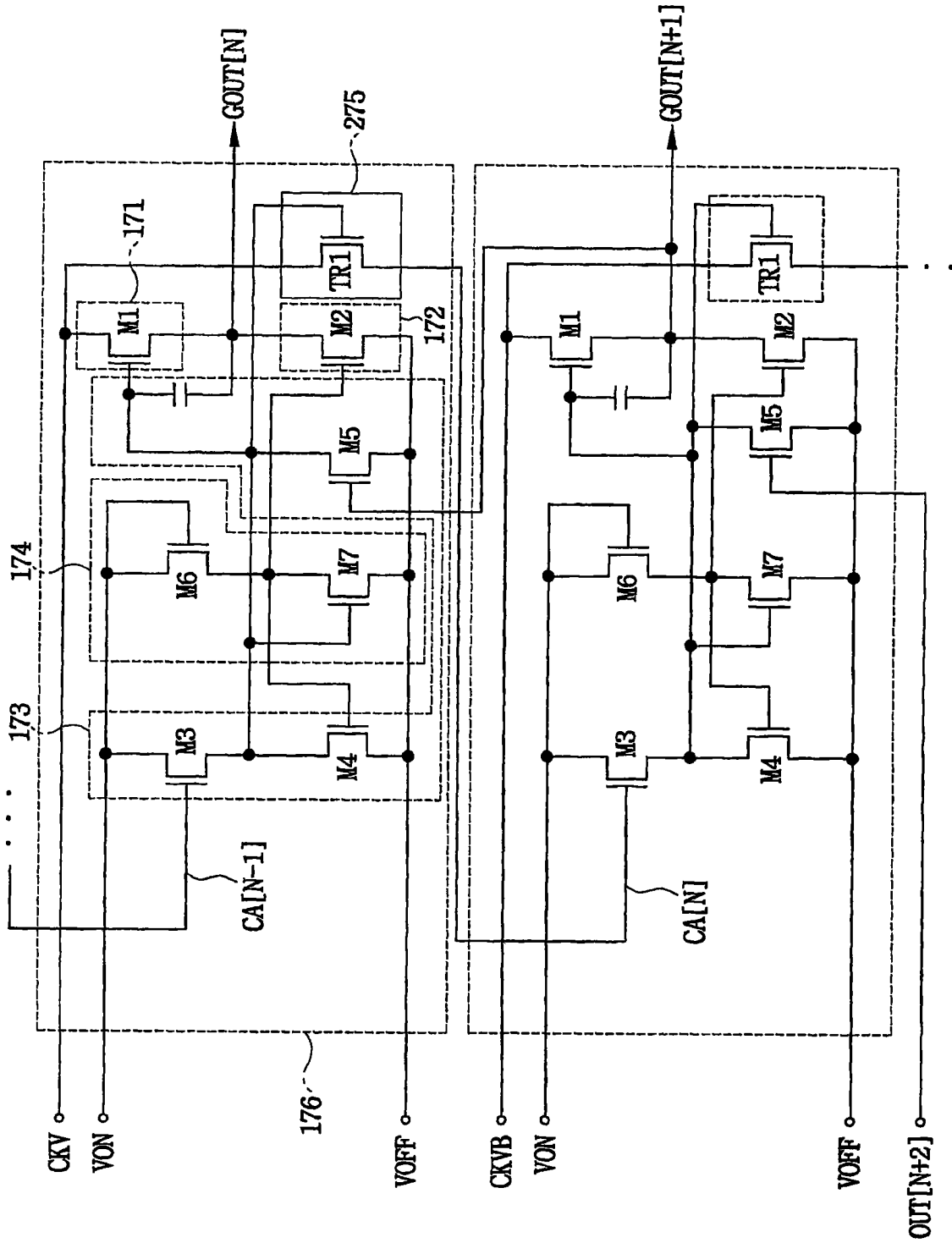


图 13

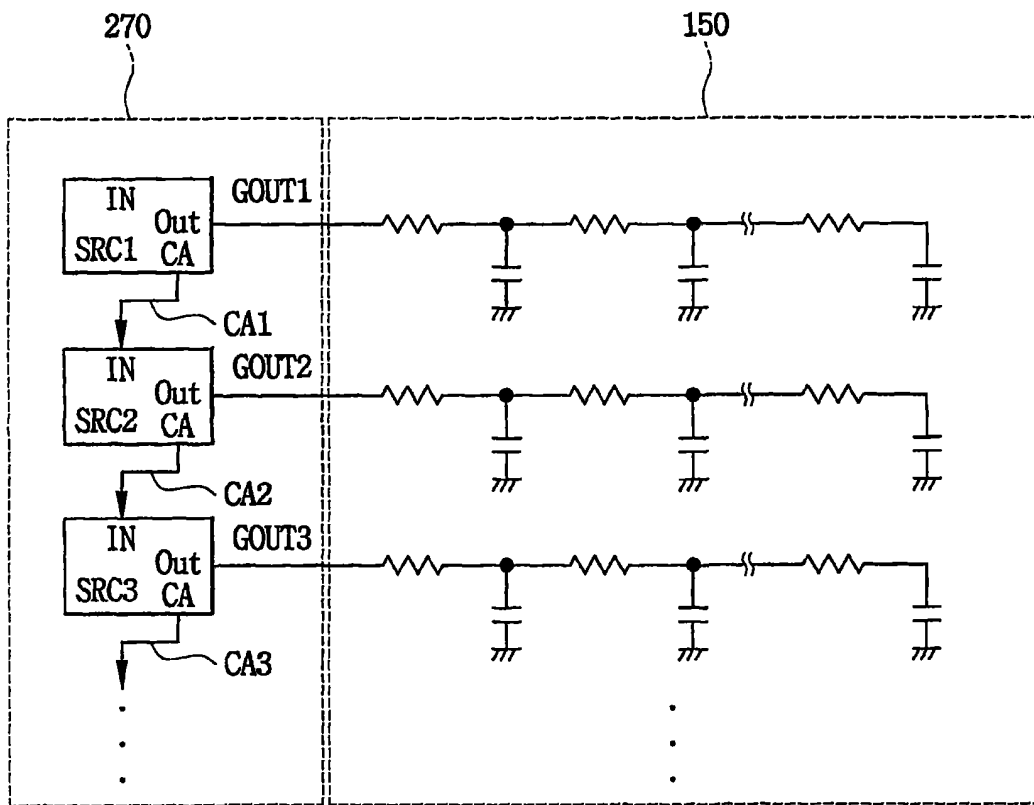


图 14

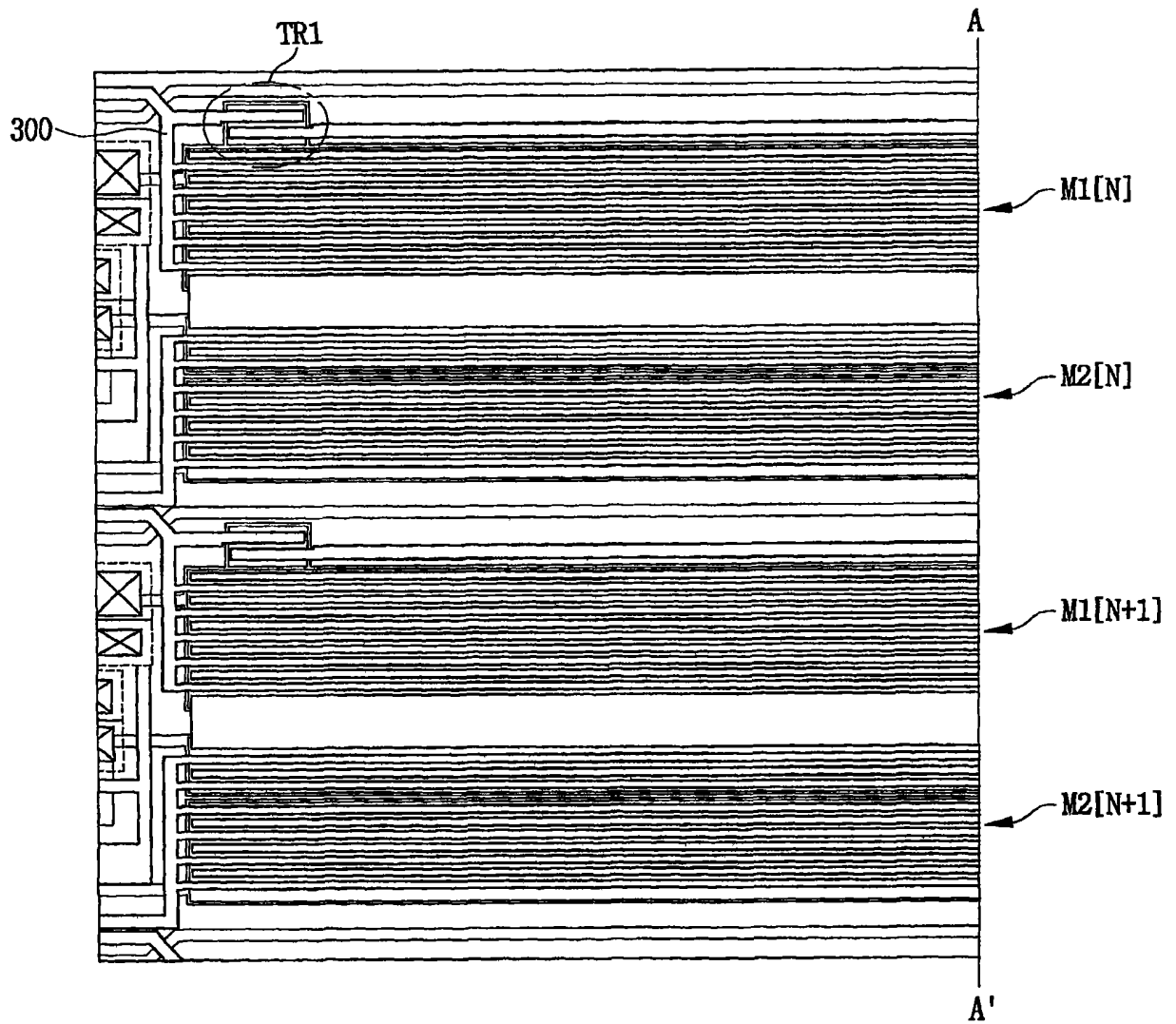


图 15A

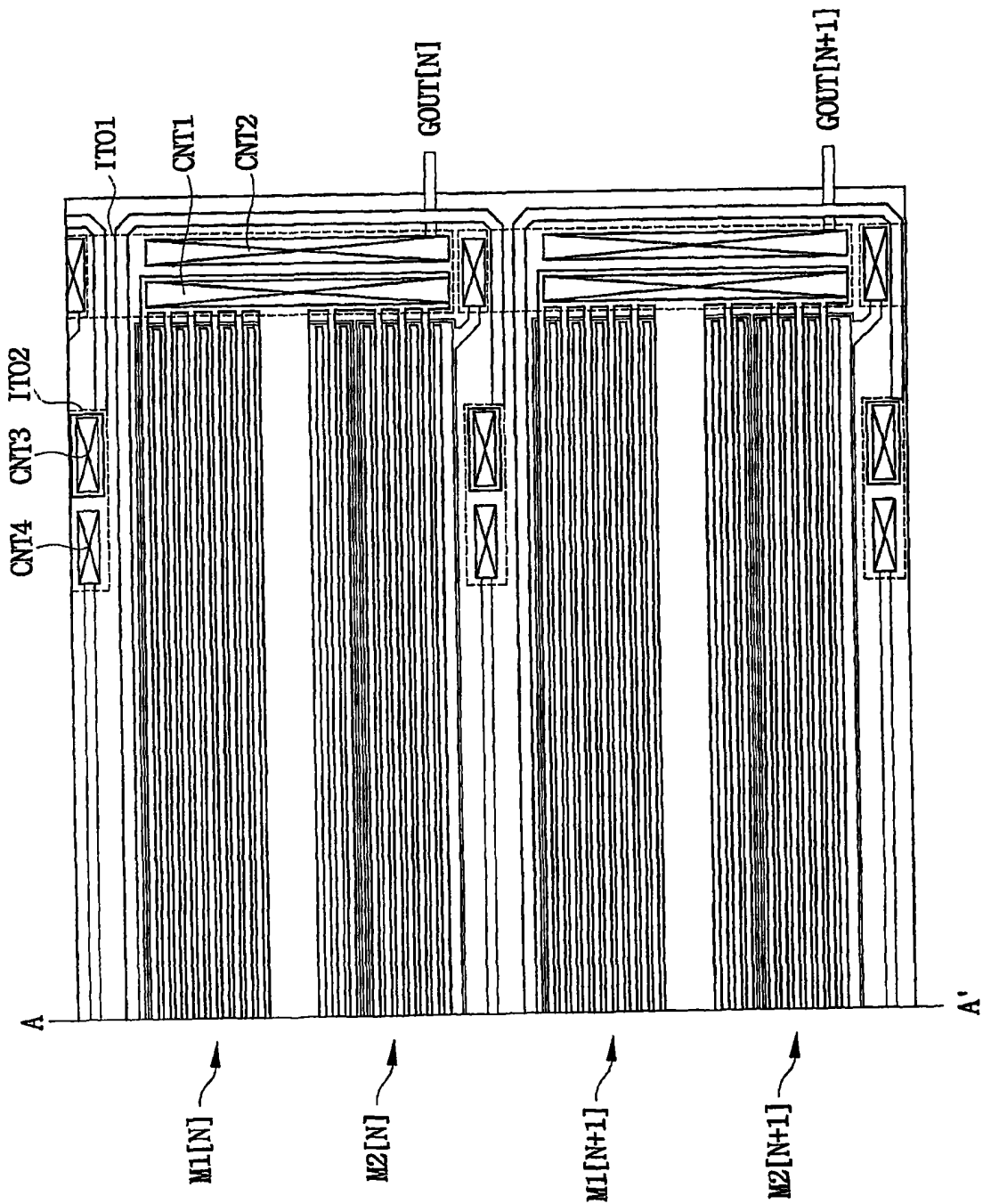


图 15B

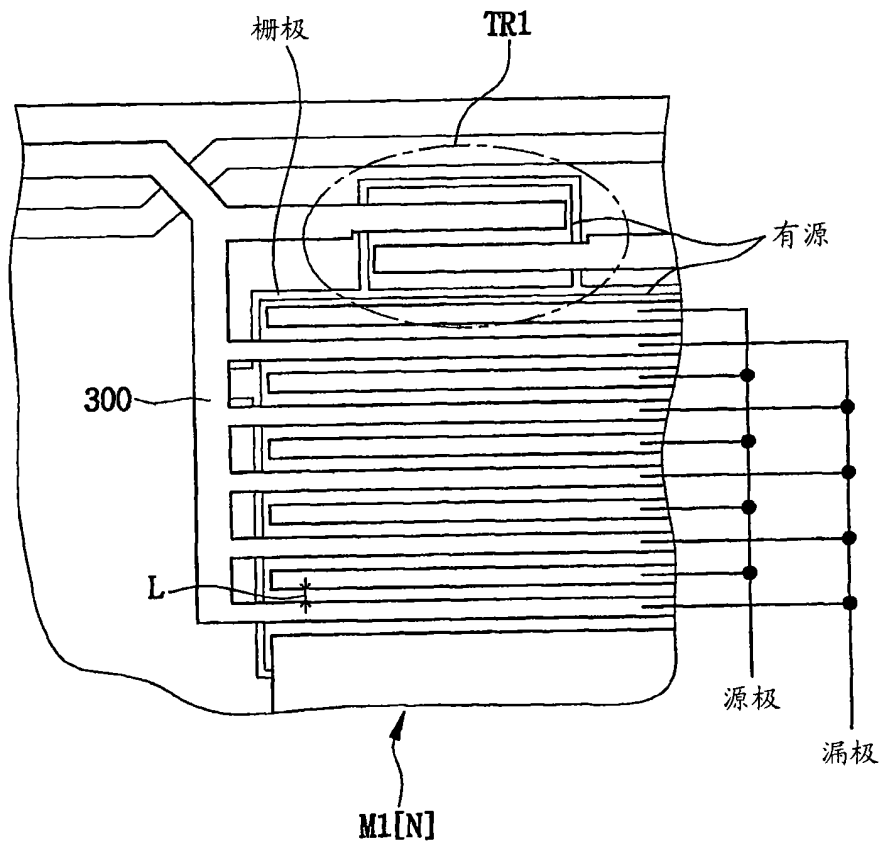


图 15C

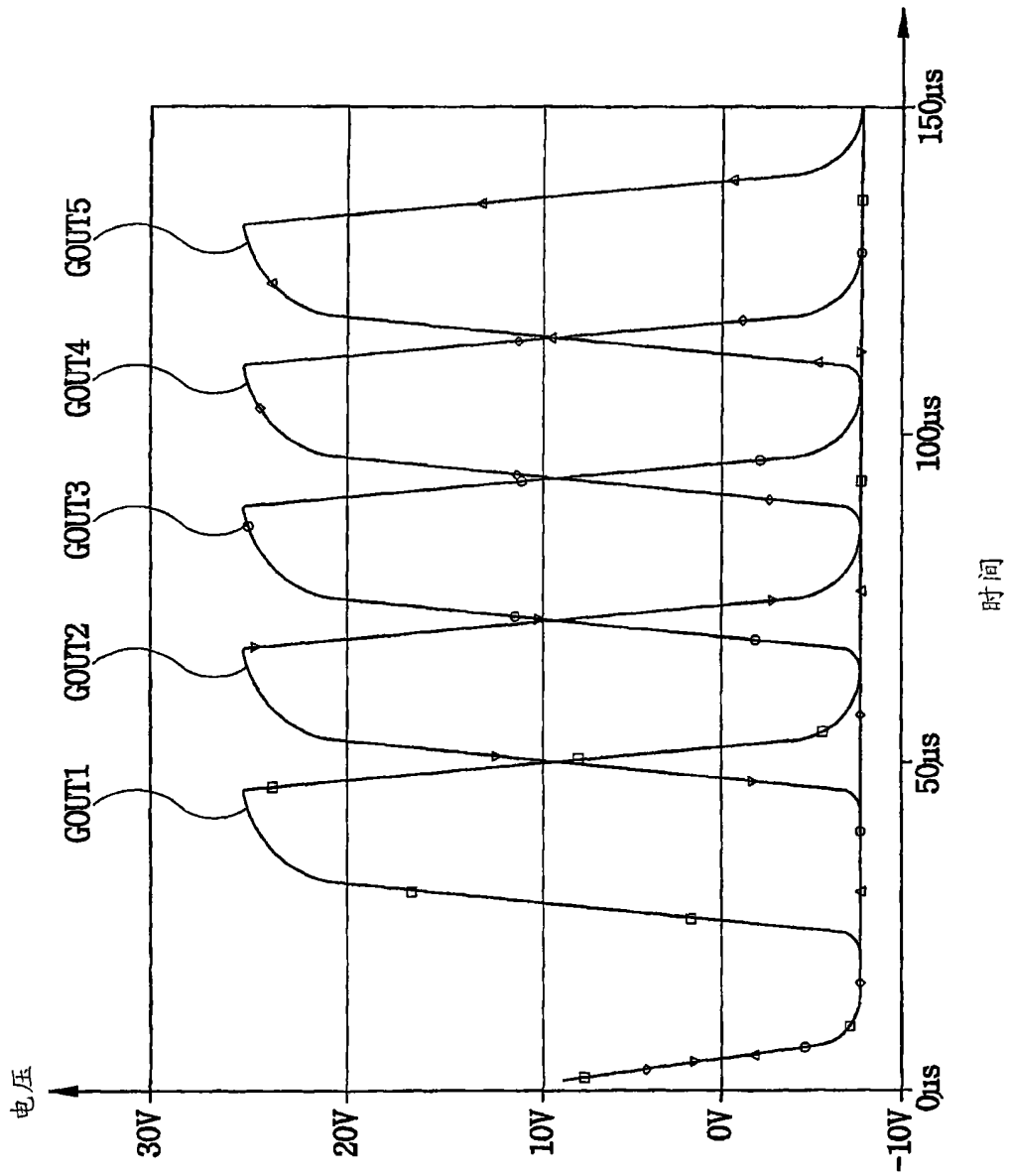


图 16A

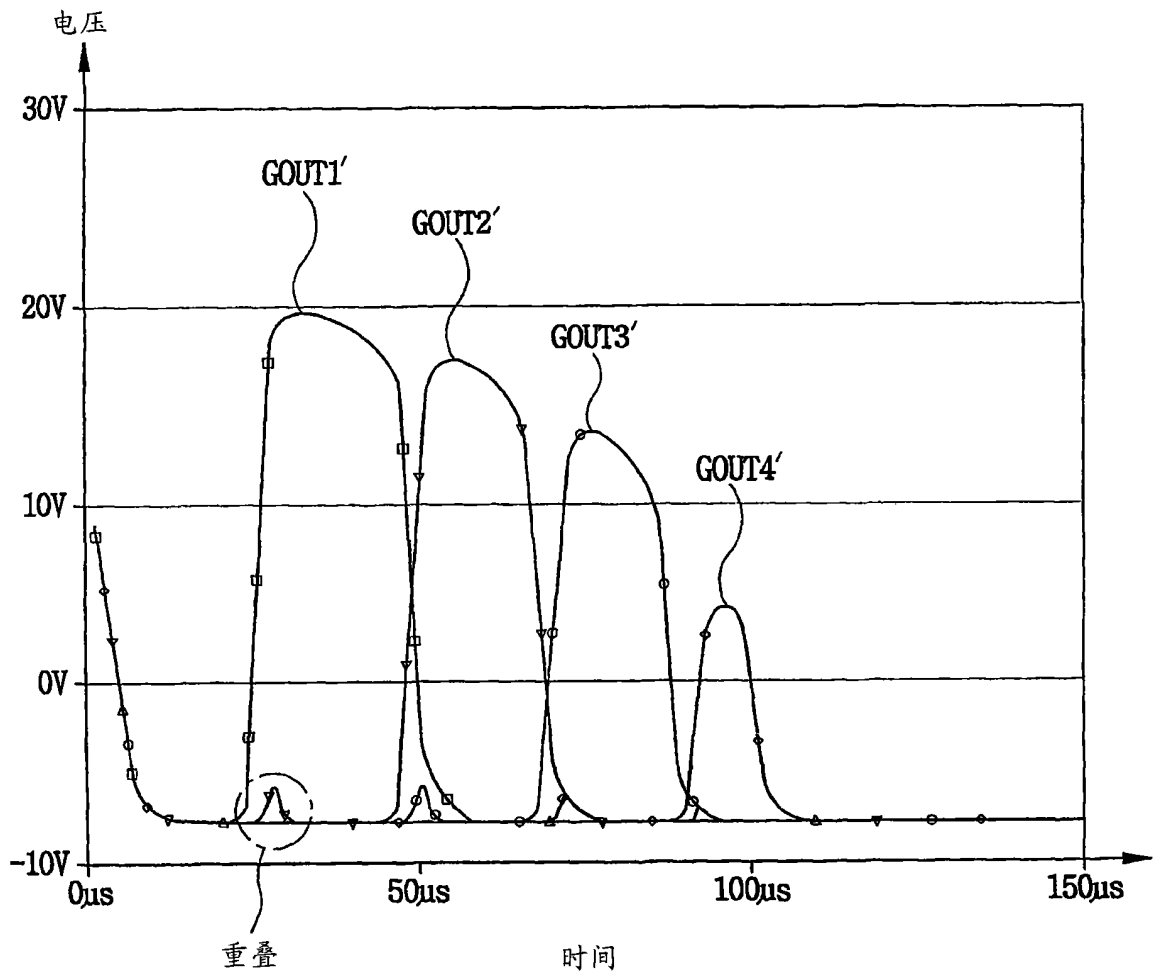


图 16B

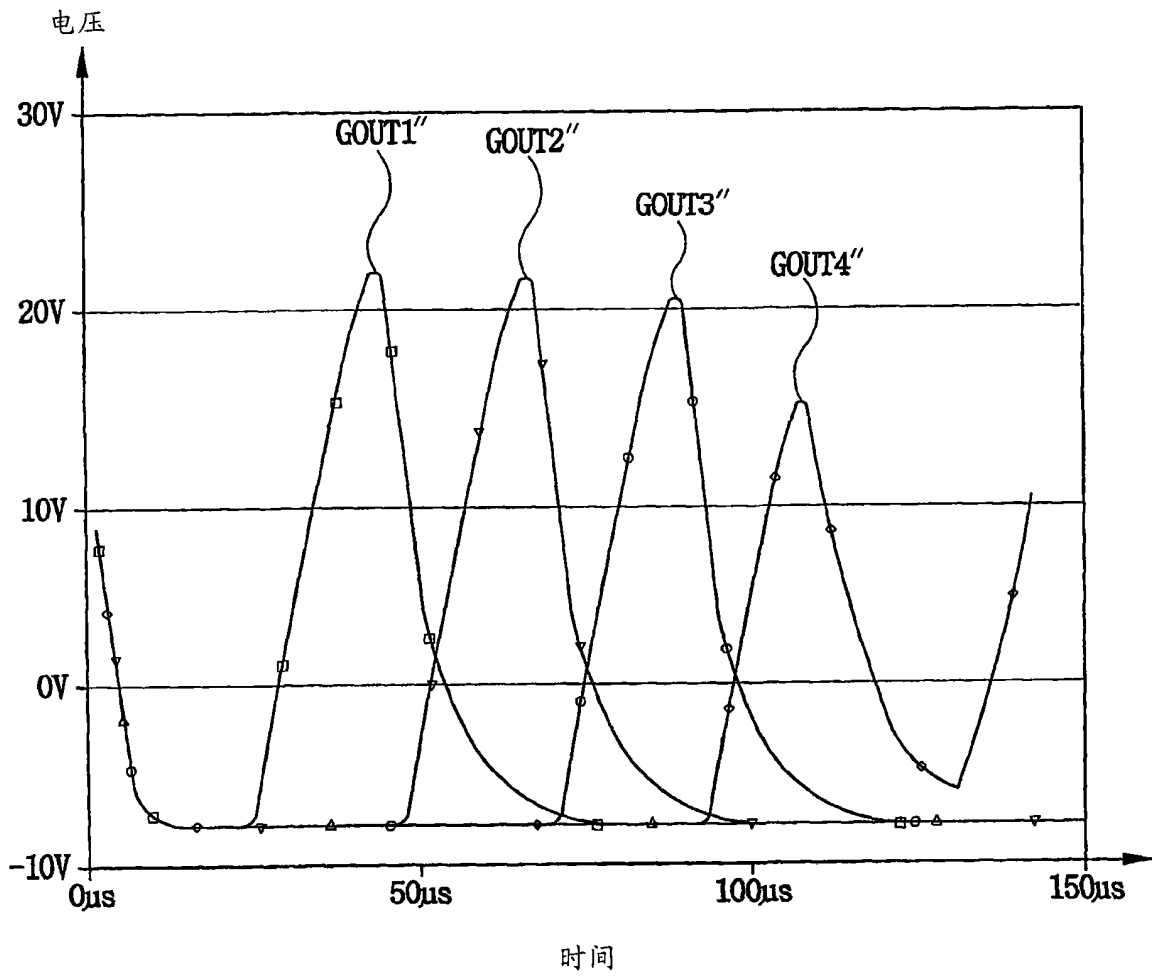


图 16C

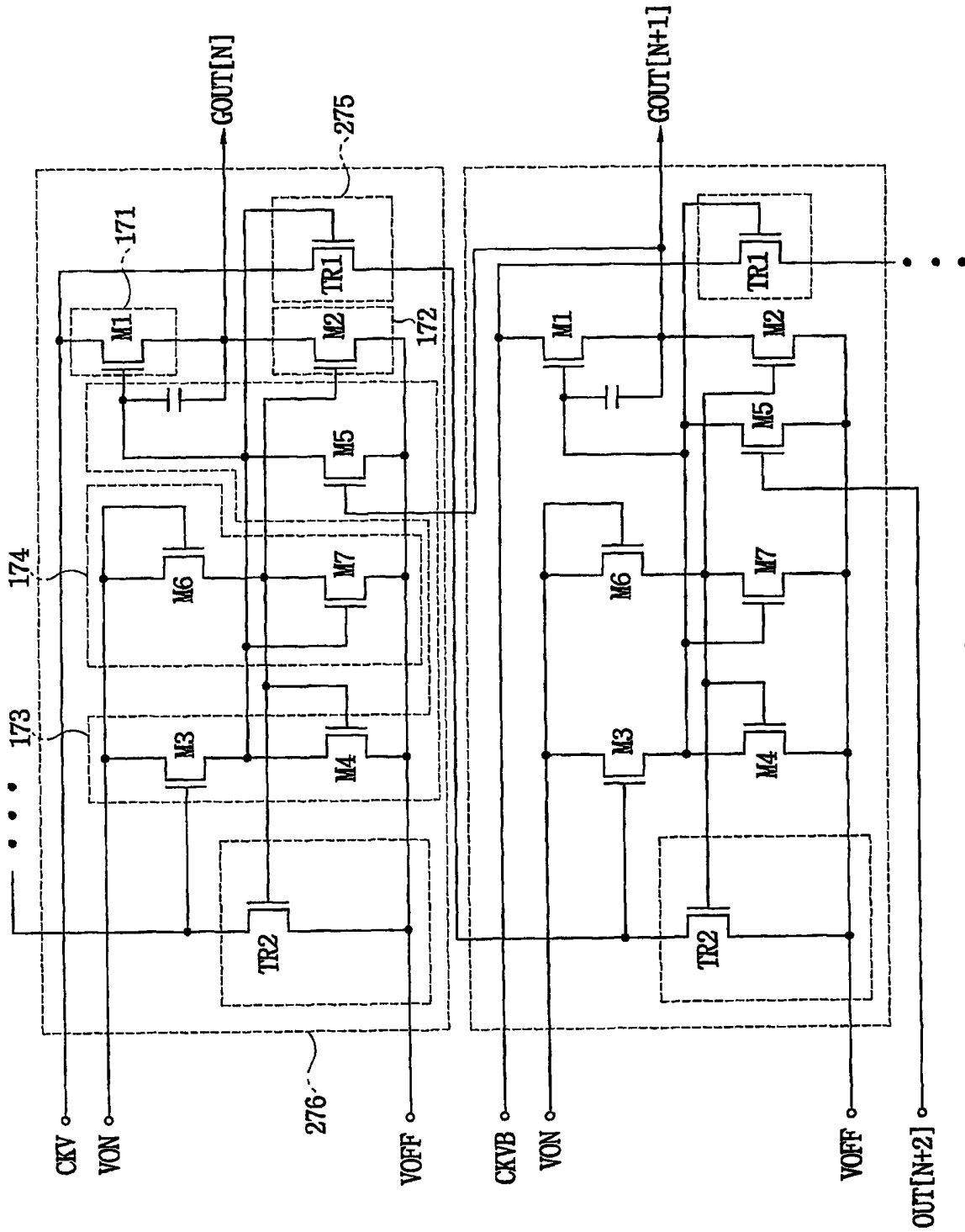


图 17

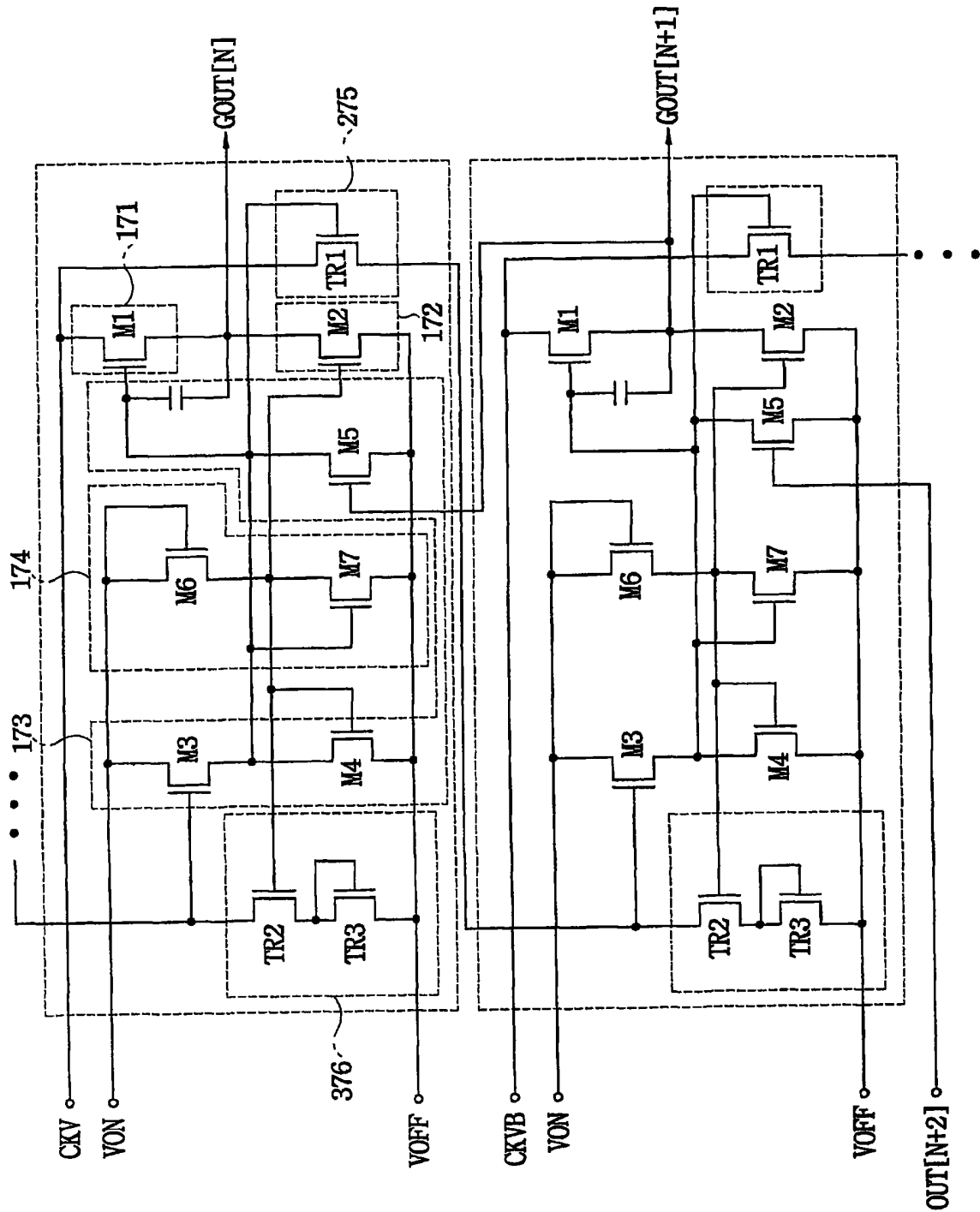


图 18

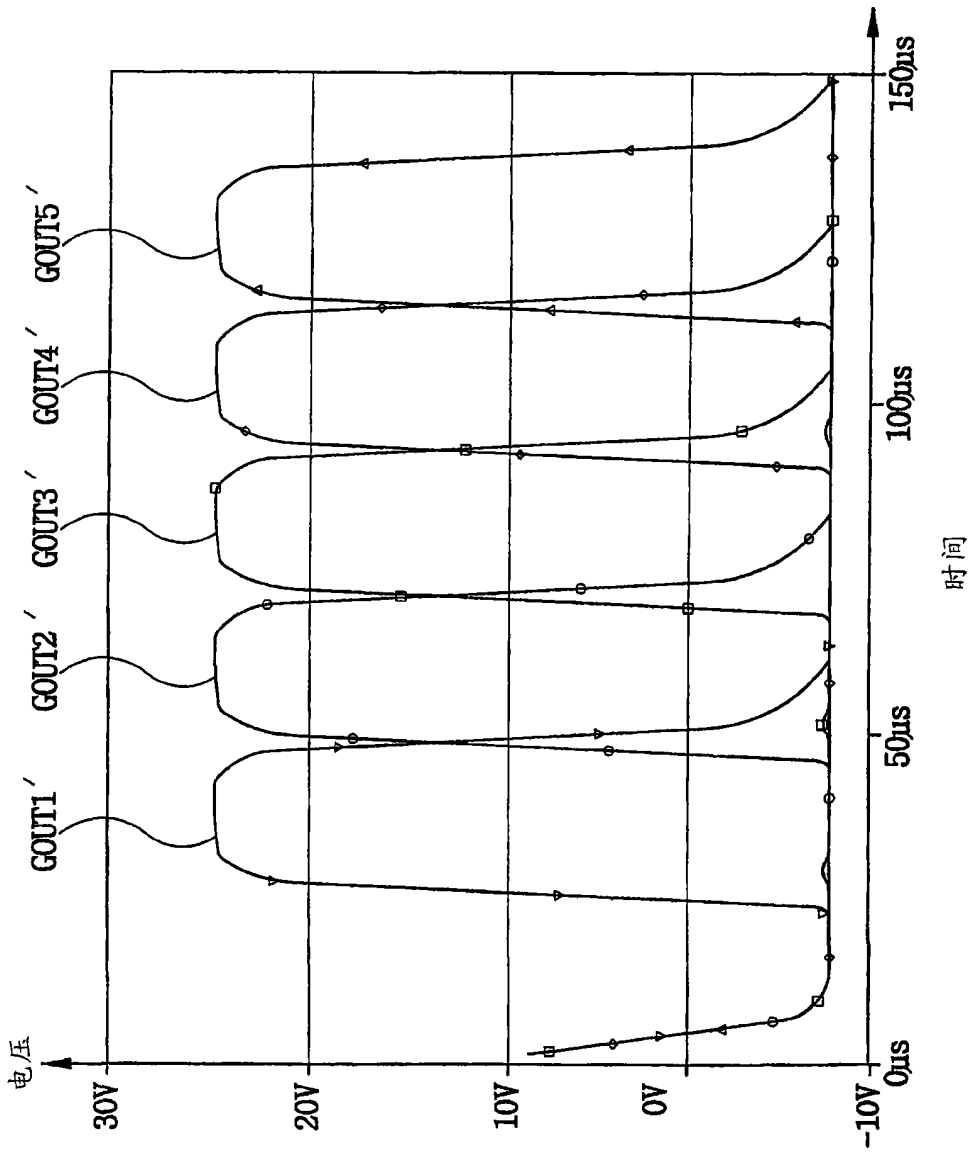


图 19A

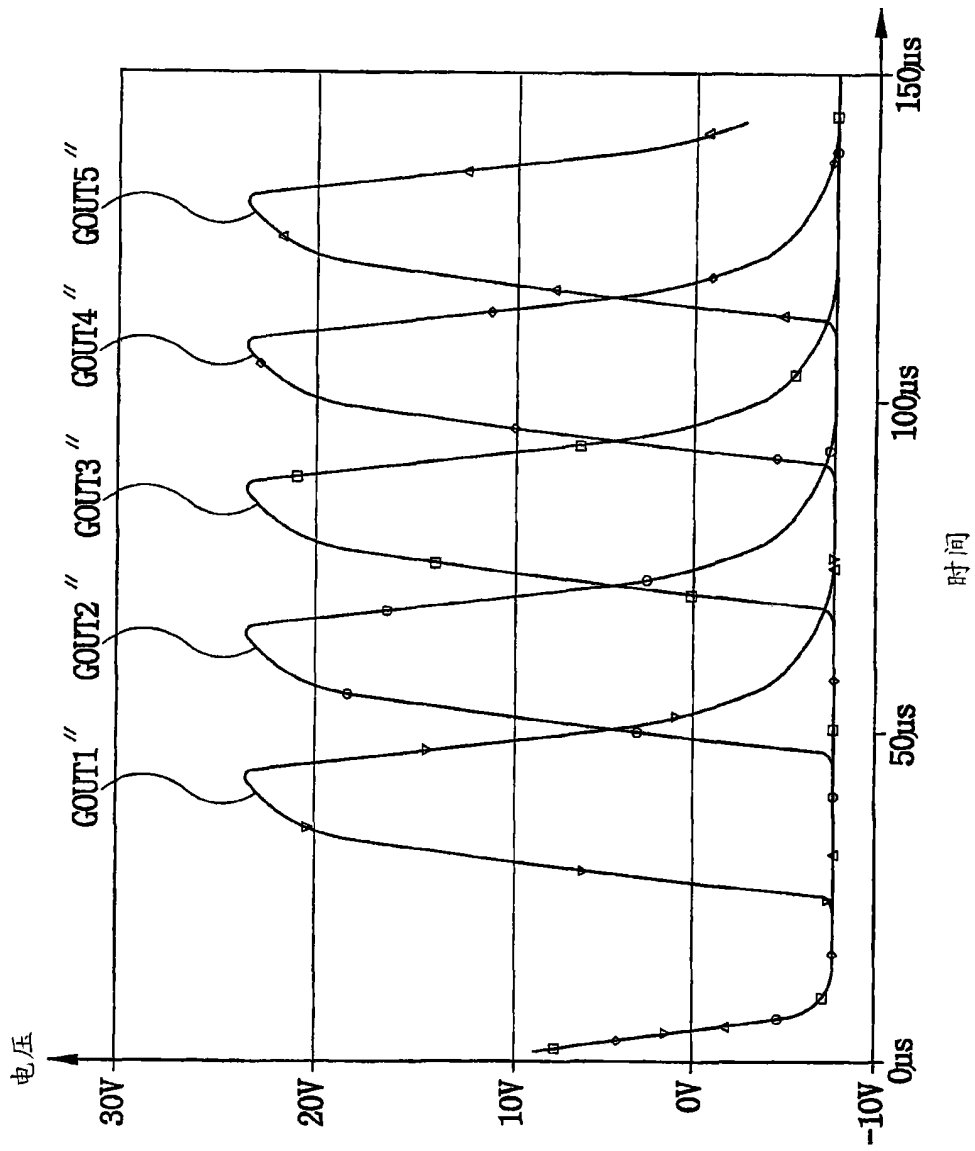


图 19B

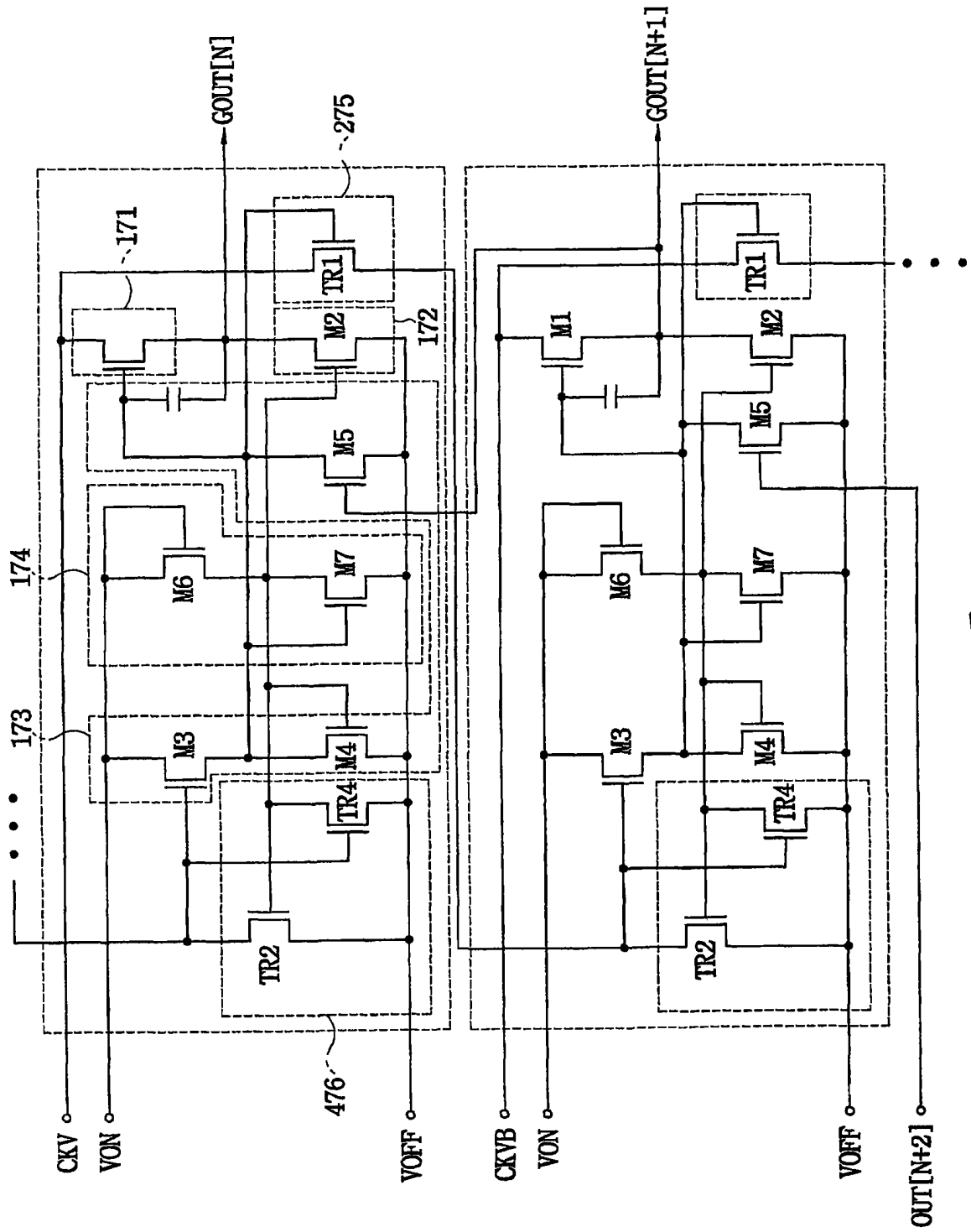
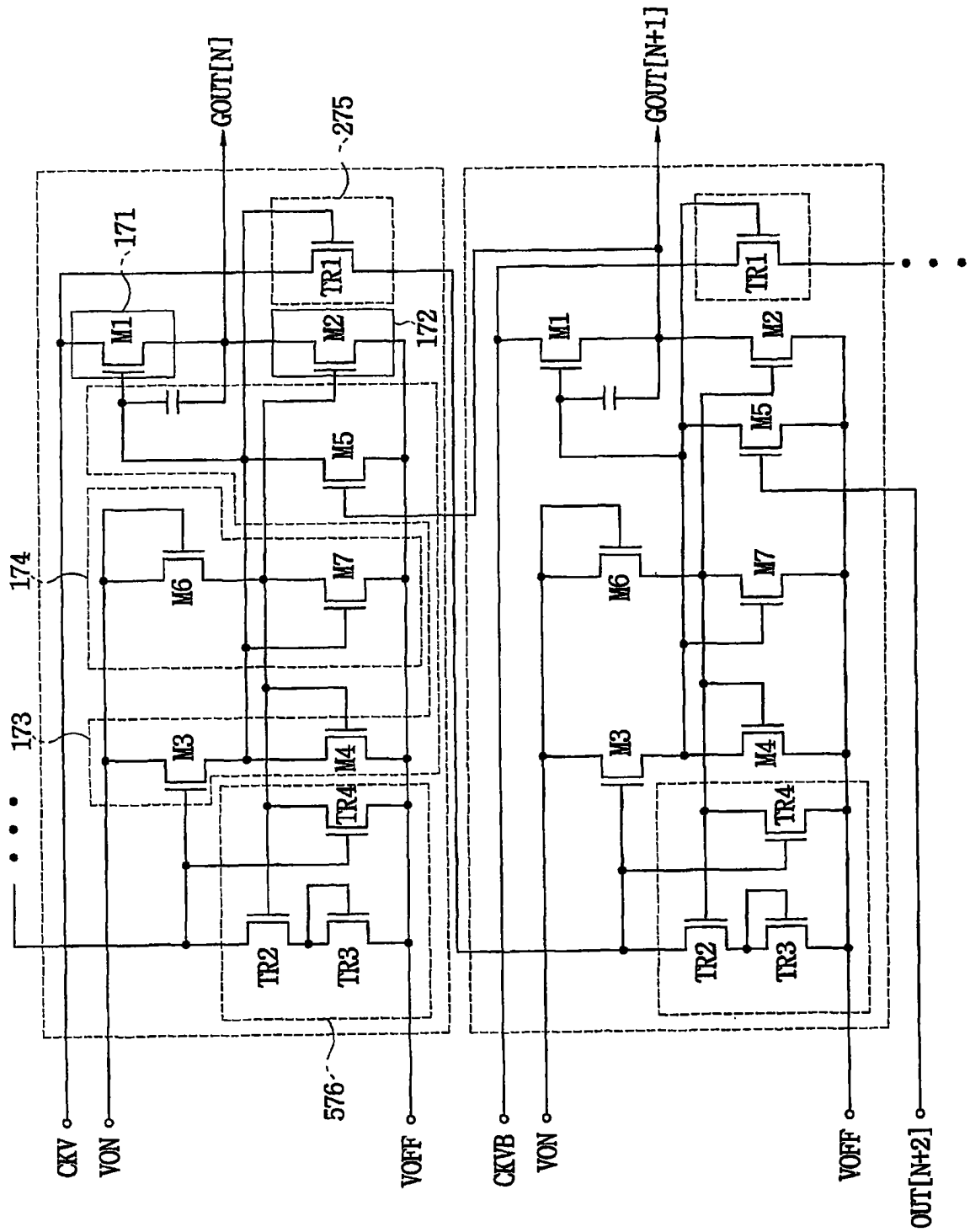


图 20



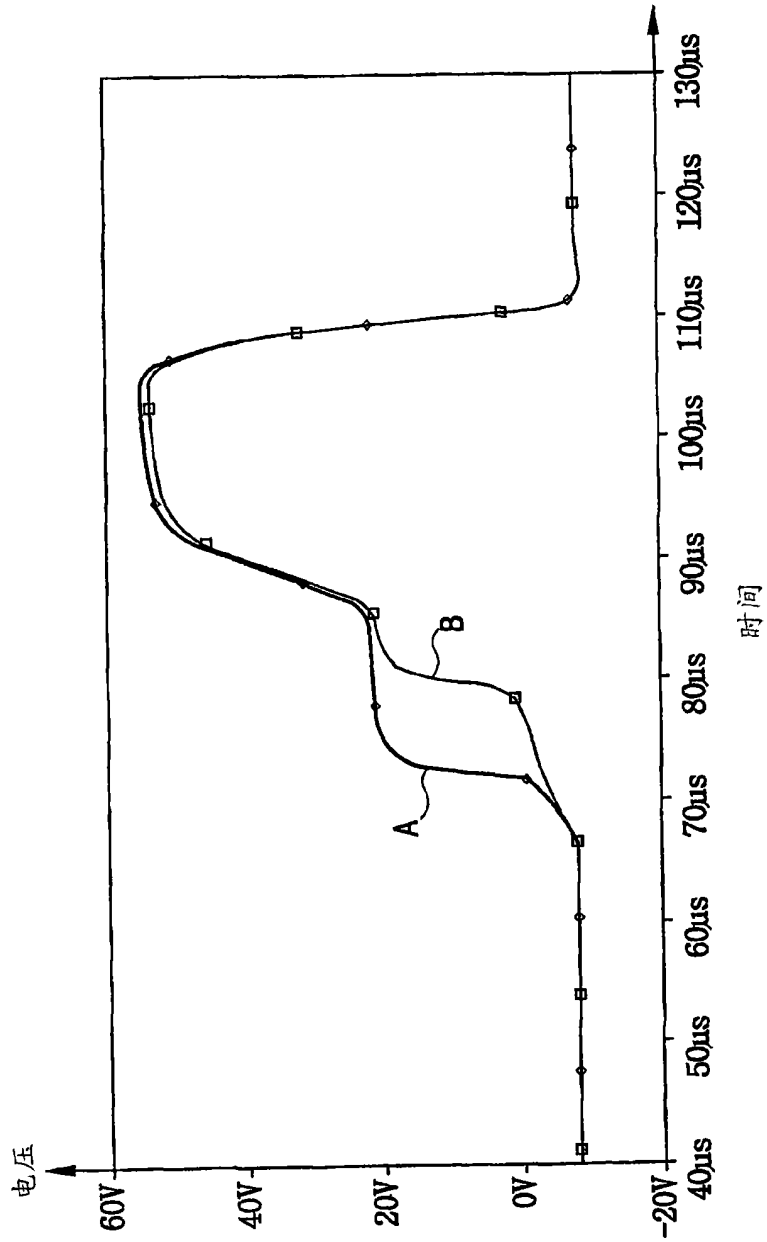


图 22

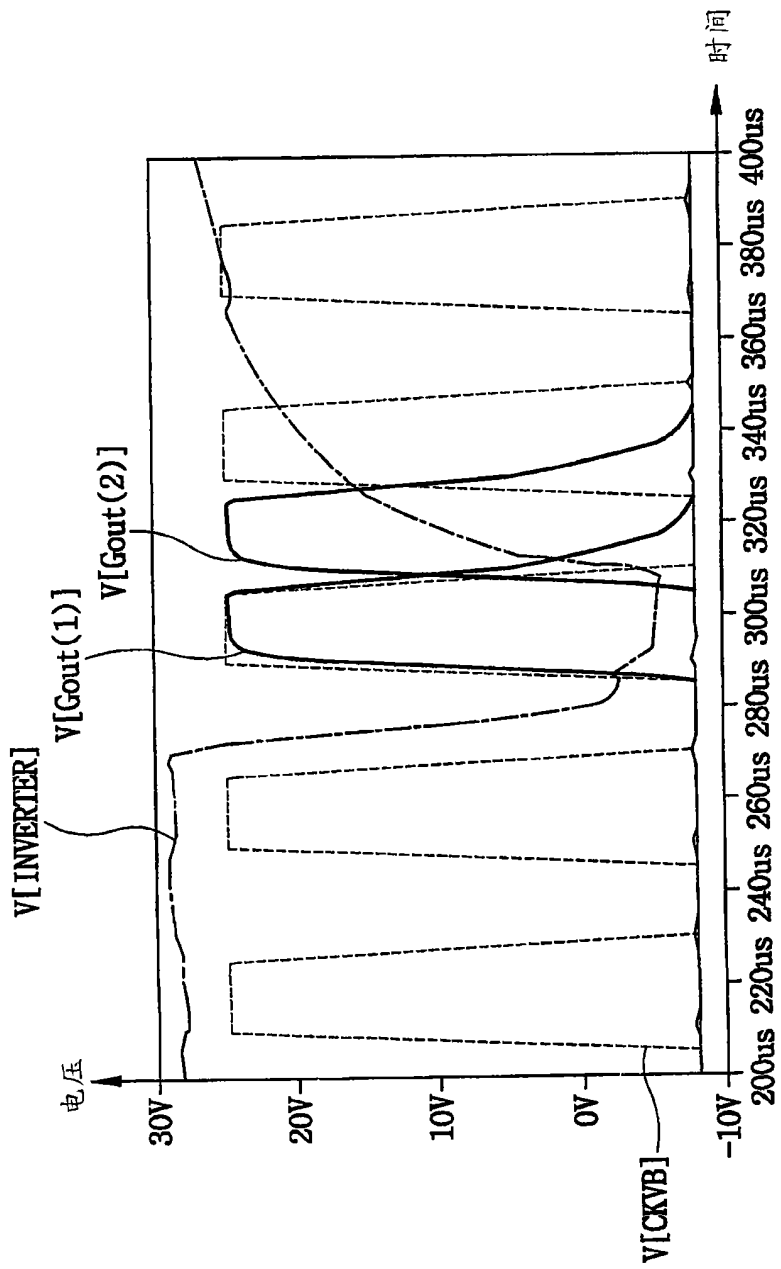


图 23

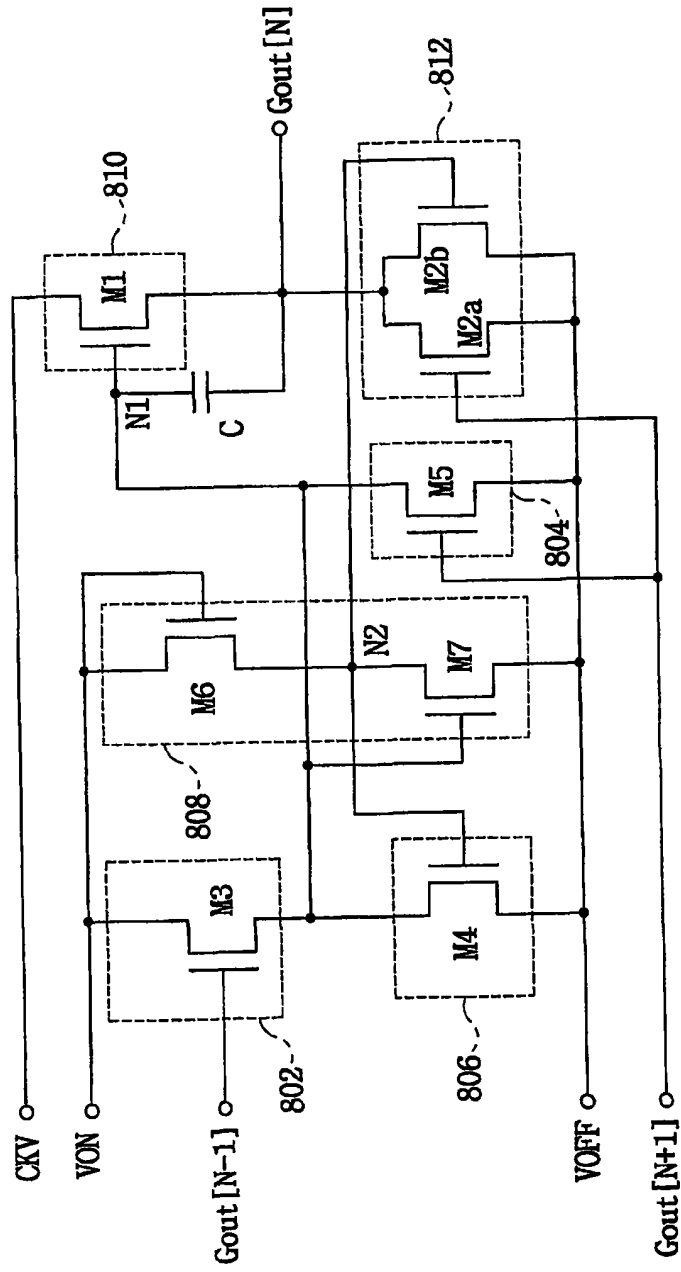


图 24

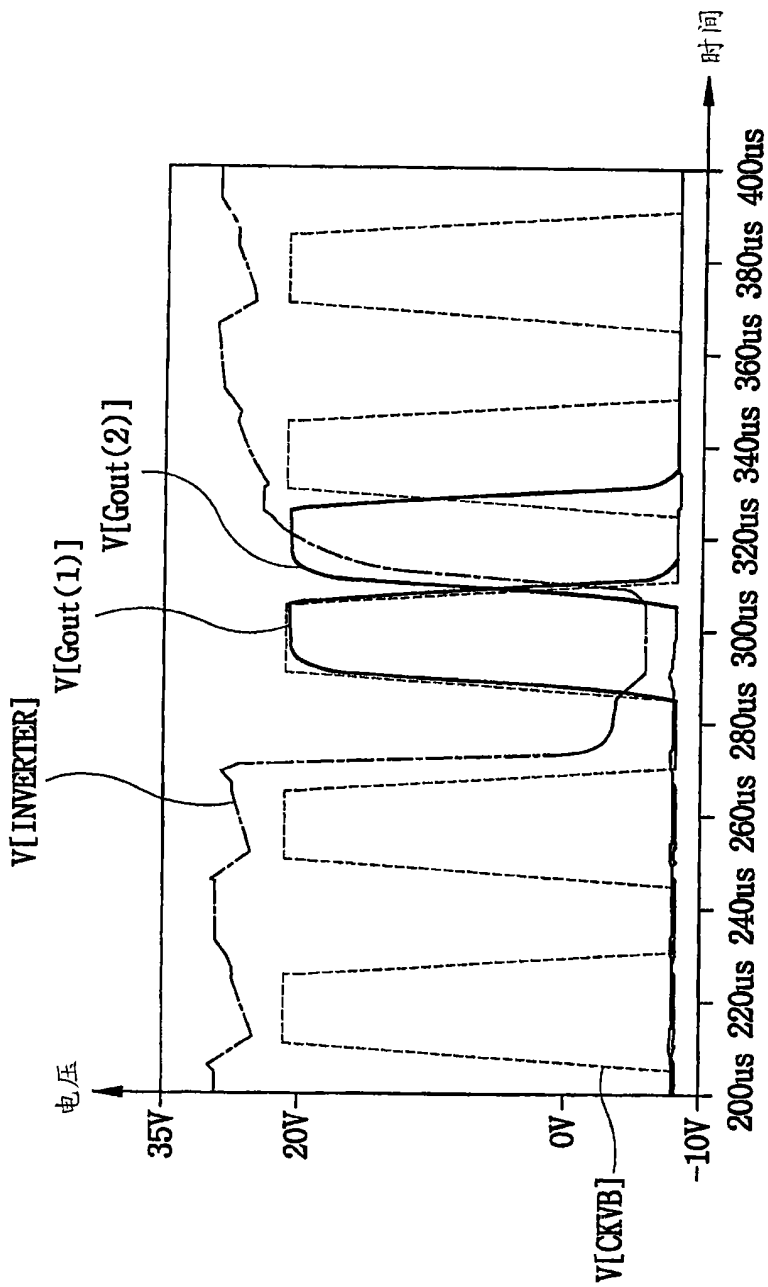


图 25

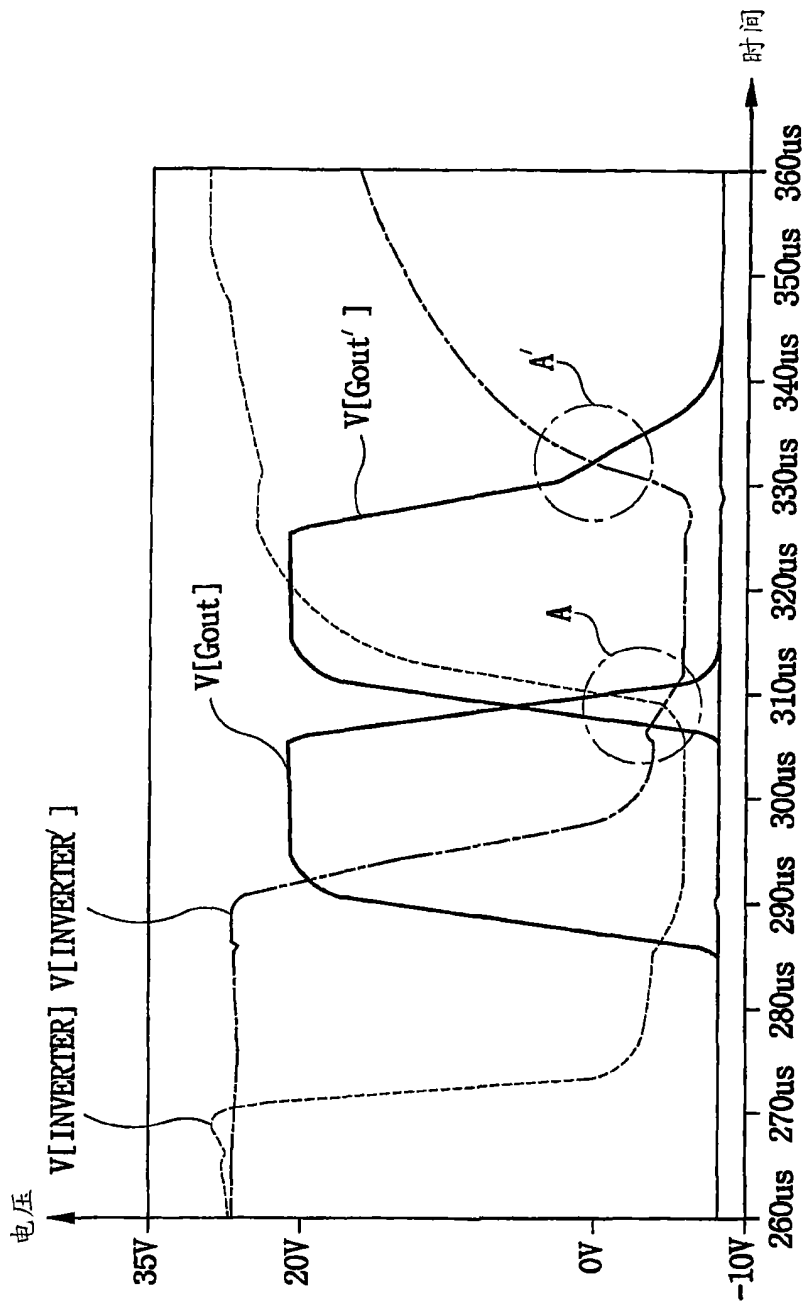


图 26

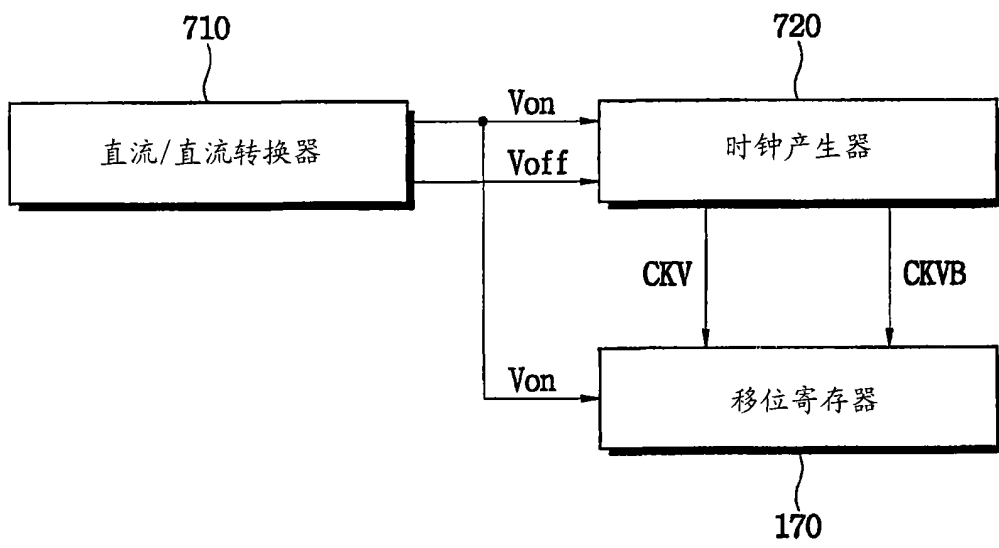


图 27

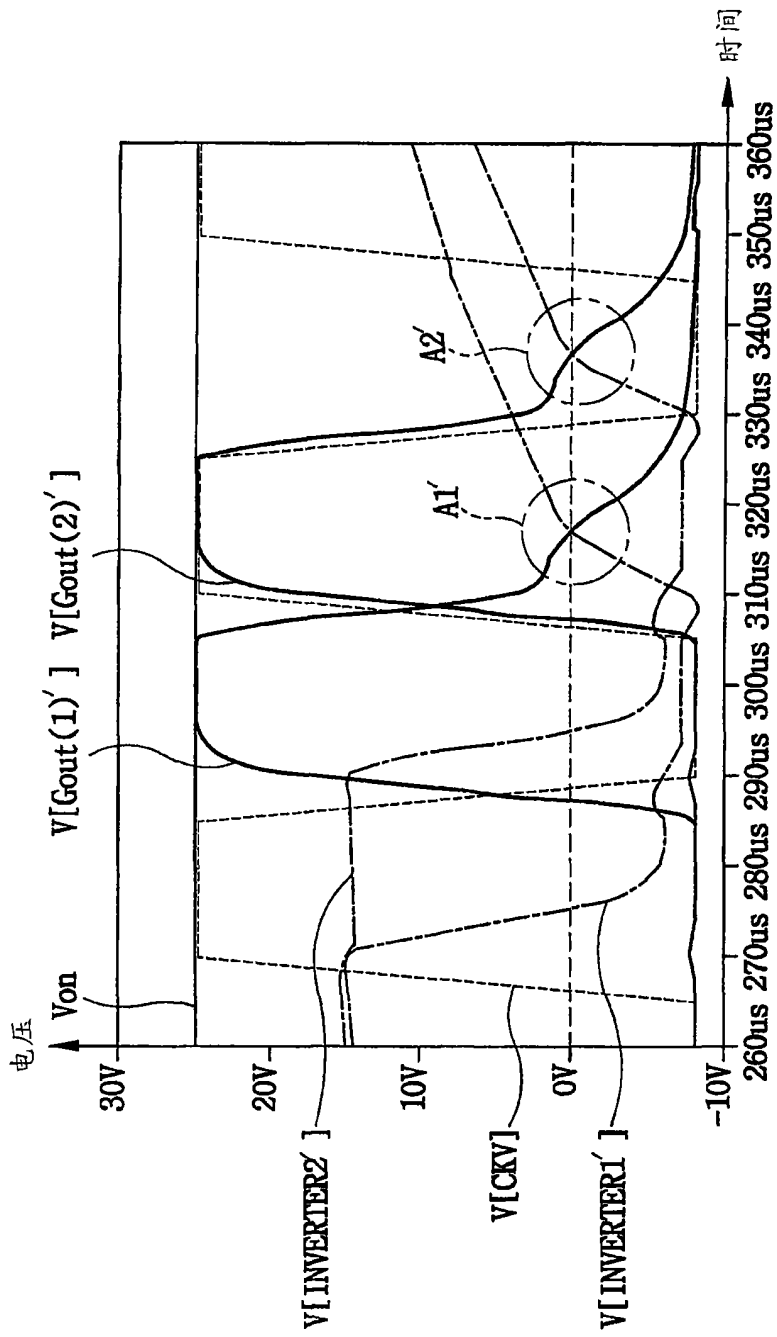


图 28

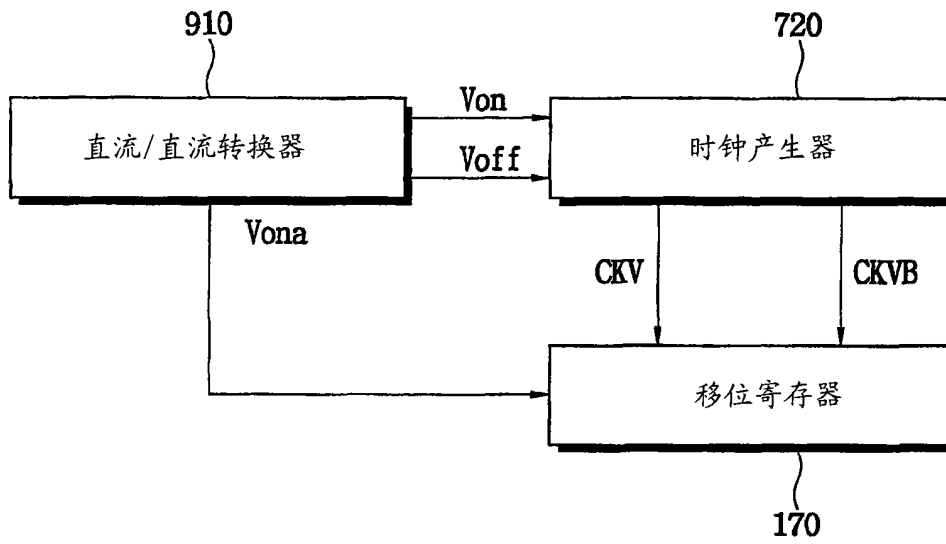


图 29

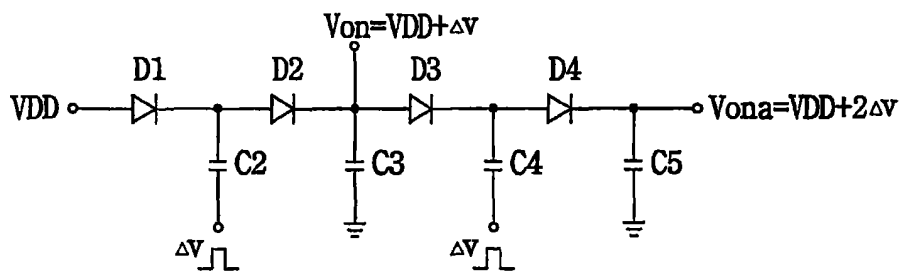


图 30

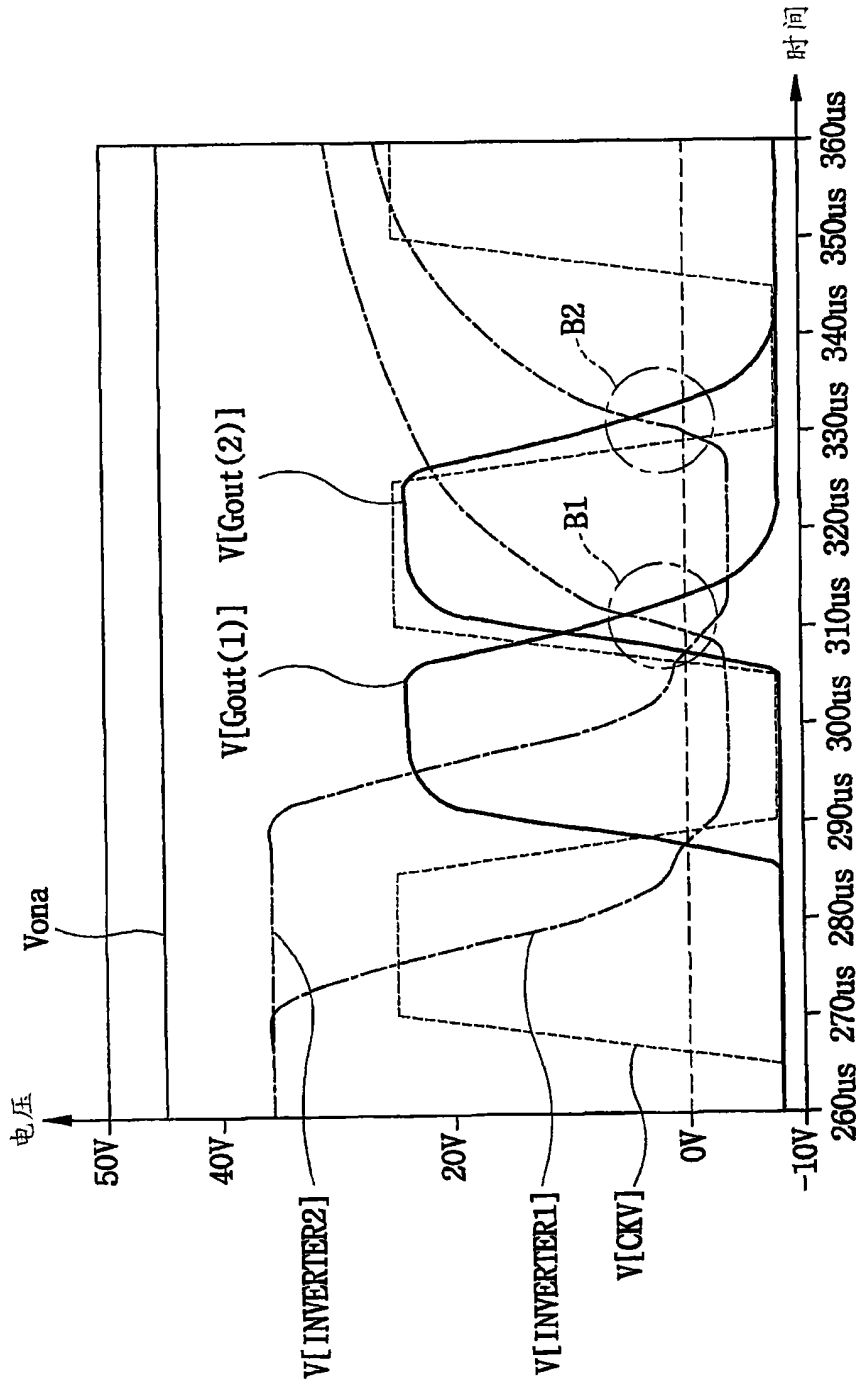


图 31

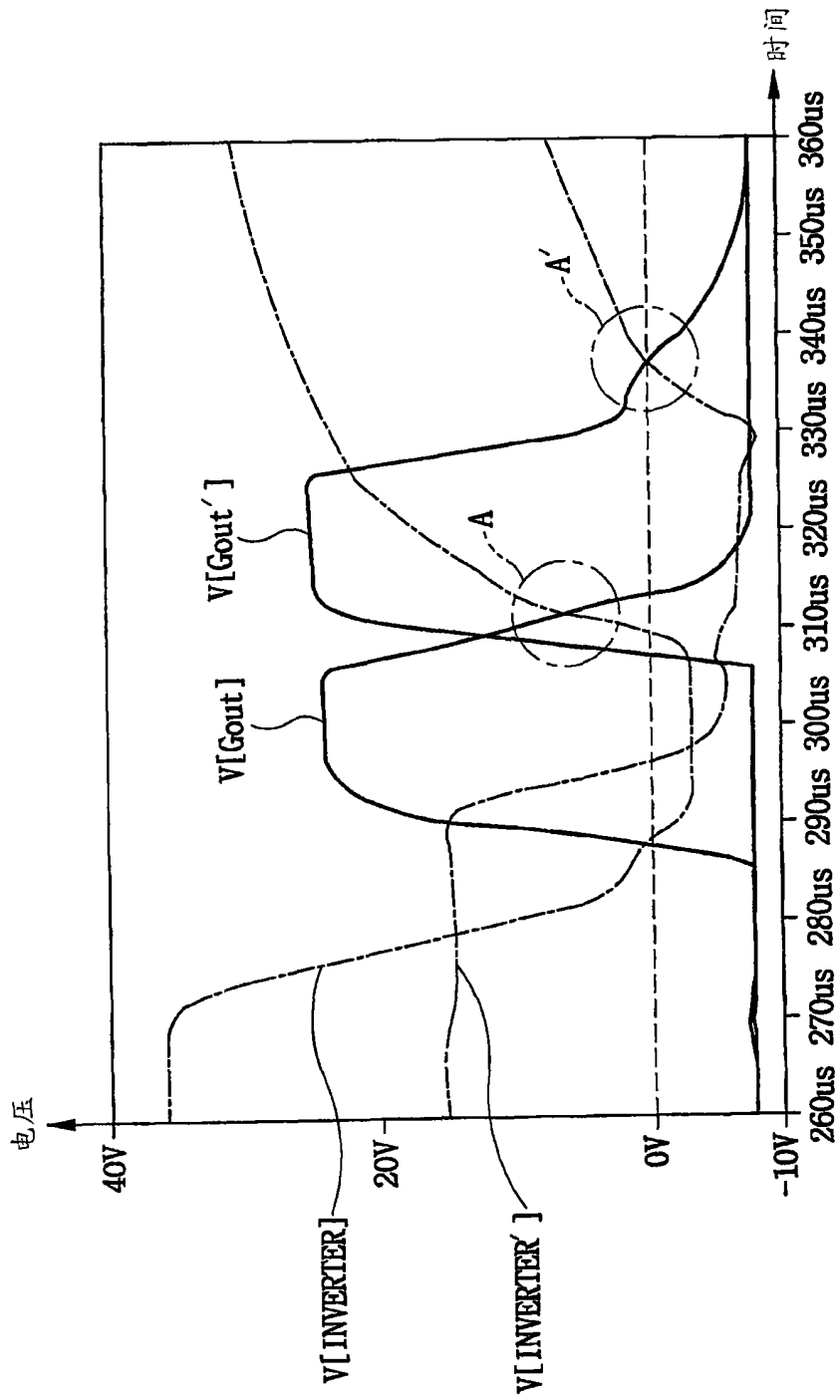


图 32