



(12) 发明专利申请

(10) 申请公布号 CN 113299223 A

(43) 申请公布日 2021.08.24

(21) 申请号 202110732575.2

(22) 申请日 2021.06.30

(71) 申请人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509室

(72) 发明人 王宪 李玥 周星耀 杨帅
蔡玉莹

(74) 专利代理机构 北京汇思诚业知识产权代理
有限公司 11444

代理人 李晓霞

(51) Int. Cl.

G09G 3/20 (2006.01)

G11C 19/28 (2006.01)

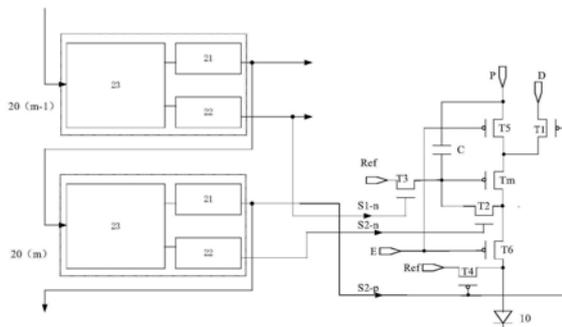
权利要求书3页 说明书12页 附图10页

(54) 发明名称

一种显示面板和显示装置

(57) 摘要

本发明实施例提供一种显示面板和显示装置。显示面板包括：驱动电路，驱动电路包括级联的多个移位寄存器；移位寄存器包括控制模块、第一输出模块和第二输出模块；控制模块用于对第一输出模块的控制端和第二输出模块的控制端的电压信号进行控制；第一输出模块用于在其控制端的电压信号的控制下输出第一扫描信号，第一扫描信号为低电平有效的扫描信号；第二输出模块用于在其控制端的电压信号的控制下输出第二扫描信号，第二扫描信号为高电平有效的扫描信号。本发明实施例中驱动电路能够同时为像素电路中的n型晶体管和p型晶体管分别提供使能信号，能够减少驱动电路的设置个数，减少非显示区的晶体管数量，有利于显示面板边框的窄化。



1. 一种显示面板,其特征在于,包括:驱动电路,所述驱动电路包括级联的多个移位寄存器;

所述移位寄存器包括控制模块、第一输出模块和第二输出模块;

所述控制模块用于对所述第一输出模块的控制端和所述第二输出模块的控制端的电压信号进行控制;

所述第一输出模块用于在其控制端的电压信号的控制下输出第一扫描信号,所述第一扫描信号为低电平有效的扫描信号;

所述第二输出模块用于在其控制端的电压信号的控制下输出第二扫描信号,所述第二扫描信号为高电平有效的扫描信号。

2. 根据权利要求1所述的显示面板,其特征在于,

所述移位寄存器包括第一节点和第二节点;所述第一节点和所述第二节点分别与所述控制模块电连接;

所述第一输出模块包括第一输出下拉模块,所述第一输出下拉模块的控制端与所述第二节点电连接;所述第一输出下拉模块用于在所述第二节点电压的控制下、将第一时钟信号端的低电平信号提供给所述第一输出模块的输出端;

所述第二输出模块包括第二输出上拉模块,所述第二输出上拉模块的控制端分别与所述第一节点和第二节点分别电连接;所述第二输出上拉模块用于在所述第一节点电压和所述第二节点电压的控制下、将第二时钟信号端的高电平信号提供给所述第二输出模块的输出端;

其中,所述第二时钟信号端提供的时钟信号的占空比小于所述第一时钟信号端提供的时钟信号的占空比。

3. 根据权利要求2所述的显示面板,其特征在于,

所述第一输出模块还包括第一输出上拉模块,所述第一输出上拉模块的控制与所述第一节点电连接;所述第一输出上拉模块用于在所述第一节点电压的控制下、将第一恒定电压端的信号提供给所述第一输出模块的输出端。

4. 根据权利要求3所述的显示面板,其特征在于,

所述第一输出下拉模块包括第一晶体管,所述第一晶体管的控制端与所述第二节点电连接,所述第一晶体管的第一端与所述第一时钟信号端电连接,所述第一晶体管的第二端与所述第一输出模块的输出端电连接;

所述第一输出上拉模块包括第二晶体管,所述第二晶体管的控制端与所述第一节点电连接,所述第二晶体管的第一端与所述第一恒定电压端电连接,所述第二晶体管的第二端与所述第一输出模块的输出端电连接。

5. 根据权利要求2所述的显示面板,其特征在于,

所述第二输出上拉模块包括第三晶体管、第四晶体管和第五晶体管;

所述第三晶体管的控制端与所述第二节点电连接,所述第三晶体管的第一端与所述第二时钟信号端电连接,所述第三晶体管的第二端与所述第四晶体管的第一端电连接;

所述第四晶体管的控制端与所述第一节点电连接,所述第四晶体管的第二端与所述第二输出模块的输出端电连接;

所述第五晶体管的控制端与所述第二节点电连接,所述第五晶体管的第一端与所述第

二时钟信号端电连接,所述第五晶体管的第二端与所述第二输出模块的输出端电连接。

6. 根据权利要求2所述的显示面板,其特征在于,

所述第二输出模块还包括第三节点和第二输出下拉模块,所述第二输出下拉模块的控制端与所述第三节点电连接;所述第二输出下拉模块用于在所述第三节点电压的控制下、将第二恒定电压端的信号提供给所述第二输出模块的输出端。

7. 根据权利要求6所述的显示面板,其特征在于,

所述第二输出模块还包括辅助下拉模块,所述辅助下拉模块与所述第三节点电连接,所述辅助下拉模块用于在所述第二时钟信号端的信号的控制下以及所述第一时钟信号端的信号的控制下、稳定所述第三节点的电位。

8. 根据权利要求7所述的显示面板,其特征在于,

所述辅助下拉模块包括第六晶体管、第七晶体管和第一电容;

所述第六晶体管的控制端与所述第二时钟信号端电连接,所述第六晶体管的第一端与所述第二恒定电压端电连接,所述第六晶体管的第二端与所述第三节点电连接;

所述第七晶体管的控制端与所述第一时钟信号端电连接,所述第七晶体管的第一端与所述第二恒定电压端电连接,所述第七晶体管的第二端与所述第三节点电连接;

所述第一电容的第一极板与所述第一时钟信号端电连接,所述第一电容的第二极板与所述第三节点电连接。

9. 根据权利要求6所述的显示面板,其特征在于,

所述第二输出模块还包括第一保护模块,所述第一保护模块的控制端与所述第二节点电连接,所述第一保护模块的第一端与所述第二时钟信号端电连接,所述第一保护模块的第二端与所述第三节点电连接;

所述第一保护模块用于在所述第二输出上拉模块为开启的时刻控制所述第二输出下拉模块关闭。

10. 根据权利要求9所述的显示面板,其特征在于,

所述第二输出下拉模块包括第八晶体管,所述第一保护模块包括第九晶体管;

所述第八晶体管的控制端与所述第三节点电连接,所述第八晶体管的第一端与所述第二恒定电压端电连接,所述第八晶体管的第二端与所述第二输出模块的输出端电连接;

所述第九晶体管的控制端与所述第二节点电连接,所述第九晶体管的第一端与所述第二时钟信号端电连接,所述第九晶体管的第二端与所述第三节点电连接。

11. 根据权利要求2所述的显示面板,其特征在于,

所述控制模块包括第一节点控制模块和第二节点控制模块;

所述第一节点控制模块与所述移位寄存器的输入端、第三时钟信号端、第二恒定电压端和第二节点电连接;所述第一节点控制模块用于根据所述移位寄存器的输入端的信号、所述第三时钟信号端的信号、所述第二恒定电压端的信号和所述第二节点的信号对所述第一节点的电压进行控制;其中,所述第三时钟信号端的信号和所述第一时钟信号端的信号的周期相同;

所述第二节点控制模块与所述移位寄存器的输入端、所述第一时钟信号端、第一恒定电压端电连接;所述第二节点控制模块用于根据所述移位寄存器的输入端的信号、所述第一时钟信号端的信号、所述第一恒定电压端的信号对所述第二节点的电压进行控制。

12. 根据权利要求11所述的显示面板,其特征在于,

所述第一节点控制模块包括第十晶体管和第十一晶体管;

所述第十晶体管的控制端与所述第三时钟信号端电连接,所述第十晶体管的第一端与所述第二恒定电压端电连接,所述第十晶体管的第二端与所述第一节点电连接;

所述第十一晶体管的控制端与所述第二节点电连接,所述第十一晶体管的第一端与所述移位寄存器的输入端电连接,所述第十一晶体管的第二端与所述第一节点电连接;

所述第二节点控制模块包括第十二晶体管、第十三晶体管和第十四晶体管;

所述第十二晶体管的控制端与所述第三时钟信号端电连接,所述第十二晶体管的第一端与所述移位寄存器的输入端电连接,所述第十二晶体管的第二端与所述第二节点电连接;

所述第十三晶体管的控制端与所述第一时钟信号端电连接,所述第十三晶体管的第一端与所述第十四晶体管的第二端电连接,所述第十三晶体管的第二端与所述第二节点电连接;

所述第十四晶体管的控制端与所述第一节点电连接,所述第十四晶体管的第一端与所述第一恒定电压端电连接。

13. 根据权利要求1所述的显示面板,其特征在于,

在所述移位寄存器的一个工作周期中:所述第一扫描信号的低电平信号的输出时刻在所述第二扫描信号的高电平信号的输出时刻之后。

14. 根据权利要求1所述的显示面板,其特征在于,

在所述驱动电路中:

第1级所述移位寄存器的输入端与起始信号端电连接;

第m级所述移位寄存器的输入端与第m-1级所述移位寄存器的所述第一输出模块的输出端电连接,m为不小于2的整数。

15. 一种显示装置,其特征在于,包括权利要求1至14任一项所述的显示面板。

一种显示面板和显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种显示面板和显示装置。

背景技术

[0002] 在半导体技术中晶体管类型包括p型晶体管和n型晶体管,p型晶体管和n型晶体管的使能信号不同。而在一些像素电路中同时包括p型晶体管和n型晶体管,则需要给p型晶体管和n型晶体管分别设置驱动电路以提供相应的使能信号,由此增加了驱动电路的个数,严重影响显示面板边框的窄化。

发明内容

[0003] 本发明实施例提供一种显示面板和显示装置,以解决显示面板边框窄化的问题。

[0004] 本发明实施例提供一种显示面板,包括:驱动电路,驱动电路包括级联的多个移位寄存器;

[0005] 移位寄存器包括控制模块、第一输出模块和第二输出模块;

[0006] 控制模块用于对第一输出模块的控制端和第二输出模块的控制端的电压信号进行控制;

[0007] 第一输出模块用于在其控制端的电压信号的控制下输出第一扫描信号,第一扫描信号为低电平有效的扫描信号;

[0008] 第二输出模块用于在其控制端的电压信号的控制下输出第二扫描信号,第二扫描信号为高电平有效的扫描信号。

[0009] 本发明实施例提供一种显示装置,包括本发明任意实施例提供的显示面板。

[0010] 本发明实施例提供的显示面板和显示装置,具有如下有益效果:驱动电路的级联的移位寄存器包括两个输出模块,第一输出模块在控制模块的控制下能够输出控制p型晶体管开关状态的第一扫描信号,第二输出模块在控制模块的控制下能够输出控制n型晶体管开关状态的第二扫描信号。驱动电路能够同时为像素电路中的n型晶体管和p型晶体管分别提供使能信号,能够减少驱动电路的设置个数,减少非显示区的晶体管数量,有利于显示面板边框的窄化。

附图说明

[0011] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0012] 图1为本发明实施例提供的显示面板中一种像素电路示意图;

[0013] 图2为图1中像素电路的时序图;

[0014] 图3为本发明实施例提供的一种驱动电路模块化示意图;

- [0015] 图4为本发明实施例提供的一种移位寄存器的示意图；
- [0016] 图5为移位寄存器工作的一种时序图；
- [0017] 图6为本发明实施例提供的一种移位寄存器的示意图；
- [0018] 图7为本发明实施例提供的另一种移位寄存器的示意图；
- [0019] 图8为本发明实施例提供的另一种移位寄存器的示意图；
- [0020] 图9为移位寄存器工作的另一种时序图；
- [0021] 图10为本发明实施例提供的另一种移位寄存器的示意图；
- [0022] 图11为本发明实施例中一种驱动电路的示意图；
- [0023] 图12为本发明实施例提供的显示装置示意图。

具体实施方式

[0024] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0025] 在本发明实施例中使用的术语是仅仅出于描述特定实施例的目的，而非旨在限制本发明。在本发明实施例和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式，除非上下文清楚地表示其他含义。

[0026] 本发明实施例提供一种显示面板，显示面板包括多个发光器件和多个像素电路，其中，像素电路与发光器件电连接，用于驱动发光器件发光。发光器件包括依次堆叠的第一电极、发光层和第二电极。在一种实施例中，发光器件为有机二极管发光器件；在另一种实施例中，发光器件为无机二极管发光器件。

[0027] 图1为本发明实施例提供的显示面板中一种像素电路示意图，图2为图1中像素电路的时序图。如图1所示的，像素电路为7T1C电路，七个晶体管分别为：驱动晶体管 T_m 、数据写入晶体管 T_1 、阈值补偿晶体管 T_2 、第一复位晶体管 T_3 、第二复位晶体管 T_4 、第一发光控制晶体管 T_5 和第二发光控制晶体管 T_6 。第一复位晶体管 T_3 用于对 N_1 节点进行复位，即对驱动晶体管 T_m 的控制端进行复位；第二复位晶体管 T_4 用于对发光器件10的第一电极进行复位。图1中还示意出了电源信号端P、数据信号端D、复位信号端Ref、第一控制端 S_1-n 、第二控制端 S_2-p 、第三控制端 S_2-n 和发光控制端E。

[0028] 其中，阈值补偿晶体管 T_2 和第一复位晶体管 T_3 为n型晶体管，其他晶体管为p型晶体管。可选的，阈值补偿晶体管 T_2 和第一复位晶体管 T_3 的有源层的制作材料包括金属氧化物，其他晶体管的有源层的制作材料包括硅。该实施方式中，能够减小阈值补偿晶体管 T_2 和第一复位晶体管 T_3 向 N_1 节点的漏流，保证发光阶段 N_1 节点电位稳定性，改善低频驱动下显示闪烁的问题，提升显示效果。

[0029] 在另一种像素电路中，阈值补偿晶体管 T_2 和第一复位晶体管 T_3 中一者为n型晶体管，在此不再附图示意。

[0030] 如图2示意的时序图，在像素电路的工作周期中，需要向像素电路的四个控制端分别提供控制信号。其中，第一控制端 S_1-n 和第三控制端 S_2-n 的信号可以由同一个驱动电路的相邻的两级移位寄存器分别提供。则采用常规的设置方式需要在显示面板中设置三组驱

动电路,设置在显示面板的非显示区,导致显示面板的边框增大。

[0031] 基于此,本发明实施例提供一种驱动电路,在工作时能够同时提供n型晶体管的使能信号和p型晶体管的使能信号,满足对像素电路的驱动需求,能够减少驱动电路的设置个数,减少非显示区的晶体管数量,有利于显示面板边框的窄化。

[0032] 图3为本发明实施例提供的一种驱动电路模块化示意图,如图3所示,驱动电路包括级联的多个移位寄存器20。移位寄存器20包括第一输出模块21、第二输出模块22和控制模块23。图3中示意出了第m级移位寄存器20(m)和第m-1级移位寄存器20(m-1),m为不小于2的整数。

[0033] 控制模块23用于对第一输出模块21的控制端和第二输出模块22的控制端的电压信号进行控制。

[0034] 第一输出模块21用于在其控制端的电压信号的控制下输出第一扫描信号,第一扫描信号为低电平有效的扫描信号;低电平有效的扫描信号即当第一扫描信号为低电平信号时,其能控制第一输出模块21的输出端连接的晶体管开启,也即低电平信号为与第一输出模块21的输出端连接的晶体管的使能信号。第一输出模块21输出的第一扫描信号能够控制p型晶体管的开关状态。

[0035] 第二输出模块22用于在其控制端的电压信号的控制下输出第二扫描信号,第二扫描信号为高电平有效的扫描信号。高电平有效的扫描信号即当第二扫描信号为高电平信号,其能控制与第二输出模块22连接的晶体管开启,即高电平信号为与第二输出模块22的输出端连接的晶体管的使能信号。第二输出模块22输出的第二扫描信号能够控制n型晶体管的开关状态。

[0036] 图3中还示意出了与移位寄存器相连接的像素电路。

[0037] 对于第m级移位寄存器20(m)驱动的像素电路,第一输出模块21的输出端与第二控制端S2-p电连接,在驱动像素电路工作时,第一输出模块21向第二控制端S2-p提供第一扫描信号。第二输出模块22的输出端与第三控制端S2-n电连接,在驱动像素电路工作时,第二输出模块22向第三控制端S2-n提供第二扫描信号。像素电路中第一控制端S1-n与第m-1级移位寄存器20(m-1)的第二输出模块22的输出端电连接,该第二输出模块22向第一控制端S1-n提供第二扫描信号。

[0038] 参考图2示意的时序图,像素电路的工作周期包括:复位阶段t1、数据写入阶段t2和发光阶段t3。

[0039] 在复位阶段t1:第m-1级移位寄存器20(m-1)的第二输出模块22向第一控制端S1-n提供第二扫描信号,此阶段高电平的第二扫描信号能够控制第一复位晶体管T3开启,将复位信号端Ref的信号提供给驱动晶体管T_m的控制端,以对驱动晶体管T_m的控制端进行复位。

[0040] 在数据写入阶段t2:第m级移位寄存器20(m)的第二输出模块22向第三控制端S2-n提供第二扫描信号,此阶段高电平的第二扫描信号能够控制第二复位晶体管T4开启,将复位信号端Ref的信号提供给发光器件10的第一电极,以对第一电极进行复位;第m级移位寄存器20(m)的第一输出模块21向第二控制端S2-p提供第一扫描信号,此阶段低电平的第一扫描信号能够控制数据写入晶体管T1和阈值补偿晶体管T2开启,将数据电压写入到驱动晶体管T_m的控制端,并对驱动晶体管T_m的阈值电压进行补偿。

[0041] 在发光阶段t3:发光控制端E提供有效电平信号控制第一发光控制晶体管T5和第

二发光控制晶体管T6均开启,驱动晶体管Tm向发光器件10提供驱动电流,以控制发光器件10发光。在本发明实施例提供的显示面板中,还包括一组发光驱动电路,发光控制端E与发光驱动电路电连接。

[0042] 本发明实施例提供的显示面板中,驱动电路的级联的移位寄存器包括两个输出模块,第一输出模块在控制模块的控制下能够输出控制p型晶体管开关状态的第一扫描信号,第二输出模块在控制模块的控制下能够输出控制n型晶体管开关状态的第二扫描信号。驱动电路能够同时为像素电路中的n型晶体管和p型晶体管分别提供使能信号,能够减少驱动电路的设置个数,减少非显示区的晶体管数量,有利于显示面板边框的窄化。

[0043] 图4为本发明实施例提供的一种移位寄存器的示意图,如图4所示,移位寄存器20包括第一节点N1和第二节点N2;第一节点N1和第二节点N2分别与控制模块23电连接。

[0044] 第一输出模块21包括第一输出下拉模块211,第一输出下拉模块211的控制端与第二节点N2电连接;第一输出下拉模块211用于在第二节点N2电压的控制下、将第一时钟信号端CK1的低电平信号提供给第一输出模块21的输出端OUT1。也就是说,第一输出下拉模块211用于控制第一输出模块21的输出端OUT1输出第一扫描信号的低电平信号。

[0045] 第二输出模块22包括第二输出上拉模块221,第二输出上拉模块221的控制端分别与第一节点N1和第二节点N2分别电连接;第二输出上拉模块221用于在第一节点N1电压和第二节点N2电压的控制下、将第二时钟信号端CK2的高电平信号提供给第二输出模块22的输出端OUT2。也就是说,第二输出上拉模块221用于控制第二输出模块22的输出端OUT2输出第二扫描信号的高电平信号。

[0046] 图5为移位寄存器工作的一种时序图。如图5所示的,第二时钟信号端CK2提供的时钟信号的占空比小于第一时钟信号端CK1提供的时钟信号的占空比。占空比为一个周期中,高电平的宽度和周期之比。如此设置能够使得第一输出模块21输出的低电平信号能够作为p型晶体管的使能信号,同时第二输出模块22输出的高电平信号能够作为n型晶体管的使能信号,能够满足像素电路的驱动需要。

[0047] 如图4所示的,第一输出模块21还包括第一输出上拉模块212,第一输出上拉模块212的控制与第一节点N1电连接;第一输出上拉模块212用于在第一节点N1电压的控制下、将第一恒定电压端V1的信号提供给第一输出模块21的输出端OUT1。其中,第一恒定电压端V1提供高电平恒定信号。

[0048] 第一输出上拉模块212用于与第一输出下拉模块211进行配合,在第一输出下拉模块211控制第一输出模块21的输出端OUT1输出第一扫描信号的低电平信号之后,通过第一输出上拉模块212控制输出端OUT1输出第一扫描信号的高电平信号,第一扫描信号的高电平信号控制p型晶体管关闭,从而保证第一扫描信号能够满足像素电路的驱动需求。

[0049] 继续参考图4所示的,第一输出下拉模块211包括第一晶体管M1,第一晶体管M1的控制端与第二节点N2电连接,第一晶体管M1的第一端与第一时钟信号端CK1电连接,第一晶体管M1的第二端与第一输出模块21的输出端OUT1电连接;其中,在第二节点N2为低电位时,第一晶体管M1开启,则将第一时钟信号端CK1的信号提供给第一输出模块21的输出端OUT1,当第二节点N2为低电位、且第一时钟信号端CK1的信号为低电平信号时,则第一输出模块21的输出端OUT1输出第一扫描信号的低电平信号。

[0050] 第一输出上拉模块212包括第二晶体管M2,第二晶体管M2的控制端与第一节点N1

电连接,第二晶体管M2的第一端与第一恒定电压端V1电连接,第二晶体管M2的第二端与第一输出模块21的输出端电连接。其中,第一节点N1为低电位时,第二晶体管M2开启,则将第一恒定电压端V1的信号提供给第一输出模块21的输出端OUT1,第一输出模块21的输出端OUT1输出第一扫描信号的高电平信号。

[0051] 如图4所示的,第二输出上拉模块221包括第三晶体管M3、第四晶体管M4和第五晶体管M5。第三晶体管M3的控制端与第二节点N2电连接,第三晶体管M3的第一端与第二时钟信号端CK2电连接,第三晶体管M3的第二端与第四晶体管M4的第一端电连接。第四晶体管M4的控制端与第一节点N1电连接,第四晶体管M4的第二端与第二输出模块22的输出端OUT2电连接。第五晶体管M5的控制端与第二节点N2电连接,第五晶体管M5的第一端与第二时钟信号端CK2电连接,第五晶体管M5的第二端与第二输出模块22的输出端OUT2电连接。

[0052] 在第一节点N1为低电位时,第四晶体管M4开启;在第二节点N2为低电位时,第三晶体管M3和第五晶体管M5开启。其中,在第一节点N1和第二节点N2均为低电位时,第三晶体管M3和第四晶体管M4均开启,能够将第二时钟信号端CK2的高电平信号提供给第二输出模块22的输出端OUT2,使得第二输出模块22的输出端OUT2输出第二扫描信号的高电平信号。同时,当第二节点N2为低电位、且第二时钟信号端CK2为高电平信号时,第五晶体管M5开启,也能够将高电平信号提供给第二输出模块22的输出端OUT2。

[0053] 在另一种实施例中,图6为本发明实施例提供的一种移位寄存器的示意图,如图6所示,第二输出模块22还包括第三节点N3和第二输出下拉模块222,第二输出下拉模块222的控制端与第三节点N3电连接;第二输出下拉模块222用于在第三节点N3电压的控制下、将第二恒定电压端V2的信号提供给第二输出模块22的输出端OUT2。其中,第二恒定电压端V2提供低电平恒定信号。第二恒定电压端V2提供的恒定电压信号小于第一恒定电压端V1提供的恒定电压信号。

[0054] 第二输出下拉模块222用于与第二输出上拉模块221配合,在第二输出上拉模块221控制第二输出模块22的输出端OUT2输出第二扫描信号的高电平信号之后,通过第二输出下拉模块222控制输出端OUT2输出第二扫描信号的低电平信号,第二扫描信号的低电平信号控制n型晶体管关闭,从而保证第二扫描信号能够满足像素电路的驱动需求。

[0055] 如图6所示的,第二输出下拉模块222包括第八晶体管M8,第八晶体管M8的控制端与第三节点N3电连接,第八晶体管M8的第一端与第二恒定电压端V2电连接,第八晶体管M8的第二端与第二输出模块22的输出端OUT2电连接。在第三节点N3为低电位时,控制第八晶体管M8开启,将第二恒定电压端V2的低电平信号提供给第二输出模块22的输出端OUT2,使得第二输出模块22的输出端OUT2输出第二扫描信号的低电平信号。

[0056] 如图6所示的,第二输出模块22还包括辅助下拉模块223,辅助下拉模块223与第三节点N3电连接,辅助下拉模块223用于在第二时钟信号端CK2的信号的的控制下以及第一时钟信号端CK1的信号的的控制下、稳定第三节点N3的电位。

[0057] 在本发明实施例中,第二输出模块22的输出端OUT2输出的第二扫描信号能够用于驱动像素电路工作,其中,第二扫描信号中的高电平信号为有效电平信号。为了保证驱动像素电路正常工作,在第二扫描信号提供一次高电平信号之后,需要维持较长时间的低电平信号,这里较长时间是与第二扫描信号中高电平信号持续时间相比而言的。通过设置辅助下拉模块223来稳定第三节点N3的电位,在需要第二扫描信号为低电平信号的时刻,能够通

过第三节点N3的控制下,保证第二输出下拉模块222向第二输出模块22的输出端OUT2持续提供低电平信号。

[0058] 具体的,辅助下拉模块223包括第六晶体管M6、第七晶体管M7和第一电容C1;第六晶体管M6的控制端与第二时钟信号端CK2电连接,第六晶体管M6的第一端与第二恒定电压端V2电连接,第六晶体管M6的第二端与第三节点N3电连接;第七晶体管M7的控制端与第一时钟信号端CK1电连接,第七晶体管M7的第一端与第二恒定电压端V2电连接,第七晶体管M7的第二端与第三节点N3电连接;第一电容C1的第一极板与第一时钟信号端CK1电连接,第一电容C1的第二极板与第三节点N3电连接。

[0059] 参考图5示意的时序图来理解,通过上述实施例说明可以知道,在第二时钟信号端CK2为高电平的时刻(图5中t3时刻),第二输出上拉模块221在第一节点N1电压和第二节点N2电压的控制下、将第二时钟信号端CK2的高电平信号提供给第二输出模块22的输出端OUT2,此时第二输出模块22的输出端OUT2输出高电平信号,该高电平信号为驱动像素电路中n型晶体管的使能信号。也就是说,在移位寄存器工作的周期中,t3时刻之外的时间需要控制第二输出模块22的输出端OUT2输出低电平信号,以满足第二扫描信号对像素电路的驱动需求。

[0060] 在t4时刻,第二时钟信号端CK2为低电平信号,第一时钟信号端CK1为高电平信号,此时第六晶体管M6开启,第七晶体管M7关闭,第六晶体管M6开启后将第二恒定电压端V2的低电平信号提供给第三节点N3,以在第三节点N3的控制下,通过第二输出下拉模块222将第二恒定电压端V2的低电平信号提供给第二输出模块22的输出端OUT2,使得第二输出模块22的输出端OUT2输出第二扫描信号的低电平信号。

[0061] 在t5时刻,第二时钟信号端CK2为低电平信号,第一时钟信号端CK1为低电平信号,此时第六晶体管M6和第七晶体管M7均开启,以将第二恒定电压端V2的低电平信号提供给第三节点N3稳定第三节点N3电位。

[0062] 在t6时刻,第二时钟信号端CK2和第一时钟信号端CK1均为高电平信号,此时第六晶体管M6和第七晶体管M7均关闭,此时依靠第一电容C1的作用使得第三节点N3能够维持低电位来控制第二输出下拉模块222开启。

[0063] 在t3时刻第二输出模块22输出第二扫描信号的高电平信号,在输出高电平信号之后,第二输出模块22输出第二扫描信号的低电平信号,且低电平信号的输出时间比高电平信号的输出时间长。在t4时刻第一输出模块21输出第一扫描信号的低电平信号,在输出低电平信号之后,第一输出模块21输出第一扫描信号的高电平信号,且高电平信号的输出时间比低电平信号的输出时间长。对于第二输出模块22来说,在t6时之后,其仍然需要维持较长时间输出低电平信号,通过辅助下拉模块223的设置能够保证第一扫描信号的低电平信号的输出。

[0064] 进一步的,图7为本发明实施例提供的另一种移位寄存器的示意图,如图7所示,第二输出模块22还包括第一保护模块224,第一保护模块224的控制端与第二节点N2电连接,第一保护模块224的第一端与第二时钟信号端CK2电连接,第一保护模块224的第二端与第三节点N3电连接;第一保护模块224用于在第二输出上拉模块221为开启的时刻控制第二输出下拉模块224关闭。第一保护模块224能够保证第二输出模块22的输出端OUT2能够正常的输出高电平信号,避免在第二输出上拉模块221工作时第二输出下拉模块224开启而对高电

平信号的输出造成干扰。

[0065] 如图7所示的,第一保护模块224包括第九晶体管M9,第九晶体管M9的控制端与第二节点N2电连接,第九晶体管M9的第一端与第二时钟信号端CK2电连接,第九晶体管M9的第二端与第三节点N3电连接。基于上述实施例可知,在第一节点N1和第二节点N2均为低电位时,第三晶体管M3和第四晶体管M4均开启,能够将第二时钟信号端CK2的高电平信号提供给第二输出模块22的输出端OUT2,此时输出端OUT2输出的第二扫描信号的高电平信号能够用作像素电路中n型晶体管的使能信号。通过设置第一保护模块,在第二节点N2为低电位时,能够控制第九晶体管M9开启,则通过第九晶体管M9将第二时钟信号端CK2的高电平信号提供给第三节点N3,从而控制第八晶体管M8处于关闭状态,避免向第二输出模块22的输出端OUT2提供第二恒定电压端V2的信号,而对第二输出模块22的输出端OUT2的信号造成干扰。

[0066] 在另一种实施例中,图8为本发明实施例提的另一种移位寄存器的示意图,如图8所示,控制模块23包括第一节点控制模块231和第二节点控制模块232。其中,

[0067] 第一节点控制模块231与移位寄存器的输入端IN、第三时钟信号端CK3、第二恒定电压端V2和第二节点N2电连接;第一节点控制模块231用于根据移位寄存器的输入端IN的信号、第三时钟信号端CK3的信号、第二恒定电压端V2的信号和第二节点N2的信号对第一节点N1的电压进行控制;其中,第三时钟信号端CK3的信号和第一时钟信号端CK1的信号的周期相同。

[0068] 第二节点控制模块232与移位寄存器的输入端IN、第一时钟信号端CK1、第一恒定电压端V1电连接;第二节点控制模块232用于根据移位寄存器的输入端IN的信号、第一时钟信号端CK1的信号、第一恒定电压端V1的信号对第二节点N2的电压进行控制。

[0069] 通过第一时钟信号端CK1的信号、第三时钟信号端CK3的信号、第一恒定电压端V1的信号、第二恒定电压端V2的信号、以及移位寄存器的输入端IN的信号相互配合对第一节点N1的电位和第二节点N2的电位进行控制,进而控制在移位寄存器工作时,第一输出模块21的输出端OUT1能够输出第一扫描信号,同时第二输出模块22的输出端OUT2能够输出第二扫描信号,其中,第一扫描信号中的低电平信号能够作为像素电路中p型晶体管的使能信号,第二扫描信号中的高电平信号能够作为像素电路中n型晶体管的使能信号。实现通过一组驱动电路能够配合像素电路工作,同时为像素电路中的n型晶体管和p型晶体管分别提供使能信号,能够减少驱动电路的设置个数,减少非显示区的晶体管数量,有利于显示面板边框的窄化。

[0070] 如图8所示的,第一节点控制模块231包括第十晶体管M10和第十一晶体管M11。第十晶体管M10的控制端与第三时钟信号端CK3电连接,第十晶体管M10的第一端与第二恒定电压端V2电连接,第十晶体管M10的第二端与第一节点N1电连接;第十一晶体管M11的控制端与第二节点N2电连接,第十一晶体管M11的第一端与移位寄存器的输入端IN电连接,第十一晶体管M11的第二端与第一节点N1电连接。

[0071] 第二节点控制模块232包括第十二晶体管M12、第十三晶体管M13和第十四晶体管M14;第十二晶体管M12的控制端与第三时钟信号端电连接,第十二晶体管M12的第一端与移位寄存器的输入端IN电连接,第十二晶体管M12的第二端与第二节点N2电连接;第十三晶体管M13的控制端与第一时钟信号端电连接,第十三晶体管M13的第一端与第十四晶体管M14的第二端电连接,第十三晶体管M13的第二端与第二节点N2电连接;第十四晶体管M14的控

制端与第一节点N1电连接,第十四晶体管M14的第一端与第一恒定电压端V1电连接。

[0072] 如图8所示的,控制模块23还包括第十五晶体管M15、第二电容C2和第三电容C3。第十五晶体管M15的控制端与第二恒定电压端V2电连接,第十五晶体管M15的第一端连接到第四节点N4,第十五晶体管M15的第二端连接到第二节点N2。其中,第十五晶体管M15为常开状态,在第二节点N2电位维持阶段,能够减小第二节点N2向第四节点N4的漏流。第二电容C2用于维持第二节点N2的电位,第三电容C3用于维持第一节点N1的电位。

[0073] 图9为移位寄存器工作的另一种时序图。下面结合图9中的时序来说明本发明实施例提供的移位寄存器的工作过程。如图9所示,

[0074] 在 t_1' 时刻,移位寄存器的输入端IN输入起始信号,第一时钟信号端CK1提供高电平信号,第二时钟信号端CK2提供高电平信号,第三时钟信号端CK3提供低电平信号。第三时钟信号端CK3控制第十晶体管M10和第十二晶体管M12打开;第十晶体管M10打开后将第二恒定电压端V2的低电平信号写入到第一节点N1;第十二晶体管M12打开后,将输入端IN输入的低电平信号写入到第四节点N4,第十五晶体管M15常开,则低电平信号由第四节点N4写入到第二节点N2(此为1位置处第二节点N2电位下降原因);同时第四节点N4控制第十一晶体管M11打开,将输入端IN输入的低电平信号写入到第一节点N1。在此阶段第一节点N1和第二节点N2均为低电位,也就是说,在此阶段控制模块23控制第一节点N1和第二节点N2均为低电位。

[0075] 在第一节点N1和第二节点N2均为低电位时,对于第一输出模块21:第一输出下拉模块211和第一输出上拉模块212均开启。在第一节点N1控制下第二晶体管M2打开,将第一恒定电压端V1的高电平信号提供给输出端OUT1;在第二节点N1控制下第一晶体管M1打开,将第一时钟信号端CK1的高电平信号提供给输出端OUT1;此时第一输出模块21的输出端OUT1输出第一扫描信号的高电平信号。

[0076] 在第一节点N1和第二节点N2均为低电位时,对于第二输出模块22:第二输出上拉模块221开启,第二输出下拉模块222关闭。在第一节点N1控制下第四晶体管M4打开,在第二节点N2的控制下第三晶体管M3打开,则第二时钟信号端CK2的高电平信号通过第三晶体管M3和第四晶体管M4提供给输出端OUT2;同时,第二节点N2控制第五晶体管M5打开,将第二时钟信号端CK2的高电平信号提供给输出端OUT2;此时第二输出模块22的输出端OUT2输出第二扫描信号的高电平信号。第二扫描信号的高电平信号为控制像素电路中n型晶体管的使能信号。另外,在该阶段,第二节点N2控制第九晶体管M9打开,将第二时钟信号端CK2的高电平信号提供给第三节点N3,此时第三节点N3为高电位,能够控制第八晶体管M8关闭。

[0077] 在 t_2' 时刻,第三时钟信号端CK1由低电平信号变为高电平信号,第十晶体管M10和第十二晶体管M12均关闭。第二时钟信号端CK2由高电平信号变为低电平信号,第二时钟信号端CK2的信号跳变对第二节点N2电位存在耦合作用,使得第二节点N2的电位被继续拉低,如图9中示意的位置2。同时,第二时钟信号端CK2的信号跳变对第一节点N1电位存在耦合作用,使得第一节点N1电位被拉低,如图9中示意的位置3。但是在此阶段第四节点N4维持上一阶段的低电位控制第十一晶体管M11打开,将输入端IN的高电平信号写入到第一节点N1,所以第一节点N1的电位短暂拉低后又被拉高。所以,在此阶段,第一节点N1为高电位,第二节点N2为低电位。也就是说,在此阶段控制模块23控制第一节点N1为高电位,第二节点N2为低电位。

[0078] 在第一节点N1为高电位,第二节点N2为低电位时,对于第一输出模块21:第一输出下拉模块211打开、第一输出上拉模块212关闭。第二晶体管M2关闭;第一晶体管M1打开,将第一时钟信号端CK1的高电平信号提供给第一输出模块21的输出端OUT1,此时第一输出模块21的输出端OUT1继续输出第一扫描信号的高电平信号。

[0079] 在第一节点N1为高电位,第二节点N2为低电位时,对于第二输出模块22:第二节点N2控制第五晶体管M5和第九晶体管M9开启,第五晶体管M5将第二时钟信号端CK2的低电平信号提供给输出端OUT2;第九晶体管M9将第二时钟信号端CK2的低电平信号提供给第三节点N3,另外,第二时钟信号端CK2为低电平控制第六晶体管M6开启,将第二恒定电压端V2的低电平信号提供给第三节点N3,在此阶段,第三节点N3为低电平,并依靠第一电容C1的作用维持低电平,控制第八晶体管M8打开,将第二恒定电压端V2的低电平信号提供给输出端OUT2。此时,第二输出模块22的输出端OUT2输出第二扫描信号的低电平信号。

[0080] 在 t_3' 时刻,第一时钟信号端CK1由高电平信号变为低电平信号,第一时钟信号端CK1对第二节点N2存在耦合作用,在第一时钟信号端CK1信号跳变时,将第二节点N2电位继续拉低,如图9中示意的位置4。此时第二节点N2为低电位,第一节点N1维持上一时刻的高电位。

[0081] 在此阶段,对于第一输出模块21:第一时钟信号端CK1为低电平信号,第一晶体管M1在第二节点N2电位控制下打开,将第一时钟信号端CK1的低电平信号提供给输出端OUT1,此时,第一输出模块21的输出端OUT1输出第一扫描信号的低电平信号,第一扫描信号的低电平信号能够用作像素电路中p型晶体管的使能信号。

[0082] 在此阶段,对于第二输出模块22:第二节点N2的低电位控制第五晶体管M5和第九晶体管M9开启,第五晶体管M5将第二时钟信号端CK2的低电平信号提供给输出端OUT2;第九晶体管M9将第二时钟信号端CK2的低电平信号提供给第三节点N3,另外,第一时钟信号端CK1为低电平控制第六晶体管M6开启,将第二恒定电压端V2的低电平信号提供给第三节点N3,在此阶段,第三节点N3为低电平,控制第八晶体管M8打开,将第二恒定电压端V2的低电平信号提供给输出端OUT2。此时,第二输出模块22的输出端OUT2输出第二扫描信号的低电平信号。

[0083] 在 t_4' 时刻,第二节点N2为低电位,第一节点N1为高电位,第一输出模块21的输出端OUT1输出第一扫描信号的高电平信号,第二输出模块22的输出端OUT2输出第二扫描信号的低电平信号。在该时段移位寄存器中各晶体管的开关状态与 t_2' 时刻基本相同,在此不再赘述。

[0084] 在 t_5' 时刻,第三时钟信号端CK3为低电平信号,第二时钟信号端CK2为高电平信号,第一时钟信号端CK1为高电平信号。第三时钟信号端CK3的信号控制第十晶体管M10开启后,将第二恒定电压端V2的低电平信号写入到第一节点N1,所以第一节点N1由高电位变为低电位。第三时钟信号端CK3的信号控制第十二晶体管M12开启后,将输入端IN的高电平信号写入到第二节点N2,此时第二节点N2由低电位变为高电位。在此阶段,第一节点N1为低电位,第二节点N2为高电位。

[0085] 在第一节点N1为低电位,第二节点N2为高电位时,对于第一输出模块21:第一晶体管M1关闭,第二晶体管M2在第一节点N1控制下打开,将第一恒定电压端V1的高电平信号提供给第一输出模块21的输出端OUT1,第一输出模块21的输出端OUT1输出第一扫描信号的高

电平信号。

[0086] 在第一节点N1为低电位,第二节点N2为高电位时,对于第二输出模块22:第三晶体管M3关闭、第四晶体管M4打开、第五晶体管M5关闭,则第二输出上拉模块221关闭;第九晶体管M9也关闭。在该阶段辅助下拉模块223中的第六晶体管M6和第七晶体管M7均关闭,第三节点N3依靠第一电容C1的作用维持低电位,以控制第八晶体管M8开启,第八晶体管M8开启后将第二恒定电压端V2的低电平信号提供给输出端OUT2。此时第二输出模块22的输出端OUT2输出第二扫描信号的低电平信号。

[0087] 另外,在 t_1' 至 t_5' 时刻之外的其他时刻,第二输出模块22中的辅助下拉模块223用于在第一时钟信号端CK1的信号、第二时钟信号端CK2的信号以及第一电容C1的共同作用下稳定第三节点N3的电位,使得第三节点N3维持低电位以控制第八晶体管M8打开,将第二恒定电压端V2的低电平信号提供给输出端OUT2。

[0088] 另外,在 t_1' 至 t_5' 时刻之外的其他时刻,当第一节点N1位低电位,第一时钟信号端CK1为低电平信号时,第十三晶体管M13和第十四晶体管M14同时开启后,将第一恒定电压端V1的高电平信号提供给第四节点N4,从而能使得第二节点N2为高电位,使得第一节点N1和第二节点N2的电位相反。

[0089] 通过对上述图9时序的分析,本发明实施例提供的移位寄存器在工作时,能够控制第一输出模块21输出第一扫描信号,第一扫描信号为低电平有效的扫描信号,同时还能控制第二输出模块22输出第二扫描信号,第二扫描信号为高电平有效的扫描信号。并且,第一扫描信号的低电平信号的输出时刻在第二扫描信号的高电平信号的输出时刻之后,从而第二扫描信号能够控制如图1中示意的像素电路中的第一复位晶体管T3和阈值补偿晶体管T2开启(上述实施例说明可以由相邻级的移位寄存器提供第二扫描信号),第一扫描信号能够控制如图1中示意的像素电路中的数据写入晶体管T1和第二复位晶体管T4开启。从而通过一组驱动电路能够配合像素电路工作,同时为像素电路中的n型晶体管和p型晶体管分别提供使能信号,能够减少驱动电路的设置个数,减少非显示区的晶体管数量,有利于显示面板边框的窄化。

[0090] 如图9中示意的虚线圈出的位置,在本发明实施例中,驱动移位寄存器工作时,第二时钟信号端CK2的信号的上升沿延后于第三时钟信号端CK3的信号的下降沿。可选的,第二时钟信号端CK2的信号的上升沿延后于第三时钟信号端CK3的信号的下降沿约 $1\mu\text{s}$ 。在图9中示意的 t_5' 时刻,第三时钟信号端CK3的电压由高变低,第二节点N2的电位由低变高。在第三时钟信号端CK3的电压由高开始变低的初始时段,第二节点N2的开始由低电位变为高电位,如果此初始时段第二时钟信号端CK2的信号已经是高电平,那么第二节点N2还处于较低电位时会使得第九晶体管M9(第一保护模块224)没有及时关闭,则第二时钟信号端CK2的高电平信号会给到第三节点N3,使得第三节点N3电位变高,则第八晶体管M8关闭。同时,第二节点N2还处于较低电位时会使得第五晶体管M5没有及时关闭,使得第二时钟信号端CK2的高电平会有一部分输出到第二输出模22的输出端OUT2,导致第二扫描信号的输出异常。而本发明实施例中通过对时钟信号的时序进行设计,设置第二时钟信号端CK2的信号的上升沿延后于第三时钟信号端CK3的信号的下降沿,在 t_5' 时刻的初始时段,通过第二时钟信号端CK2提供一端时间的低电平信号来控制第六晶体管M6打开,将第二恒定电压端V2的低电平信号写入到第三节点N3,能够控制第八晶体管M8及时开启,及时向第二输出模块22的输

出端OUT2输出低电平信号,从而保证该时段第二输出模块22的输出端OUT2能够持续输出第二扫描信号的低电平信号,保证第二扫描信号正常输出。

[0091] 在另一种实施例中,图10为本发明实施例提供的另一种移位寄存器的示意图,如图10所示,在上述图8实施例基础上,第二输出模块22还包括第十六晶体管M16和第四电容C4。其中,第十六晶体管M16控制端连接到第二恒定电压端V2,第十六晶体管M16的第一端连接到第四电容C4的第一极板,第十六晶体管M16的第二端连接到第二输出模块22的输出端OUT2,第四电容C4的第二极板连接到第三节点N3。其中,第十六晶体管M16为常开状态,在第三节点N3维持低电位控制第八晶体管M8开启,以向第二输出模块23的输出端OUT2输出低电平信号的时刻,输出端OUT2的低电平信号通过第十六晶体管M16传递给第四电容C4的第一极板,由于第四电容C4的自举作用,能够使得第四电容C4的第二极板也为低电位,第四电容C4的第二极板又与第三节点N3相连接,从而能够辅助第三节点N3维持低电位。

[0092] 图11为本发明实施例中一种驱动电路的示意图,图11中示意出了第m-1级移位寄存器20(m-1)至第m+2级移位寄存器20(m+2)的级联方式。

[0093] 如图11所示,显示面板包括第一电源线VGH、第二电源线VGL、第一时钟信号线1CK、第二时钟信号线1XCK、第三时钟信号线2CK、第二时钟信号线2XCK。其中,第一时钟信号线1CK和第二时钟信号线1XCK为一组时钟信号线,第三时钟信号线2CK和第二时钟信号线2XCK为一组时钟信号线。

[0094] 各级移位寄存器20的第一恒定电压端V1均与第一电源线VGH电连接,各级移位寄存器20的第二恒定电压端V2均与第二电源线VGL电连接。

[0095] 以m为奇数为例进行说明。第偶数级移位寄存器20的第一时钟信号端CK1均与第一时钟信号线1CK电连接,第偶数级移位寄存器20的第二时钟信号端CK2均与第三时钟信号线2CK电连接,第偶数级移位寄存器20的第三时钟信号端CK3均与第二时钟信号线1XCK电连接。第奇数级移位寄存器20的第一时钟信号端CK1均与第二时钟信号线1XCK电连接,第奇数级移位寄存器20的第二时钟信号端CK2均与第四时钟信号线2XCK电连接,第奇数级移位寄存器20的第三时钟信号端CK3均与第一时钟信号线1CK电连接。

[0096] 第1级移位寄存器20的输入端IN连接到起始信号端,第m级移位寄存器20(m)的输入端IN与第m-1级移位寄存器20(m-1)的第一输出模块21的输出端OUT1电连接,第m+1级移位寄存器20(m+1)的输入端IN与第m级移位寄存器20(m)的第一输出模块21的输出端OUT1电连接。也就是说,在级联的移位寄存器中,除第1级移位寄存器之外,移位寄存器的输入端IN连接到上一级移位寄存器中一输出模块21的输出端OUT1。

[0097] 本发明实施例还提供一种显示装置,图12为本发明实施例提供的显示装置示意图,如图12所示,显示装置包括本发明任意实施例提供的显示面板100。本发明实施例中显示装置可以是例如手机、平板计算机、笔记本电脑、电纸书、电视机、智能手表等任何具有显示功能的设备。

[0098] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明保护的范围之内。

[0099] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同

替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

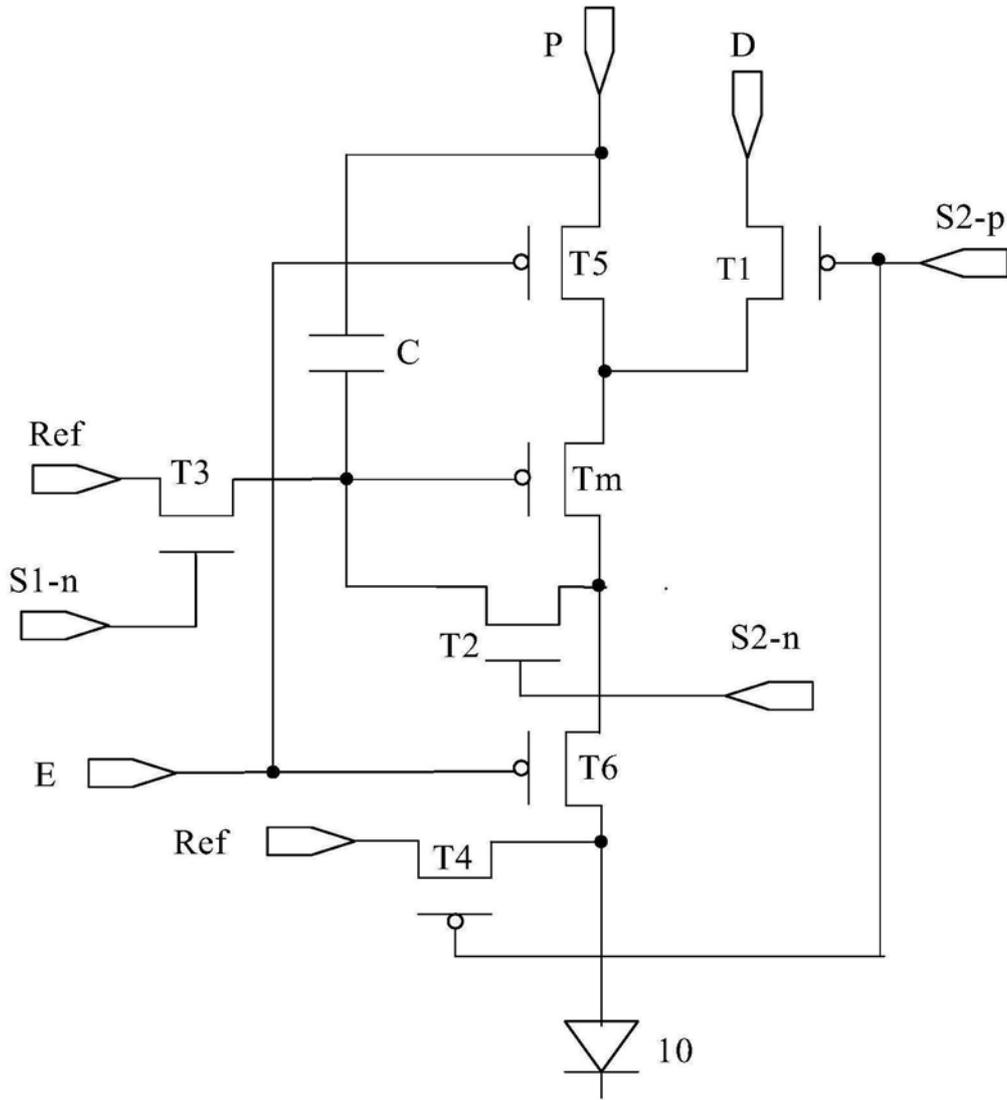


图1

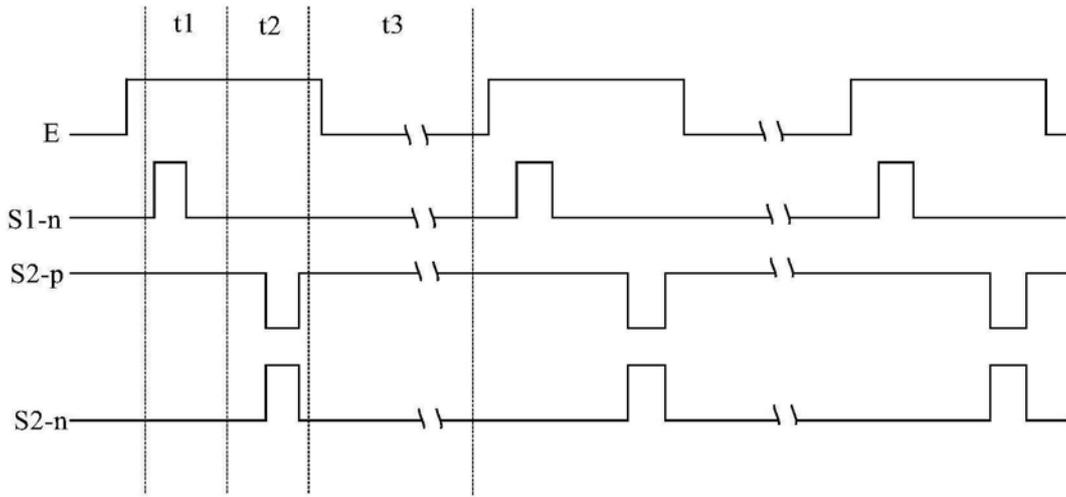


图2

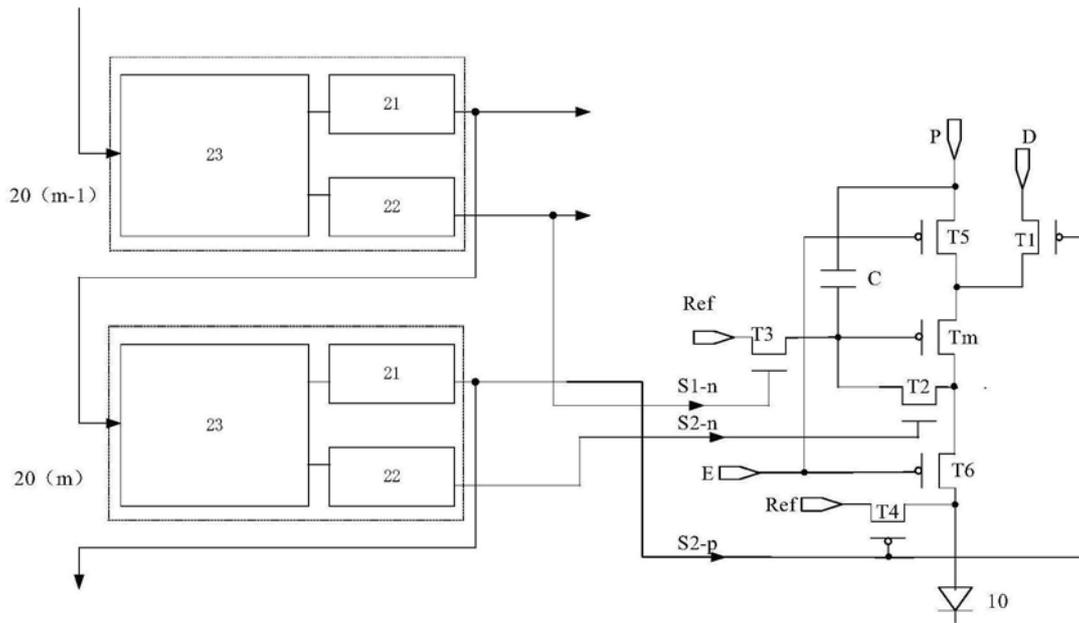


图3

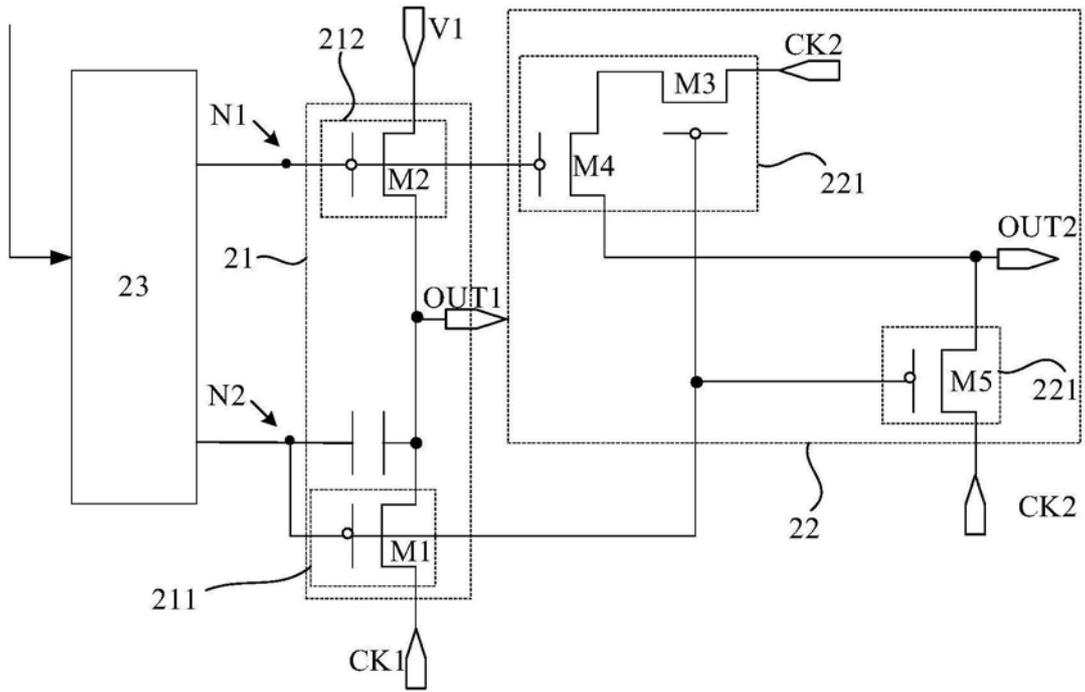


图4

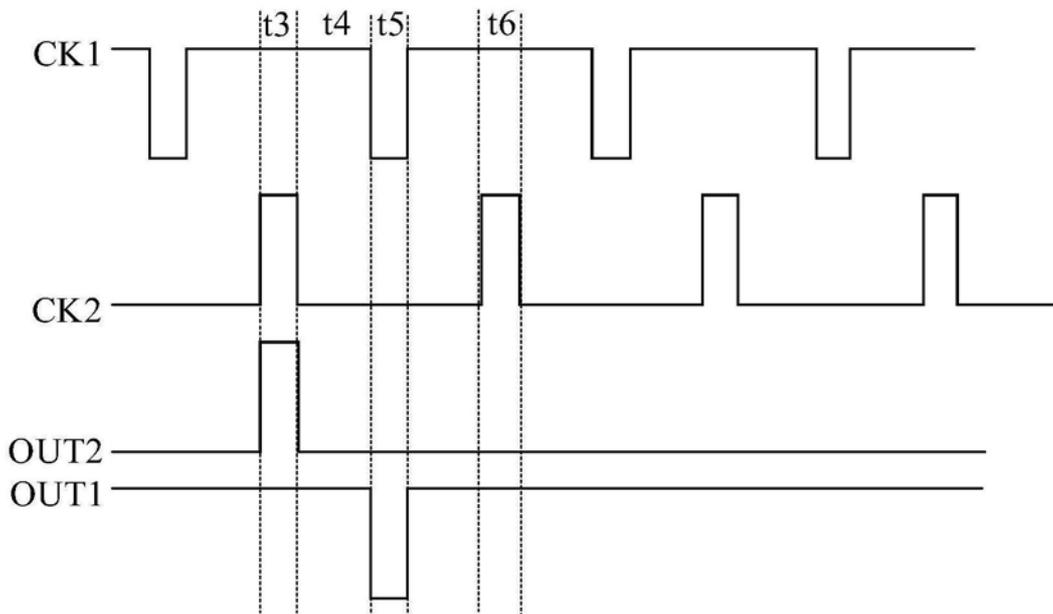


图5

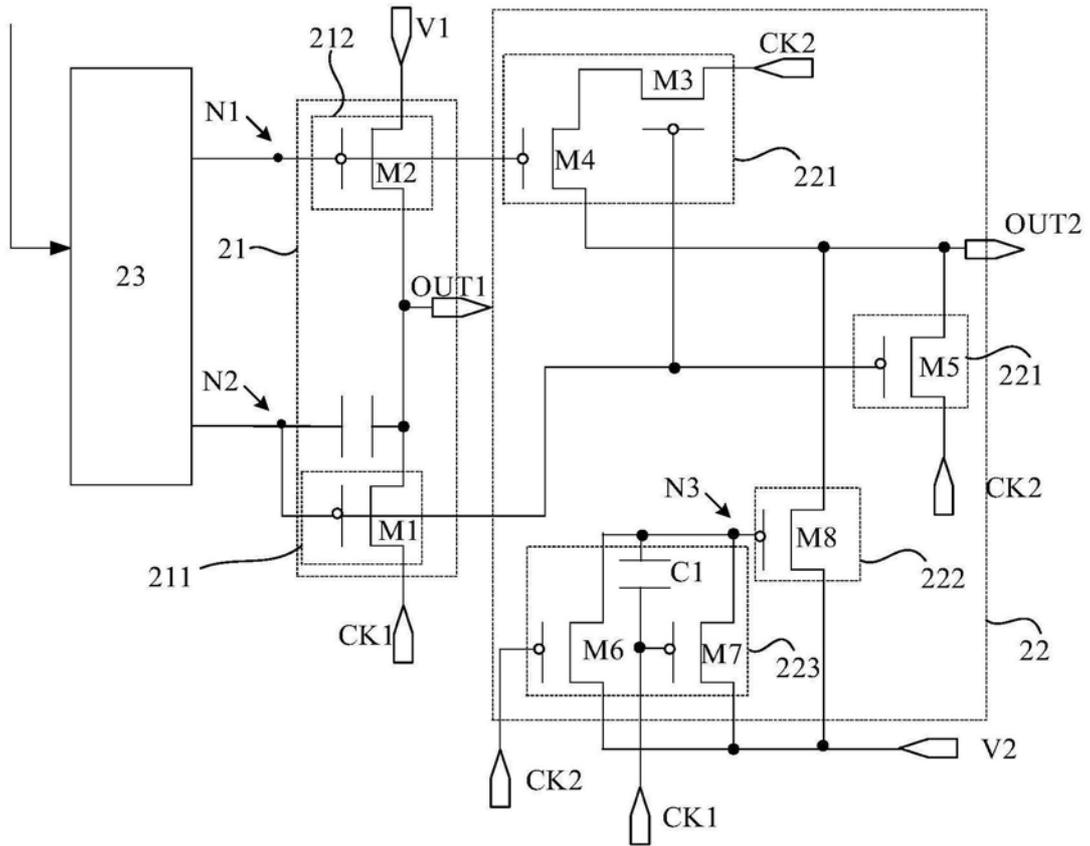


图6

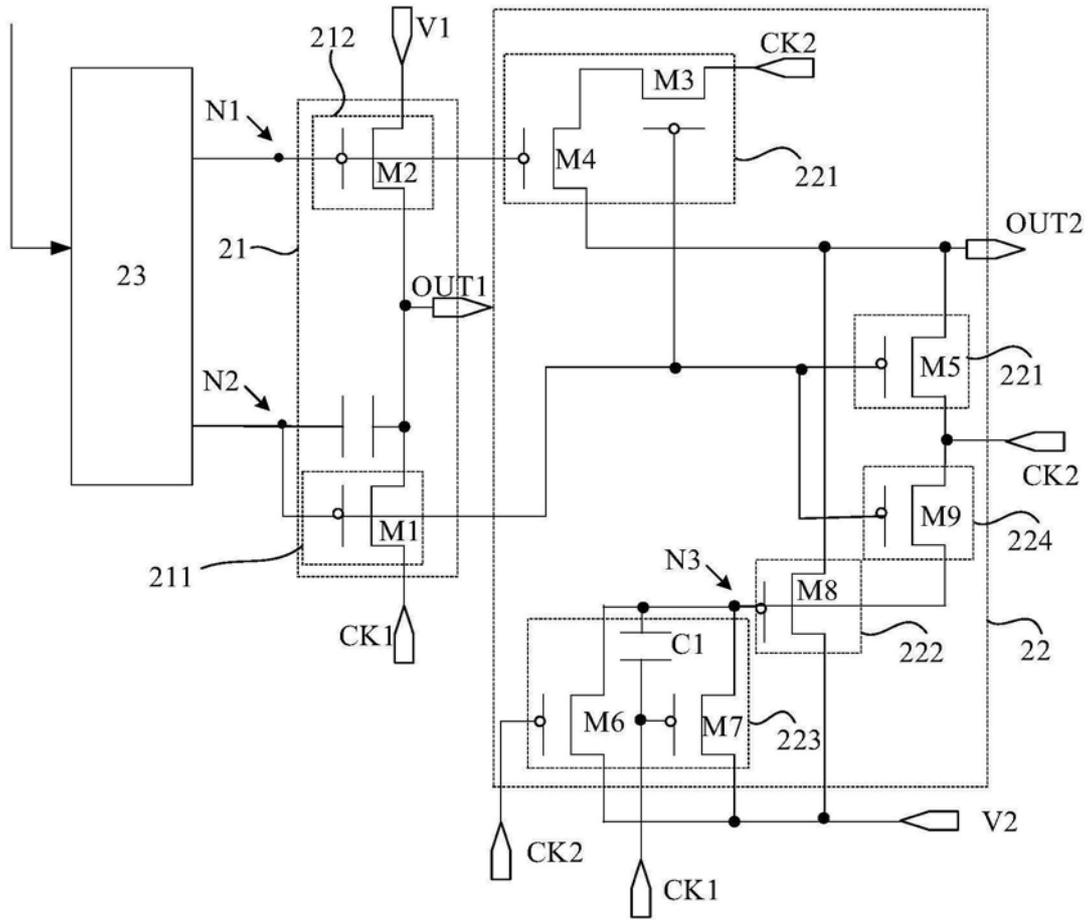


图7

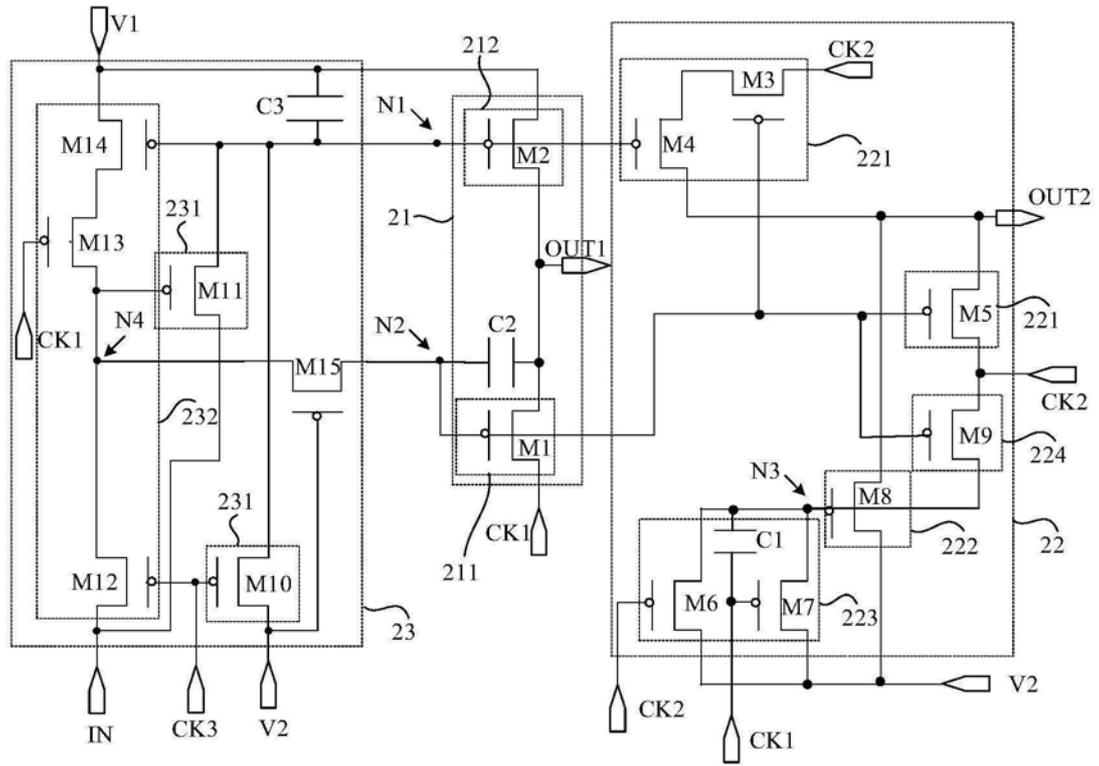


图8

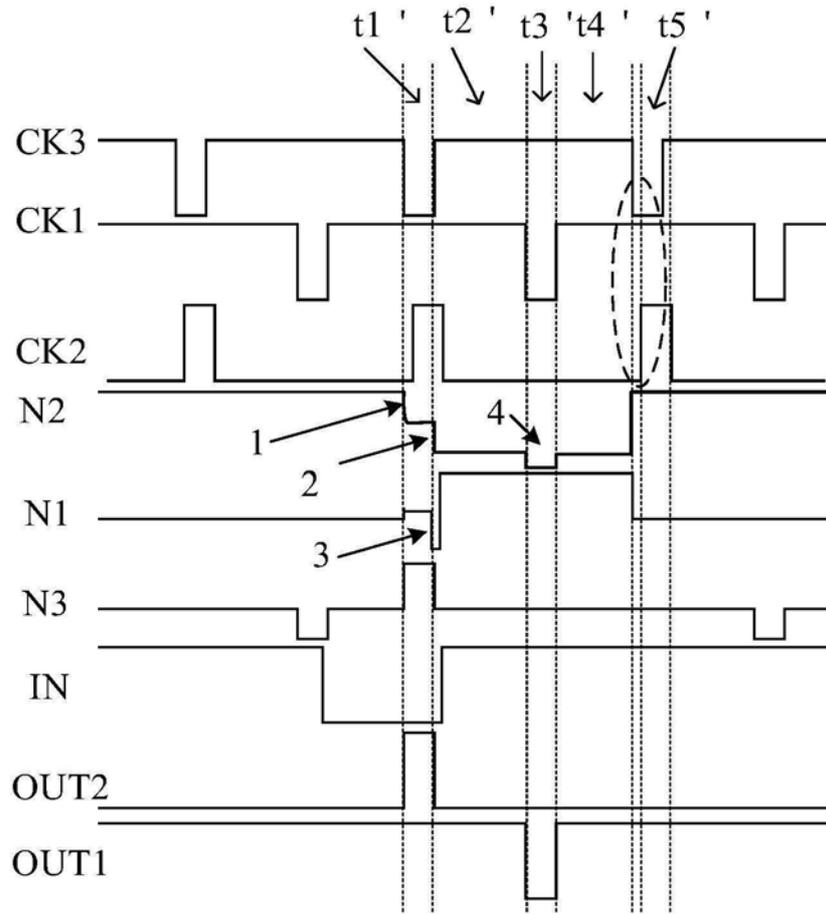


图9

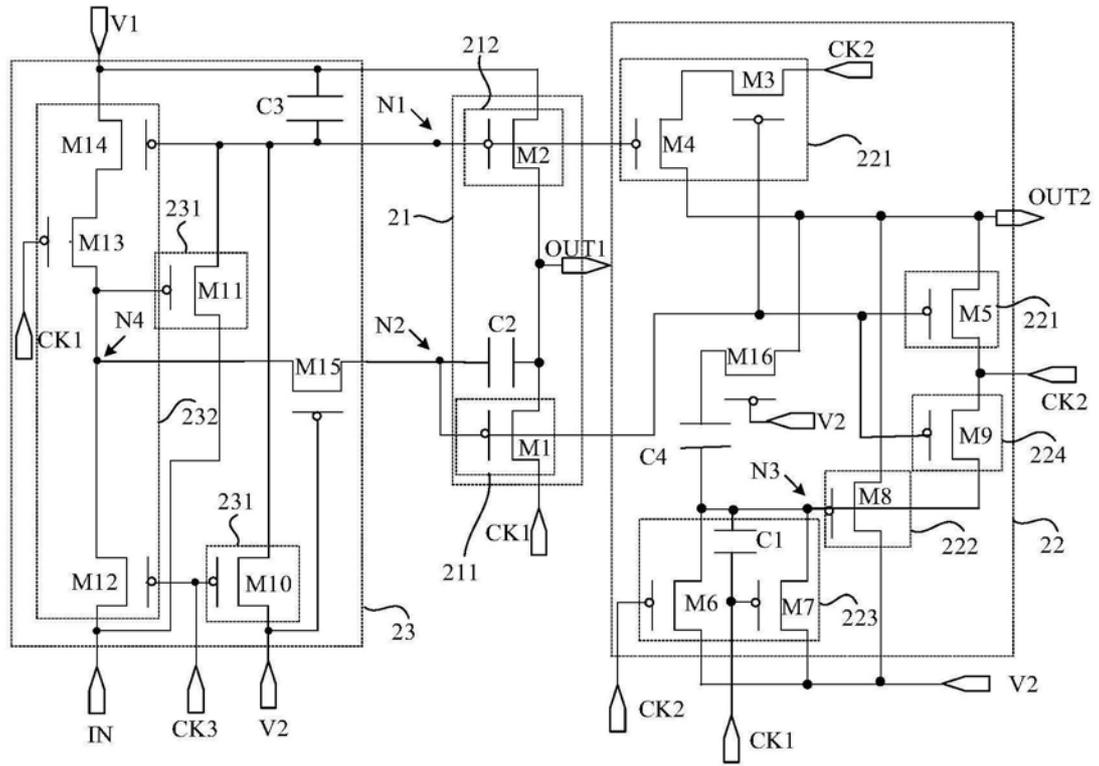


图10

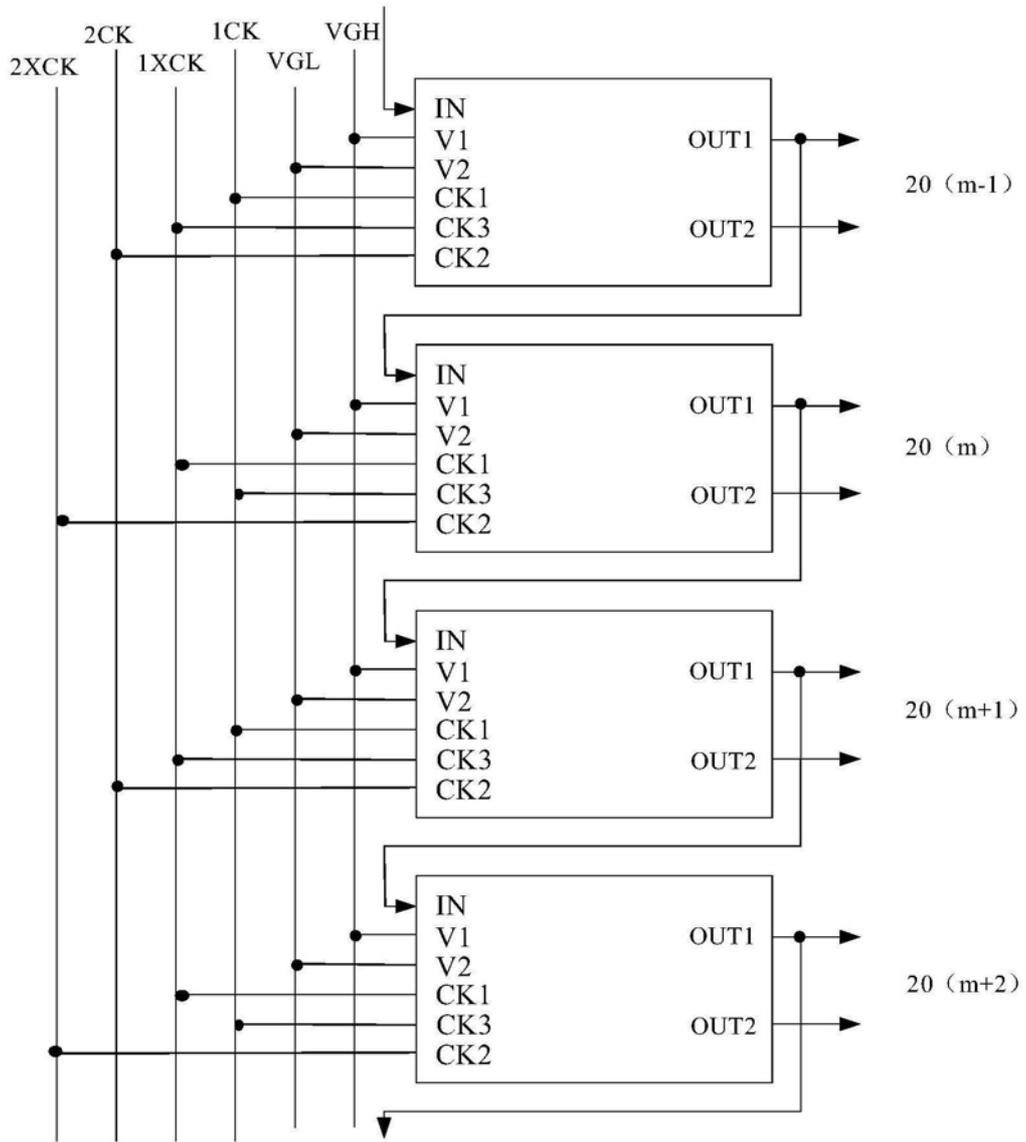


图11

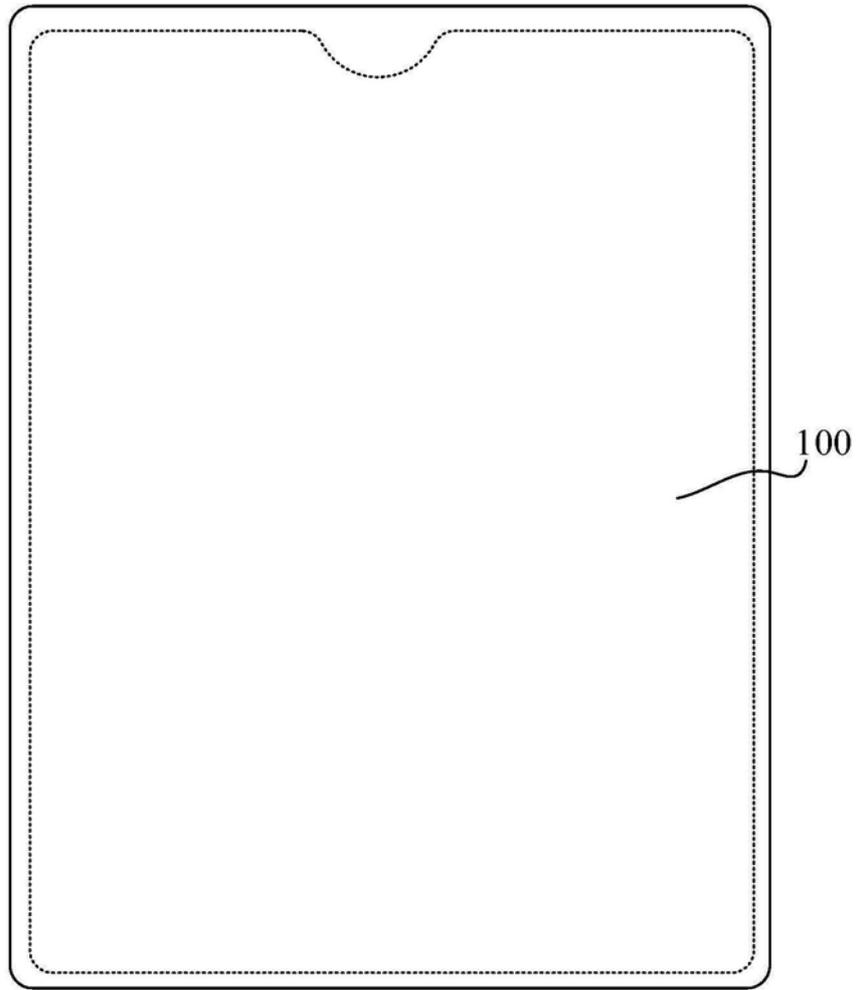


图12