



(12) 发明专利申请

(10) 申请公布号 CN 115000039 A

(43) 申请公布日 2022. 09. 02

(21) 申请号 202210129260.3

(22) 申请日 2022.02.11

(30) 优先权数据

2021-023139 2021.02.17 JP

(71) 申请人 三菱电机株式会社

地址 日本东京

(72) 发明人 松尾英尧 后藤亮 清水康贵

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

专利代理师 何立波 张天舒

(51) Int. Cl.

H01L 23/49 (2006.01)

H01L 23/492 (2006.01)

H01L 25/07 (2006.01)

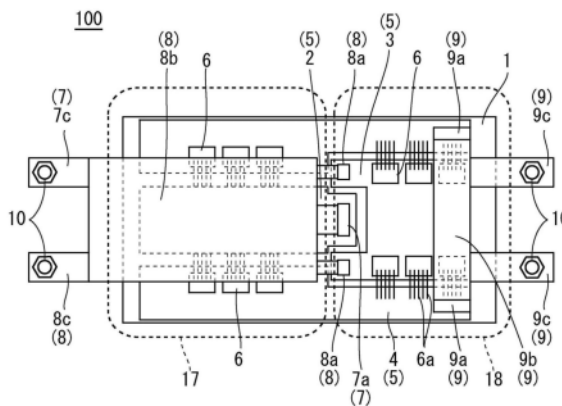
权利要求书1页 说明书6页 附图3页

(54) 发明名称

半导体装置

(57) 摘要

目的是提供可实现小型化且减小高电位端子与低电位端子间的电感的半导体装置。半导体装置(100)具有:绝缘基板(1);电路图案(5),包含在绝缘基板(1)之上设置的低电位电路图案(2)和在绝缘基板(1)之上的与低电位电路图案(2)相邻的区域设置的高电位电路图案(3);多个半导体芯片(6),搭载于电路图案(5)之上;低电位端子(7),一端部与低电位电路图案(2)连接;以及高电位端子(8),一端部与高电位电路图案(3)连接,高电位端子(8)及低电位端子(7)具有:平板部(8b、7b),它们构成彼此上下平行地配置的平行平板,在低电位电路图案(2)侧延伸;以及电极部(8c、7c),它们从绝缘基板(1)凸出。



1. 一种半导体装置,其具有:

绝缘基板;

电路图案,其包含在所述绝缘基板之上设置的低电位侧的电路图案和在所述绝缘基板之上的与所述低电位侧的电路图案相邻的区域设置的高电位侧的电路图案;

多个半导体芯片,它们搭载于所述电路图案之上;

低电位端子,其一端部与所述低电位侧的电路图案连接;以及

高电位端子,其一端部与所述高电位侧的电路图案连接,

所述高电位端子及所述低电位端子具有:中途部,其构成彼此上下平行地配置的平行平板,在所述低电位侧的电路图案侧延伸;以及另一端部,其从所述绝缘基板凸出。

2. 根据权利要求1所述的半导体装置,其中,

还具有输出端子,该输出端子被赋予所述半导体芯片的输出,

所述电路图案还包含在所述绝缘基板之上的所述低电位侧的电路图案及所述高电位侧的电路图案的外周侧设置的输出侧的电路图案,

所述输出端子具有与所述输出侧的电路图案的位于所述高电位侧的电路图案侧的部位连接的一端部和从所述绝缘基板凸出的另一端部。

3. 根据权利要求1或2所述的半导体装置,其中,

所述半导体芯片是将开关元件和续流元件进行1芯片化而构成的。

4. 根据权利要求1至3中任一项所述的半导体装置,其中,

所述低电位端子的所述中途部配置于所述高电位端子的所述中途部的下侧。

5. 根据权利要求2所述的半导体装置,其中,

所述输出端子的所述一端部连接于所述输出侧的电路图案的位于与所述高电位端子及所述低电位端子的所述另一端部凸出的方向相反侧的所述绝缘基板之上的端部处的部位。

6. 根据权利要求1、2及5中任一项所述的半导体装置,其中,

所述半导体芯片是SiC-MOSFET。

## 半导体装置

### 技术领域

[0001] 本发明涉及半导体装置。

### 背景技术

[0002] 当前,存在将多个半导体芯片搭载于绝缘基板而构成电气电路的半导体装置。在使用多个半导体芯片而构成电气电路的情况下,电气电路复杂化、配线区域的面积增大,因此担忧半导体装置大型化。

[0003] 为了解决这样的问题,例如在专利文献1中提出了对具有复杂的电气电路的半导体装置内的电路配线进行改良而实现半导体装置的小型化的技术。

[0004] 专利文献1:国际公开第2016/084622号

[0005] 但是,在专利文献1所记载的技术中,低电位侧的主端子(相当于低电位端子)与高电位侧的主端子(相当于高电位端子)不构成平行平板。因此,存在从高电位侧的主端子至低电位侧的主端子为止的路径上的电感变大的问题。

### 发明内容

[0006] 因此,本发明的目的在于提供能够实现小型化并且减小高电位端子与低电位端子之间的电感的半导体装置。

[0007] 本发明涉及的半导体装置具有:绝缘基板;电路图案,其包含在所述绝缘基板之上设置的低电位侧的电路图案和在所述绝缘基板之上的与所述低电位侧的电路图案相邻的区域设置的高电位侧的电路图案;多个半导体芯片,它们搭载于所述电路图案之上;低电位端子,其一端部与所述低电位侧的电路图案连接;以及高电位端子,其一端部与所述高电位侧的电路图案连接,所述高电位端子及所述低电位端子具有:中途部,其构成彼此上下平行地配置的平行平板,在所述低电位侧的电路图案侧延伸;以及另一端部,其从所述绝缘基板凸出。

[0008] 发明的效果

[0009] 根据本发明,高电位侧的电路图案形成于与低电位侧的电路图案相邻的位置,因此高电位端子的一端部和低电位端子的一端部配置于相邻的位置,由此能够缩短从高电位端子的一端部至低电位端子的一端部为止的长度,增加由高电位端子及低电位端子的中途部构成的平行平板的长度,进而能够增加平行平板的面积。

[0010] 这样,通过缩短从高电位端子的一端部至低电位端子的一端部为止的长度并且增加平行平板的面积,从而就半导体装置而言,能够实现小型化并且减小高电位端子与低电位端子之间的电感。

### 附图说明

[0011] 图1是实施方式1涉及的半导体装置的俯视图。

[0012] 图2是实施方式1涉及的半导体装置的侧视图。

- [0013] 图3是表示实施方式1涉及的半导体装置的等效电路的电路图。
- [0014] 图4是实施方式2涉及的半导体装置的俯视图。
- [0015] 图5是实施方式2涉及的半导体装置的侧视图。

### 具体实施方式

[0016] <实施方式1>

[0017] 以下,使用附图对实施方式1进行说明。图1是实施方式1涉及的半导体装置100的俯视图。图2是半导体装置100的侧视图。此外,在图1和图2中,为了容易观察半导体装置100的内部构造,省略了作为封装材料的绝缘材料的图示。

[0018] 如图1所示,半导体装置100具有绝缘基板1、电路图案5、多个(例如12个)半导体芯片6、低电位端子7、高电位端子8和输出端子9。并且,半导体装置100具有将绝缘基板1、电路图案5、多个半导体芯片6、低电位端子7的一部分、高电位端子8的一部分及输出端子9的一部分封装的凝胶等绝缘材料(图示省略)。

[0019] 绝缘基板1例如由陶瓷等构成,在俯视观察时形成为长方形。另外,在绝缘基板1的上表面设置有电路图案5。电路图案5包含作为低电位侧的电路图案的低电位电路图案2、作为高电位侧的电路图案的高电位电路图案3和作为输出侧的电路图案的输出电路图案4。

[0020] 低电位电路图案2是从绝缘基板1的上表面的长度方向的比中央部更靠另一端处至一端部而设置的。高电位电路图案3设置于与低电位电路图案2相邻的区域。具体地说,高电位电路图案3是从绝缘基板1的上表面的长度方向的比中央部更靠另一端处至另一端部而设置的。

[0021] 这里,在绝缘基板1的上表面的长度方向的比中央部更靠另一端处,以低电位电路图案2不与高电位电路图案3接触的方式,高电位电路图案3成为将低电位电路图案2的外周侧包围的形状。

[0022] 输出电路图案4设置于绝缘基板1的上表面的低电位电路图案2及高电位电路图案3的外周侧。具体地说,输出电路图案4沿绝缘基板1的上表面的长度方向的2条边而设置。

[0023] 如图1所示,多个半导体芯片6例如是MOSFET (Metal Oxide Semiconductor Field Effect Transistor),搭载于电路图案5之上。具体地说,12个半导体芯片6是SiC-MOSFET,其中6个半导体芯片6在高电位电路图案3之上3个3个成对地相对配置,使用多根铝线6a而与输出电路图案4的位于高电位电路图案3侧的部位连接。

[0024] 另外,剩余的6个半导体芯片6在输出电路图案4的位于低电位电路图案2侧的部位处3个3个成对地相对配置,使用多根铝线6a而与低电位电路图案2连接。此外,在图1中,搭载有12个半导体芯片6,但不限于于此,只要搭载大于或等于2个半导体芯片6即可。

[0025] 这里,“低电位电路图案2侧”是指从绝缘基板1的上表面的中央部至长度方向的一端部为止的区域17。“高电位电路图案3侧”是指从绝缘基板1的上表面的中央部至长度方向的另一端部为止的区域18。

[0026] 如图1和图2所示,低电位端子7及高电位端子8构成隔着绝缘纸11而彼此上下地配置的平行平板。低电位端子7具有:连接部7a,其作为与低电位电路图案2连接的一端部;平板部7b,其作为与高电位端子8构成平行平板的中途部;以及电极部7c,其作为从绝缘基板1凸出的另一端部。

[0027] 平板部7b在绝缘基板1的上方与绝缘基板1平行地配置。另外,平板部7b在绝缘基板1的低电位电路图案2侧延伸,将低电位电路图案2的上表面和输出电路图案4的一部分的上表面覆盖。

[0028] 连接部7a沿上下方向延伸,一端部与低电位电路图案2的位于高电位电路图案3侧的部位连接,另一端部与平板部7b的一端部连接。

[0029] 电极部7c在俯视观察时宽度形成得比平板部7b窄,并且在侧视观察时形成为L字形。电极部7c的一端部与平板部7b的另一端部连接,电极部7c在向上方弯折之后,与平板部7b平行地向绝缘基板1的外侧延伸。即,电极部7c从绝缘基板1的长度方向的一端凸出。

[0030] 如图1和图2所示,高电位端子8具有:连接部8a,其作为与高电位电路图案3连接的一端部;平板部8b,其作为与低电位端子7构成平行平板的中途部;以及电极部8c,其作为从绝缘基板1凸出的另一端部。

[0031] 平板部8b在绝缘基板1的上方与绝缘基板1平行地配置,位于低电位端子7的平板部7b的上侧。换言之,低电位端子7的平板部7b配置于高电位端子8的平板部8b的下侧。另外,平板部8b在绝缘基板1的低电位电路图案2侧延伸,将低电位电路图案2的上表面和输出电路图案4的一部分的上表面覆盖。

[0032] 连接部8a沿上下方向延伸,一端部连接于高电位电路图案3的与低电位端子7的连接部7a相邻的部位,另一端部与平板部8b的一端部连接。

[0033] 电极部8c在俯视观察时宽度形成得比平板部8b窄。电极部8c的一端部与平板部8b的另一端部连接,电极部8c向绝缘基板1的外侧延伸。即,电极部8c从绝缘基板1的长度方向的一端凸出。另外,低电位端子7的电极部7c与高电位端子8的电极部8c位于相同的高度位置。

[0034] 如图1和图2所示,输出端子9是被赋予半导体芯片6的输出的端子,具有:2个连接部9a,它们作为与输出电路图案4的位于高电位电路图案3侧的部位连接的一端部;板状部9b,其将2个连接部9a相连;以及2个电极部9c,它们作为从绝缘基板1凸出的另一端部。

[0035] 2个连接部9a沿上下方向延伸,隔着高电位电路图案3而相对。2个连接部9a的一端部与输出电路图案4的位于高电位电路图案3侧的部位连接。板状部9b在绝缘基板1的上方与绝缘基板1平行地配置。

[0036] 2个电极部9c形成为与板状部9b相同的宽度,并且形成于与板状部9b相同的高度位置。另外,2个电极部9c从与低电位端子7的电极部7c和高电位端子8的电极部8c凸出的方向相反侧即绝缘基板1的长度方向的另一端凸出。

[0037] 假设,在输出端子9设置于输出电路图案4的低电位电路图案2侧的情况下,即,在2个连接部9a与输出电路图案4的位于低电位电路图案2侧的部位连接,2个电极部9c从绝缘基板1的长度方向的一端凸出的情况下,在高电位电路图案3侧配置的半导体芯片6与输出端子9之间的寄生电阻变大,由多个半导体芯片6构成的电气电路的电力损耗变大。

[0038] 另外,在2个电极部9c与输出电路图案4的位于高电位电路图案3侧的部位连接,2个电极部9c从绝缘基板1的长度方向的一端凸出的情况下,输出端子9的从连接部9a至电极部9c的长度 $L_b$ (参照图2)变长,因此,输出端子9的电感增加。

[0039] 为了解决这样的问题,在实施方式1中,输出端子9设置于输出电路图案4的高电位电路图案3侧。即,2个连接部9a与输出电路图案4的位于高电位电路图案3侧的部位连接,2

个电极部9c从绝缘基板1的长度方向的另一端凸出。

[0040] 另外,在低电位端子7的电极部7c、高电位端子8的电极部8c及输出端子9的电极部9c设置有主电极安装部10。

[0041] 图3是表示半导体装置100的等效电路的电路图。如图3所示,半导体装置100在P电极(相当于高电位端子8)与AC电极(相当于输出端子9)之间的上桥臂侧配置有6个并联的半导体芯片6,在AC电极(相当于输出端子9)与N电极(相当于低电位端子7)之间的下桥臂侧配置有6个并联的半导体芯片6。这里,将P电极侧称为上桥臂,将N电极侧称为下桥臂。

[0042] 此外,在上面,对半导体芯片6是SiC-MOSFET进行了说明,但不限于此,半导体芯片6也可以是将RC-IGBT(Reverse Conductive Insulated Gate Bipolar Transistor)这样的开关元件和续流元件进行1芯片化而构成的。

[0043] 另外,如上所述,半导体装置100由未图示的绝缘材料封装,低电位端子7的电极部7c、高电位端子8的电极部8c及输出端子9的电极部9c从绝缘材料露出。

[0044] 如上所述,实施方式1涉及的半导体装置100具有:绝缘基板1;电路图案5,其包含设置于绝缘基板1之上的低电位电路图案2和在绝缘基板1之上的与低电位电路图案2相邻的区域设置的高电位电路图案3;多个半导体芯片6,它们搭载于电路图案5之上;低电位端子7,其一端部与低电位电路图案2连接;以及高电位端子8,其一端部与高电位电路图案3连接,高电位端子8及低电位端子7具有:平板部8b、7b,它们构成彼此上下平行地配置的平行平板,在低电位电路图案2侧延伸;以及电极部8c、7c,它们从绝缘基板1凸出。

[0045] 高电位电路图案3形成于与低电位电路图案2相邻的位置处,因此高电位端子8的连接部8a和低电位端子7的连接部7a配置于相邻的位置处,由此能够缩短从高电位端子8的连接部8a至低电位端子7的连接部7a为止的长度,增加由高电位端子8及低电位端子7的平板部8b、7b构成的平行平板的长度 $L_a$ (参照图2),进而能够增加平行平板的面积。

[0046] 这样,通过缩短从高电位端子8的连接部8a至低电位端子7的连接部7a为止的长度并且增加平行平板的面积,从而就半导体装置100而言,能够实现小型化,并且减小高电位端子8与低电位端子7之间的电感。

[0047] 另外,12个半导体芯片6中的6个半导体芯片6在高电位电路图案3之上3个3个成对地相对配置,使用多根铝线6a而与输出电路图案4的位于高电位电路图案3侧的部位连接。剩余的6个半导体芯片6在输出电路图案4的位于低电位电路图案2侧的部位处3个3个成对地相对配置,使用多根铝线6a而与低电位电路图案2连接。

[0048] 通过这样配置半导体芯片6,从而铝线6a的配线自由度增加,所以能够增加铝线6a的根数而降低每一根铝线6a的电流密度。由此,能够减小多根铝线6a之间的电感。

[0049] 另外,半导体装置100还具有被赋予半导体芯片6的输出的输出端子9,电路图案5还包含有在绝缘基板1之上的低电位电路图案2及高电位电路图案3的外周侧设置的输出电路图案4,输出端子9具有与输出电路图案4的位于高电位电路图案3侧的部位连接的连接部9a和从绝缘基板1凸出的电极部9c。

[0050] 因此,能够缩短输出端子9的从连接部9a至电极部9c为止的长度 $L_b$ (参照图2),所以,能够减小在高电位电路图案3侧配置的半导体芯片6与输出端子9之间的寄生电阻。

[0051] 另外,半导体芯片6是SiC-MOSFET,因此,能够在半导体芯片6的断开动作时实现电流的高速切断。由此,能够降低在半导体芯片6将电流切断时产生的电力损耗。

[0052] 另外,由于半导体芯片6是将开关元件与续流元件进行1芯片化而构成的,因此,能够实现半导体装置100的高密度化,能够实现半导体装置100的进一步小型化。

[0053] 另外,低电位端子7的平板部7b配置于高电位端子8的平板部8b的下侧,因此,构成平行平板的下部的低电位端子7的平板部7b与位于平行平板的下侧的低电位电路图案2及铝线6a为相同电位,能够降低平行平板的高度位置。由此,能够实现半导体装置100的进一步小型化。

[0054] <实施方式2>

[0055] 接下来,对实施方式2涉及的半导体装置100A进行说明。图4是实施方式2涉及的半导体装置100A的俯视图。图5是半导体装置100A的侧视图。此外,在实施方式2中,对与在实施方式1中说明过的结构要素相同的结构要素标注相同的标号而省略其说明。

[0056] 如图4和图5所示,在实施方式2中,相对于实施方式1的情况,变更了设置有输出电路图案4的区域,伴随于此,就半导体装置100A而言,取代输出端子9而具有输出端子19,该输出端子19相对于输出端子9变更了自身的形状及与输出电路图案4的连接部位。

[0057] 输出电路图案4在沿绝缘基板1的上表面的长度方向的2条边设置的基础上,还设置于绝缘基板1的上表面的长度方向的另一端侧的边。

[0058] 输出端子19具有:连接部19a,其作为与输出电路图案4中的绝缘基板1的上表面的长度方向的另一端侧的边连接的一端部;以及电极部19b,其作为从绝缘基板1凸出的另一端部。

[0059] 连接部19a沿绝缘基板1的上表面的长度方向的另一端侧的边而设置,在上下方向延伸。连接部19a的一端部与输出电路图案4中的位于绝缘基板1的上表面的长度方向的另一端侧的边处的部位连接。

[0060] 电极部19b在俯视观察时形成为U字形,在绝缘基板1的上方与绝缘基板1平行地配置。电极部19b从连接部19a的另一端部向与低电位端子7的电极部7c和高电位端子8的电极部8c凸出的方向相反侧延伸。电极部19b中的U字形的2个前端部从绝缘基板1的长度方向的另一端凸出,在电极部19b中的U字形的2个前端部设置有主电极安装部10。

[0061] 如上所述,就实施方式2涉及的半导体装置100A而言,输出端子19的连接部19a连接于输出电路图案4的位于与高电位端子8及低电位端子7的电极部8c、7c凸出的方向相反侧的绝缘基板1之上的端部处的部位。

[0062] 因此,能够使输出端子19的从连接部19a至电极部19b的U字形的2个前端部为止的长度 $L_b$ 比实施方式1的情况短。

[0063] 另外,输出电路图案4设置于绝缘基板1的上表面的长度方向的另一端侧的边,输出端子19的连接部19a与该部位连接。在绝缘基板1的上表面的长度方向的另一端侧的边未配置高电位端子8及低电位端子7,因此,能够增加输出端子19与输出电路图案4之间的连接部位的面积。由此,能够减小输出端子19与输出电路图案4之间的连接部位的接触电阻。

[0064] 此外,能够将各实施方式自由地进行组合,或将各实施方式适当地进行变形、省略。

[0065] 标号的说明

[0066] 1绝缘基板,2低电位电路图案,3高电位电路图案,4输出电路图案,5电路图案,6半导体芯片,7低电位端子,7a连接部,7b平板部,7c电极部,8高电位端子,8a连接部,8b平板

部,8c电极部,9输出端子,9a连接部,9b板状部,9c电极部,19输出端子,19a连接部,19b电极部,100、100A半导体装置。



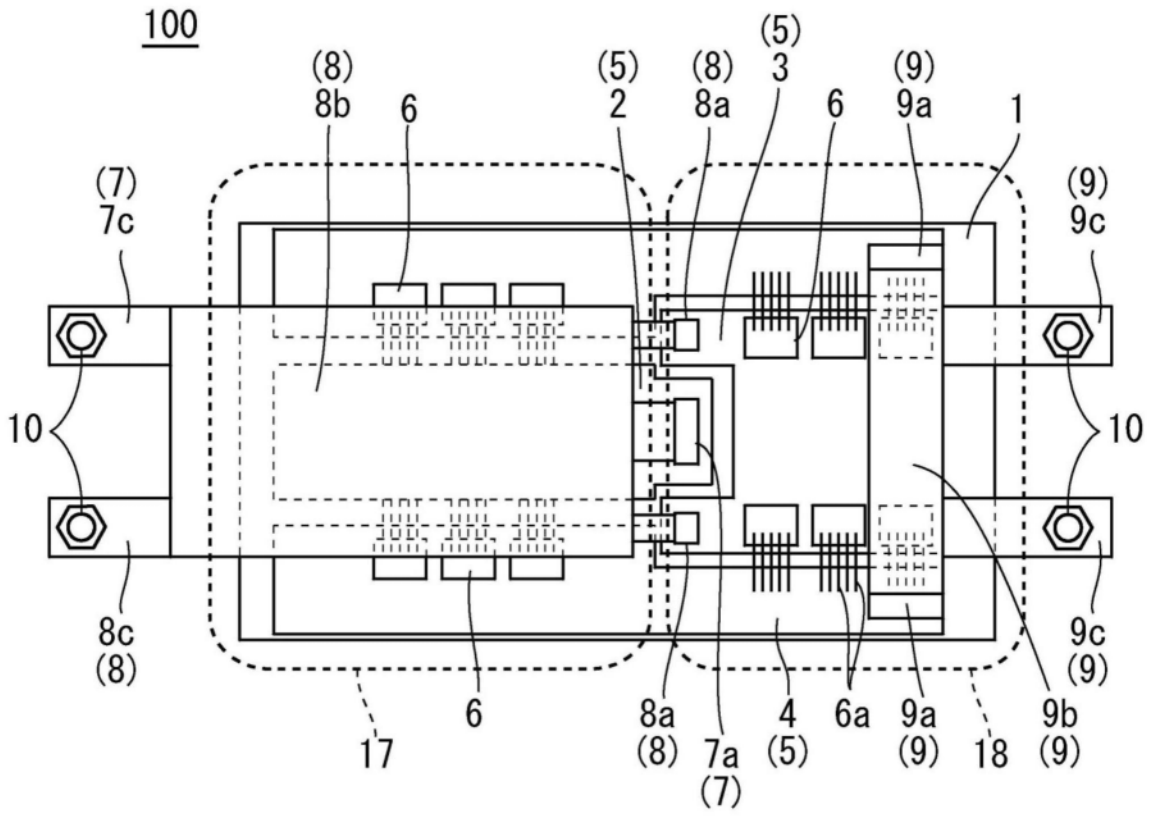


图1

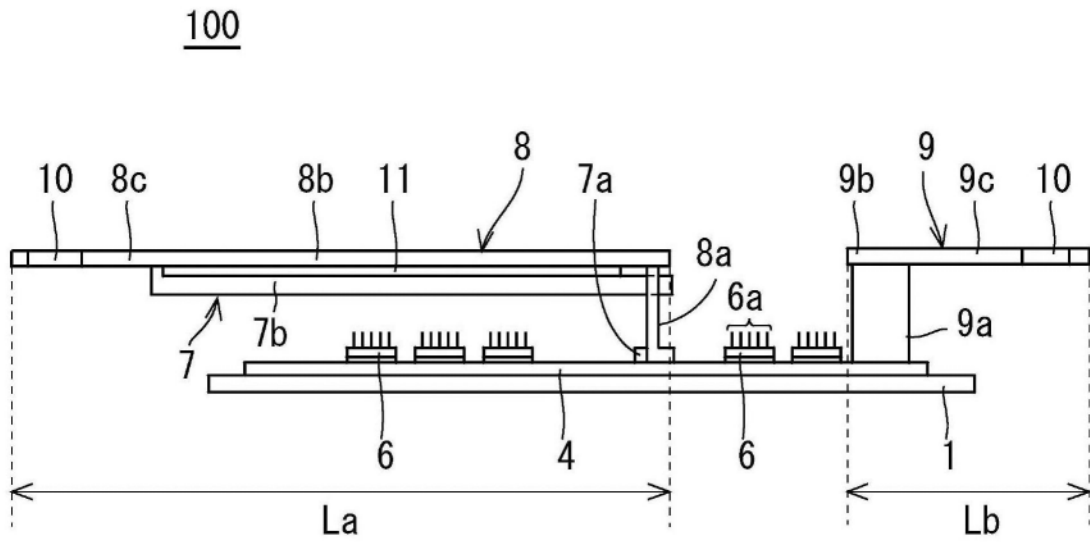


图2

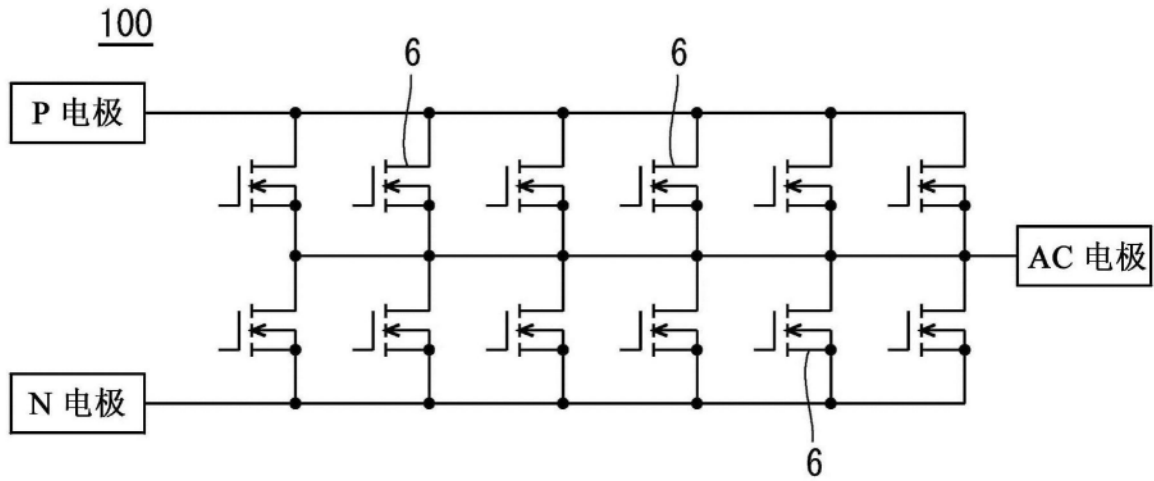


图3

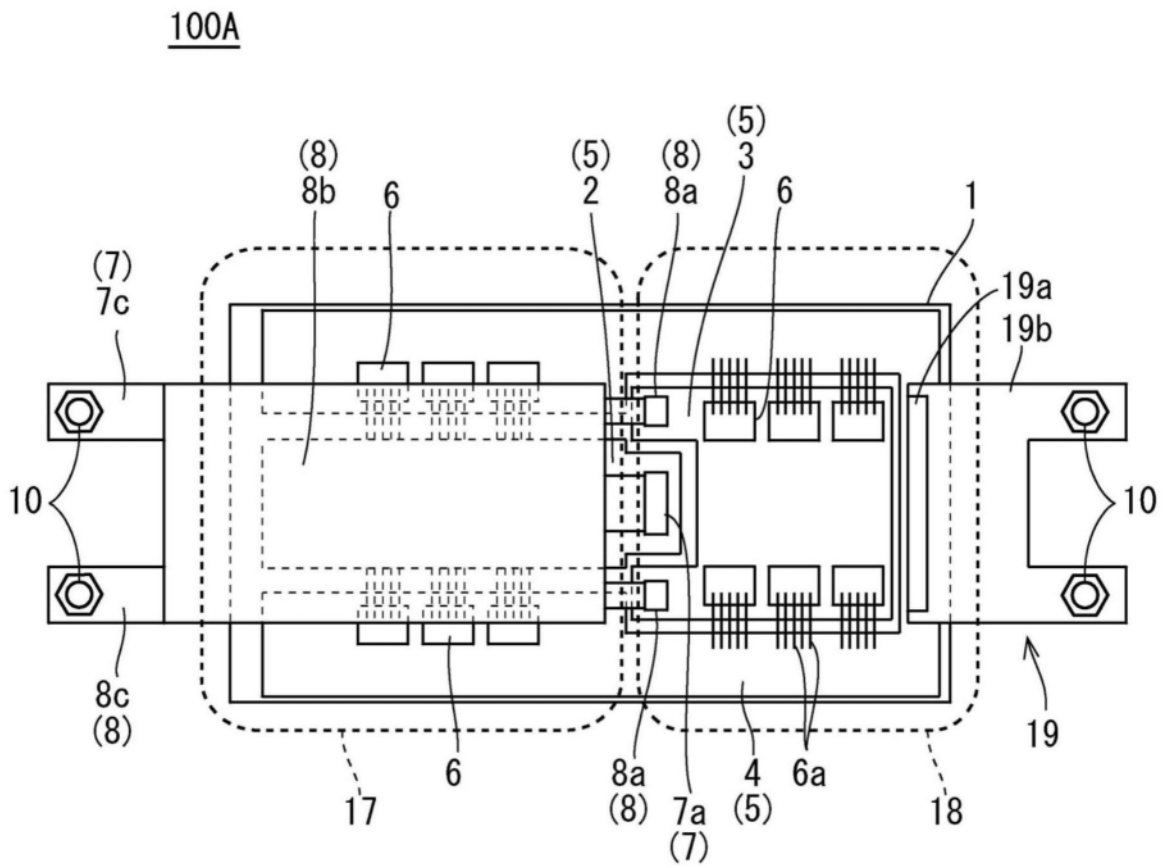


图4

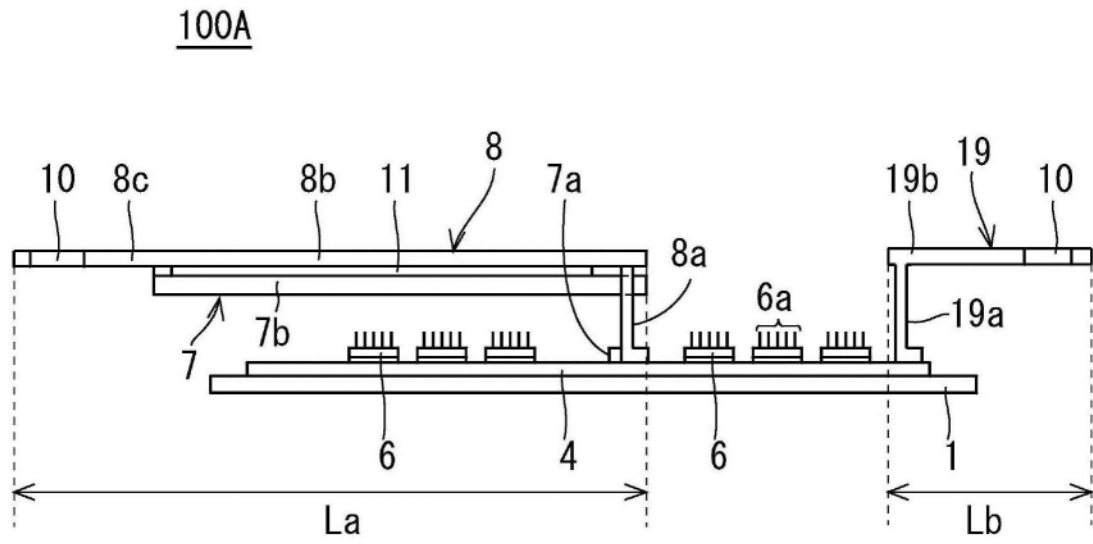


图5