

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年10月9日(09.10.2014)



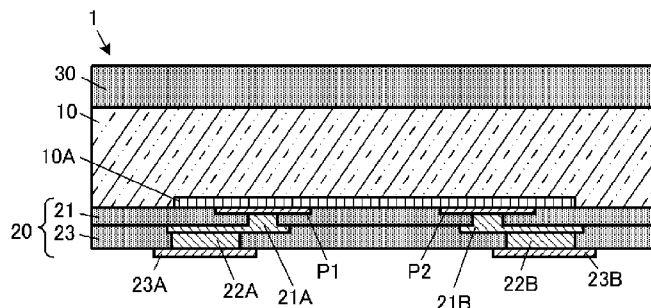
(10) 国際公開番号
WO 2014/162795 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 29/861 (2006.01)
H01L 21/329 (2006.01) H01L 29/866 (2006.01)
H01L 27/04 (2006.01) H01L 29/868 (2006.01)
 - (21) 国際出願番号: PCT/JP2014/054403
 - (22) 国際出願日: 2014年2月25日(25.02.2014)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2013-079978 2013年4月5日(05.04.2013) JP
特願 2013-126659 2013年6月17日(17.06.2013) JP
 - (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
 - (72) 発明者: 加藤登(KATO, Noboru); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 中磯俊幸(NAKAISU, Toshiyuki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
 - (74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒
 - 5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: ESD PROTECTIVE DEVICE

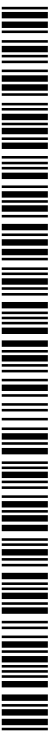
(54) 発明の名称: ESD保護デバイス

図1



(57) Abstract: The present invention is provided with a Si substrate (10), an ESD protective circuit (10A), a pad (P1, P2), a rewiring layer (20), and an insulating resin film (30). The ESD protective circuit (10A) is formed on the Si substrate (10). The pad (P1, P2) is formed on a front surface of the Si substrate (10) and is electrically connected with a first and second input terminal of the ESD protective circuit (10A). The rewiring layer (20) is formed on the front surface of the Si substrate (10), and is electrically connected with the pad (P1, P2) and a metal-plated film (23A, 23B). The insulating resin film (30) is formed on a rear surface of the Si substrate (10). An (ESD) protective device capable of suppressing the influence of external noise and the like is thereby provided.

(57) 要約: Si基板(10)と、Si基板(10)に形成されたESD保護回路(10A)と、Si基板(10)の表面に形成され、ESD保護回路(10A)の第1および第2の入出力端と導通しているパッド(P1, P2)と、Si基板(10)の表面に形成され、パッド(P1, P2)と金属めっき膜(23A, 23B)とを導通させる再配線層(20)と、Si基板(10)の裏面に形成された絶縁性樹脂膜(30)とを備える。これにより、外部からのノイズなどの影響を抑制できる(ESD)保護デバイスを提供する。



WO 2014/162795 A1

明 細 書

発明の名称： E S D保護デバイス

技術分野

[0001] 本発明は、電子回路を静電気放電などのサージから保護する E S D保護デバイスに関する。

背景技術

[0002] 各種電子機器には I Cが備えられている。この I Cを E S D（静電気放電）によって生じるサージから保護するために、 I Cの入出力部には、例えば特許文献 1 に記載されている E S D保護デバイスが接続されている。特許文献 1 は、半導体基板上に集積回路が形成された E S D保護デバイスが開示されていて、 E S D保護デバイスの小型化を実現している。

先行技術文献

特許文献

[0003] 特許文献1：特表 2 0 0 8 - 5 0 7 1 2 4 号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献 1 に記載のように、半導体基板上に集積回路が形成された構成の E S D保護デバイスにおいて、半導体基板が露出した状態である場合、半導体基板が外部の導体と接触して、 E S Dまたはノイズ電流が半導体基板を介して集積回路へ流れ込み、さらには、 E S D保護デバイスが接続されている回路（信号ライン）に流れる現象が生じるおそれがある。

[0005] そこで、本発明の目的は、外部からのノイズなどの影響を抑制できる E S D保護デバイスを提供することにある。

課題を解決するための手段

[0006] 本発明は、 E S D保護回路が形成された半導体基板と、前記半導体基板の第 1 面に形成され、前記 E S D保護回路の第 1 の入出力端と導通している第 1 の金属膜と、前記半導体基板の第 1 面に形成され、前記 E S D保護回路の

第2の入出力端と導通している第2の金属膜と、前記半導体基板の第1面に形成され、前記第1の金属膜と第1の外部電極とを導通させ、かつ、前記第2の金属膜と第2の外部電極とを導通させる再配線層と、前記半導体基板の第2面に形成された絶縁性樹脂膜と、を備えることを特徴とする。

[0007] この構成では、半導体基板を絶縁性樹脂膜で保護されるので、半導体基板が外部導体と接触しても、ノイズ（電流）が半導体基板を介して流れ込むことはない。

[0008] 前記絶縁性樹脂膜は熱可塑性樹脂の膜であることが好ましい。

[0009] この構成では、例えばダイシングにより、ウェハーから個別のESD保護デバイスを分離する場合に、絶縁性樹脂膜が、ダイシング時の熱により半導体基板の側面へ流れだし、半導体基板の第2面だけでなく、側面をも絶縁性樹脂膜で保護できる。

[0010] 前記絶縁性樹脂膜は複数層形成されていて、複数層のうち、前記半導体基板寄りの少なくとも一層は熱硬化性樹脂であることが好ましい。

[0011] この構成では、ダイシング時の熱により絶縁性樹脂膜が溶けて膜厚が薄くなる箇所が生じて、熱硬化性樹脂で、半導体基板の露出が防止できる。

[0012] 前記絶縁性樹脂膜は前記再配線層に含まれる樹脂層と同じ厚みであることが好ましい。

[0013] この構成では、半導体基板の熱収縮の影響による反りを抑制でき、半導体基板の精密なダイシングを行える。

発明の効果

[0014] 本発明によれば、半導体基板を絶縁性樹脂膜で保護することで、半導体基板が外部導体と接触して、ノイズ（電流）が半導体基板を介して流れ込むことを防止できる。

図面の簡単な説明

[0015] [図1]実施形態に係るESD保護デバイスの正面断面図

[図2A] Si基板に形成されたESD保護回路の平面構成を示す図

[図2B] ESD保護回路の回路図

[図3A] ESD保護デバイスに流れる電流経路を示す図

[図3B] ESD保護デバイスに流れる電流経路を示す図

[図4]絶縁性樹脂膜を熱可塑性とした場合の、ESD保護デバイスの切断部分を示す概略図

[図5]絶縁性樹脂膜を複数層形成した場合のESD保護デバイスの断面図

[図6]実施形態に係るESD保護デバイスの別の例の正面断面図

[図7A]実施形態に係るESD保護デバイスの接続例を示す図

[図7B]実施形態に係るESD保護デバイスの接続例を示す図

発明を実施するための形態

[0016] 図1は本実施形態に係るESD保護デバイスの正面断面図である。ESD保護デバイス1は、CSP (Chip Size Package) タイプのデバイスであり、ダイオードおよびツェナーダイオードを含むESD保護回路10Aが構成されたSi基板10に、複数の樹脂層等を含む再配線層20が形成されている。Si基板10は、本発明に係る半導体基板に相当するが、本発明に係る半導体基板はSi基板には限定されず、GaAs基板などであってもよい。

[0017] 図2AはSi基板10に形成されたESD保護回路10Aの平面構成を示す図であり、図2BはESD保護回路10Aの回路図である。Si基板10はp型基板であり、その表面にはp型エピタキシャル層が形成され、このpエピタキシャル層内にnウェル、pウェルが順に形成され、これらのウェルとp型拡散層またはn型拡散層によって、Si基板10にダイオードおよびツェナーダイオードが形成されている。

[0018] 本実施形態では、Si基板10の表面に、ダイオードD1a、D1b、D3a、D3bが形成されている。そして、Si基板10の厚み方向に、ダイオードD2、D4およびツェナーダイオードDzが形成されている。これら各素子は、図2Bに示す回路を形成している。なお、図2Bでは、ダイオードD1a、D1bを一つのダイオードD1として表し、ダイオードD3a、D3bを一つのダイオードD3として表している。

[0019] 形成されたダイオードD1、D2は順方向が揃って直列接続され、ダイオ

ードD3, D4は順方向が揃って直列接続されている。また、直列接続したダイオードD1, D2およびダイオードD3, D4それぞれは、順方向が揃ってツェナーダイオードDzに対し並列接続されている。さらに、ダイオードD1, D4の形成位置の間およびダイオードD2, D3の形成位置の間に、ツェナーダイオードDzが介在している。形成されたダイオードD1a, D1bとダイオードD2との接続点が、ESD保護回路10Aの第1の入出力端となり、Si基板10に形成されたA1パッド（以下、パッドという。）P1に接続している。また、形成されたダイオードD3a, D3bとダイオードD4との接続点が、ESD保護回路10Aの第2の入出力端となり、Si基板10に形成されたA1パッド（以下、パッドという。）P2に接続している。パッドP1, P2は、本発明に係る第1の金属膜および第2の金属膜に相当する。

[0020] Si基板10の表層に形成された再配線層20は、パッドP1, P2の一部を覆うように、Si基板10の表面に形成されたSiN保護膜（不図示）と、SiN保護膜を覆う樹脂層21とを含んでいる。SiN保護膜はスパッタリングにより形成され、樹脂層21は、エポキシ系（またはポリイミド系）ソルダージレストのスピニングにより形成されている。SiN保護膜および樹脂層21には、パッドP1, P2の一部を露出させる開口（コンタクトホール）が形成されている。

[0021] このコンタクトホールおよびそのコンタクトホール周辺領域には、TiおよびCuからなる層が形成されていて、この層が層間配線21A, 21Bを構成している。層間配線21A, 21B層の表面の一部にはCuからなる柱状の層内電極22A, 22Bが形成されている。層内電極22A, 22Bは、エポキシ系（またはポリイミド系）樹脂からなる樹脂層23中に立てられている。

[0022] 層間配線21A, 21Bの表面には、Ni/AuまたはNi/Snなどの金属めっき膜23A, 23Bが形成されている。金属めっき膜23A, 23Bは、層内電極22A, 22Bと導通している。ESD保護デバイス1は、

この金属めっき膜23A、23Bが、プリント配線板などのマザーボードへの接続面側となるように、マザーボードに実装される。また、本実施形態では、金属めっき膜23Aは、マザーボードの信号ライン用端子電極に接続され、金属めっき膜23Bは、グランド用端子電極に接続される。

[0023] Si基板10の裏面（再配線層20が形成された面とは反対側の面）には、例えば、 $1\text{M}\Omega \cdot \text{cm}$ の抵抗率を有するエポキシ樹脂などのソルダーレジストが塗布されることで、絶縁性樹脂膜30が形成されている。絶縁性樹脂膜30を形成することで、外部からの電流がESD保護デバイス1に影響を及ぼすことを防止できる。以下に、図2および図3を用いて、ESD保護デバイス1の動作原理と共に説明する。

[0024] 図3Aおよび図3Bは、ESD保護デバイス1に流れる電流経路を示す図である。なお、図3Aでは、再配線層20の図示は省略している。

[0025] 上述のように、ESD保護回路10Aの第1の入出力端に繋がるパッドP1は信号ラインに接続され、第2の入出力端に繋がるパッドP2はグランドに接続される。信号ラインからパッドP1へ入力されたサージ電流は、図3Aおよび図3Bの破線経路に示すように、ダイオードD1、ツェナーダイオードDzからダイオードD4を通り、パッドP2へと流れる。そして、パッドP2から、ESD保護デバイス1が接続されるマザーボードのグランドへ放電される。

[0026] 上述したように、ESD保護回路10Aの各素子は、p型基板であるSi基板10に形成されている。このため、仮に絶縁性樹脂膜30が形成されておらず、ESD保護デバイス1のSi基板10に外部導体が接触すると、その外部導体から、Si基板10に電流I_{out}が流入されるおそれがある。この場合、電流I_{out}が、図3Bに示すように、ダイオードD2、D4からパッドP1、P2へ流入され、そこから信号ラインへ流れ込むおそれがある。この場合、信号ラインからのサージ電流をグランドへ放電するといったESD保護デバイス1の機能が損なわれる。本発明によれば、Si基板10に絶縁性樹脂膜30を形成することで、電流I_{out}のSi基板10への流入を防止でき

る。

[0027] なお、ESD保護デバイス1は双方向型であって、例えば、パッドP2からサージ電流が入力された場合には、ダイオードD3、ツェナーダイオードDz、ダイオードD2を通り、パッドP1からグランドへ放電される。

[0028] また、絶縁性樹脂膜30は、再配線層20とほぼ同じ厚みである。ESD保護デバイス1は、シリコンウェハ上に集積回路が形成された状態でダイサーにより切削されて形成（チップ化）される。仮に絶縁性樹脂膜30が形成されていない場合、絶縁性樹脂膜30の硬化時にシリコンウェハは再配線層20側に引っ張られて反りが生じ、シリコンウェハを平面状態でダイシングできないおそれがある。そこで、再配線層20とほぼ同じ厚さで同材料の絶縁性樹脂膜30を、Si基板10の裏面に形成することで、シリコンウェハの反りを抑制し、シリコンウェハを平坦な状態でダイシングすることができる。また、絶縁性樹脂膜30により、Si基板10のチップングを防止できる。なお、絶縁性樹脂膜30の厚さは、再配線層20と同じ厚さに限定されない。

[0029] この絶縁性樹脂膜30は、熱可塑性であってもよく、この場合、電流I_{out}による影響をさらに抑制できる場合がある。図4は、絶縁性樹脂膜30を熱可塑性とした場合の、ESD保護デバイス1の切断部分を示す概略図である。シリコンウェハ上に集積回路が形成された状態でダイサーにより切削されて、ESD保護デバイス1が形成（チップ化）される際に、図4に示すように、ダイシングの際の発熱によって、絶縁性樹脂膜30がSi基板10の側面に垂れる。これにより、Si基板10の裏面だけでなく、側面も絶縁性樹脂膜30により絶縁保護することができる。

[0030] また、Si基板10の裏面には、絶縁性樹脂膜を複数層形成するようにしてもよい。図5は、絶縁性樹脂膜を複数層形成した場合のESD保護デバイスの断面図である。この例では、Si基板10の裏面に、熱硬化性樹脂31が形成され、さらに、熱可塑性樹脂32が形成されている。この場合、ダイシング時の熱により熱可塑性樹脂32が溶けて膜厚が薄くなる箇所が生じて

も、熱硬化性樹脂31で、Si基板10の露出が防止できる。

[0031] なお、絶縁性樹脂膜を三層以上形成してもよい。この場合、Si基板10の露出を防止するために、Si基板10寄りの少なくとも一層が熱硬化性樹脂であることが好ましい。

[0032] 図6は本実施形態に係るESD保護デバイス1の別の例の正面断面図である。ESD保護デバイス1Aは、図1と同様に、ESD保護回路10Aが構成されたSi基板10を有し、そのSi基板10に再配線層40が形成されてなる。

[0033] Si基板10の表層に形成された再配線層40は、パッドP1、P2の周縁部の一部を覆うように、Si基板10の表面に形成されたSiN（又はSiO₂）保護膜41と、SiN保護膜41およびパッドP1、P2を覆う樹脂層42とを含んでいる。SiN保護膜41はスパッタリングにより形成され、樹脂層42は、エポキシ系（またはポリイミド系）ソルダーレジストのスピンコーティングにより形成されている。樹脂層42には、パッドP1、P2の一部を露出させるコンタクトホールが形成されている。

[0034] このコンタクトホールおよびその周辺領域には、Ti/Cu/Ti電極43A、43Bが形成されている。Ti/Cu/Ti電極43A、43Bは、Si基板10の表面に対向する平面部分を有し、かつ、樹脂層42のコンタクトホールを通じてパッドP1、P2に導通している。Ti/Cu/Ti電極43A、43Bは、ESD保護デバイス1Aのサージ電流（ESD電流）の電流経路である。

[0035] Ti/Cu/Ti電極43A、43Bの平面部分の一部には、Au/Niからなる外部電極44A、44Bが形成されている。外部電極44A、44Bが形成されるTi/Cu/Ti電極43A、43Bの部分は、エッチングされてCuが露出されていて、外部電極44A、44Bは、露出したCu部分に選択的めっきされている。この外部電極44A、44Bは、ESD保護デバイス1の入出力端子用の端子電極であり、例えば、図1に示す金属めっき膜23A、23Bに相当する。

- [0036] 再配線層40は、樹脂層42にさらに形成された樹脂層46を含んでいる。樹脂層46は、例えば低誘電率のエポキシ樹脂（または、ポリイミド樹脂、液晶ポリマー等）の層である。なお、Ti/Cu/Ti電極43A、43Bは表層にTiを有しているため、Ti/Cu/Ti電極43A、43Bと樹脂層46との接合強度は高い。この樹脂層46には、外部電極44A、44Bの一部を露出させる開口46A、46Bが形成されている。
- [0037] Si基板10の裏面には、例えば、 $1\text{M}\Omega\cdot\text{cm}$ の抵抗率を有するエポキシ樹脂などのソルダーレジストが塗布されることで、絶縁性樹脂膜50が形成されている。絶縁性樹脂膜50は、再配線層40とほぼ同じ厚みである。絶縁性樹脂膜50を形成することで、外部からの電流がESD保護デバイス1Aに影響を及ぼすことを防止できる。また、絶縁性樹脂膜50を形成することで、製造時のシリコンウェハの反りを抑制できる。
- [0038] 図7Aおよび図7Bは、本実施形態に係るESD保護デバイス1の接続例を示す図である。ESD保護デバイス1は電子機器に搭載される。電子機器の例として、ノートPC、タブレット型端末装置、携帯電話機、デジタルカメラ、携帯型音楽プレーヤなどが挙げられる。
- [0039] 図7Aでは、I/Oポート100と保護すべきIC101とを接続する信号ラインと、GNDとの間にESD保護デバイス1を接続した例を示す。I/Oポート100は、例えばアンテナが接続されるポートである。本実施形態に係るESD保護デバイス1は双方向型であって、第1入出力端および第2入出力端の何れが入力側であってもよい。例えば第1入出力端を入力側とした場合、信号ラインに第1入出力端が接続され、第2入出力端がGNDに接続される。
- [0040] 図7Bでは、コネクタ102とIC101とを接続する信号ラインと、GNDラインとの間にESD保護デバイス1を接続した例を示す。この例の信号ラインは、例えば、高速伝送線路（差動伝送線路）であって、複数の信号ラインそれぞれと、GNDラインとの間にESD保護デバイス1が接続されている。

[0041] 以上説明したように、本実施形態に係るESD保護デバイス1では、Si基板10に絶縁性樹脂膜30を形成することで、Si基板10が外部導体と接触して、Si基板10を通じて信号ラインにノイズ（電流）が流れ込むことを防止できる。

符号の説明

- [0042] 1, 1A – ESD保護デバイス
10 – Si基板
10A – ESD保護回路
20 – 再配線層
21 – 樹脂層
21A, 21B – 層間配線
22A, 22B – 層内電極
23 – 樹脂層
23A – 金属めっき膜（第1の外部電極）
23B – 金属めっき膜（第2の外部電極）
30 – 絶縁性樹脂膜
31 – 熱硬化性樹脂
32 – 熱可塑性樹脂
40 – 再配線層
41 – SiN保護膜
42 – 樹脂層
43A, 43B – Ti/Cu/Ti電極
44A, 44B – 外部電極
46 – 樹脂層
46A, 46B – 開口
50 – 絶縁性樹脂膜
P1 – パッド（第1の金属膜）
P2 – パッド（第2の金属膜）

D 1 ~ D 4 - ダイオード

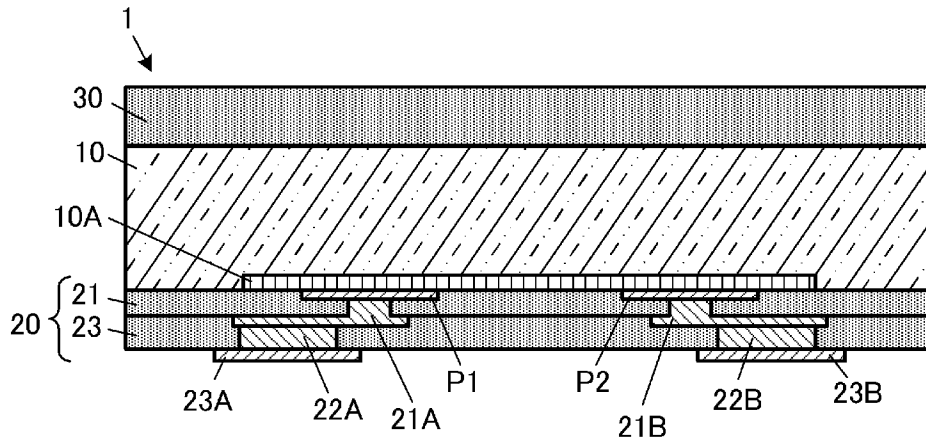
D z - ツェナーダイオード

請求の範囲

- [請求項1] ESD保護回路が形成された半導体基板と、
前記半導体基板の第1面に形成され、前記ESD保護回路の第1の入出力端と導通している第1の金属膜と、
前記半導体基板の第1面に形成され、前記ESD保護回路の第2の入出力端と導通している第2の金属膜と、
前記半導体基板の第1面に形成され、前記第1の金属膜と第1の外部電極とを導通させ、かつ、前記第2の金属膜と第2の外部電極とを導通させる再配線層と、
前記半導体基板の第2面に形成された絶縁性樹脂膜と、
を備える、ESD保護デバイス。
- [請求項2] 前記絶縁性樹脂膜は熱可塑性樹脂の膜である、請求項1に記載のESD保護デバイス。
- [請求項3] 前記絶縁性樹脂膜は複数層形成されていて、複数層のうち、前記半導体基板寄りの少なくとも一層は熱硬化性樹脂である、
請求項1または2に記載のESD保護デバイス。
- [請求項4] 前記絶縁性樹脂膜は前記再配線層に含まれる樹脂層と同じ厚みである、請求項1から3の何れかに記載のESD保護デバイス。

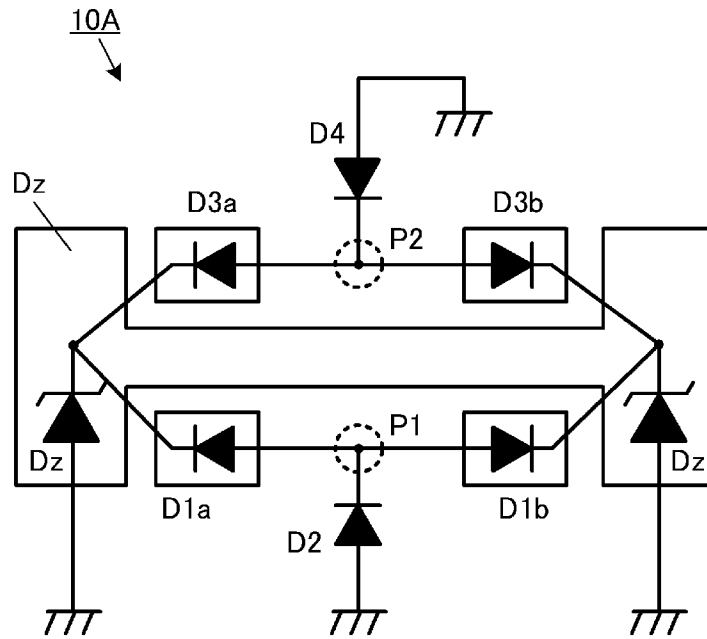
[図1]

図1



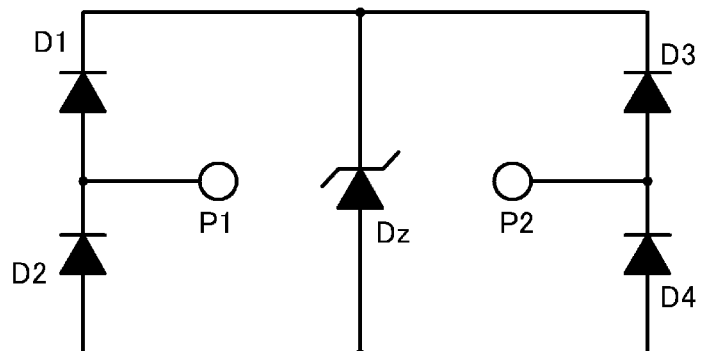
[図2A]

図2A



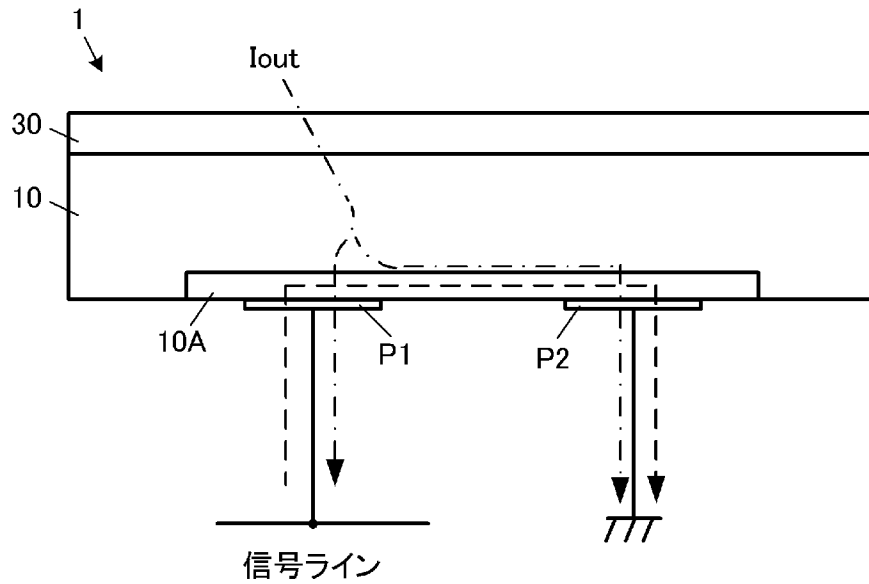
[図2B]

図2B



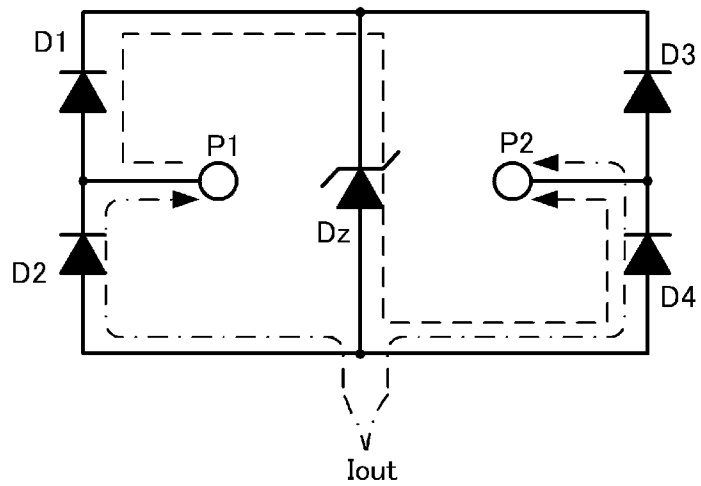
[図3A]

図3A



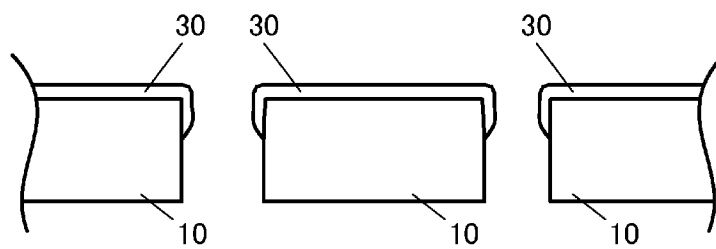
[図3B]

図3B



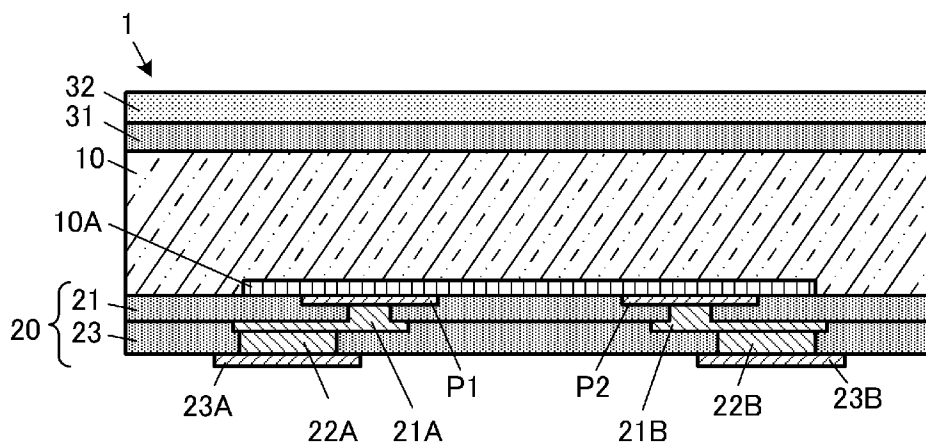
[図4]

図4



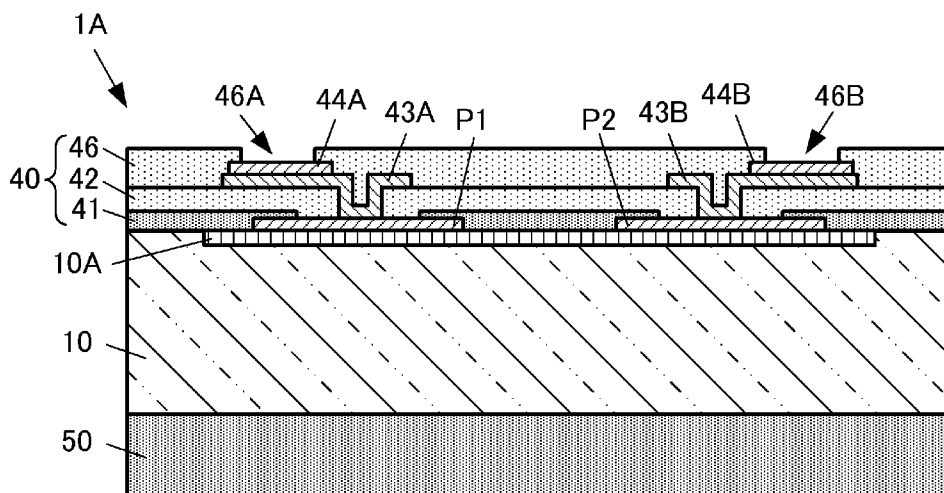
[図5]

図5



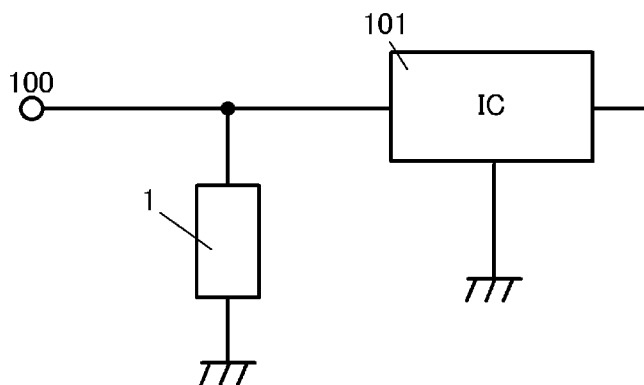
[図6]

図6



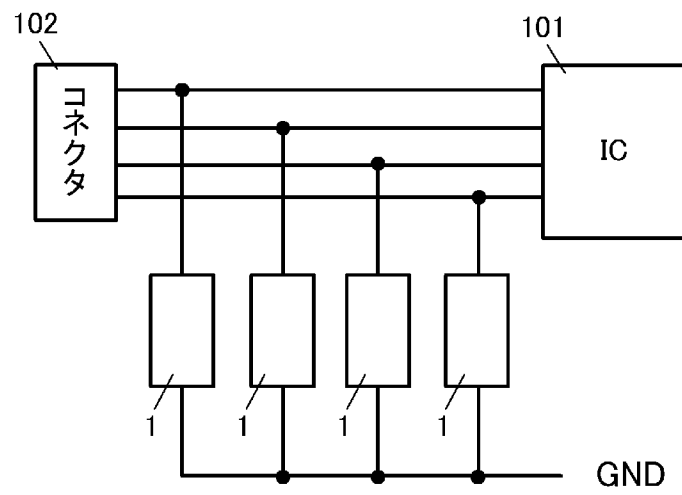
[図7A]

図7A



[図7B]

図7B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054403

A. CLASSIFICATION OF SUBJECT MATTER H01L21/822(2006.01)i, H01L21/329(2006.01)i, H01L27/04(2006.01)i, H01L29/861(2006.01)i, H01L29/866(2006.01)i, H01L29/868(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/822, H01L21/329, H01L27/04, H01L29/861, H01L29/866, H01L29/868 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/023394 A1 (Murata Mfg. Co., Ltd.), 23 February 2012 (23.02.2012), paragraphs [0020] to [0046]; fig. 2A to 9 & US 2013/0168837 A1 & CN 203536403 U	1-4
Y	JP 2002-176106 A (Vishay Intertechnology, Inc.), 21 June 2002 (21.06.2002), paragraphs [0031], [0039]; fig. 12, 18 & EP 1189263 A2 & US 6538300 B1 & CN 1346138 A	1-4
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 May, 2014 (14.05.14)		Date of mailing of the international search report 27 May, 2014 (27.05.14)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer Telephone No.
Facsimile No.		Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/822(2006.01)i, H01L21/329(2006.01)i, H01L27/04(2006.01)i, H01L29/861(2006.01)i, H01L29/866(2006.01)i, H01L29/868(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/822, H01L21/329, H01L27/04, H01L29/861, H01L29/866, H01L29/868		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2012/023394 A1 (株式会社村田製作所) 2012.02.23、段落【0020】-【0046】、図2A-9 & US 2013/0168837 A1 & CN 203536403 U	1-4
Y	J P 2002-176106 A (ビシエイ・インターテック テクノロジー・インコーポレイテッド) 2002.06.21、段落【0031】、【0039】、図12、18 & EP 1189263 A2	1-4
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 14.05.2014	国際調査報告の発送日 27.05.2014	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 工藤 一光 電話番号 03-3581-1101 内線 3516	5 F 9274

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	& US 6538300 B1 & CN 1346138 A	