



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년11월08일
(11) 등록번호 10-2323943
(24) 등록일자 2021년11월03일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/3213 (2006.01)
H01L 29/423 (2006.01)
(52) CPC특허분류
H01L 29/7831 (2013.01)
H01L 21/3213 (2013.01)
(21) 출원번호 10-2015-0146525
(22) 출원일자 2015년10월21일
심사청구일자 2020년09월04일
(65) 공개번호 10-2017-0046337
(43) 공개일자 2017년05월02일
(56) 선행기술조사문헌
JP2015041771 A
KR1020150017576 A
KR1020150090796 A

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김주연
경기도 수원시 영통구 영통로90번길 4-27, 108동
701호 (망포동, 늘푸른 벽산아파트)
김민철
경기도 화성시 동탄대로시범길 122, 1463동 1301
호 (청계동, 시범호반베르디움)
(뒷면에 계속)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 10 항

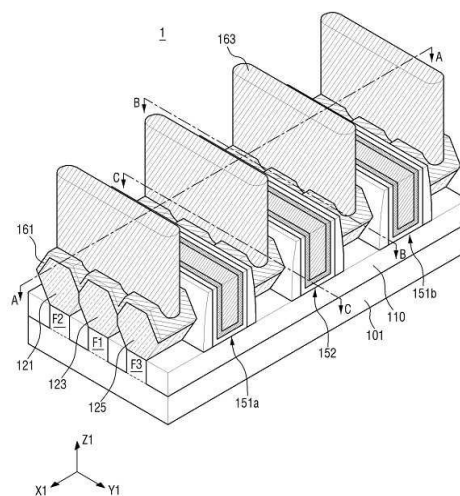
심사관 : 최정민

(54) 발명의 명칭 반도체 장치 제조 방법

(57) 요약

반도체 장치 제조 방법을 제공한다. 반도체 장치 제조 방법은 기판 상에 돌출되고, 제1 방향으로 연장되는 핀을 형성하고, 상기 핀 상에 상기 핀과 교차하고, 서로 이격된 제1 및 제2 희생 게이트 절연막을 형성하고, 상기 제1 및 제2 희생 게이트 절연막 상에 각각 제1 및 제2 희생 게이트 전극을 형성하고, 상기 제1 및 제2 희생 게이트 전극을 덮는 절연막을 형성하고, 상기 절연막의 일부를 제거하여 상기 제2 희생 게이트 전극을 노출시키고, 상기 노출된 제2 희생 게이트 전극을 제1 식각 공정을 통해 제거하여, 상기 제2 희생 게이트 절연막을 노출시키고, 상기 노출된 제2 희생 게이트 절연막을 상기 제1 식각 공정과 다른 제2 식각 공정을 통해 제거하여, 상기 핀을 노출시키는 트렌치를 형성하고, 상기 노출된 핀 내에, 상기 제2 식각 공정과 다른 제3 식각 공정을 통해 리세스를 형성하고, 상기 리세스를 소자 분리막으로 채우는 것을 포함한다.

대표도 - 도21



(52) CPC특허분류

H01L 29/4232 (2013.01)

H01L 29/7855 (2013.01)

(72) 발명자

김보순

경기도 화성시 동탄반석로 231, 155동 1204호 (석우동, 동탄예당마을 롯데캐슬)

박민엽

서울특별시 강남구 도곡로43길 21, 101동 1802호 (역삼동, 래미안그레이튼)

이상민

서울특별시 성동구 뚝섬로 51, 101동 303호 (옥수동, 옥수강변풍림아이원)

명세서

청구범위

청구항 1

기판 상에 돌출되고, 제1 방향으로 연장되는 제1 핀을 형성하고,
 상기 제1 핀 상에 상기 제1 핀과 교차하고, 서로 이격된 제1 및 제2 희생 게이트 절연막을 형성하고,
 상기 제1 및 제2 희생 게이트 절연막 상에 각각 제1 및 제2 희생 게이트 전극을 형성하고,
 상기 제1 및 제2 희생 게이트 전극 상에 제1 절연막을 형성하고,
 상기 제1 절연막의 일부를 제거하여 상기 제2 희생 게이트 전극을 노출시키고,
 상기 노출된 제2 희생 게이트 전극을 제1 식각 공정을 통해 제거하여, 상기 제2 희생 게이트 절연막을 노출시키고,
 상기 노출된 제2 희생 게이트 절연막을 상기 제1 식각 공정과 다른 제2 식각 공정을 통해 제거하여, 상기 제1 핀을 노출시키는 제1 트렌치를 형성하고,
 상기 노출된 제1 핀 내에, 상기 제1 및 제2 식각 공정과 다른 제3 식각 공정을 통해 제1 리세스를 형성하고,
 상기 제1 리세스 내에 제1 소자 분리막을 형성하는 것을 포함하는 반도체 장치 제조 방법.

청구항 2

제 1항에 있어서,
 상기 제2 식각 공정은 습식 식각 공정이고, 상기 제3 식각 공정은 건식 식각 공정인 반도체 장치 제조 방법.

청구항 3

제 1항에 있어서,
 상기 제2 희생 게이트 전극을 제1 식각 공정을 통해 제거하는 것은, 상기 제2 희생 게이트 전극의 일부를 제거하여, 상기 제2 희생 게이트 절연막 상에 잔여부를 형성하는 것을 포함하는 반도체 장치 제조 방법.

청구항 4

제 3항에 있어서,
 상기 노출된 제2 희생 게이트 절연막을 상기 제2 식각 공정을 통해 제거하기 전에, 상기 잔여부를 제거하는 습식 공정을 수행하는 것을 더 포함하는 반도체 장치 제조 방법.

청구항 5

제 3항에 있어서,
 상기 노출된 제2 희생 게이트 절연막을 상기 제2 식각 공정을 통해 제거하는 것은, 상기 제2 식각 공정을 통해 상기 잔여부를 제거하는 것을 포함하는 반도체 장치 제조 방법.

청구항 6

제1 항에 있어서,
 상기 제1 절연막을 형성하기 전에, 상기 제1 및 제2 희생 게이트 전극 각각의 양측벽 상에 제1 및 제2 스페이서를 형성하는 것을 더 포함하되, 상기 제2 스페이서는 상기 제1 트렌치를 정의하는 반도체 장치 제조 방법.

청구항 7

제 6항에 있어서,

상기 노출된 제2 희생 게이트 절연막을 상기 제2 식각 공정을 통해 제거하는 것은, 상기 제2 식각 공정을 통해 상기 제2 스페이서의 일부를 제거하여, 상기 기판 상의 동일 높이에서 상기 제2 스페이서의 두께를 상기 제1 스페이서의 두께보다 얇게 형성하는 것을 포함하는 반도체 장치 제조 방법.

청구항 8

기판의 제1 영역 및 제2 영역 상에 각각 돌출되고, 서로 이격하여 제1 방향으로 연장되는 제1 및 제2 핀을 형성하고,

상기 제1 핀 상에 상기 제1 핀과 교차하고, 서로 이격된 제1 내지 제3 희생 게이트 절연막을 형성하고,

상기 제2 핀 상에 상기 제2 핀과 교차하고, 서로 이격된 제4 내지 제6 희생 게이트 절연막을 형성하고,

상기 제1 내지 제3 희생 게이트 절연막 상에 각각 제1 내지 제3 희생 게이트 전극을 형성하고,

상기 제4 내지 제6 희생 게이트 절연막 상에 각각 제4 내지 제5 희생 게이트 전극을 형성하고,

상기 제1 내지 제3 희생 게이트 전극 상에 제1 절연막을 형성하고,

상기 제4 내지 제6 희생 게이트 전극 상에 제2 절연막을 형성하고,

상기 제1 절연막의 일부를 제거하여 상기 제2 희생 게이트 전극을 노출시키고,

상기 제2 절연막의 일부를 제거하여 상기 제5 희생 게이트 전극을 노출시키고,

상기 노출된 제2 희생 게이트 전극을 제1 식각 공정을 통해 제거하여, 상기 제2 희생 게이트 절연막을 노출시키고,

상기 노출된 제5 희생 게이트 전극을 상기 제1 식각 공정과 동일한 식각 공정을 통해 제거하여, 상기 제5 희생 게이트 절연막을 노출시키고,

상기 노출된 제2 희생 게이트 절연막을 상기 제1 식각 공정과 다른 제2 식각 공정을 통해 제거하여, 상기 제1 핀을 노출시키는 제1 트렌치를 형성하고,

상기 노출된 제5 희생 게이트 절연막을 상기 제2 식각 공정과 동일한 식각 공정을 통해 제거하여, 상기 제2 핀을 노출시키는 제2 트렌치를 형성하고,

상기 노출된 제1 핀 내에, 상기 제1 및 제2 식각 공정과 다른 제3 식각 공정을 통해 제1 리세스 깊이와 제1 리세스 폭을 가지는 제1 리세스를 형성하고,

상기 노출된 제2 핀 내에, 상기 제3 식각 공정과 동일한 식각 공정을 통해 제2 리세스 깊이와 제2 리세스 폭을 가지는 제2 리세스를 형성하는 것을 포함하고,

상기 제1 리세스 깊이는 상기 제2 리세스 깊이와 다른 반도체 장치 제조 방법.

청구항 9

제 8항에 있어서,

상기 제2 식각 공정은 습식 식각 공정이고, 상기 제3 식각 공정은 건식 식각 공정인 반도체 장치 제조 방법.

청구항 10

제 8항에 있어서,

상기 제1 리세스 폭은 상기 제1 리세스가 상기 제1 트렌치와 접하는 접선을 따르는 폭이고, 상기 제2 리세스 폭은 상기 제2 리세스가 상기 제2 트렌치와 접하는 접선을 따르는 폭이되, 상기 제1 리세스 폭과 상기 제2 리세스 폭은 서로 다른 반도체 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 제조 방법에 관한 것이다. 더욱 상세하게는 소자 분리 공정을 포함하는 반도체 장치 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 핀(fin) 또는 나노와이어(nanowire) 형상의 다채널 액티브 패턴(또는 실리콘 바디)을 형성하고 다채널 액티브 패턴의 표면 위에 게이트를 형성하는 멀티 게이트 트랜지스터(multi gate transistor)가 제안되었다.

[0003] 이러한 멀티 게이트 트랜지스터는 3차원의 채널을 이용하기 때문에, 스케일링하는 것이 용이하다. 또한, 멀티 게이트 트랜지스터의 게이트 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

발명의 내용

해결하려는 과제

[0004] 한편 반도체 장치의 미세화에 따라, 트랜지스터 간의 분리(isolation) 특성의 중요성이 강조되고 있다. 따라서, 핀 상에 형성되는 복수 개의 트랜지스터들 간의 소자 분리 특성을 향상시킬 수 있는 반도체 제조 방법이 요구된다.

[0005] 본 발명이 해결하려는 과제는, 신뢰성이 향상된 반도체 장치를 제조할 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

[0006] 본 발명이 해결하려는 다른 과제는, 핀 상에 형성되는 복수 개의 트랜지스터들 간의 소자 분리 특성을 향상시킬 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

[0007] 본 발명이 해결하려는 또 다른 과제는, 핀 내에 형성되는 리세스(recess)의 절연 특성을 향상시킬 수 있는 반도체 장치 제조 방법을 제공하는 것이다.

[0008] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상술한 과제를 해결하기 위하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법은 기판 상에 돌출되고, 제1 방향으로 연장되는 제1 핀을 형성하고, 상기 제1 핀 상에 상기 제1 핀과 교차하고, 서로 이격된 제1 및 제2 희생 게이트 절연막을 형성하고, 상기 제1 및 제2 희생 게이트 절연막 상에 각각 제1 및 제2 희생 게이트 전극을 형성하고, 상기 제1 및 제2 희생 게이트 전극을 덮는 제1 절연막을 형성하고, 상기 제1 절연막의 일부를 제거하여 상기 제2 희생 게이트 전극을 노출시키고, 상기 노출된 제2 희생 게이트 전극을 제1 식각 공정을 통해 제거하여, 상기 제2 희생 게이트 절연막을 노출시키고, 상기 노출된 제2 희생 게이트 절연막을 상기 제1 식각 공정과 다른 제2 식각 공정을 통해 제거하여, 상기 제1 핀을 노출시키는 제1 트렌치를 형성하고, 상기 노출된 제1 핀 내에, 상기 제2 식각 공정과 다른 제3 식각 공정을 통해 제1 리세스를 형성하고, 상기 제1 리세스를 제1 소자 분리막으로 채우는 것을 포함할 수 있다.

[0010] 본 발명의 몇몇 실시예에 있어서, 상기 제2 식각 공정은 습식 식각 공정이고, 상기 제3 식각 공정은 건식 식각 공정일 수 있다.

[0011] 본 발명의 몇몇 실시예에 있어서, 상기 제2 희생 게이트 전극을 제1 식각 공정을 통해 제거하는 것은, 상기 제2 희생 게이트 전극의 일부를 제거하여, 상기 제2 희생 게이트 절연막 상에 잔여부를 형성하는 것을 포함할 수 있다.

[0012] 본 발명의 몇몇 실시예에 있어서, 상기 노출된 제2 희생 게이트 절연막을 상기 제2 식각 공정을 통해 제거하기 전에, 상기 잔여부를 제거하는 습식 공정을 수행하는 것을 더 포함할 수 있다.

[0013] 본 발명의 몇몇 실시예에 있어서, 상기 노출된 제2 희생 게이트 절연막을 상기 제2 식각 공정을 통해 제거하는 것은, 상기 제2 식각 공정을 통해 상기 잔여부를 제거하는 것을 포함할 수 있다.

[0014] 본 발명의 몇몇 실시예에 있어서, 상기 제1 절연막을 형성하기 전에, 상기 제1 및 제2 희생 게이트 전극 각각의

양측벽 상에 제1 및 제2 스페이서를 형성하는 것을 더 포함하되, 상기 제2 스페이서는 상기 제1 트렌치를 정의할 수 있다.

- [0015] 본 발명의 몇몇 실시예에 있어서, 상기 노출된 제2 희생 게이트 절연막을 상기 제2 식각 공정을 통해 제거하는 것은, 상기 제2 식각 공정을 통해 상기 제2 스페이서의 일부를 제거하여, 상기 기판 상의 동일 높이에서 상기 제2 스페이서의 두께를 상기 제1 스페이서의 두께보다 얇게 형성하는 것을 포함할 수 있다.
- [0016] 본 발명의 몇몇 실시예에 있어서, 상기 제1 핀을 노출시키는 제1 트렌치를 형성하는 것은, 상기 제1 핀의 상면에 오목면을 형성하는 것을 포함할 수 있다.
- [0017] 본 발명의 몇몇 실시예에 있어서, 상기 제1 절연막을 제거하여 제1 희생 게이트 전극을 노출시키고, 상기 제1 희생 게이트 전극과 상기 제1 희생 게이트 절연막을 제1 게이트 구조체로 대체하는 것을 더 포함할 수 있다.
- [0018] 본 발명의 몇몇 실시예에 있어서, 상기 제1 소자 분리막 상에 상기 제1 트렌치를 채우는 더미 게이트 구조체를 형성하는 것을 더 포함할 수 있다.
- [0019] 상술한 과제를 해결하기 위하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법은 기판의 제1 영역 및 제2 영역 상에 각각 돌출되고, 서로 이격하여 제1 방향으로 연장되는 제1 및 제2 핀을 형성하고, 상기 제1 핀 상에 상기 제1 핀과 교차하고, 서로 이격된 제1 내지 제3 희생 게이트 절연막을 형성하고, 상기 제2 핀 상에 상기 제2 핀과 교차하고, 서로 이격된 제4 내지 제6 희생 게이트 절연막을 형성하고, 상기 제1 내지 제3 희생 게이트 절연막 상에 각각 제1 내지 제3 희생 게이트 전극을 형성하고, 상기 제4 내지 제6 희생 게이트 절연막 상에 각각 제4 내지 제6 희생 게이트 전극을 형성하고, 상기 제1 내지 제3 희생 게이트 전극을 덮는 제1 절연막을 형성하고, 상기 제4 내지 제6 희생 게이트 전극을 덮는 제2 절연막을 형성하고, 상기 제1 절연막의 일부를 제거하여 상기 제2 희생 게이트 전극을 노출시키고, 상기 제2 절연막의 일부를 제거하여 상기 제5 희생 게이트 전극을 노출시키고, 상기 노출된 제2 희생 게이트 전극을 제1 식각 공정을 통해 제거하여, 상기 제2 희생 게이트 절연막을 노출시키고, 상기 노출된 제5 희생 게이트 전극을 상기 제1 식각 공정과 동일한 식각 공정을 통해 제거하여, 상기 제5 희생 게이트 절연막을 노출시키고, 상기 노출된 제2 희생 게이트 절연막을 상기 제1 식각 공정과 다른 제2 식각 공정을 통해 제거하여, 상기 제1 핀을 노출시키는 제1 트렌치를 형성하고, 상기 노출된 제5 희생 게이트 절연막을 상기 제2 식각 공정과 동일한 식각 공정을 통해 제거하여, 상기 제2 핀을 노출시키는 제2 트렌치를 형성하고, 상기 노출된 제1 핀 내에, 상기 제2 식각 공정과 다른 제3 식각 공정을 통해 제1 리세스 깊이와 제1 리세스 폭을 가지는 제1 리세스를 형성하고, 상기 노출된 제2 핀 내에, 상기 제3 식각 공정과 동일한 식각 공정을 통해 제2 리세스 깊이와 제2 리세스 폭을 가지는 제2 리세스를 형성하는 것을 포함하고, 상기 제1 리세스 깊이는 상기 제2 리세스 깊이와 다를 수 있다.
- [0020] 본 발명의 몇몇 실시예에 있어서, 상기 제2 식각 공정은 습식 식각 공정이고, 상기 제3 식각 공정은 건식 식각 공정일 수 있다.
- [0021] 본 발명의 몇몇 실시예에 있어서, 상기 제1 리세스 폭은 상기 제1 리세스가 상기 제1 트렌치와 접하는 접선을 따르는 폭이고, 상기 제2 리세스 폭은 상기 제2 리세스가 상기 제2 트렌치와 접하는 접선을 따르는 폭이되, 상기 제1 리세스 폭과 상기 제2 리세스 폭은 서로 다를 수 있다.
- [0022] 본 발명의 몇몇 실시예에 있어서, 상기 제2 리세스 폭은 상기 제1 리세스 폭보다 좁고, 상기 제2 리세스 폭은 상기 제2 트렌치 폭보다 좁을 수 있다.
- [0023] 본 발명의 몇몇 실시예에 있어서, 상기 제1 리세스를 제1 소자 분리막으로 채우고, 상기 제2 리세스를 제2 소자 분리막으로 채우는 것을 더 포함할 수 있다.
- [0024] 상술한 과제를 해결하기 위하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법은 각각 기판 상에 돌출되어 제1 방향으로 연장되고, 상기 제1 방향과 다른 제2 방향으로 이격되어 배치되는 복수 개의 핀을 형성하고, 상기 복수 개의 핀 상에 상기 복수 개의 핀과 상기 제2 방향을 따라 교차하고, 서로 이격된 제1 내지 제3 희생 게이트 절연막을 형성하고, 상기 제1 내지 제3 희생 게이트 절연막 상에 각각 제1 내지 제3 희생 게이트 전극을 형성하고, 상기 제1 내지 제3 희생 게이트 전극 각각의 양측벽 상에 제1 내지 제3 스페이서를 형성하고, 상기 제1 내지 제3 스페이서 각각의 일측에 소오스/드레인 영역을 형성하고, 상기 제1 내지 제3 희생 게이트 전극을 덮는 절연막을 형성하고, 상기 절연막의 일부를 제거하여 상기 제2 희생 게이트 전극을 노출시키고, 상기 노출된 제2 희생 게이트 전극을 제1 식각 공정을 통해 제거하여, 상기 제2 희생 게이트 절연막을 노출시키고, 상기 노출된 제2 희생 게이트 절연막을 상기 제1 식각 공정과 다른 제2 식각 공정을 통해 제거하여, 상기 복수 개의 핀을 노출시키는 트렌치를 형성하고, 상기 노출된 복수 개의 핀 내에, 상기 제2 식각 공정과 다른 제3 식

각 공정을 통해 리세스를 형성하고, 상기 리세스를 소자 분리막으로 채우는 것을 포함할 수 있다.

[0025] 본 발명의 몇몇 실시예에 있어서, 상기 제2 식각 공정은 습식 식각 공정이고, 상기 제3 식각 공정은 건식 식각 공정일 수 있다.

[0026] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0027] 도 1 내지 도 24는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 단면도와 사시도들이다.

도 25 내지 도 31은 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 단면도와 사시도들이다.

도 32 내지 도 44는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 단면도와 사시도들이다.

도 45 내지 도 49은 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 단면도와 사시도들이다.

도 50은 본 발명의 몇몇 실시예에 따른 반도체 제조 방법을 설명하기 위한 단면도이다.

도 51 및 도 52은 본 발명의 몇몇 실시예에 따른 반도체 제조 방법을 설명하기 위한 단면도들이다.

도 53 내지 도 58은 본 발명의 몇몇 실시예에 따른 반도체 제조 방법을 설명하기 위한 단면도들이다.

도 59 및 도 60은 몇몇 실시예에 따른 반도체 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0029] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[0030] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0031] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.

[0032] 비록 제1, 제2 등이 다양한 소자나 구성요소들을 서술하기 위해서 사용되나, 이들 소자나 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자나 구성요소를 다른 소자나 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자나 구성요소는 본 발명의 기술적 사상 내에서 제2 소자나 구성요소 일 수도 있음은 물론이다.

- [0033] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0034] 이하에서, 도 1 내지 도 24를 참조하여 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다.
- [0035] 도 1 내지 도 24는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 사시도 및 단면도들이다.
- [0036] 도 4a는 도 3의 A-A선을 따라 절단한 단면도이고, 도 4b는 도 3의 B-B선을 따라 절단한 단면도이다. 도 7은 도 6의 A-A선을 따라 절단한 단면도이다. 도 9는 도 8의 A-A선을 따라 절단한 단면도이다. 도 22는 도 21의 A-A선을 따라 절단한 단면도이고, 도 23은 도 21의 B-B선을 따라 절단한 단면도이고, 도 24는 도 21의 C-C선을 따라 절단한 단면도이다.
- [0037] 도 1을 참조하면, 기판(101) 상에 제1 내지 제3 핀(F1~F3)을 형성한다. 제1 내지 제3 핀(F1~F3)은 기판(101) 상에 형성되며, 제3 방향(Z1)으로 돌출될 수 있다. 제1 내지 제3 핀(F1~F3)은 길이 방향인 제1 방향(X1)을 따라 길게 연장될 수 있으며, 제1 방향(X1)의 장변과 제2 방향(Y1)의 단변을 가질 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니며, 예를 들어, 장변 방향이 제2 방향(Y1)이고 단변 방향이 제1 방향(X1)일 수 있다. 제1 내지 제3 핀(F1~F3)은 서로 이격되어 배치되며, 장변이 서로 나란하도록 배치될 수 있으나, 이에 제한되는 것은 아니다. 따라서, 제1 내지 제3 핀(F1~F3)은 단변이 서로 나란하도록 이격되어 배치될 수 있다.
- [0038] 한편, 기판(101)은 Si, Ge, SiGe, GaP, GaAs, SiC, SiGeC, InAs 및 InP로 이루어지는 군에서 선택되는 하나 이상의 반도체 재료로 이루어질 수 있다. 또한, SOI(silicon on insulator) 기판을 사용하여도 무방하다. 제1 내지 제3 핀(F1~F3)은 기판(101)의 일부일 수도 있고, 기판(101)으로부터 성장된 에피층(epitaxial layer)을 포함할 수 있다. 예를 들어, Si 또는 SiGe 등을 포함할 수 있다.
- [0039] 도 2를 참조하면, 제1 내지 제3 핀(F1~F3) 측벽을 덮도록 절연막(110a)을 형성한다. 필드 절연막(110a)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다.
- [0040] 도 3 내지 도 4b를 참조하면, 절연막(110a)의 상부를 리세스하여 필드 절연막(110)을 형성하고, 제1 내지 제3 핀(F1~F3)의 상부를 노출시킨다. 리세스 공정은 선택적 식각 공정을 포함할 수 있다.
- [0041] 한편, 필드 절연막(110) 위로 돌출된 제1 내지 제3 핀(F1~F3)의 일부는, 에피택셜 공정에 의하여 형성될 수도 있다. 예를 들어, 절연막(110a) 형성 후, 리세스 공정없이 절연막(110a)에 의하여 노출된 제1 내지 제3 핀(F1~F3)의 상면을 씨드로 하는 에피택셜 공정에 의하여 제1 내지 제3 핀(F1~F3)의 일부가 형성될 수 있다. 또한, 노출된 제1 내지 제3 핀(F1~F3)에 문턱 전압 조절용 도핑이 수행될 수 있다. 예를 들어, NMOS 트랜지스터를 형성할 경우, 불순물은 붕소(B)일 수 있고, PMOS 트랜지스터를 형성할 경우, 불순물은 인(P) 또는 비소(As)일 수 있다.
- [0042] 이어서, 제1 내지 제3 핀(F1~F3) 상에 제1 내지 제3 핀(F1~F3)을 교차하는 제1 내지 제3 희생 게이트 절연막(111a, 111b, 111c)을 형성하고, 제1 내지 제3 희생 게이트 절연막(111a, 111b, 111c) 상에 각각 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)을 형성한다. 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)는 서로 이격된다.
- [0043] 도 3에서는 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)가 직각으로 즉, 제1 방향(X1)으로 제1 내지 제3 핀(F1~F3)을 교차하는 것으로 도시되어 있지만 본 발명이 이에 제한되는 것은 아니며, 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)는 제1 방향(X1)과 예각 및/또는 둔각을 이루면서 제1 내지 제3 핀(F1~F3)을 교차할 수 있다.
- [0044] 제1 내지 제3 희생 게이트 절연막(111a, 111b, 111c)과 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)는 제1 내지 제3 핀(F1~F3)의 상면과 측벽의 상부에 형성될 수 있다. 제1 내지 제3 희생 게이트 절연막(111a, 111b, 111c)은 제1 내지 제3 핀(F1~F3)의 상면과 측벽을 따라 컨포말(conformal)하게 형성될 수 있다. 또한, 제1 내지 제3 희생 게이트 절연막(111a, 111b, 111c)는 필드 절연막(110) 상에 배치될 수 있다.
- [0045] 한편, 제1 내지 제3 희생 게이트 절연막(111a, 111b, 111c)는 예를 들어, 실리콘 산화막일 수 있다. 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)는 예를 들어, 폴리 실리콘일 수 있다. 다만, 이에 제한되는 것은 아니

다.

- [0046] 제1 내지 제3 하드 마스크막(113a, 113b, 113c)은 각각 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c) 상에 형성될 수 있다. 제1 내지 제3 하드 마스크막(113a, 113b, 113c)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 중 적어도 하나를 포함하는 물질로 형성될 수 있다. 이어서, 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)의 양 측벽에 각각 제1 내지 제3 스페이서(115a, 115b, 115c)를 형성한다. 제1 내지 제3 스페이서(115a, 115b, 115c)는 각각 제1 내지 제3 하드 마스크막(113a, 113b, 113c)의 상면을 노출할 수 있다. 제1 내지 제3 스페이서(115a, 115b, 115c)는 실리콘 질화막 또는 실리콘 산질화막일 수 있으며, 도면에 도시된 바와 달리 단층이 아닌 복수층이 적층되어 형성될 수도 있다.
- [0047] 도 5를 참조하면, 제1 내지 제3 핀(F1~F3)을 식각한다. 제1 내지 제3 더미 게이트 구조체(111a, 111b, 111c)가 덮은 부분을 제외하고 제1 내지 제3 핀(F1~F3)의 나머지 부분을 식각한다. 따라서, 제1 내지 제3 더미 게이트 구조체(111a, 111b, 111c) 사이에서 노출된 제1 내지 제3 핀(F1~F3)이 식각될 수 있다. 제1 내지 제3 스페이서(115a, 115b, 115c)와 제1 내지 제3 하드 마스크막(113a, 113b, 113c)을 식각 마스크로 이용하여, 제1 내지 제3 핀(F1~F3)을 식각할 수 있다.
- [0048] 도 6 및 도 7을 참조하면, 제1 내지 제3 핀(F1~F3)의 식각된 부분에 제1 내지 제3 소오스/드레인 영역(121, 123, 125)을 형성한다. 제1 핀(F1) 내에 제1 소오스/드레인 영역(123)을, 제2 핀(F2) 내에 제2 소오스/드레인 영역(121)을, 제3 핀(F3) 내에 제3 소오스/드레인 영역(125)을 형성할 수 있다. 제1 내지 제3 소오스/드레인 영역(121, 123, 125)은 상승된(elevated) 소오스/드레인 영역일 수 있다. 따라서, 제1 내지 제3 소오스/드레인 영역(121, 123, 125)의 상면은 제1 내지 제3 핀(F1~F3)의 상면보다 높을 수 있다.
- [0049] 본 실시예에 따라 제조되는 반도체 장치가 PMOS 트랜지스터인 경우, 제1 내지 제3 소오스/드레인 영역(121, 123, 125)은 압축 스트레스 물질을 포함할 수 있다. 예를 들어, 압축 스트레스 물질은 Si에 비해서 격자상수가 큰 물질일 수 있고, 예를 들어 SiGe일 수 있다. 압축 스트레스 물질은 제1 및 제2 게이트 구조체(151a, 152b) 하부의 제1 내지 제3 핀(F1~F3), 즉 채널 영역에 압축 스트레스를 가하여 채널 영역의 캐리어의 이동도(mobility)를 향상시킬 수 있다.
- [0050] 본 실시예에 따라 제조되는 반도체 장치가 NMOS 트랜지스터인 경우, 제1 내지 제3 소오스/드레인 영역(123, 125)은 인장 스트레스 물질을 포함할 수 있다. 제1 내지 제3 소오스/드레인 영역(121, 123, 125)은 기판(101)과 동일 물질 또는, 인장 스트레스 물질일 수 있다. 예를 들어, 기판(101)이 Si일 때, 제1 내지 제3 소오스/드레인 영역(121, 123, 125)은 Si이거나, Si보다 격자 상수가 작은 물질(예를 들어, SiC, SiP)일 수 있다. 제1 내지 제3 소오스/드레인 영역(121, 123, 125)은 에피택셜 성장시켜 형성할 수 있다.
- [0051] 한편, 도 6에서는 제1 내지 제3 소오스/드레인 영역(121, 123, 125)이 서로 접하는 것으로 도시되어 있으나, 본 발명이 이에 제한되는 것은 아니며, 제1 내지 제3 소오스/드레인 영역(121, 123, 125)은 서로 이격되어 형성될 수 있다.
- [0052] 도 8 및 도 9를 참조하면, 제1 내지 제3 소오스/드레인 영역(121, 123, 125)을 덮는 제1 층간 절연막(131)을 형성한다. 제1 층간 절연막(131)은 제1 내지 제3 스페이서(115a, 115b, 115c)의 측벽을 덮을 수 있으며, 제1 내지 제3 하드 마스크막(113a, 113b, 113c)의 상면은 노출시킨다. 제1 층간 절연막(131)은 예를 들어, 산화막을 포함할 수 있다.
- [0053] 도 10을 참조하면, 제1 내지 제3 하드 마스크막(113a, 113b, 113c)을 제거하여 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)의 상면을 노출시킨다. 제1 내지 제3 하드 마스크막(113a, 113b, 113c)을 제거하기 위하여 평탄화 공정(예를 들어, CMP 공정)을 수행할 수 있으며, 평탄화 공정 진행 시 제1 층간 절연막(131)도 일부 식각될 수 있다.
- [0054] 평탄화 공정을 수행한 후, 세정 공정을 진행하면 평탄화 공정에 의해 발생한 잔여물 등을 제거할 수 있다. 제1 층간 절연막(131)의 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)의 상면과 동일 평면에 위치할 수 있으나, 이에 제한되는 것은 아니다. 즉, 상술한 평탄화 공정 시에, 제1 층간 절연막(131)이 일부 제거되어 제1 층간 절연막(131)의 상면이 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)의 상면보다 낮아질 수 있다.
- [0055] 도 11을 참조하면, 제1 층간 절연막(131), 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)의 상면을 덮는 보호막(133) 및 제1 절연막(135)을 형성한다. 보호막(133)은 후속 공정에서 제1 층간 절연막(131)이 식각되는 것을 방지할 수 있다. 보호막(133)은 예를 들어, 질화막, 산질화막 등을 포함할 수 있다.

- [0056] 제1 절연막(135)은 보호막(133)을 형성하면서 발생한 단차를 상쇄하기 위하여 형성한다. 상술한 평탄화 공정 시에, 제1 층간 절연막(131)의 일부가 제거되는 경우, 제1 층간 절연막(131)의 상면과 제1 내지 제3 희생 게이트 전극(112a, 112b, 112c)의 상면에 높이 차가 있으므로, 보호막(133)을 형성하면 보호막(133)은 평평하게 형성되지 않고, 제1 층간 절연막(131) 상에 오목한 부분이 발생할 수 있다. 제1 절연막(135)은 보호막(133)의 오목한 부분을 채워, 제1 절연막(135) 상면을 평평하게 만들 수 있다. 제1 절연막(135)은 제1 층간 절연막(131)과 동일한 물질을 포함할 수 있다.
- [0057] 도 12를 참조하면, 보호막(133) 상에 식각 마스크 패턴(137a)을 형성한다. 식각 마스크 패턴(137a)은 제2 희생 게이트 전극(112b)의 상부를 노출시키고, 나머지 부분은 덮을 수 있다.
- [0058] 도 13을 참조하면, 제2 희생 게이트 전극(112b)를 제거하고, 제1 트렌치(141a)를 형성한다. 제1 트렌치(141a)의 바닥면으로 제2 희생 게이트 절연막(111b)이 노출된다. 제2 희생 게이트 전극(112b)은 제1 식각 공정(201)로 제거될 수 있다. 구체적으로, 식각마스크 패턴(137a)을 이용하여 먼저 제2 희생 게이트 전극(112b) 상의 보호막(133)을 제거하고, 이어서 제2 희생 게이트 전극(112b)를 제1 식각 공정(201)로 제거하여 제1 트렌치(141a)를 형성한다. 제1 트렌치(141a)에 의해 제2 희생 게이트 절연막(111b)이 노출될 수 있다.
- [0059] 제1 식각 공정(201)은 이방성 식각(anisotropic etching) 공정 또는 등방성 식각(isotropic etching) 공정일 수 있다. 제1 식각 공정(201)은 습식 식각 공정 또는 건식 식각 공정일 수 있다. 제1 식각 공정(201)이 건식 식각 공정일 경우에, 플라즈마 식각(plasma etching), 반응성 이온 식각(RIE: reactive ion etching) 또는 반응성 이온 빔 식각(reactive ion beam etching)을 수행할 수 있다.
- [0060] 제1 식각 공정(201)은 할로젠화 수소 가스, 예를 들어 브로민화 수소(Hydrogen bromide; HBr) 가스를 이용한 반응성 이온 식각 공정일 수 있으나, 이에 제한되는 것은 아니다. 한편, 제1 식각 공정(201)이 상술한 반응성 이온 식각 공정일 경우, 식각 공정 시, 불화탄소(CF₄) 가스가 추가될 수 있다. 불화탄소(CF₄) 가스의 추가를 통해, 반응성 이온 식각 공정의 이방성이 증가될 수 있다.
- [0061] 도 14를 참조하면, 제2 희생 게이트 절연막(111b)를 제거하여, 제1 내지 제3 핀(F1-F3)을 노출시킨다.
- [0062] 제1 식각 공정(201)로 노출된 제2 희생 게이트 절연막(111b)은 제2 식각 공정(203)을 통해 제거될 수 있다. 제2 식각 공정(203)은 제1 식각 공정(201)과 다른 식각 공정일 수 있다. 본 실시예에 있어서, 제2 식각 공정(203)은 습식 식각 공정일 수 있다. 제2 식각 공정은 등방성 식각 공정일 수 있다. 다만, 이에 제한되는 것은 아니다. 제2 식각 공정(203)이 습식 식각인 경우에, 플루오린화 수소(Hydrogen fluoride; HF) 또는 완충 플루오린화 수소(Buffered hydrogen fluoride; BHF)를 에천트로 사용할 수 있다.
- [0063] 제2 식각 공정(203)을 통해, 제2 희생 게이트 절연막(111b)이 완전히 제거될 수 있으며, 제2 스페이서(115b)의 일부와 제1 내지 제3 핀(F1-F3)의 일부도 제거될 수 있으나, 이에 제한되는 것은 아니다.
- [0064] 본 발명에 있어서, 제2 식각 공정(203)을 통해, 제2 희생 게이트 절연막(111b)을 완전히 제거할 수 있으므로, 제2 스페이서(115b)의 측벽 상에는 제2 희생 게이트 절연막(111b)이 잔존하지 않는다. 따라서, 이후 공정에서 신뢰성이 향상된 공정 수행이 가능하다. 한편, 도 13 및 도 14를 통해 각각 설명한 제1 및 제2 식각 공정(201, 203)은 모두 습식 공정일 수 있다. 그러나, 이에 제한되는 것은 아니다.
- [0065] 도 15를 참조하면, 제1 내지 제3 핀(F1-F3)의 노출된 부분을 제거하여 제1 리세스(141b)를 형성한다. 제1 리세스(141b)는 제1 내지 제3 소오스/드레인 영역(121, 123, 125)과 이격되어 형성될 수 있다. 제1 리세스(141b)의 하면은 제1 내지 제3 소오스/드레인 영역(121, 123, 125)의 하면보다 낮거나 같다.
- [0066] 제1 내지 제3 핀(F1-F3)의 노출된 부분은 제3 식각 공정(205)을 통해 제거될 수 있다. 제3 식각 공정(205)은 이방성 식각(anisotropic etch) 공정 또는 등방성 식각(isotropic etch) 공정일 수 있다. 제3 식각 공정(205)은 습식 식각 공정 또는 건식 식각 공정일 수 있다. 제3 식각 공정(205)은 도 14를 통해 설명한 제2 식각 공정(203)과는 다른 식각 공정일 수 있다. 제3 식각 공정(205)이 건식 식각 공정일 경우에, 플라즈마 식각(plasma etching), 반응성 이온 식각(RIE: reactive ion etching) 또는 반응성 이온 빔 식각(reactive ion beam etching)을 수행할 수 있다.
- [0067] 제3 식각 공정(205)은 할로젠화 수소 가스, 예를 들어 브로민화 수소(Hydrogen bromide; HBr) 가스를 이용한 반응성 이온 식각 공정일 수 있으나, 이에 제한되는 것은 아니다. 한편, 제3 식각 공정(205)이 상술한 반응성 이온 식각 공정일 경우, 식각 공정 시, 불화탄소(CF₄) 가스가 추가될 수 있다. 불화탄소(CF₄) 가스의 추가를 통해,

반응성 이온 식각 공정의 이방성이 증가될 수 있다.

- [0068] 본 발명에 있어서, 제2 식각 공정(203)으로 제1 내지 제3 핀(F1~F3)의 상면을 노출시킨 후, 제3 식각 공정(205)을 통해 제1 리세스(141b)를 형성하므로, 제1 리세스(141b) 바닥면의 제1 내지 제3 핀(F1~F3)은 펜스(fence)를 형성하지 않거나, 10nm 이하의 높이 차를 가지는 펜스(fence)를 형성할 수 있다. 보다 상세한 설명은 도 23을 통해 설명한다.
- [0069] 도 15에서는 제1 리세스(141b)가 상부에서 하부로 갈수록 폭이 좁아지는 트렌치 형상을 갖는 것으로 도시되어 있으나, 제1 리세스(141b)는 도 16a 내지 도 16e와 같이 다양한 형상을 가질 수 있다. 예를 들어, 제1 리세스(141b)는 도 16a와 같이 V자형, 도 16b와 같이 직사각형, 도 16c와 같이 사다리꼴형, 도 16d와 같이 각진 U자형, 도 16e와 같이 U자형의 형상을 가질 수 있다. 그러나, 본 발명은 이에 제한되는 것은 아니며, 제1 리세스(141b)는 도 15, 도 16a 내지 도 16e가 아닌 다른 형상을 가질 수도 있다.
- [0070] 도 17을 참조하면, 식각 마스크 패턴(137a)을 제거하고, 제1 트렌치 및 리세스(141a, 141b)를 채우는 제1 소자 분리막(143a)을 형성한다. 제1 소자 분리막(143a)은 예를 들어, 산화막, 질화막, 산질화막 등일 수 있다.
- [0071] 도 18을 참조하면, 제1 소자 분리막(143a)을 제거하여 제1 및 제3 희생 게이트 전극(112a, 112c)의 상면을 노출시킨다. 이 때, 제1 및 제3 희생 게이트 전극(112a, 112c)를 덮는 보호막(133)과, 제1 절연막(135)은 평탄화 공정 등을 통해서 같이 제거될 수 있다. 한편, 본 실시예에서 보호막(133)이 전부 제거된 것으로 도시되었지만, 일부 제1 층간 절연막(131) 상에만 남을 수 있다. 소자 분리막(143)은 제1 트렌치(141a)와 제1 리세스(141b) 내에만 남는다.
- [0072] 도 19를 참조하면, 제1 및 제3 희생 게이트 전극(112a, 112c)와 제1 및 제3 희생 게이트 절연막(111a, 111c)를 제거한다. 이 때, 제1 소자 분리막(143)의 일부도 식각될 수 있다. 도 19에서는 제1 소자 분리막(143)이 제1 내지 제3 핀(F1~F3)의 상면과 동일 평면 상에 위치하는 것으로 도시되어 있으나, 본 발명이 이에 제한되는 것은 아니며, 제1 소자 분리막(143)의 상면은 제1 내지 제3 핀(F1~F3)의 상면보다 높거나 낮을 수 있다.
- [0073] 도 20을 참조하면, 제1 및 제3 희생 게이트 전극(112a, 112c)이 제거된 부분에 제1 및 제2 게이트 구조체(151a, 151b)를 형성하고, 제1 소자 분리막(143) 상에 더미 게이트 구조체(152)를 형성한다. 제1 및 제2 게이트 구조체(151a, 151b)와 더미 게이트 구조체(152)는 동시에 형성될 수 있다. 제1 및 제2 게이트 구조체(151a, 151b)는 각각 제1 및 제2 게이트 절연막(153a, 153b)과 제1 및 제2 게이트 전극(155a, 155b)을 포함할 수 있다.
- [0074] 제1 및 제2 게이트 절연막(153a, 153b) 각각은 제1 내지 제3 핀(F1~F3)과 제1 및 제2 게이트 전극(155a, 155b) 사이에 형성될 수 있다. 제1 및 제2 게이트 절연막(153a, 153b) 각각은 제1 내지 제3 핀(F1~F3)의 상면과 제1 스페이서(115)의 측벽을 따라 형성될 수 있다. 이러한 제1 및 제3 게이트 절연막(153a, 153b)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 제1 및 제2 게이트 절연막(153a, 153b)은 HfO₂, ZrO₂, LaO, Al₂O₃ 또는 Ta₂O₅를 포함할 수 있다.
- [0075] 제1 및 제2 게이트 전극(155a, 155b) 각각은 제1 및 제2 금속층(MG1, MG2)을 포함할 수 있다. 도시된 것과 같이 제1 및 제2 게이트 전극(155a, 155b) 각각은 2층 이상의 제1 및 제2 금속층(MG1, MG2)이 적층될 수 있다. 제1 금속층(MG1)은 일함수 조절을 하고, 제2 금속층(MG2)은 제1 금속층(MG1)에 의해 형성된 공간을 채우는 역할을 한다. 제1 금속층(MG1)은 제1 내지 제3 핀(F1~F3)의 상면과 제1 스페이서(115)의 측벽을 따라 형성될 수 있다. 예를 들어, 제1 금속층(MG1)은 TiN, TaN, TiC, TiAlC 및 TaC 중 적어도 하나를 포함할 수 있다. 또한, 제2 금속층(MG2)은 W 또는 Al을 포함할 수 있다. 또는, 제1 및 제2 게이트 전극(155a, 155b)은 금속이 아닌, Si, SiGe 등으로 이루어질 수도 있다.
- [0076] 더미 게이트 구조체(152)는 더미 게이트 절연막(153c)과 더미 게이트 전극(155c)을 포함할 수 있다. 더미 게이트 구조체(152)는 제1 및 제2 게이트 구조체(151a, 151b)와 달리 트랜지스터의 게이트로 동작하지 않는다.
- [0077] 더미 게이트 절연막(153c)은 제1 내지 제3 핀(F1~F3)과 더미 게이트 전극(155c) 사이에 형성될 수 있다. 더미 게이트 절연막(153c)은 제1 소자 분리막(143) 상면과 제1 스페이서(115)의 측벽을 따라 형성될 수 있다. 더미 게이트 절연막(153c)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 더미 게이트 절연막(153c)은 HfO₂, ZrO₂, LaO, Al₂O₃ 또는 Ta₂O₅를 포함할 수 있다.
- [0078] 더미 게이트 전극(155c)은 제1 및 제2 금속층(MG1, MG2)을 포함할 수 있다. 더미 게이트 전극(155c) 각각은 2층 이상의 제1 및 제2 금속층(MG1, MG2)이 순차적으로 적층될 수 있다. 예를 들어, 제1 금속층(MG1)은 TiN, TaN, TiC, TiAlC 및 TaC 중 적어도 하나를 포함할 수 있다. 또한, 제2 금속층(MG2)은 W 또는 Al을 포함할 수 있다.

또는, 더미 게이트 전극(155c)은 금속이 아닌, Si, SiGe 등으로 이루어질 수도 있다. 이어서, 제2 층간 절연막(132)을 형성한다. 제2 층간 절연막(132)은 제1 층간 절연막(131), 제1 및 제2 게이트 구조체(151a, 151b), 더미 게이트 구조체(152)를 덮을 수 있다.

- [0079] 도 21 내지 도 24를 참조하면, 제1 내지 제3 소오스/드레인 영역(121, 123, 125) 상에 실리사이드막(161)을 형성하고 실리사이드막(161) 상에 콘택(163)을 형성하여 반도체 장치(1)를 제조한다. 구체적으로, 실리사이드막(161)은 제1 내지 제3 소오스/드레인 영역(121, 123, 125)의 상면을 따라 형성될 수 있다. 실리사이드막(161)은 제1 내지 제3 소오스/드레인 영역(121, 123, 125)이 콘택(163)과 접할 때의 면 저항, 접촉 저항 등을 감소시키는 역할을 할 수 있으며, 도전 물질, 예를 들어, Pt, Ni, Co 등을 포함할 수 있다. 콘택(163)은 도전 물질로 형성될 수 있으며, 예를 들어, W, Al Cu 등을 포함할 수 있으나, 이에 제한되는 것은 아니다
- [0080] 본 실시예에 따른 반도체 제조 방법으로 제조된 반도체 장치의 핀은 낮은 높이의 펜스(fence)를 포함할 수 있다. 도 23에 도시된 바와 같이, 점선으로 표시된 원 a를 살펴보면, 제2 핀(F2)은 오목부를 포함할 수 있다. 구체적으로, 제2 핀(F2)의 돌출된 펜스(Fence; FL)로 인하여, 제2 핀(F2)의 상면과 필드 절연막(110)의 상면은 동일 평면을 형성하지 못할 수 있다. 그러나, 본 발명에 있어서, 제1 내지 제3 핀(F1-F3)은 제1 내지 제2 식각 공정을 통해 리세스를 형성하므로, 펜스(FL)와 바닥막(BL)의 높이 차(H1)를 10nm 이하로 형성할 수 있다. 나아가, 높이 차(H1)를 실질적으로 없앨 수 있다. 이에 따라, 소자 분리막(143)으로 인한 소자 분리 특성이 향상될 수 있다.
- [0081] 제2 핀(F2)의 펜스(FL)와 바닥막(BL)의 높이 차(H1)가 10nm 이상인 경우, 즉, 제2 핀(F2)의 일부가 제1 소자 분리막(143) 내부로 침투한 경우, 제2 핀(F2)은 전기전도성이 제1 소자 분리막(143)보다는 높으므로, 제1 소자 분리막(143)을 이용한 소자 분리 특성이 저하될 수 있다. 따라서, 핀의 펜스(fence)의 높이를 최소화하는 것은 반도체 장치의 소자 분리 특성을 향상시킬 수 있는 방법 중 하나이다.
- [0082] 본 발명에 있어서, 트렌치 및 리세스를 형성하는 것을 3 단계의 식각 공정(제1 내지 제3 식각 공정)을 통해 수행하므로, 핀의 펜스(fence) 높이를 최소화하거나, 펜스를 실질적으로 제거할 수 있다. 본 발명에 있어서, 핀의 펜스를 실질적으로 제거한다는 것은, 소자 분리막을 이용한 소자 분리 특성에 핀의 펜스가 실질적으로 영향을 미치지 못하는 높이 이하로 핀의 펜스 높이를 제어하는 것을 의미하는 것이다. 나아가, 본 발명에 있어서, 리세스는 상술한 제3 식각 공정으로 개별적으로 형성하므로, 리세스의 폭과 깊이를 다양하게 형성할 수 있다. 보다 상세한 내용은 후술한다.
- [0083] 이어서, 도 25 내지 31를 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다.
- [0084] 도 25 내지 도 31는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 단면도와 사시도들이다.
- [0085] 본 실시예에 따른 반도체 장치 제조 방법은 도 1 내지 도 24를 통해 설명한 반도체 장치 제조 방법과 비교하여, 이너 스페이서와 캡핑막을 형성하는 것을 더 포함하는 것을 제외하고는 실질적으로 동일하다. 따라서, 동일한 참조 번호는 동일한 구성 요소를 지칭하며, 이에 대한 반복되는 설명은 생략한다.
- [0086] 도 25에 도시된 반도체 장치 제조 방법의 중간 단계는 도 13으로 설명한 반도체 장치 제조 방법의 중간 단계 이후의 단계일 수 있다.
- [0087] 도 25를 참조하면, 이너 스페이서(170a)를 형성한다. 이너 스페이서(170a)는 식각 마스크 패턴(137)의 상면과 측벽, 제1 스페이서(115)의 측벽, 제1 내지 제3 핀(F1~F3)의 상면을 따라 콘포말하게 형성될 수 있다. 이너 스페이서(170a)는 산화막, 질화막, 산질화막 중 적어도 하나를 포함할 수 있다.
- [0088] 도 26을 참조하면, 이너 스페이서(170a)를 식각하여 제1 내지 제3 핀(F1~F3)을 다시 노출시킨다. 이너 스페이서(170a)는 예를 들어, 에치백 공정 등을 통해서 식각 마스크 패턴(137)의 측벽, 제1 스페이서(115)의 측벽에 남을 수 있다. 이너 스페이서(170a)는 제1 트렌치(141a)의 측벽에 배치될 수 있다.
- [0089] 도 27을 참조하면, 제1 내지 제3 핀(F1~F3)을 제3 식각 공정(205)으로 식각하여 제1 트렌치(141a) 하부에 제1 리세스(141b)를 형성한다. 제1 리세스(141b)는 식각 마스크 패턴(137a), 제1 스페이서(115) 및 이너 스페이서(170)를 식각 마스크로 이용하여 형성될 수 있다. 이너 스페이서(170)의 프로파일과 제1 리세스(141b)의 프로파일은 서로 이어질 수 있다.
- [0090] 제1 리세스(141b)를 형성하는 동안, 제2 스페이서(115b)의 일부와 이너 스페이서(170)의 일부도 식각될 수 있다. 이에 따라, 이너 스페이서(170)의 높이는 제1 스페이서(115)의 높이보다 낮아질 수 있고, 이너 스페이서

(170) 사이의 폭(W3)은 제2 스페이서(115b)가 식각된 부분 사이의 폭(W1)보다 좁을 수 있다.

- [0091] 제1 리세스(141b)의 하면은 제1 내지 제3 소오스/드레인 영역(121, 123, 125)의 하면보다 낮다. 또한, 제1 트렌치 및 리세스(141a, 141b)를 형성하면서 식각 마스크 패턴(137), 제1 절연막(135), 보호막(133)을 제거할 수 있다.
- [0092] 도 28을 참조하면, 순차적으로 캡핑막(142a), 제1 소자 분리막(143a)을 형성한다.
- [0093] 캡핑막(142a)은 제1 트렌치 및 리세스 (141a, 141b)의 내면을 따라 형성될 수 있다. 구체적으로, 캡핑막(142a)은 제2 스페이서(115b)의 상면과 측벽, 이너 스페이서(170)의 상면과 측벽, 제1 리세스(141b)의 내면을 따라 컨포말하게 형성될 수 있다. 제1 소자 분리막(143)은 캡핑막(142a) 상에 형성되고, 제1 트렌치(141a)와 제1 리세스(141b)의 나머지 부분을 채울 수 있다.
- [0094] 예를 들어, 캡핑막(142a)은 산화막, 질화막, 산질화막 중 적어도 하나를 포함할 수 있고, 제1 소자 분리막(143)도 산화막, 질화막, 산질화막 중 적어도 하나를 포함할 수 있다.
- [0095] 도 29를 참조하면, 캡핑막(142), 제1 소자 분리막(143)이 제1 트렌치 및 리세스(141a, 141b) 내에만 배치되도록 제거한다.
- [0096] 이어서, 제1 소자 분리막(143)의 일부를 제거한다. 따라서, 제1 소자 분리막(143)은 제1 트렌치(141a)의 일부만 채울 수 있다. 본 실시예에서, 제1 소자 분리막(143)의 상면이 이너 스페이서(170) 상면보다 높은 것으로 도시되어 있으나, 본 발명이 이에 제한되는 것은 아니며, 제1 소자 분리막(143)의 상면은 이너 스페이서(170)의 상면보다 낮을 수 있다.
- [0097] 캡핑막(142)이 제1 소자 분리막(143)과 다른 물질을 포함하는 경우, 제1 소자 분리막(143)을 일부 제거하는 동안 캡핑막(142)은 거의 제거되지 않는다.
- [0098] 도 30 및 도 31를 참조하여, 상술한 도 19 및 도 20의 반도체 제조 방법의 중간 단계에 따라 제1 및 제3 희생 게이트 전극(112a, 112c)과 제1 및 제3 희생 게이트 절연막(111a, 111c)를 제1 및 제2 게이트 구조체(151a, 151b)로 대체하고, 제1 소자 분리막(143) 상에 더미 게이트 구조체(152)를 형성한다. 이어서, 제2 층간 절연막(132)을 형성하고, 실리사이드막(161)과 컨택(163)을 형성하면, 본 실시예에 따른 반도체 제조 방법으로 제조된 반도체 장치(2)을 형성할 수 있다.
- [0099] 이어서, 도 32 내지 도 44을 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다.
- [0100] 도 32 내지 도 44은 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 단면도와 사시도들이다.
- [0101] 본 실시예에 따른 반도체 장치 제조 방법은 도 1 내지 도 24를 통해 설명한 반도체 장치 제조 방법과 비교하여, 캡핑막을 형성하는 것을 더 포함하는 것을 제외하고는 실질적으로 동일하다. 따라서, 동일한 참조 번호는 동일한 구성 요소를 지칭하며, 이에 대한 반복되는 설명은 생략한다.
- [0102] 도 32에 도시된 반도체 장치 제조 방법의 중간 단계는 도 9으로 설명한 반도체 장치 제조 방법의 중간 단계 이후의 단계일 수 있다.
- [0103] 도 32을 참조하면, 도 9의 결과물 상에 제1 식각 마스크막(137a)을 형성하고, 제1 식각 마스크막(137a) 상에 제2 식각 마스크 패턴(139)을 형성한다. 식각 공정을 좀더 세밀하고 정확하게 수행하기 위하여 복수개의 식각 마스크막을 형성할 수 있다.
- [0104] 제2 식각 마스크 패턴(139)을 형성하기 위하여, 제2 식각 마스크막을 형성하고, 제2 식각 마스크막 상에 포토 레지스트 패턴을 형성하고, 포토 레지스트 패턴을 이용하여 제2 식각 마스크막을 패터닝할 수 있다. 제2 식각 마스크막을 패터닝하여 제2 식각 마스크 패턴(139)이 형성될 수 있다.
- [0105] 한편, 도 33과 같이 제2 식각 마스크 패턴(139)을 형성한 후에, 제2 식각 마스크 패턴(139)의 측벽에 제1 마스크 스페이서(1139)을 형성할 수 있다. 제1 마스크 스페이서(1139)를 형성하면, 제1 식각 마스크막(137a)을 패터닝할 때, 제2 식각 마스크 패턴(139)이 무너지지 않는다.
- [0106] 이어서, 도 34과 같이 제2 식각 마스크 패턴(139)을 이용하여 제1 식각 마스크막(137a)을 패터닝한다. 제1 식각 마스크 패턴(137)을 형성하면, 제2 하드 마스크막(113b)이 노출된다. 이어서, 제1 식각 마스크 패턴(137) 상의 제2 식각 마스크 패턴(139)을 제거한다.

- [0107] 한편, 도 35와 같이 제1 식각 마스크 패턴(137)을 형성한 후에, 제1 식각 마스크 패턴(137) 측벽에 제2 마스크 스페이서(1137)를 형성할 수 있다. 제2 마스크 스페이서(1137)를 형성하면, 이후의 공정에서 제1 식각 마스크 패턴(137a)이 무너지지 않는다.
- [0108] 도 36을 참조하면, 제1 식각 마스크 패턴(137)을 이용하여 제2 하드 마스크막(113b)과 제2 희생 게이트 구조체(111b)를 순차적으로 제거한다. 노출된 제2 하드 마스크막(113b)을 먼저 제거하여 제2 희생 게이트 전극구조체(112b)의 상면을 노출시키고, 이어서, 제1 식각 공정(201)을 통해 제2 희생 게이트 전극(112b)를 제거할 수 있다. 이를 통해, 제2 희생 게이트 절연막(111b)가 노출된다.
- [0109] 도 37을 참조하면, 제2 희생 게이트 절연막(111b)를 제2 식각 공정(203)을 통해 제거한다. 이를 통해, 제1 내지 제3 핀(F1~F3)이 노출될 수 있다.
- [0110] 도 38 및 도 39을 참조하면, 제1 트렌치(141a) 내에 이너 스페이서(170a)를 형성한다. 먼저, 도 38과 같이 이너 스페이서(170a)를 제1 식각 마스크 패턴(137)의 상면과 측벽, 제2 스페이서(115b)의 상면과 측벽, 제1 내지 제3 핀(F1~F3)의 상면을 따라 형성한다. 이어서, 도 39와 같이 에치백 공정 등을 이용하여 제1 식각 마스크 패턴(137) 측벽과 제2 스페이서(115b) 측벽에만 이너 스페이서(170)를 남겨두고 나머지 부분은 제거한다. 이에 따라, 제1 내지 제3 핀(F1~F3)도 노출된다.
- [0111] 도 40을 참조하면, 노출된 제1 내지 제3 핀(F1~F3)을 제3 식각 공정(205)을 통해 식각하여 제1 리세스(141b)를 형성한다. 제1 식각 마스크 패턴(137)과 이너 스페이서(170)를 식각 마스크로 하여 제1 리세스(141b)를 형성할 수 있다. 이너 스페이서(170)의 폭을 조절하여 제1 리세스(141b)의 폭을 조절할 수 있다. 제1 리세스(141b)의 하면은 제1 내지 제3 소오스/드레인 영역(121, 123, 125)의 하면보다 낮다.
- [0112] 도 41를 참조하면, 이너 스페이서(170)를 제거하고, 이어서 캡핑막(173a)과 제1 소자 분리막(175a)을 형성한다. 캡핑막(173a)은 제1 식각 마스크 패턴(137) 상면과 측벽, 제1 스페이서(115) 상면과 측벽, 제1 리세스(141b)의 내면을 따라 형성될 수 있다. 제1 소자 분리막(175a)은 제1 트렌치 및 리세스(141a, 141b)의 나머지 부분을 채울 수 있다.
- [0113] 캡핑막(173a)은 예를 들어, 산화막, 질화막, 산질화막 중 적어도 하나를 포함할 수 있고, 제1 소자 분리막(175a)도 산화막, 질화막 산질화막 중 적어도 하나를 포함할 수 있다.
- [0114] 도 42을 참조하면, 제1 소자 분리막(175a)과 캡핑막(173a)의 일부를 제거하고, 제1 트렌치 및 리세스(141a, 141b) 내에만 제1 소자 분리막(175)과 캡핑막(173)을 배치한다. 제1 및 제3 하드 마스크막(113a, 113c)은 노출될 수 있다.
- [0115] 도 43 및 도 44을 참조하면, 평탄화 공정 등을 통해 제1 및 제3 하드 마스크막(113a, 113c)을 제거한다. 그리고, 제1 및 제3 희생 게이트 전극(112a, 112c)과 제1 및 제3 희생 게이트 절연막(111a, 111c)를 제1 및 제2 게이트 구조체(151a, 151b)로 대체한다. 소자 분리막(175) 상에는 더미 게이트 구조체를 형성하지 않는다. 상술한 과정을 통해, 본 실시예에 따른 반도체 제조 방법으로 제조된 반도체 장치(3)를 형성할 수 있다.
- [0116] 이어서, 도 45 내지 도 49을 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 제조 방법을 설명한다.
- [0117] 도 45 내지 도 49은 본 발명의 몇몇 실시예에 따른 반도체 제조 방법을 설명하기 위한 단면도와 사시도들이다.
- [0118] 본 실시예에 따른 반도체 장치 제조 방법은 도 32 내지 도 44를 통해 설명한 반도체 장치 제조 방법과 비교하여, 이너 스페이서의 일부를 제거하고, 일부는 유지시키는 것을 더 포함하는 것을 제외하고는 실질적으로 동일하다. 따라서, 동일한 참조 번호는 동일한 구성 요소를 지칭하며, 이에 대한 반복되는 설명은 생략한다.
- [0119] 도 45에 도시된 반도체 장치 제조 방법의 중간 단계는 도 39로 설명한 반도체 장치 제조 방법의 중간 단계 이후의 단계일 수 있다.
- [0120] 도 45를 참조하면, 노출된 제1 내지 제3 핀(F1~F3)을 식각하여 제1 리세스(141b)를 형성한다. 이 때, 제1 트렌치(141a) 양 측의 제2 스페이서(115b)와 이너 스페이서(170)는 일부 식각될 수 있다. 이에 따라, 제2 스페이서(115b)는 서로 마주보는 L 형상을 가질 수 있고, 제2 스페이서(115b) 상부의 폭은 하부의 폭보다 좁다. 이너 스페이서(170)는 제1 리세스(141b)를 덮지 않으며 제2 스페이서(115b) 측벽에 배치된다. 이너 스페이서(170)의 높이는 제2 스페이서(115b)의 높이보다 작을 수 있다.
- [0121] 제2 스페이서(115b)와 이너 스페이서(170)가 일부 식각됨에 따라 제1 트렌치(141a)의 형상도 달라질 수 있다. 이너 스페이서(170) 사이의 제1 트렌치(141a)의 폭(W5)은 이너 스페이서(170)가 미배치 부분의 제2 스페이서

(115b) 사이의 폭(W6)보다 좁을 수 있다. 식각 마스크 패턴(137)은 제거될 수 있다.

- [0122] 도 46을 참조하면, 제1 트렌치 및 리세스(141a, 141b) 내에 캡핑막(173a)과 제1 소자 분리막(175a)을 순차적으로 형성한다.
- [0123] 도 47을 참조하면, 캡핑막(173a)과 제1 소자 분리막(175a)을 제거하여 제1 층간 절연막(131), 제1 및 제3 하드 마스크막(113a, 113c)을 노출시킨다. 제1 트렌치 및 리세스(141a, 141b) 내에만 캡핑막(173)과 제1 소자 분리막(175)이 배치된다.
- [0124] 이어서, 제1 및 제3 하드 마스크막(113a, 113c)을 제거하여, 제1 및 제3 희생 게이트 전극(112a, 112c) 각각의 상면을 노출시킨다.
- [0125] 도 48 및 도 49을 참조하면, 제1 및 제3 희생 게이트 전극(112a, 112c)과 제1 및 제3 희생 게이트 절연막(111a, 111b)를 각각 제1 및 제2 게이트 구조체(151a, 151b)로 대체하고, 제2 층간 절연막(132), 실리콘사이드막(161) 컨택(163)을 형성한다.
- [0126] 이를 통해, 본 실시예에 따른 반도체 장치 제조 방법으로 제조된 반도체 장치(4)를 형성할 수 있다.
- [0127] 이어서, 도 50를 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다.
- [0128] 도 54는 본 발명의 몇몇 실시예에 따른 반도체 제조 방법을 설명하기 위한 단면도이다.
- [0129] 본 실시예에 따른 반도체 장치 제조 방법은 도 1 내지 도 24를 통해 설명한 반도체 장치 제조 방법과 비교하여, 제1 식각 공정으로 제2 희생 게이트 절연막 상에 제2 희생 게이트 전극의 잔여부가 형성되는 것을 제외하고는 실질적으로 동일하다. 따라서, 동일한 참조 번호는 동일한 구성 요소를 지칭하며, 이에 대한 반복되는 설명은 생략한다.
- [0130] 도 50에 도시된 반도체 장치 제조 방법의 중간 단계는 도 12로 설명한 반도체 장치 제조 방법의 중간 단계 이후의 단계일 수 있다. 도 50에 도시된 반도체 장치 제조 방법의 중간 단계는 도 13으로 설명한 반도체 장치 제조 방법의 중간 단계와 대응되는 단계일 수 있다.
- [0131] 도 50를 참조하면, 제2 희생 게이트 전극(112b)의 일부를 제1 식각 공정(201)을 통해 제거하여, 잔여부(112d)를 형성한다. 제2 희생 게이트 전극(112b)의 일부가 제거되어 제1 트렌치(141a)가 형성된다.
- [0132] 잔여부(112d)는 제2 스페이서(115b)의 측벽 상에 배치될 수 있다. 잔여부(112d)는 제2 희생 게이트 절연막(111b) 상에 배치될 수 있다. 따라서, 제1 트렌치(141a)의 바닥면으로 제2 희생 게이트 절연막(111b)의 상면 일부가 노출될 수 있다. 잔여부(112d)는 제2 희생 게이트 전극(112b)의 일부이므로, 동일한 물질일 수 있다.
- [0133] 본 실시예에 있어서, 제1 식각 공정(201)은 예를 들어, 반응성 이온 식각(RIE: reactive ion etching)을 이용한 이방성 식각일 수 있으나, 이에 제한되는 것은 아니다.
- [0134] 이어서, 도 50를 다시 참조하면, 잔여부(112d)는 제2 식각 공정(203)을 통해, 제2 희생 게이트 절연막(111b)와 함께 제거될 수 있다. 한편, 본 실시예에 있어서, 제2 식각 공정(203)은 습식 식각 공정일 수 있다.
- [0135] 본 실시예에 있어서, 제1 식각 공정(201) 이후에, 제2 희생 게이트 절연막(111b) 상에 잔여부(112b)가 남은 경우, 습식 식각 공정인 제2 식각 공정(203)을 통해 제2 희생 게이트 절연막(111b)과 잔여부(112b)을 함께 제거할 수 있으므로, 공정의 신뢰성을 향상시킬 수 있다.
- [0136] 한편, 잔여부(112d)는 제2 식각 공정(203)과 다른 별도의 습식 식각을 통해 제거될 수 있다. 즉, 잔여부(112d)는 제1 및 제2 식각 공정(201, 203)과 다른 습식 식각을 통해 제거된 후, 제2 희생 게이트 절연막(111b)가 제2 식각 공정(203)으로 제거될 수 있다.
- [0137] 이어서, 도 51 및 도 52을 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다.
- [0138] 도 51 및 도 52은 본 발명의 몇몇 실시예에 따른 반도체 제조 방법을 설명하기 위한 단면도들이다.
- [0139] 본 실시예에 따른 반도체 장치 제조 방법은 도 1 내지 도 24를 통해 설명한 반도체 장치 제조 방법과 비교하여, 제2 식각 공정으로 제2 스페이서와 핀의 일부가 제거되는 것을 제외하고는 실질적으로 동일하다. 따라서, 동일한 참조 번호는 동일한 구성 요소를 지칭하며, 이에 대한 반복되는 설명은 생략한다.
- [0140] 도 51에 도시된 반도체 장치 제조 방법의 중간 단계는 도 13으로 설명한 반도체 장치 제조방법의 중간 단계와 대응되는 단계일 수 있다.

- [0141] 도 51를 참조하면, 제2 희생 게이트 전극(112b)를 제거하고, 제1 트렌치(141a)를 형성한다. 제1 트렌치(141a)의 바닥면으로 제2 희생 게이트 절연막(111b)이 노출된다. 제2 희생 게이트 전극(112b)은 제1 식각 공정(201)로 제거될 수 있다.
- [0142] 제2 스페이서(115b)가 제1 트렌치(141a)를 통해 노출될 수 있으며, 제2 스페이서(115b)는 제7 폭(W7)을 가질 수 있다.
- [0143] 도 52를 참조하면, 제2 희생 게이트 절연막(111b)를 제거하여, 제1 내지 제3 핀(F1-F3)을 노출시킨다. 제1 식각 공정(201)로 노출된 제2 희생 게이트 절연막(111b)은 제2 식각 공정(203)을 통해 제거될 수 있다. 제2 식각 공정(203)은 제1 식각 공정(201)과 다른 식각 공정일 수 있다.
- [0144] 본 실시예에 있어서, 제2 식각 공정(203)은 습식 식각 공정일 수 있다. 제2 식각 공정은 등방성 식각 공정일 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0145] 제2 식각 공정(203)을 통해, 제2 스페이서(115b)는 제8 두께(W8)를 가질 수 있다. 제8 두께(W8)는 도 55의 제7 두께(W7)와 비교하여, 얇은 두께일 수 있다. 즉, 제2 스페이서(115b)는 제2 식각 공정(203) 후, 제2 스페이서(115b)의 두께가 얇아질 수 있다.
- [0146] 또한, 도시된 바와 같이, 제2 스페이서(115b)의 두께는 기판(101) 상의 동일 높이에서, 제1 및 제3 스페이서(115a, 115c)의 두께 보다 얇을 수 있다.
- [0147] 또한, 제2 스페이서(115b)의 두께 변화와 동시에 또는 별도로, 제1 내지 제3 핀(F1-F3)의 일부가 제거될 수 있다. 즉, 제2 식각 공정(203)을 통해, 제2 희생 게이트 절연막(111b)의 제거와 동시에, 제1 내지 제3 핀(F1-F3)의 일부가 제거되어, 제1 내지 제3 핀(F1-F3)의 상면은 오목면(CS)을 형성할 수 있다. 다만, 이에 제한되는 것은 아니다.
- [0148] 본 실시예에 있어서, 제1 트렌치(141a) 내에는 더미 게이트 전극 대신에, 제1 소자 분리막이 형성될 수 있다.
- [0149] 이어서, 도 53 내지 도 58를 참조하여 본 발명의 몇몇 실시예에 따른 반도체 제조 방법을 설명한다.
- [0150] 본 실시예에 따른 반도체 장치 제조 방법은 도 1 내지 도 24를 통해 설명한 반도체 장치 제조 방법과 비교하여, 두 개의 서로 다른 영역에서 공정이 수행되는 점을 제외하고 실질적으로 동일하다. 따라서, 동일한 참조 번호는 동일한 구성 요소를 지칭하며, 이에 대한 반복되는 설명은 생략한다.
- [0151] 도 53를 참조하면, 기판(101)은 제1 영역(I)과 제2 영역(II)을 포함한다. 제1 영역(I)과 제2 영역(II)이 서로 연결된 것처럼 도시되었지만, 이는 발명의 설명을 위한 예시적인 배치일 뿐 이에 제한되는 것은 아니다. 따라서, 제1 영역(I)과 제2 영역(II)은 서로 이격된 영역일 수 있다.
- [0152] 제1 영역(I)에서, 상술한 도 1 내지 도 15에서 설명한 반도체 제조 공정이 수행될 수 있다. 제2 영역(II)에서는, 상술한 도 1 내지 도 14 공정이 수행될 수 있다.
- [0153] 제2 영역(II)에 형성된 제4 소오스/ 드레인 영역(2123), 제2 층간 절연막(2131), 제4 내지 제6 스페이서(2115a, 2115b, 2115c), 제2 보호막(2133), 제2 절연막(2135), 제4 및 제6 희생 게이트 절연막(2111a, 2111c) 및 제4 및 제6 희생 게이트 전극(2112a, 2112c) 각각은 제1 영역(I)에 형성된 제1 소오스/ 드레인 영역(123), 제1 층간 절연막(131), 제1 내지 제3 스페이서(115a, 115b, 115c), 보호막(133), 제1 절연막(133), 제1 및 제3 희생 게이트 절연막(111a, 2111c) 및 제1 및 제3 희생 게이트 전극(112a, 112c)과 실질적으로 동일한 구성일 수 있다. 따라서, 반복되는 설명은 생략한다.
- [0154] 도 53를 다시 참조하면, 제1 영역(I)에 제2 식각 공정(205)을 수행하여 제1 리세스(141b)를 형성한다. 제2 영역(II)에는 제2 마스크 패턴(240)이 배치될 수 있으나, 이에 제한되는 것은 아니다. 제2 마스크 패턴(240)은 질화물, 산화물 또는 산질화물일 수 있으나 이에 제한되는 것은 아니며, 제2 식각 공정(205)으로 식각되지 않는 물질을 포함할 수 있다.
- [0155] 도 54를 참조하면, 제2 영역(II)에 제2 식각 공정(205)을 수행하여, 제2 리세스(2141b)를 형성한다. 제2 리세스(2141b)는 제2 트렌치(2141a) 아래에 형성될 수 있다. 제1 및 제2 리세스(141b, 2141b)를 형성한 후에, 상술한 도 17 내지 도 24에 대응하는 공정을 수행하여 반도체 장치를 제조할 수 있다.
- [0156] 도 55를 참조하면, 상술한 도 53 내지 도 54의 중단 단계 공정을 통하여, 서로 다른 깊이를 가지는 리세스가 형성됨을 확인할 수 있다.

- [0157] 즉, 제1 리세스(141b)는 제1 리세스 폭(w11)과 제1 리세스 깊이(d11)를 가질 수 있고, 제2 리세스(2141b)는 제2 리세스 폭(w22)과 제2 리세스 깊이(d22)를 가질 수 있다. 제1 리세스 폭(w11)과 제2 리세스 폭(w22)은 서로 동일할 수 있으나, 이에 제한되는 것은 아니다. 제1 리세스 깊이(d11)는 제2 리세스 깊이(d22)보다 클 수 있으나, 이에 제한되는 것은 아니다.
- [0158] 본 실시예에 있어서, 트렌치와 리세스를 형성하는 공정을 복수의 식각 공정을 통하여 형성하므로, 서로 다른 폭 또는 깊이를 가지는 복수의 트렌치 및 리세스를 핀 상에 형성할 수 있다. 즉, 본 발명에 따르면, 하나의 식각 공정으로 트렌치와 리세스를 형성하지 않고, 3단계 이상의 식각 공정으로 트렌치 및 리세스를 형성하므로, 형성되는 리세스의 폭과 깊이를 다양하게 형성할 수 있다.
- [0159] 도 56 내지 도 58를 참조하면, 서로 다른 영역에 서로 다른 폭 및/또는 깊이를 가지는 트렌치 및 리세스가 형성됨을 확인할 수 있다.
- [0160] 도 56을 참조하면, 제1 리세스 깊이(d11)과 제2 리세스 깊이(d22)는 동일할 수 있으나, 제1 리세스 폭(w11)과 제2 리세스 폭(w22)은 서로 다를 수 있다. 즉, 제2 리세스 폭(w22)이 제1 리세스 폭(w11)보다 클 수 있다.
- [0161] 도 57을 참조하면, 제1 리세스 깊이(d11)는 제2 리세스 깊이(d22)보다 깊고, 제1 리세스 폭(w11)은 제2 리세스 폭(w22)보다 넓을 수 있다.
- [0162] 도 58를 참조하면, 제1 리세스 깊이(d11)는 제2 리세스 깊이(d22)보다 깊고, 제1 리세스 폭(w11)은 제2 리세스 폭(w22)보다 좁을 수 있다.
- [0163] 한편, 본 실시예에 있어서, 제1 리세스(141b)는 제1 소자 분리막으로, 제2 리세스(141b)는 제2 소자 분리막으로 채워질 수 있다. 상기 제1 소자 분리막과 상기 제2 소자 분리막을 서로 동일한 물질일 수도 있고, 서로 다른 물질일 수도 있다. 한편, 제1 영역(I)은 NMOS 영역 또는 PMOS 영역일 수 있고, 제2 영역(II)은 NMOS 영역 또는 PMOS 영역일 수 있다. 보다 구체적으로, 도 55, 도 56 및 도 57과 같은 경우에, 제1 영역(I)은 NMOS 영역이고, 제2 영역(II)은 PMOS 영역일 수 있으나, 이에 제한되는 것은 아니다.
- [0164] 이어서, 도 59 내지 도 60를 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다.
- [0165] 본 실시예에 따른 반도체 장치 제조 방법은 도 53 내지 도 58를 통해 설명한 반도체 장치 제조 방법과 비교하여, 제2 영역에 형성된 제2 트렌치와 제2 리세스의 폭이 서로 다른 점을 제외하고는 실질적으로 동일하다. 따라서, 동일한 참조 번호는 동일한 구성 요소를 지칭하며, 이에 대한 반복되는 설명은 생략한다.
- [0166] 도 59를 참조하면, 제2 영역(II)에 형성된 제2 리세스(2141b)의 제2 리세스 폭(w22)은 제2 트렌치(2141a)의 폭(wb)보다 좁다. 즉, 제1 영역(I)에 형성된 제1 리세스(141b)는 제1 트렌치(141a)와 연결되는 상부 영역에서는, 제1 트렌치(141a)의 폭(wa)과 동일한 제1 리세스 폭(w11)을 가질 수 있으나, 제2 영역(II)에 형성된 제2 리세스(2141b)는 제2 트렌치(2141a)의 폭(wb)보다 좁은 제2 리세스 폭(w22)을 가질 수 있다.
- [0167] 한편, 제2 리세스 폭(w22)은 제1 리세스 폭(w11)보다 좁을 수 있으나, 이에 제한되는 것은 아니다.
- [0168] 도 60를 참조하면, 도 59에 도시된 경우와 비교하여, 제1 리세스 깊이(d11)는 제2 리세스 깊이(d22)보다 깊을 수 있으나, 이에 제한되는 것은 아니다.
- [0169] 본 발명에 있어서, 제2 리세스(2141b)는 제1 트렌치(2141a)를 형성하는 식각 공정과 별도의 공정으로 형성되므로, 도 59 및 도 60에 도시된 바와 같이, 제2 영역(II)에 형성된 제2 리세스(2141b)의 제2 리세스 폭(w22)은 제2 트렌치(2141a)의 폭(wb)보다 좁을 수 있다. 이에 따라, 다양한 형태의 리세스를 형성할 수 있다.
- [0170] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

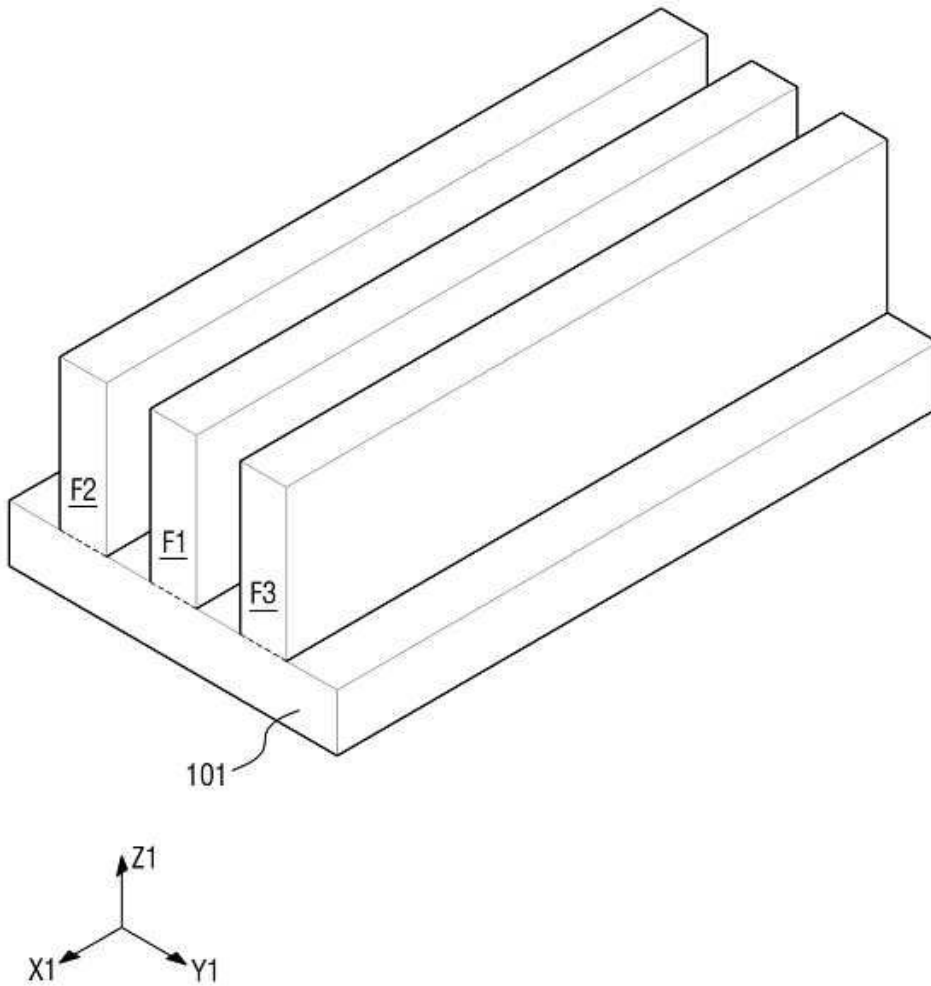
부호의 설명

- [0171] 1, 2, 3, 4: 반도체 장치
- 101: 기판 110: 필드 절연막 111a, 111b, 111c: 희생 게이트 절연막

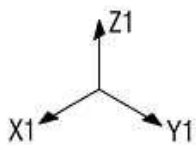
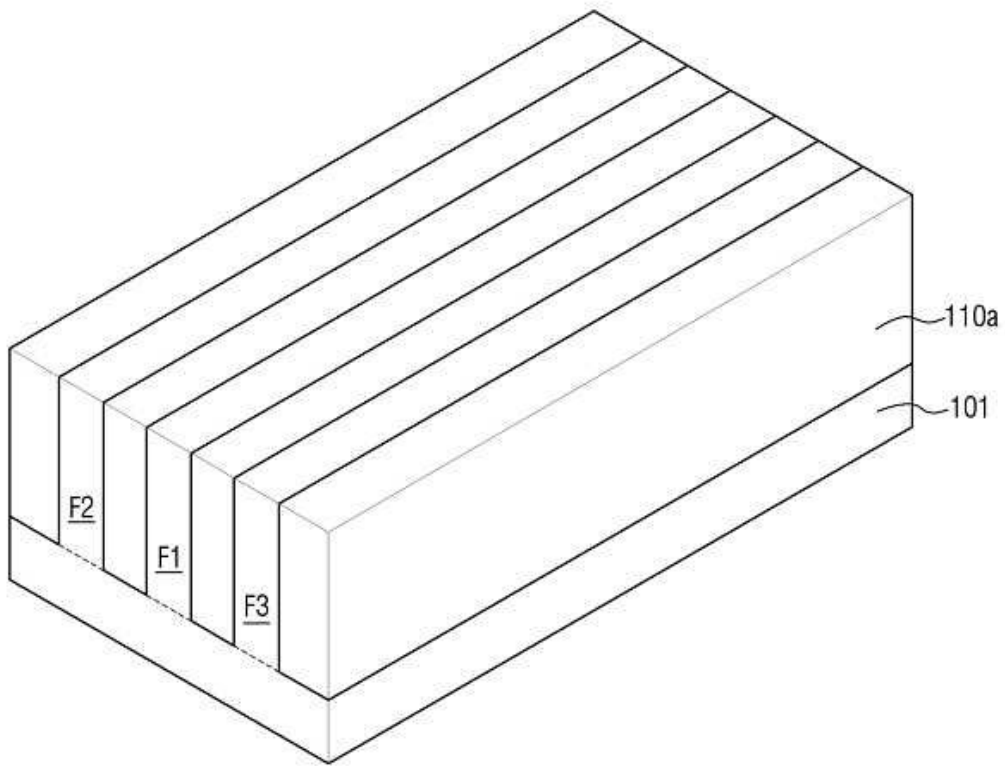
112a, 112b, 112c: 희생 게이트 전극 113a, 113b, 113c: 하드 마스크막
 115, 116, 117: 스페이서 121, 123, 125: 소오스/드레인 영역
 131: 제1 층간 절연막 132: 제2 층간 절연막 133: 보호막
 135: 절연막 137: 제1 식각 마스크 패턴 138: 식각 정지막
 139: 제2 식각 마스크 패턴 141a: 트렌치 141b: 리세스
 142, 173: 캡핑막 143, 175: 소자 분리막 151a, 151b: 게이트 구조체
 152, 252: 더미 게이트 구조체 161: 실리사이드막 163: 콘택
 169: 커버막 170: 이너 스페이서

도면

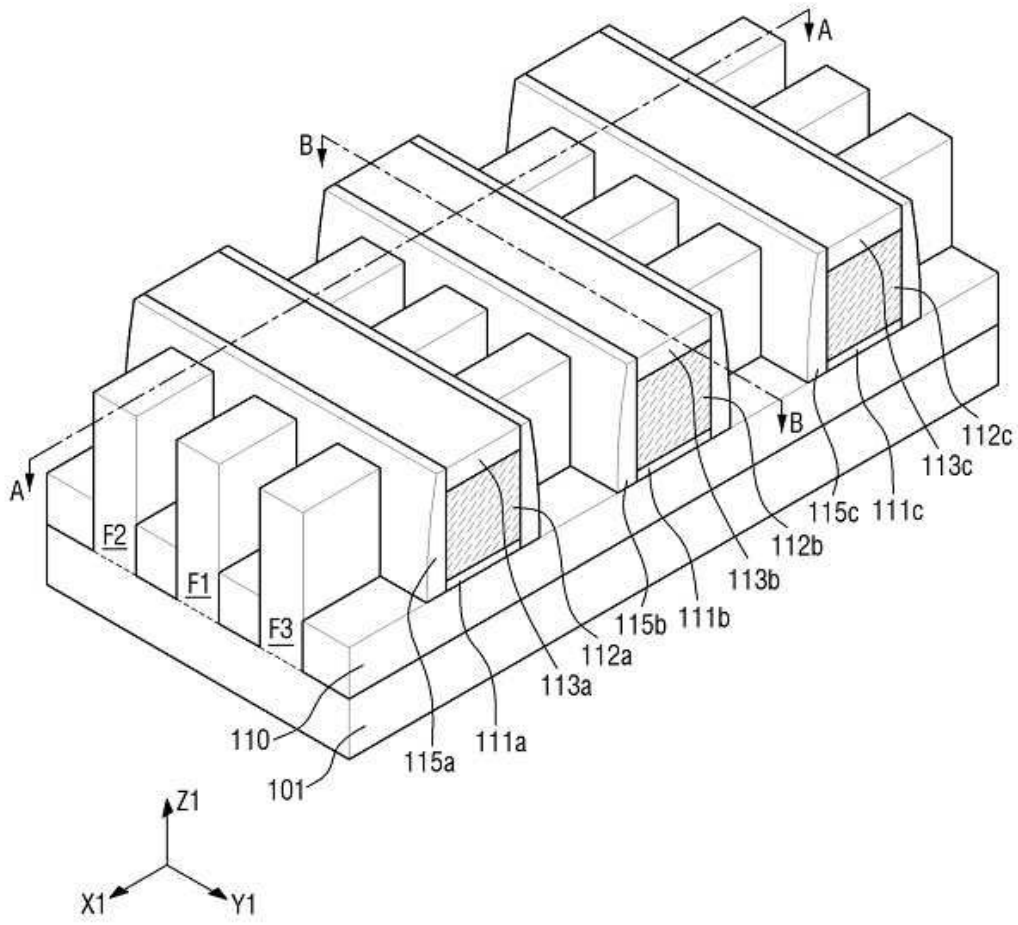
도면1



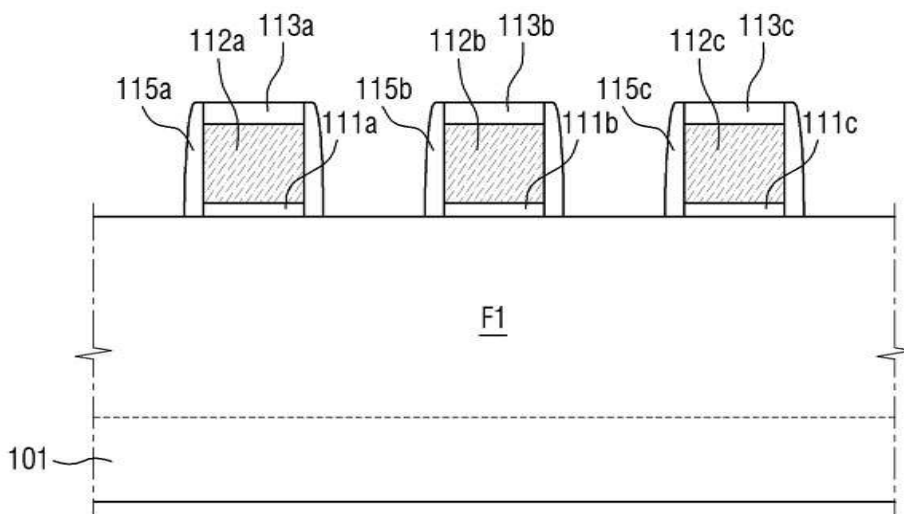
도면2



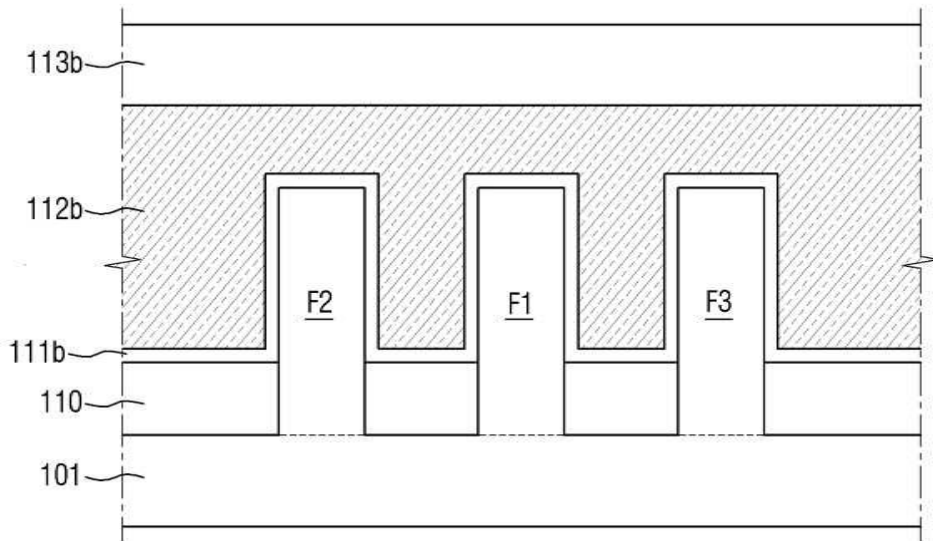
도면3



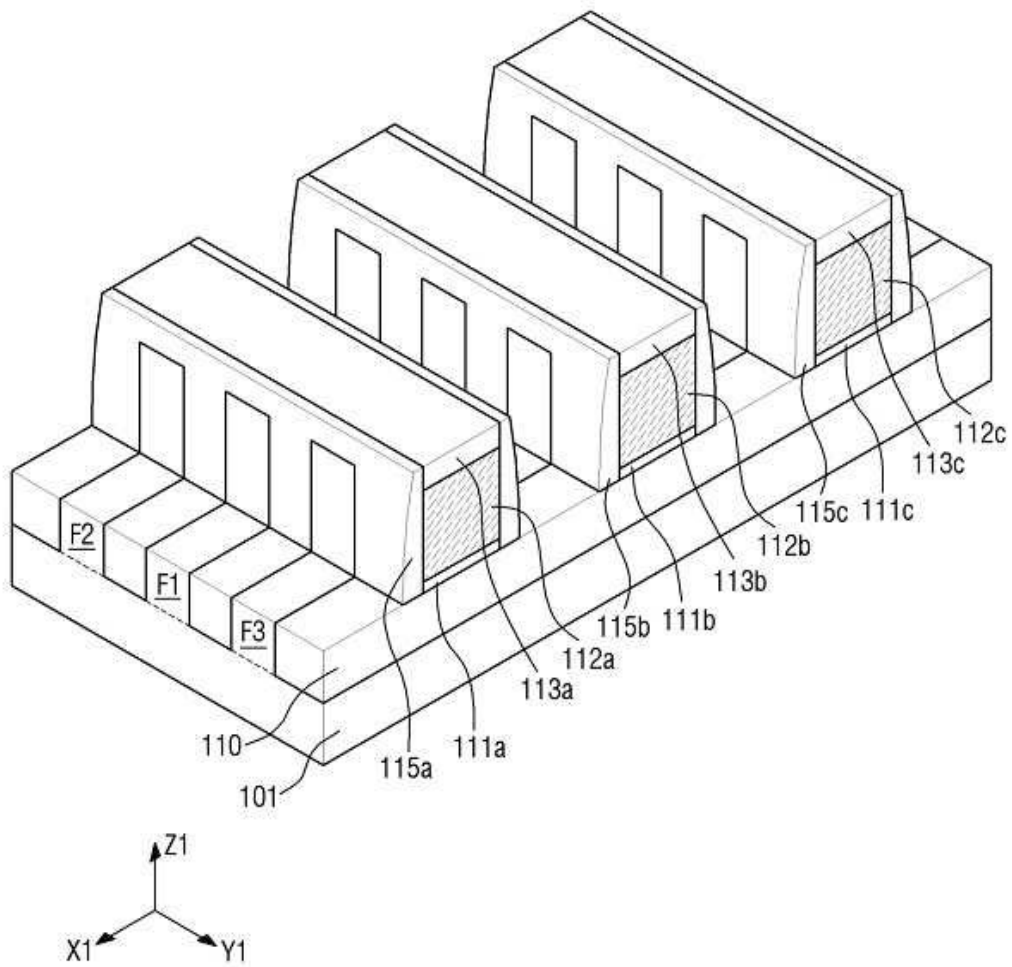
도면4a



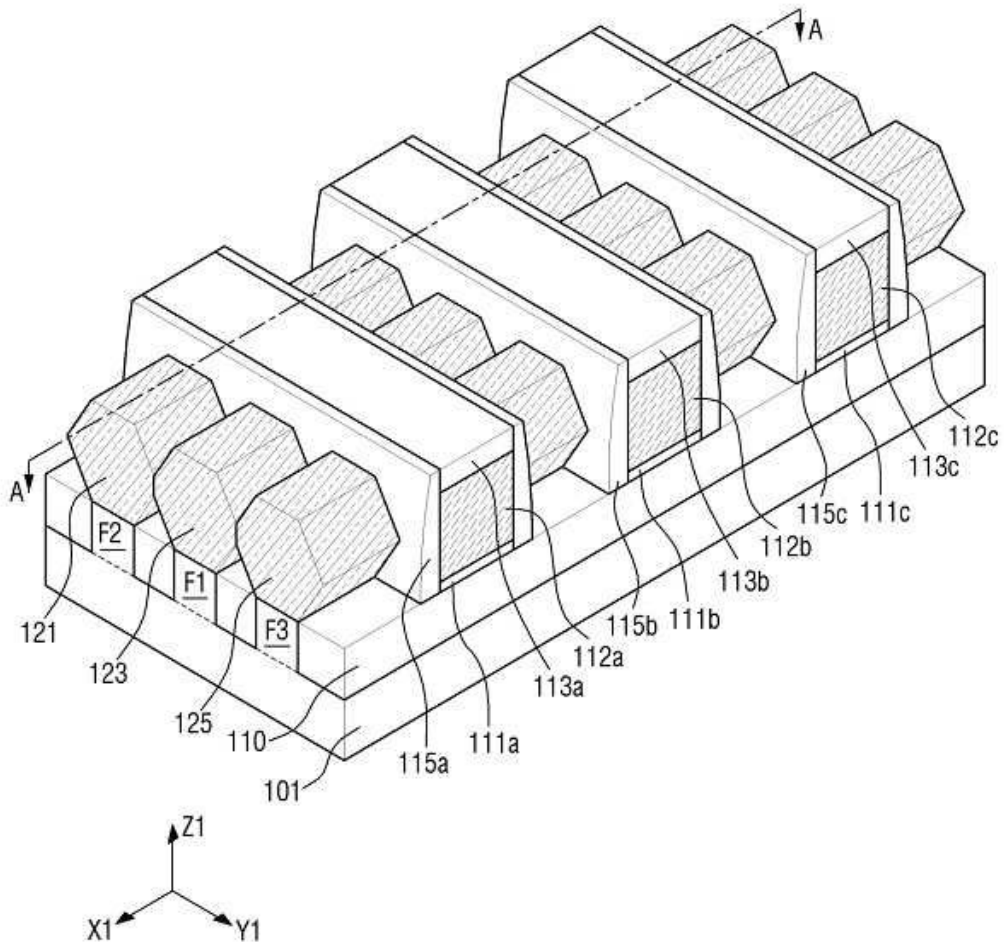
도면4b



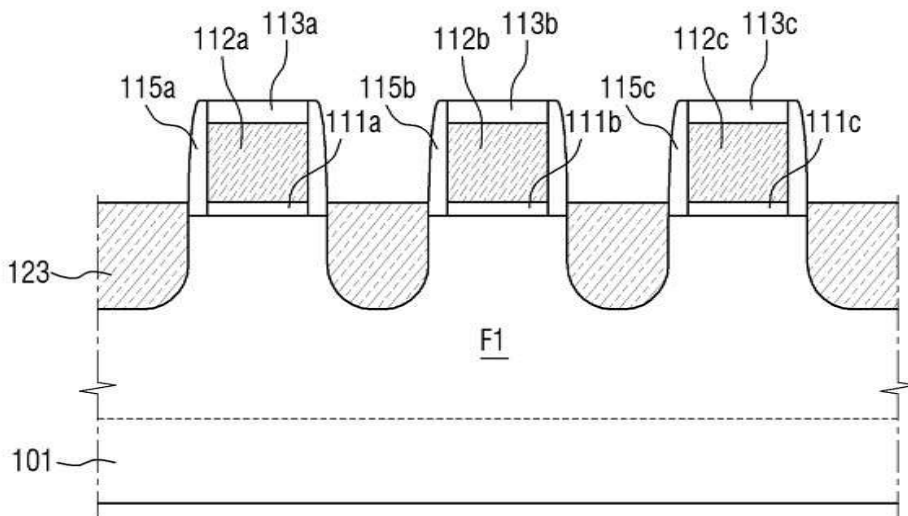
도면5



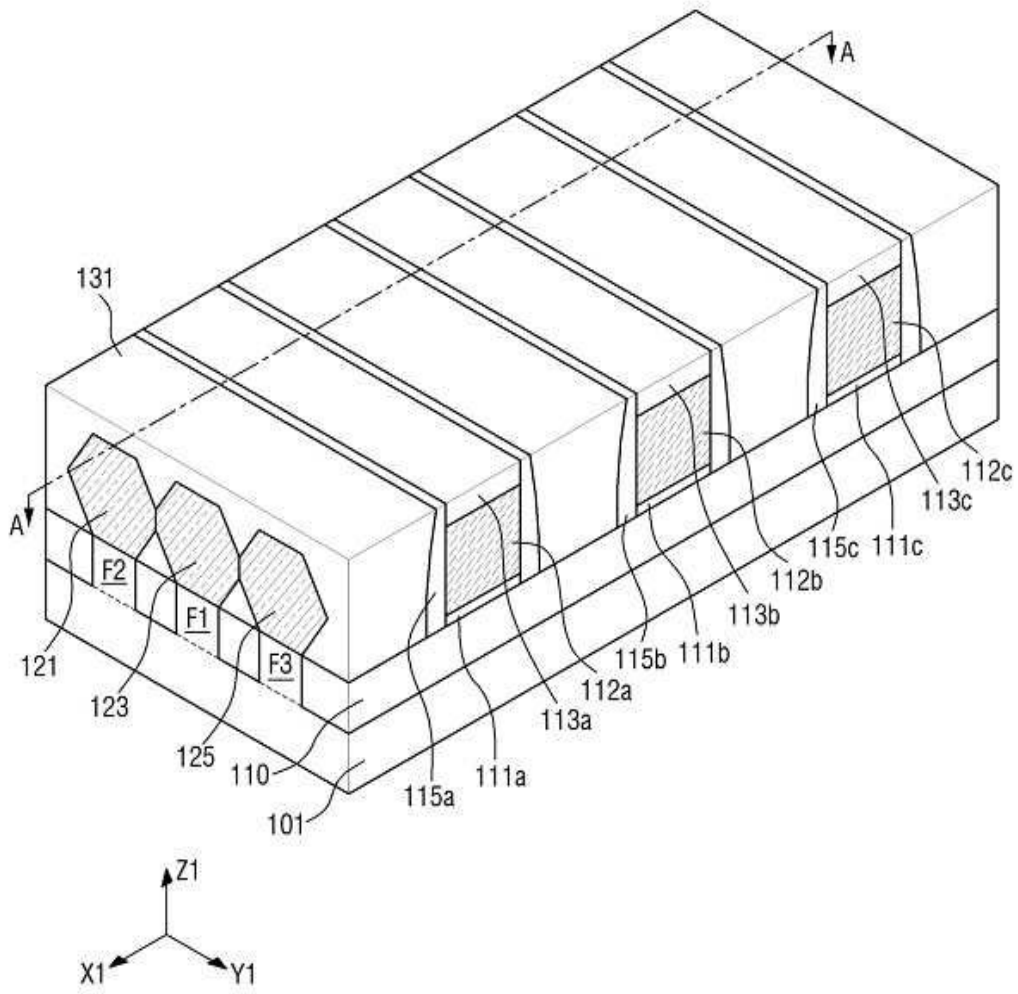
도면6



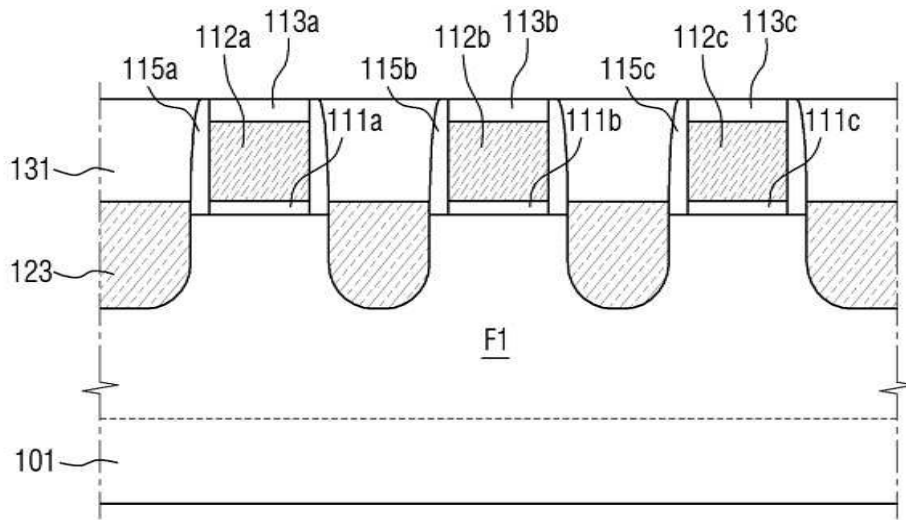
도면7



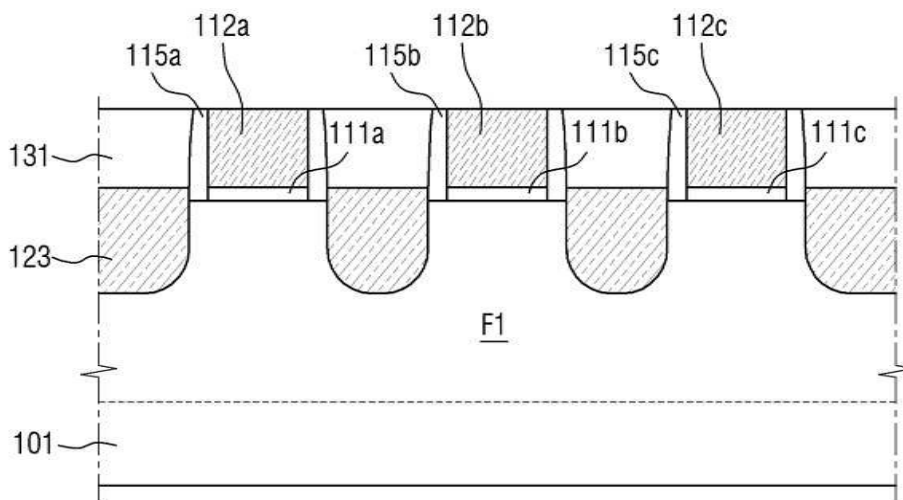
도면8



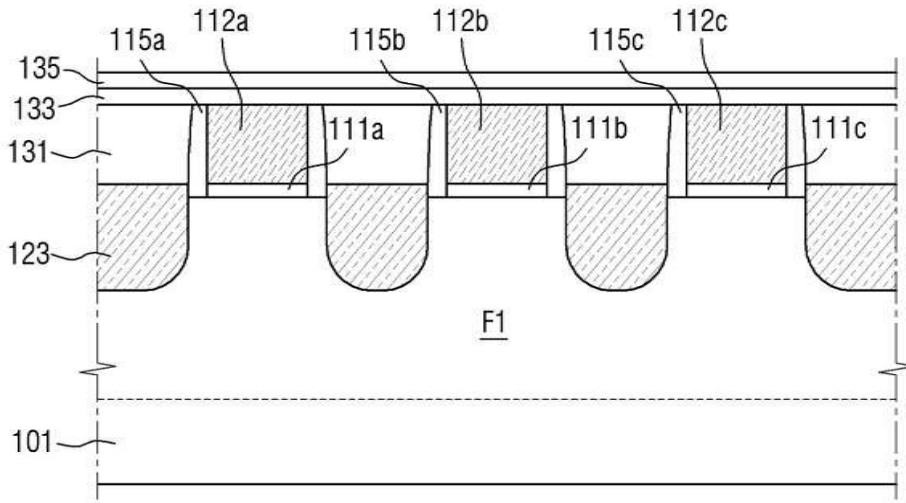
도면9



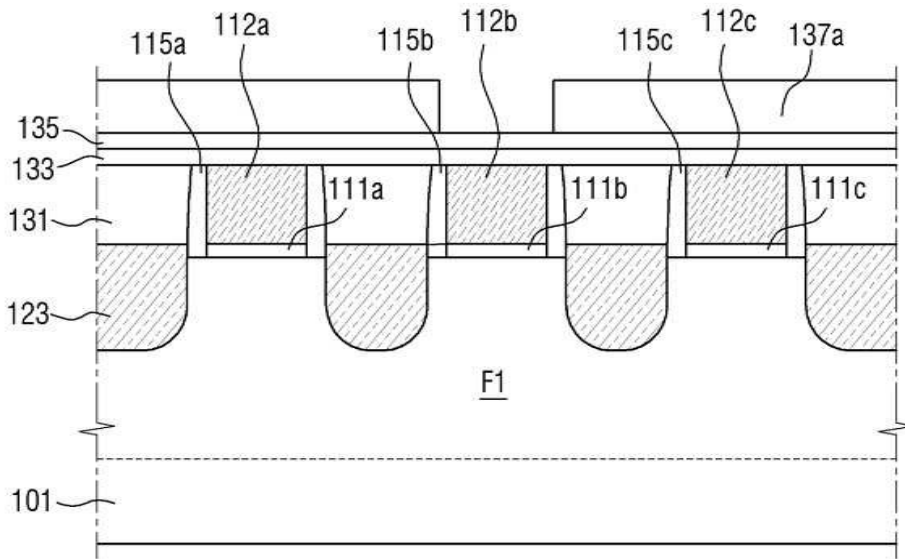
도면10



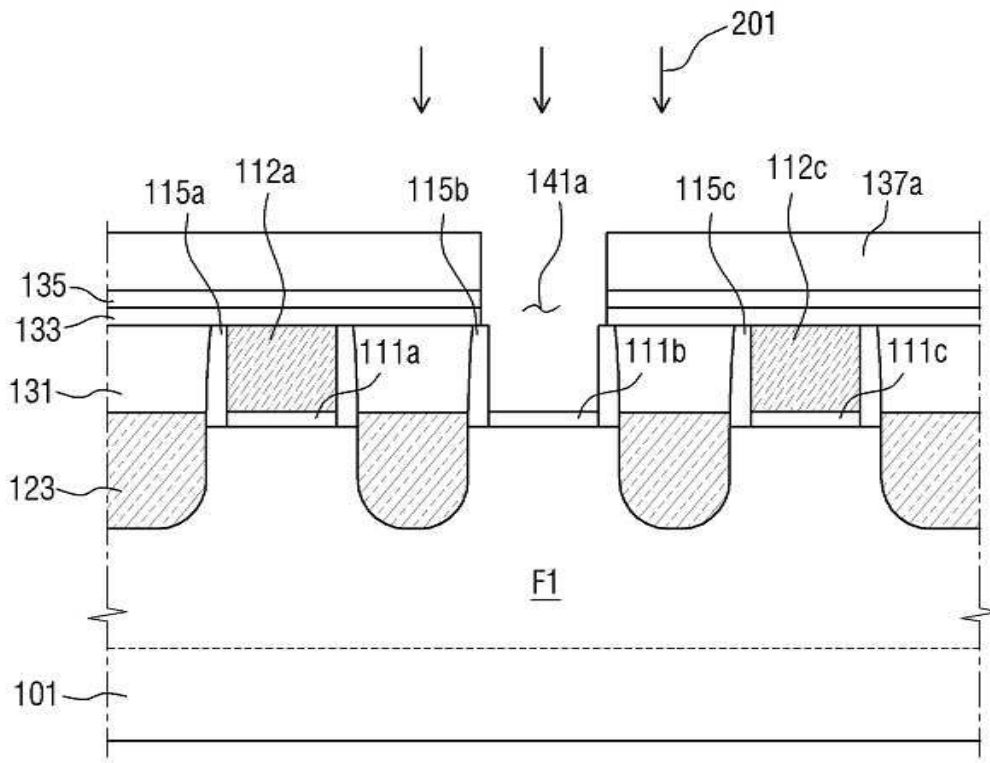
도면11



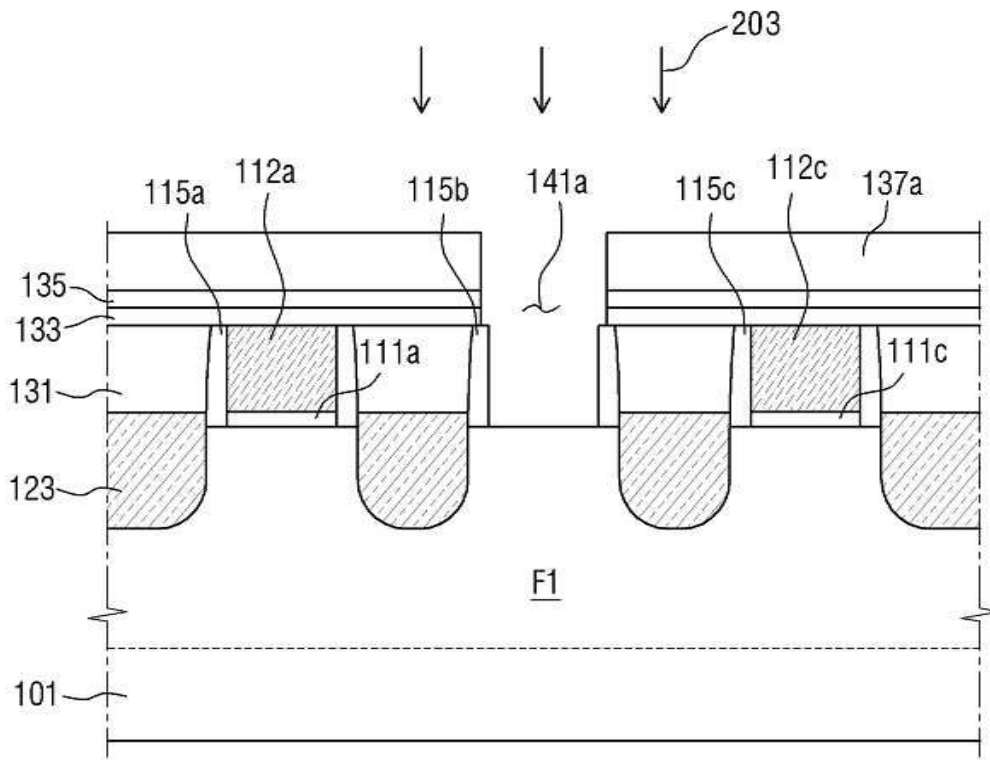
도면12



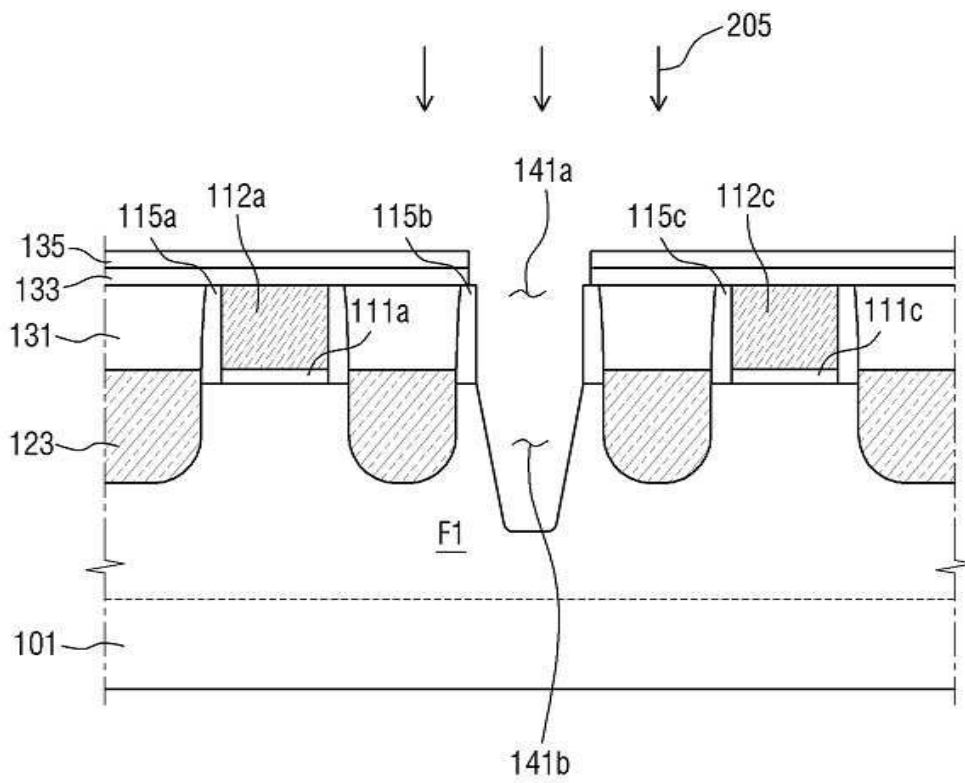
도면13



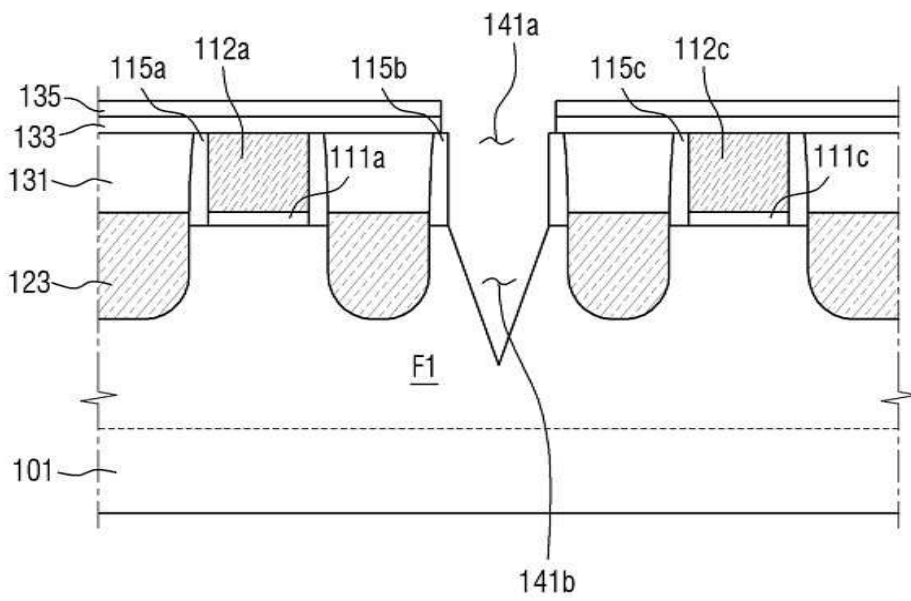
도면14



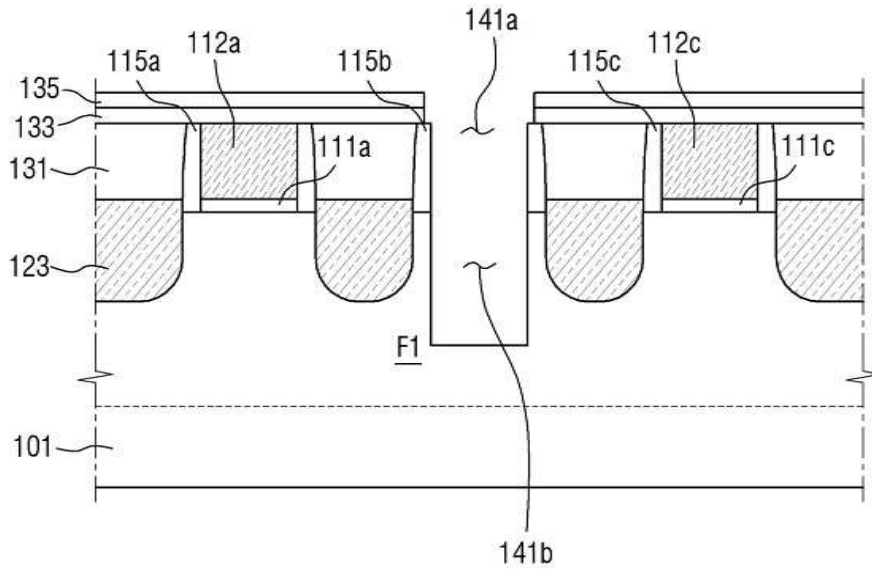
도면15



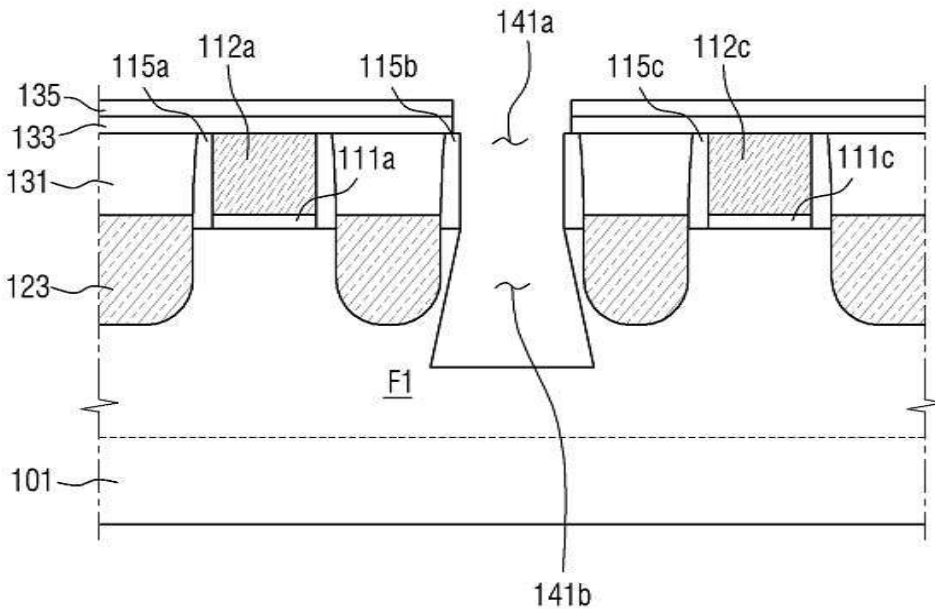
도면16a



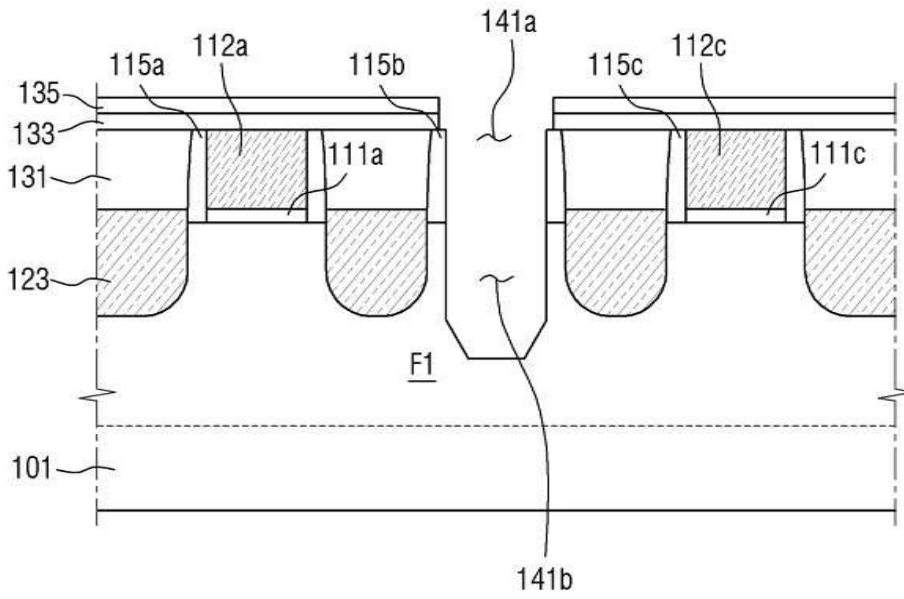
도면16b



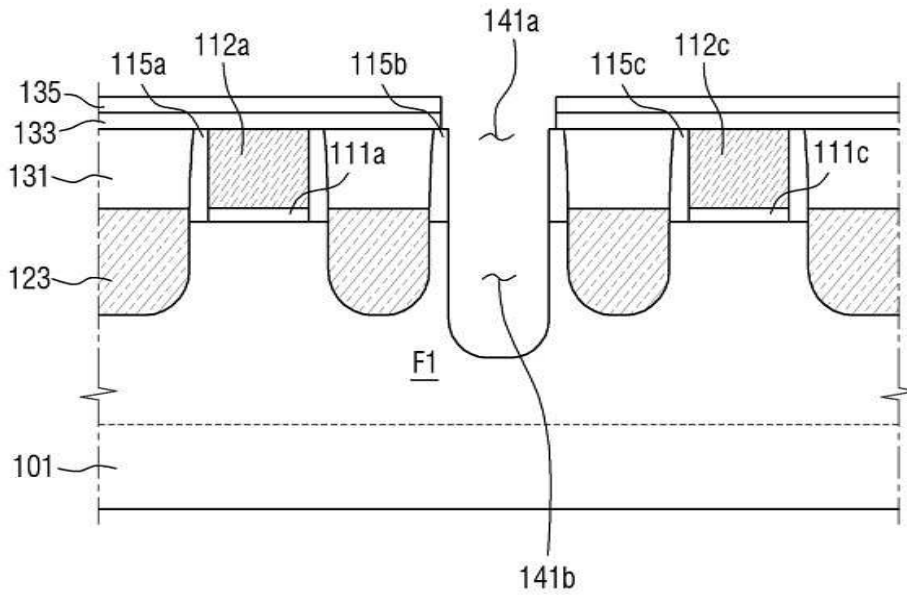
도면16c



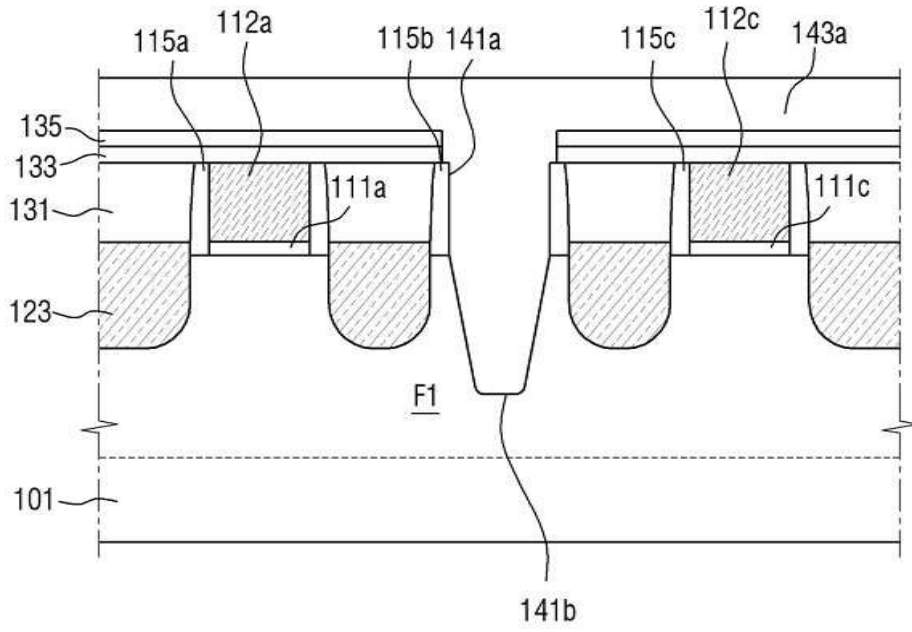
도면16d



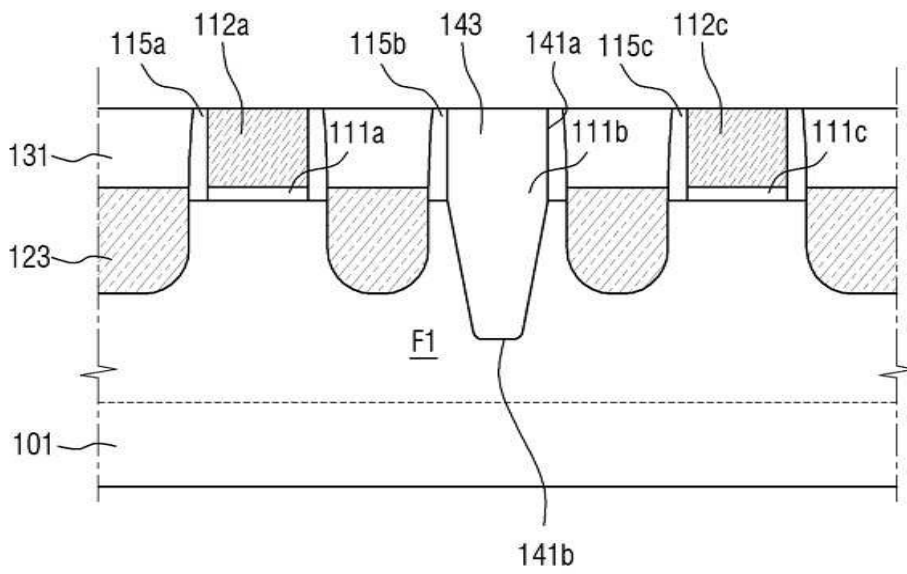
도면16e



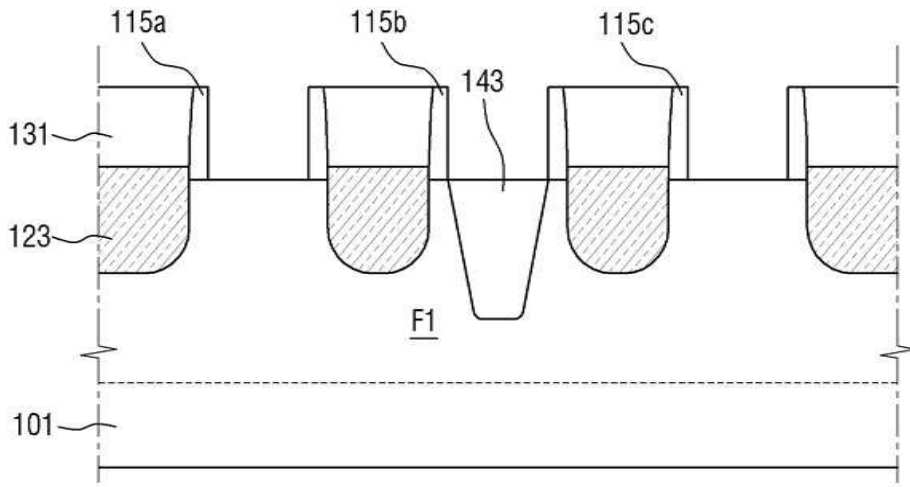
도면17



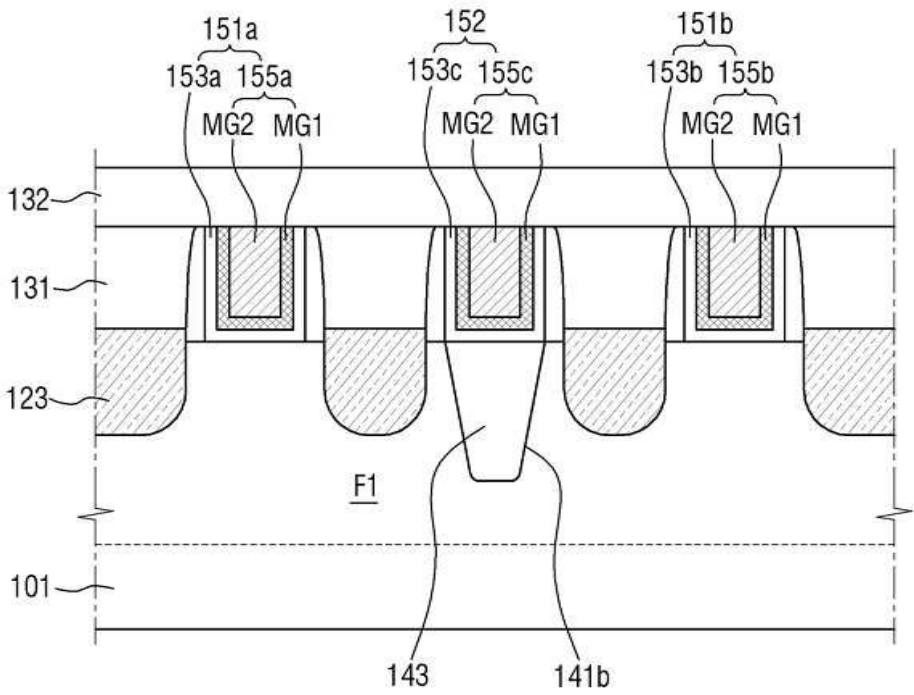
도면18



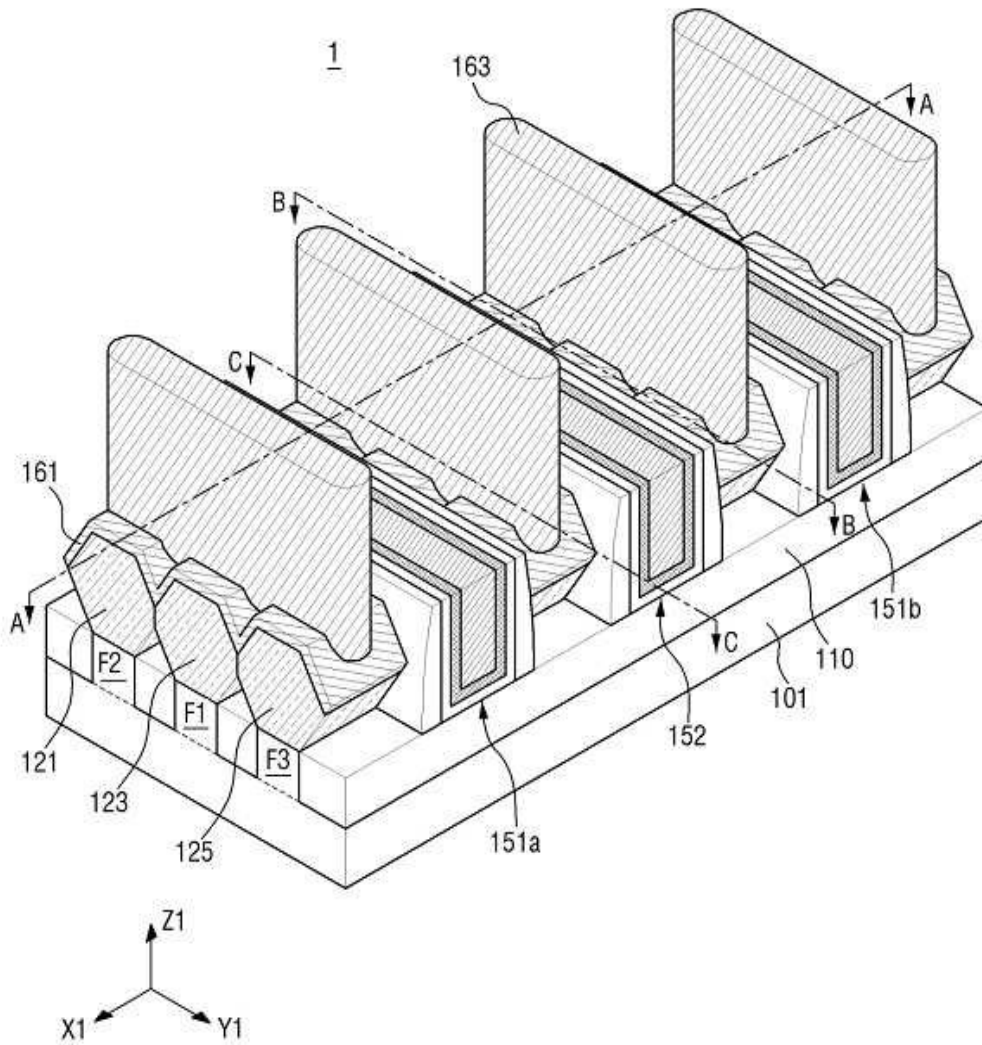
도면19



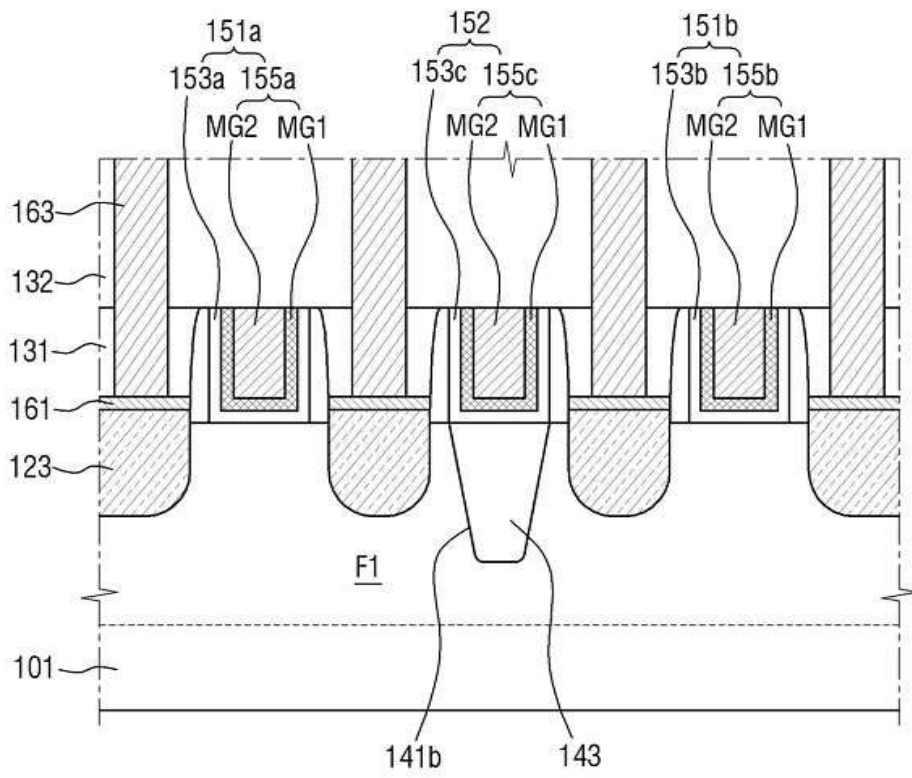
도면20



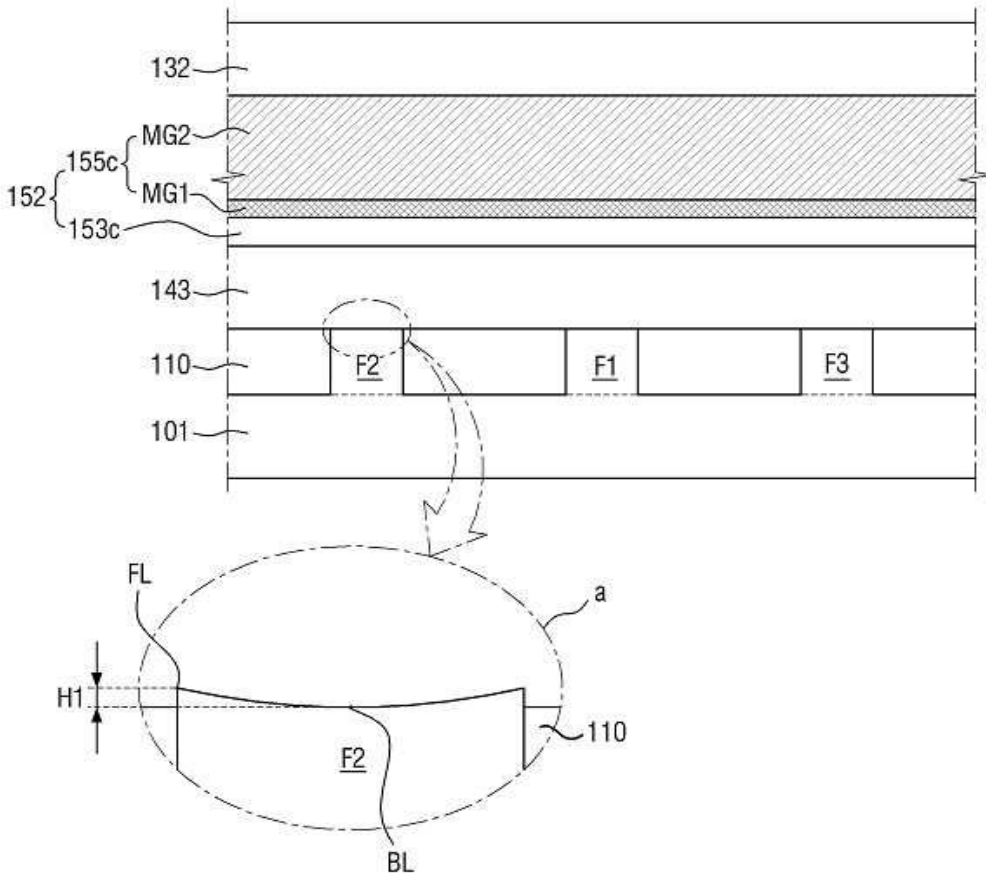
도면21



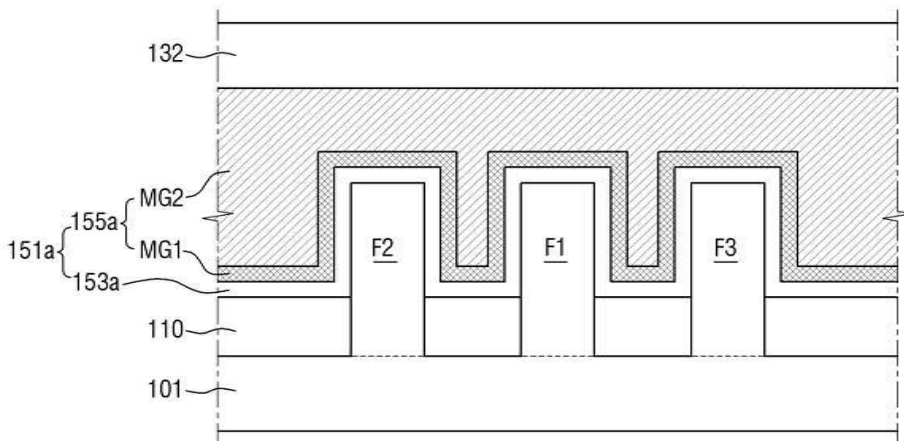
도면22



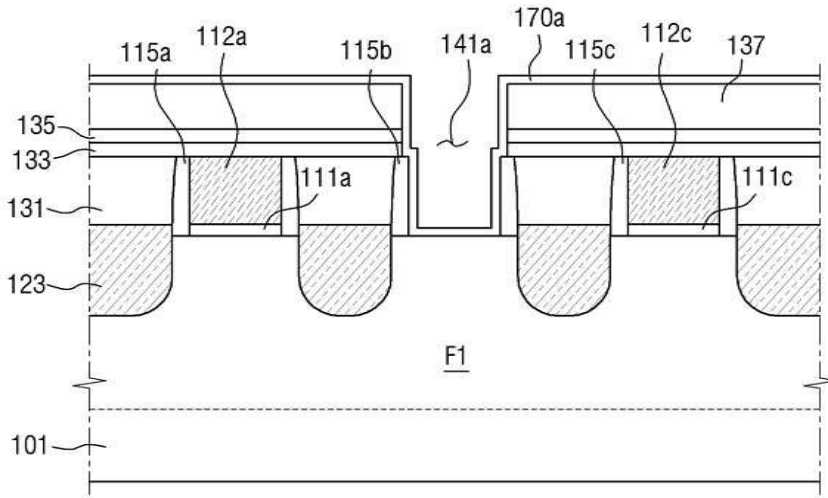
도면23



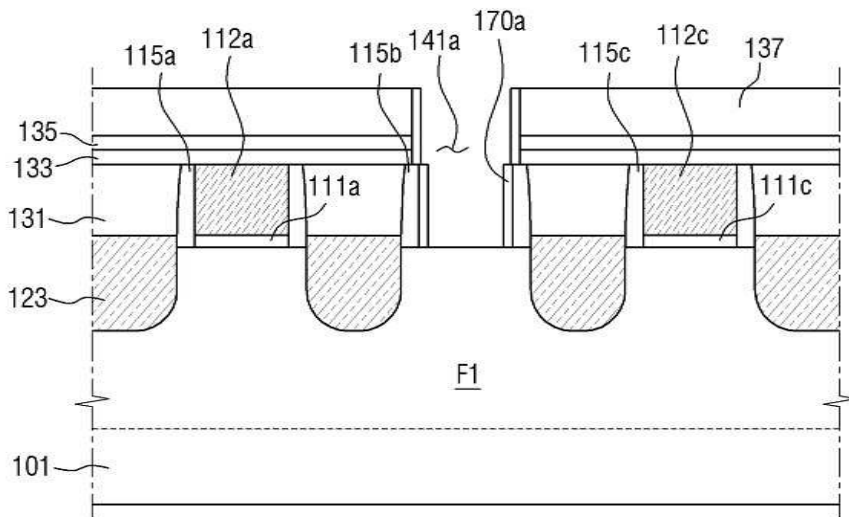
도면24



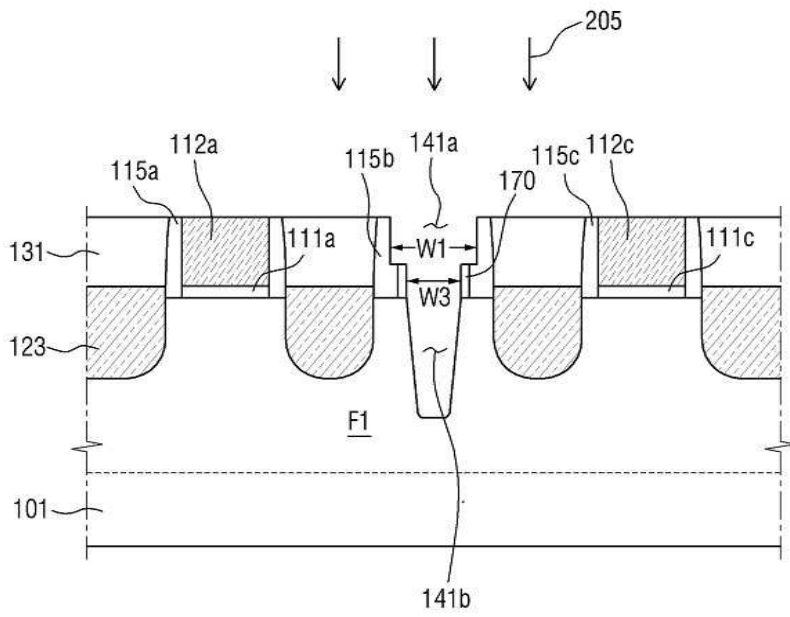
도면25



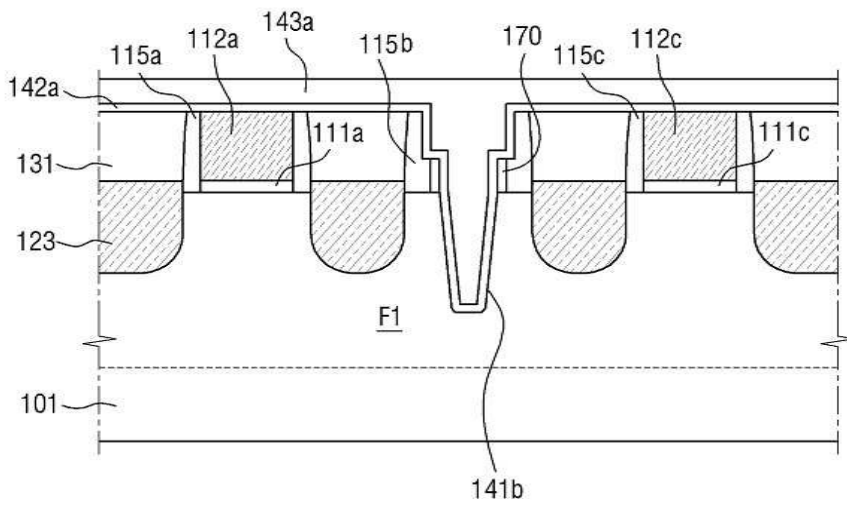
도면26



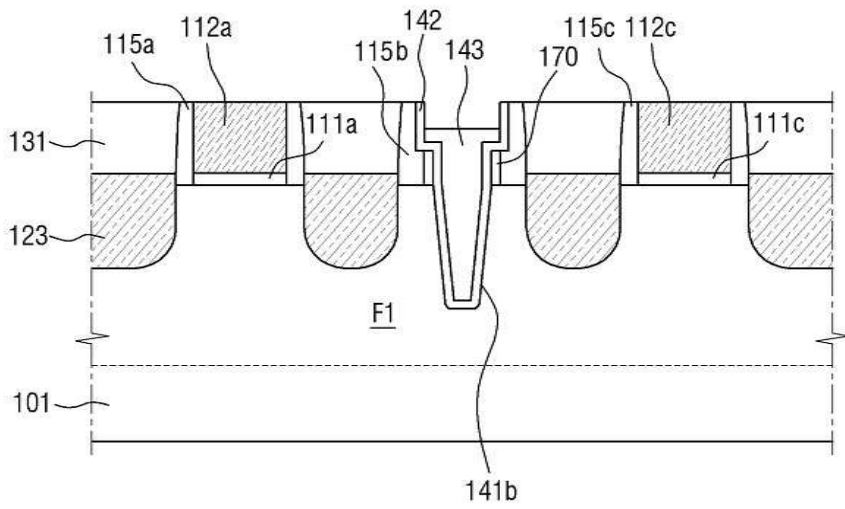
도면27



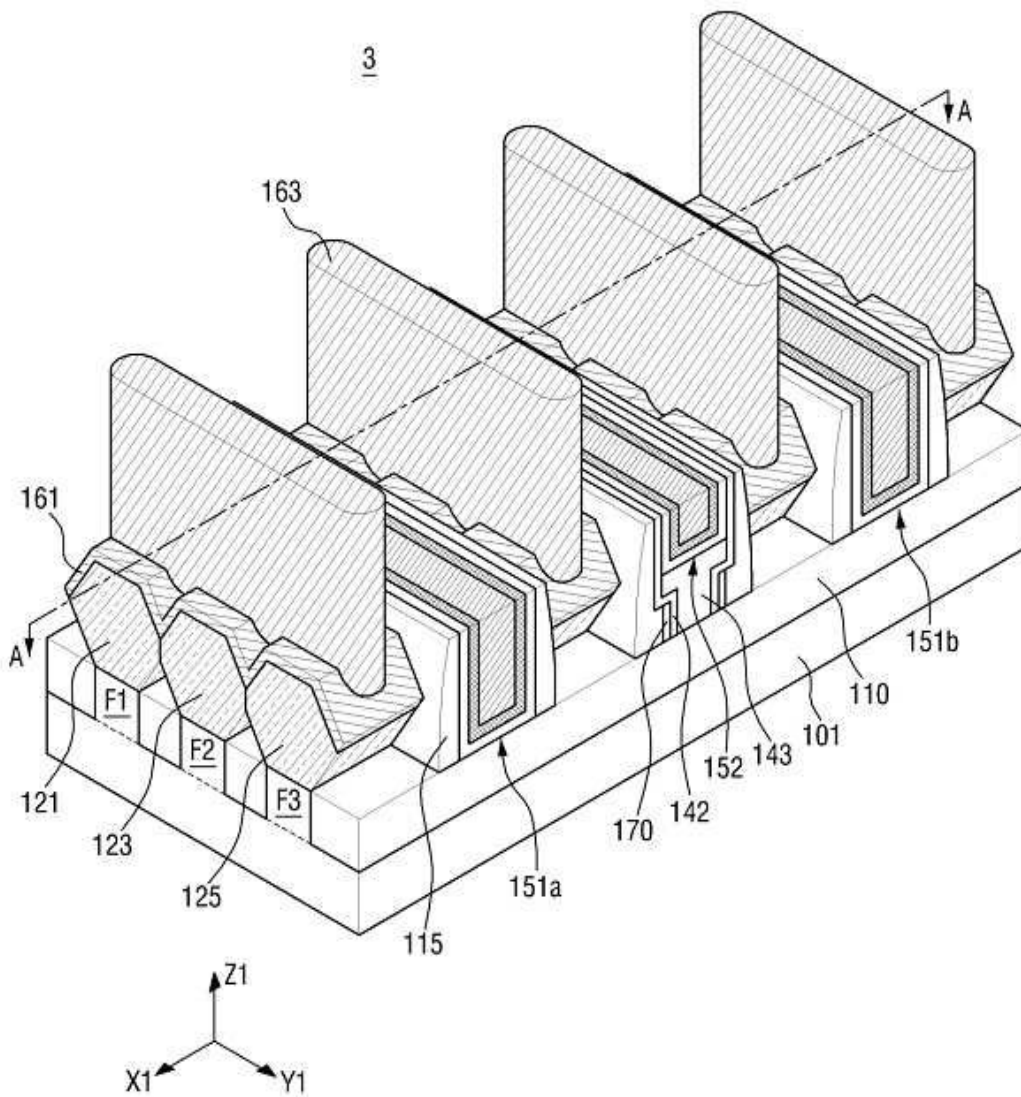
도면28



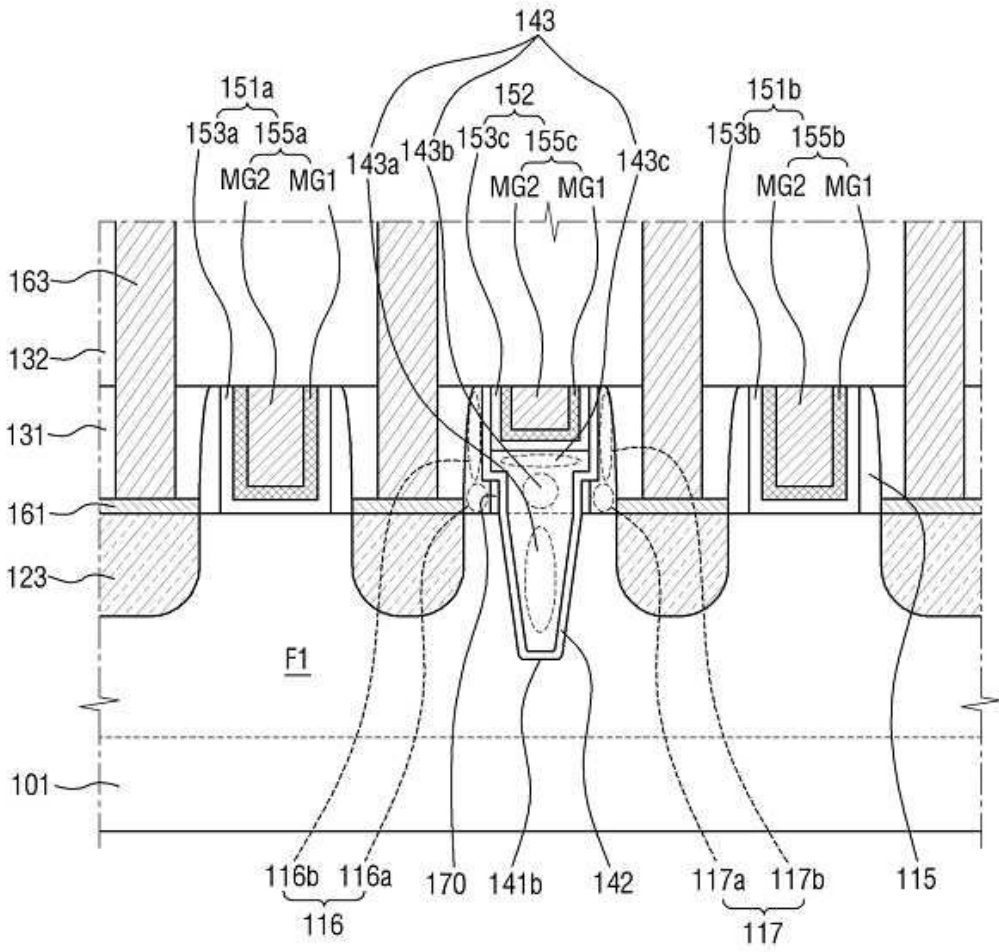
도면29



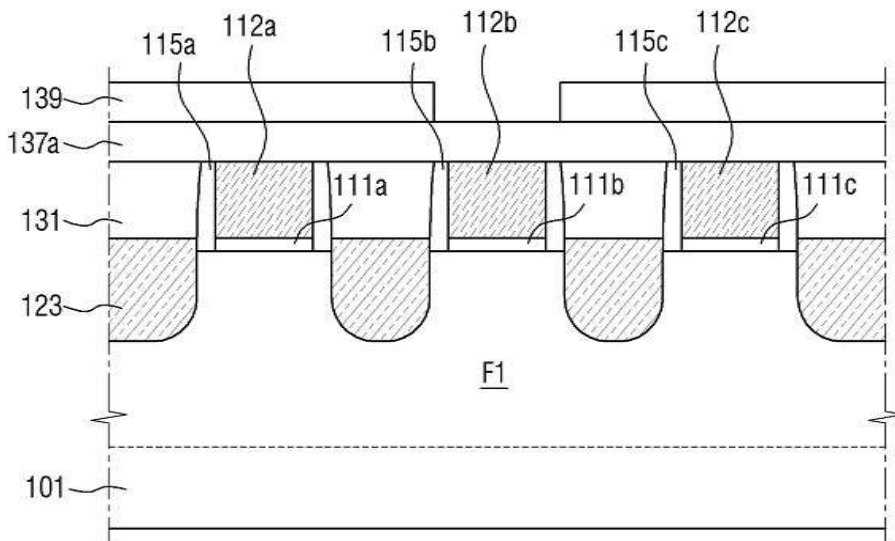
도면30



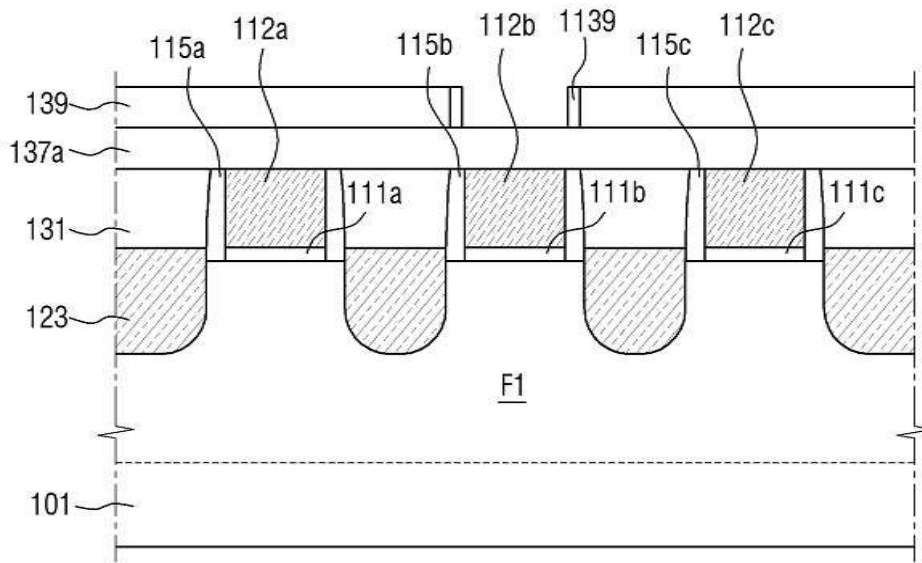
도면31



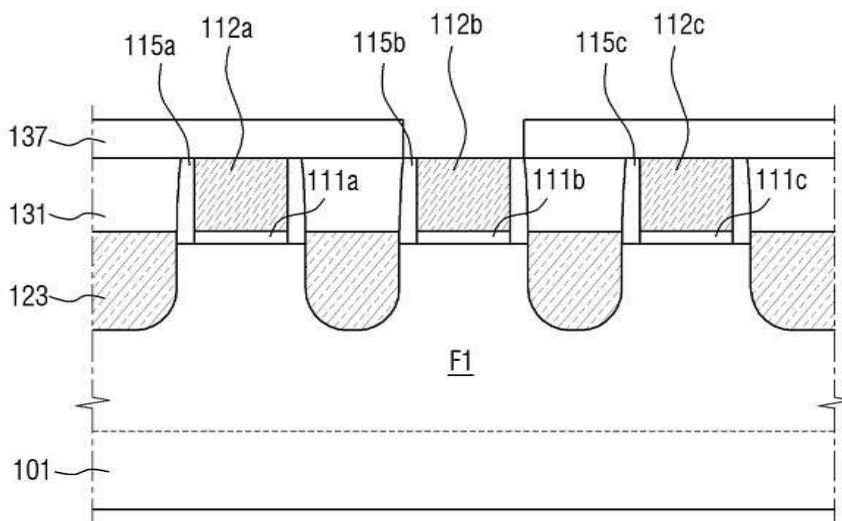
도면32



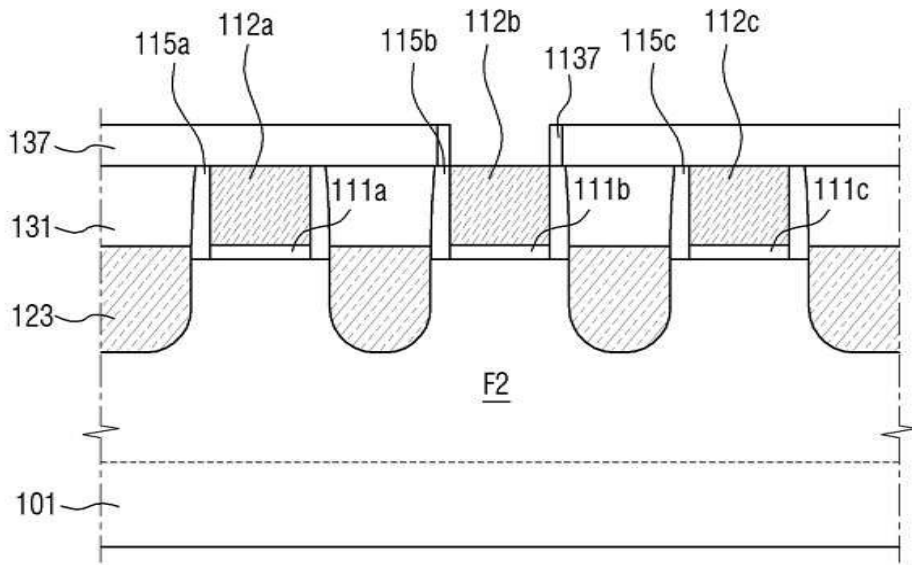
도면33



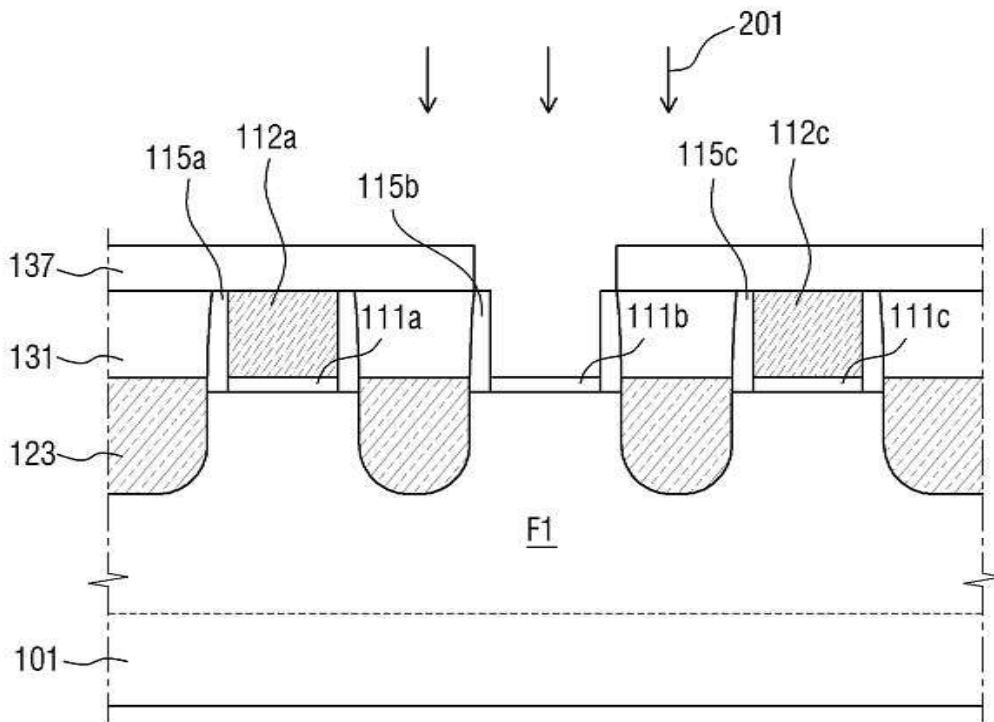
도면34



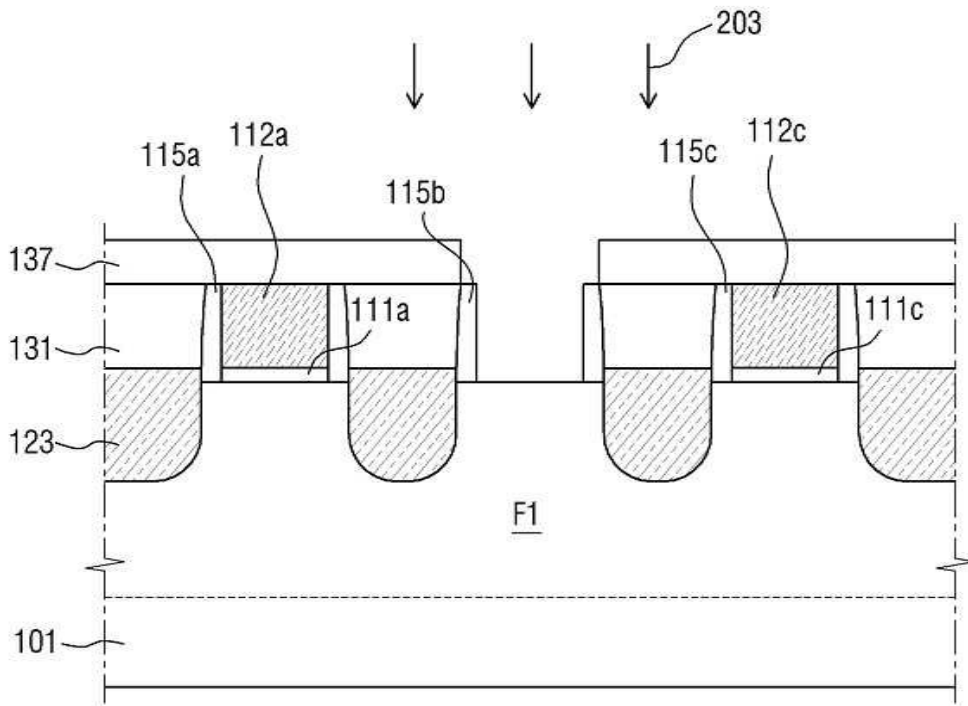
도면35



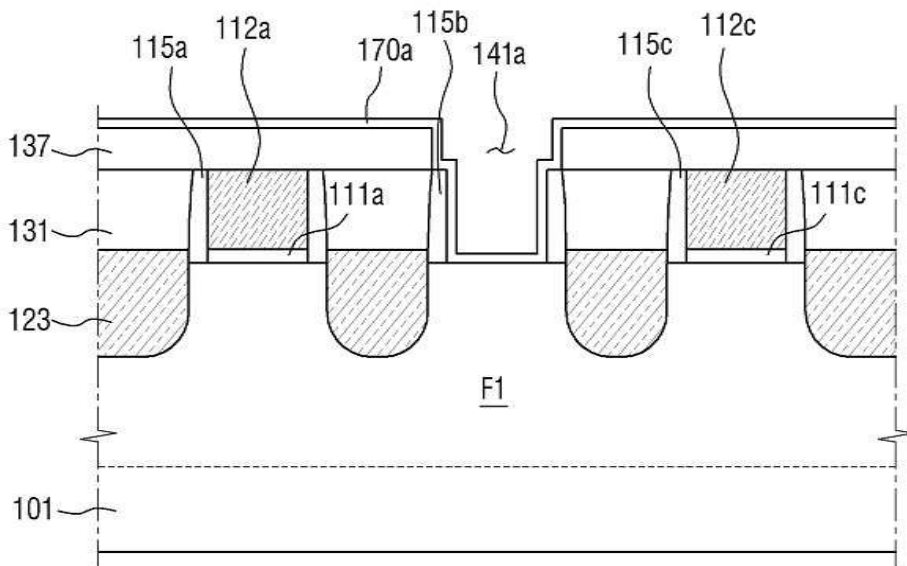
도면36



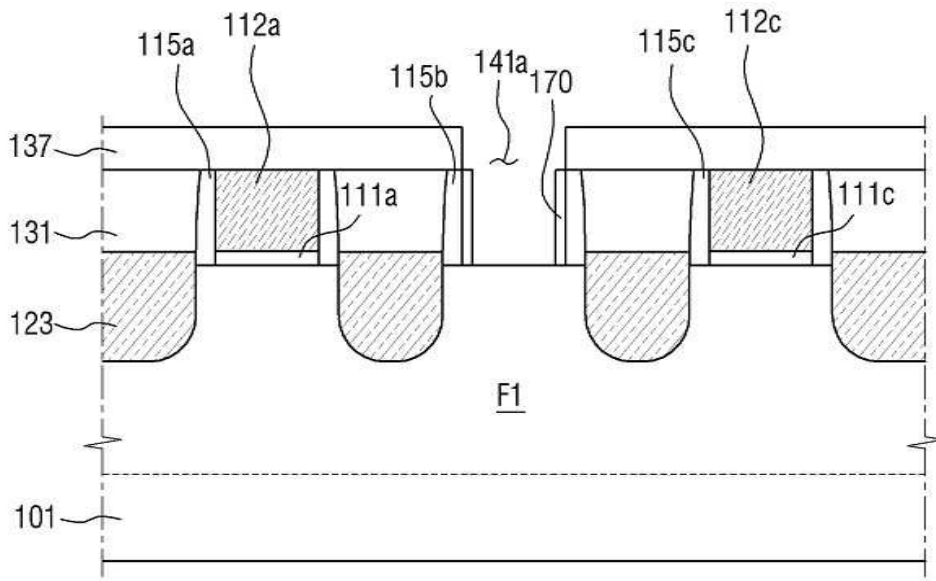
도면37



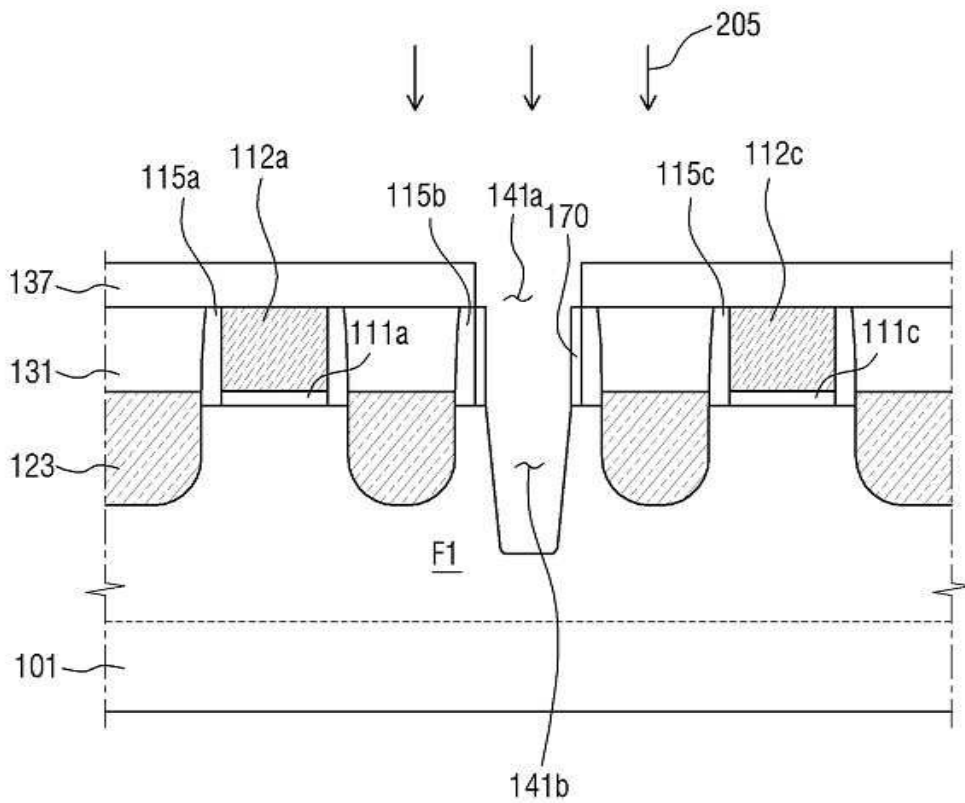
도면38



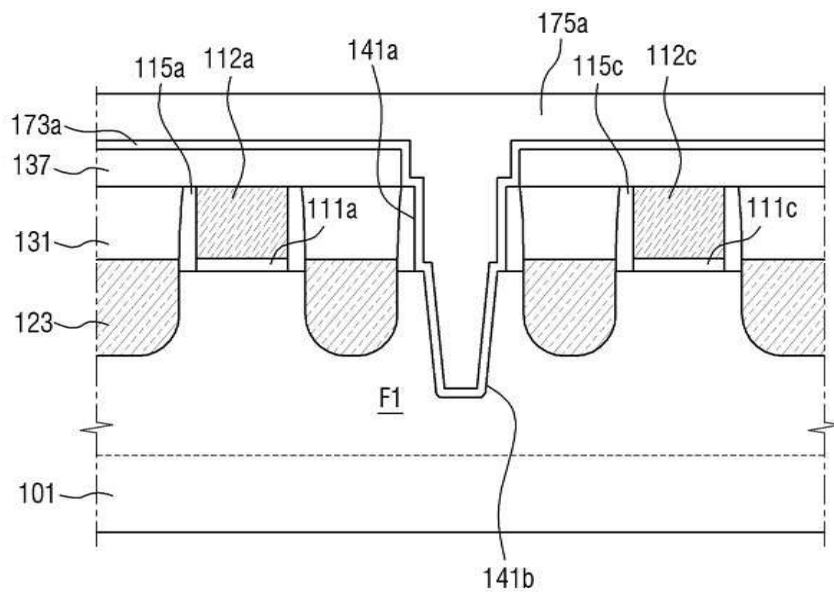
도면39



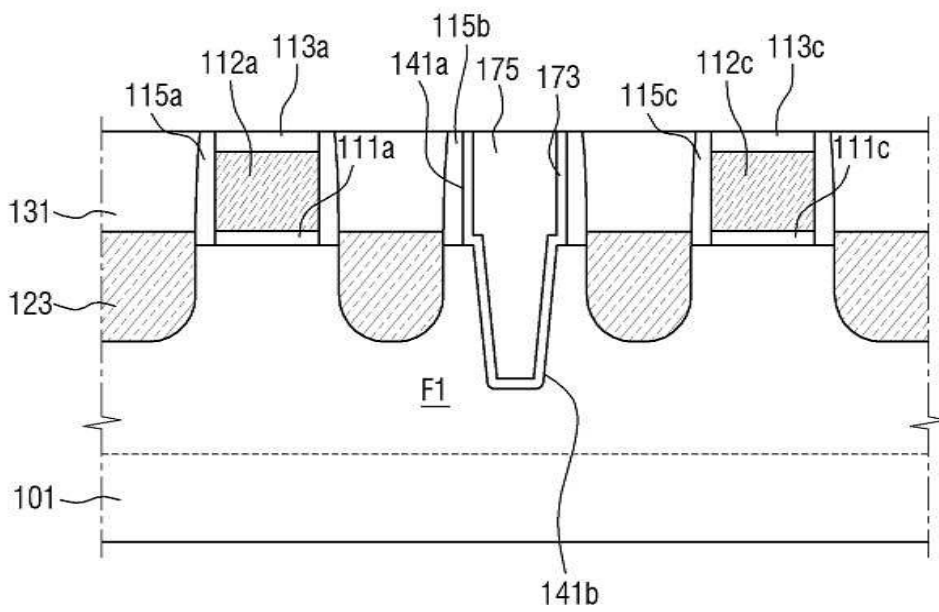
도면40



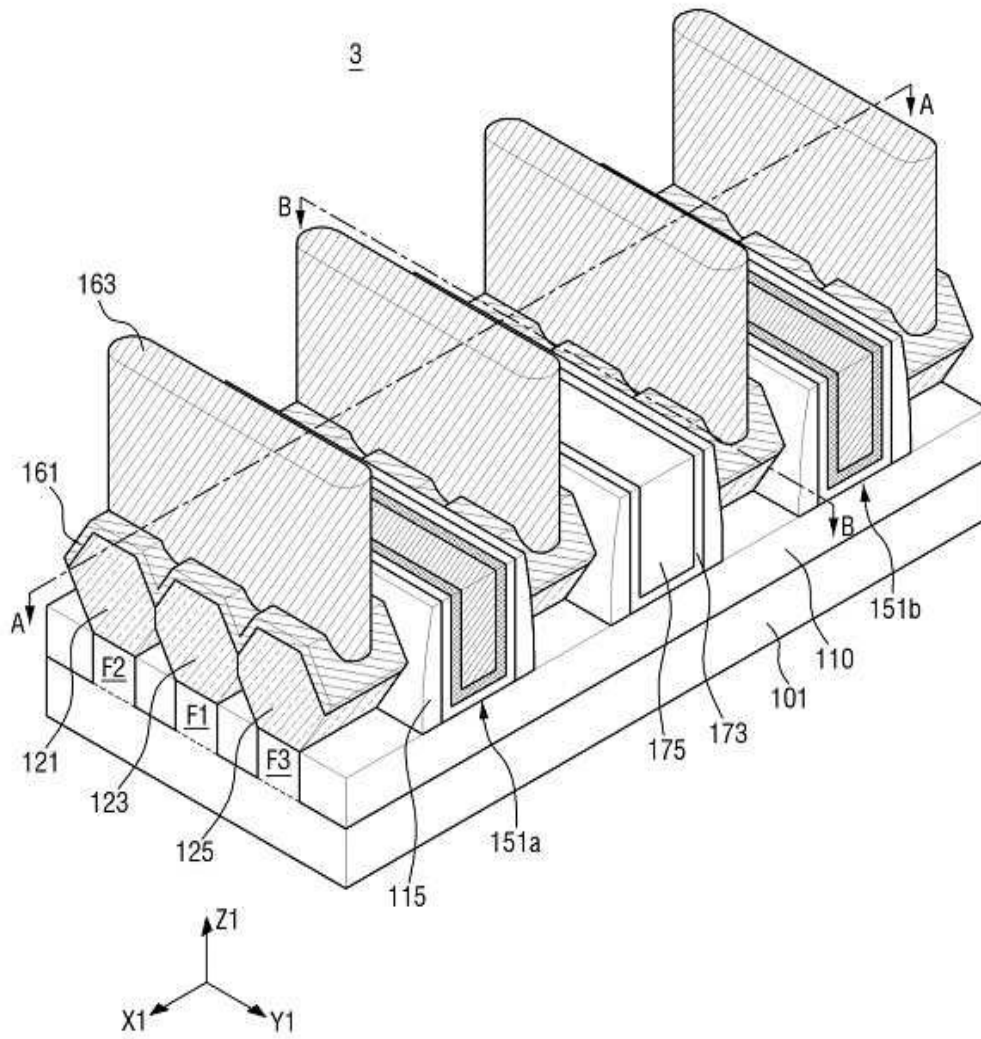
도면41



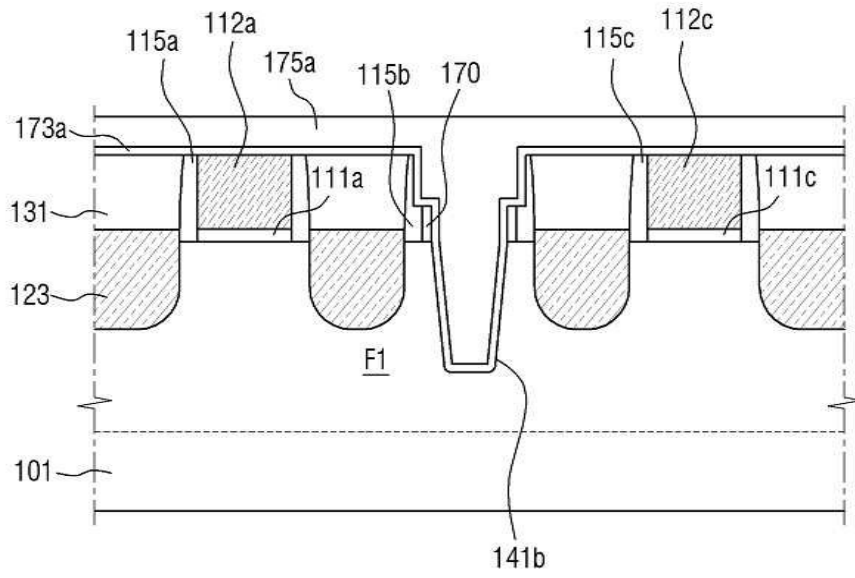
도면42



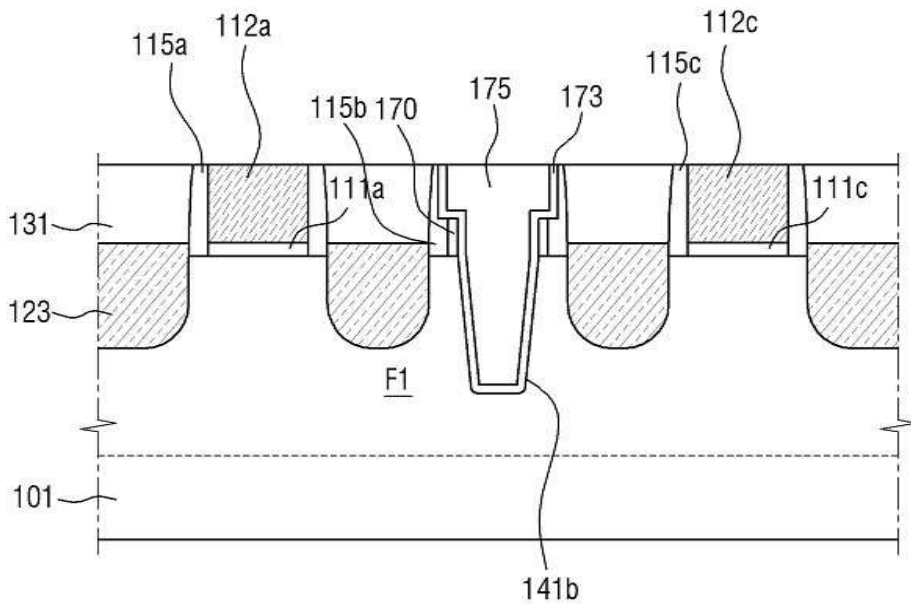
도면43



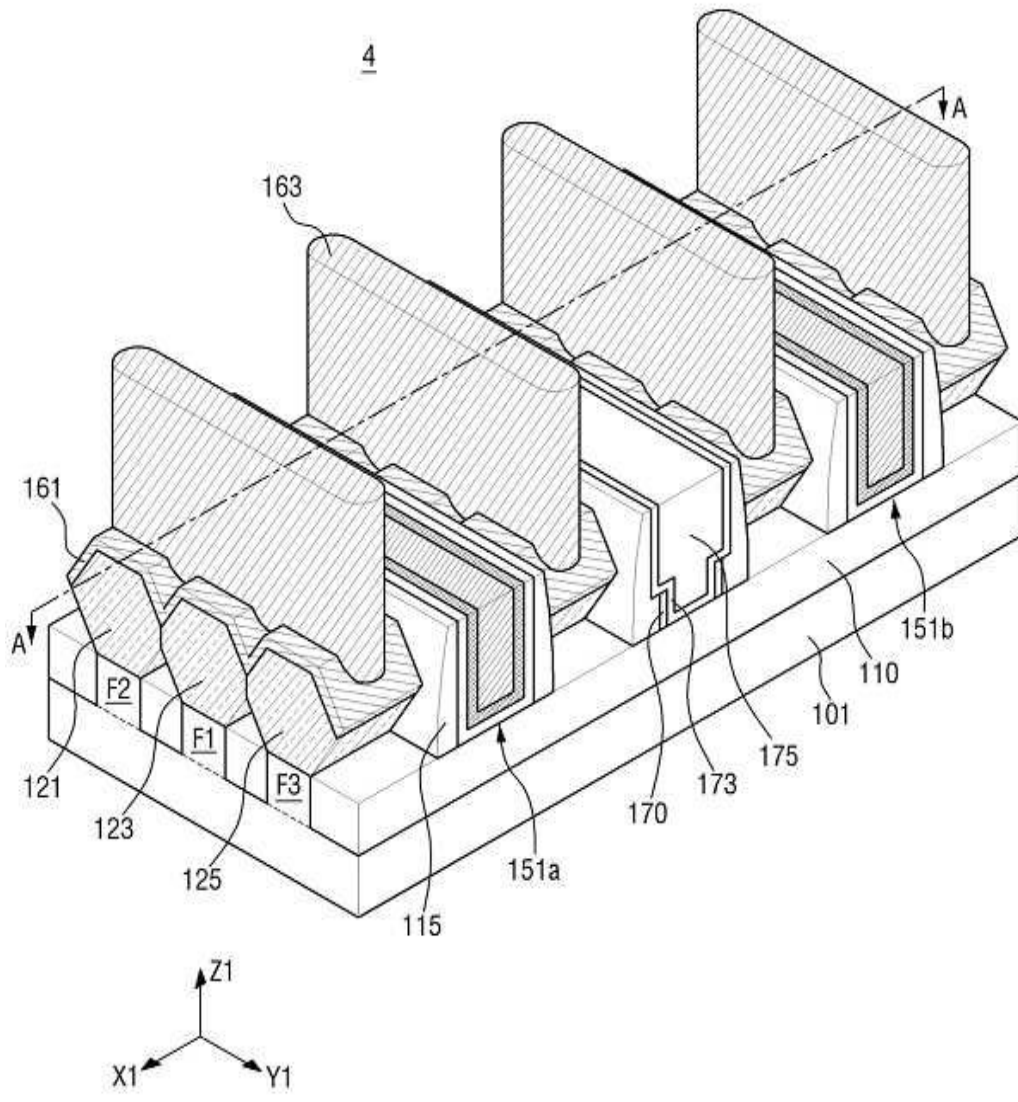
도면46



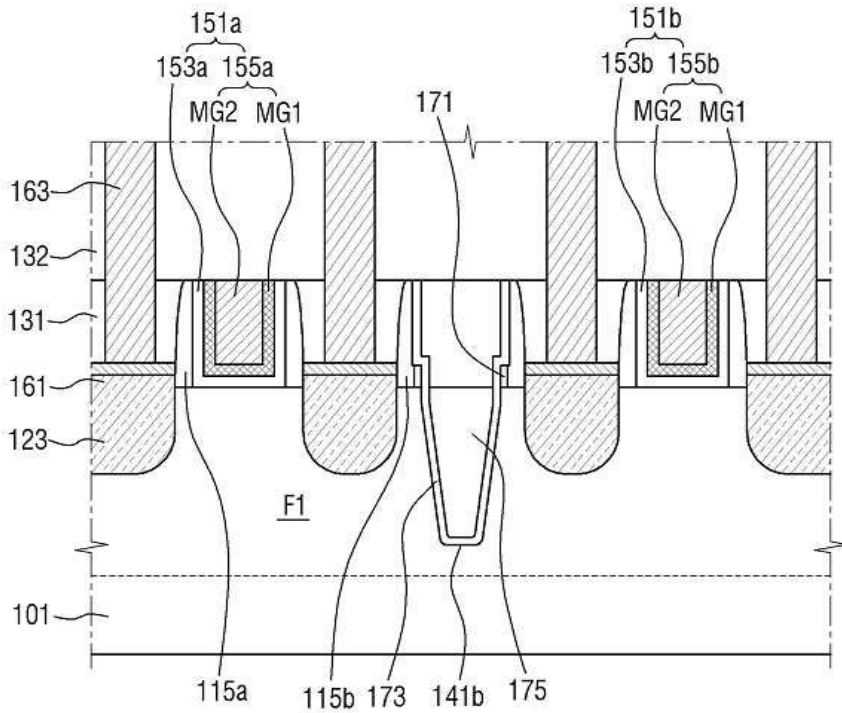
도면47



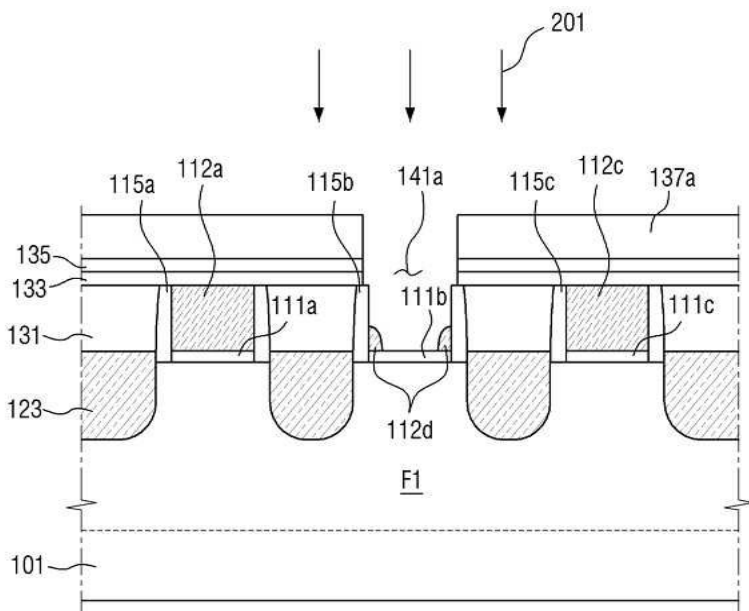
도면48



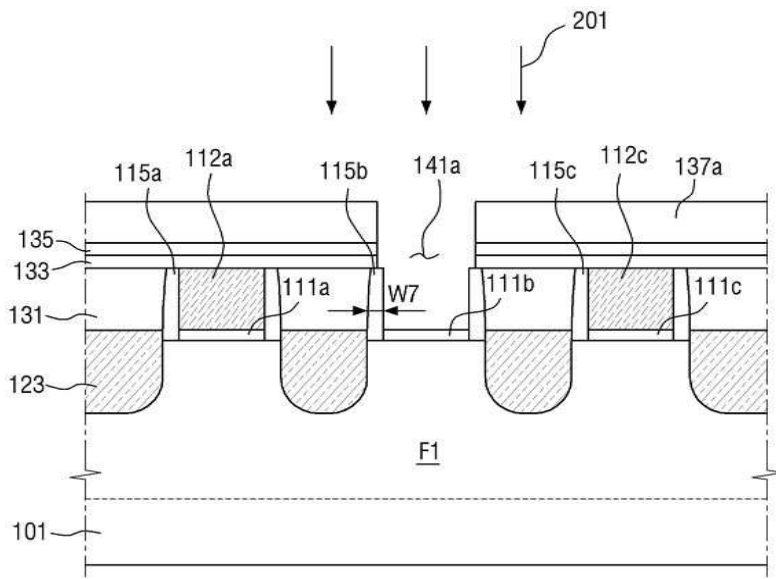
도면49



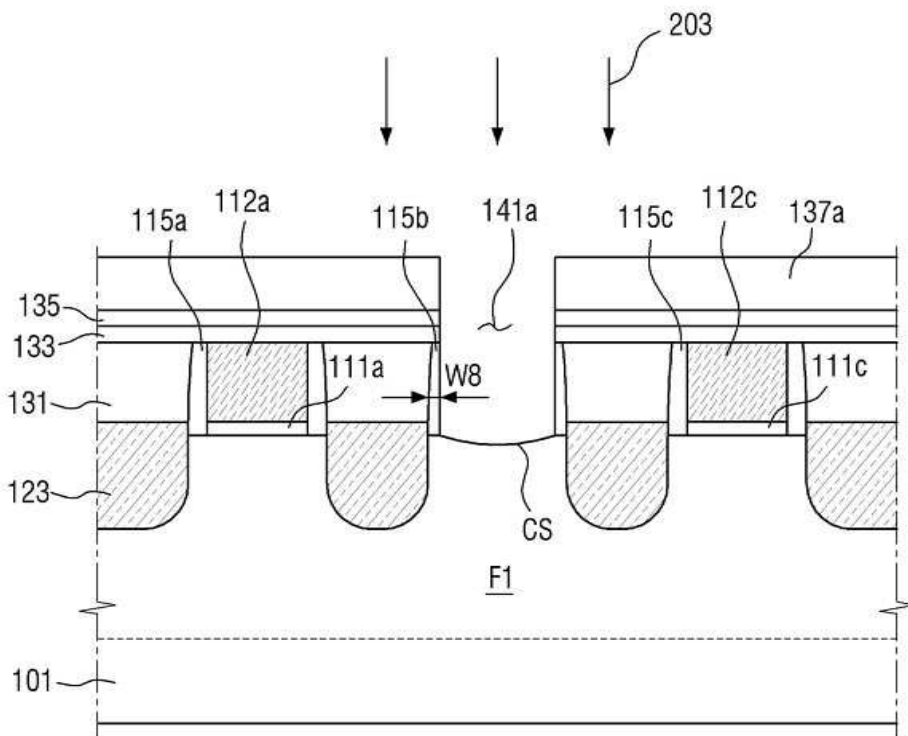
도면50



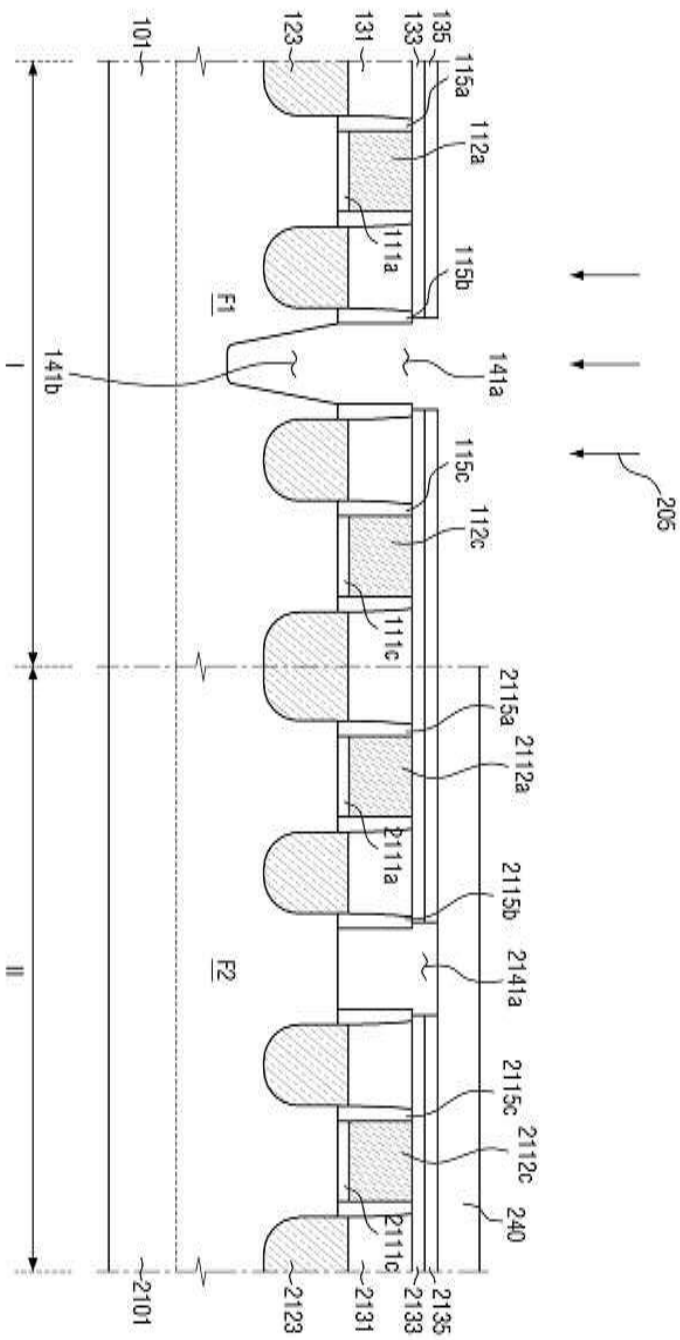
도면51



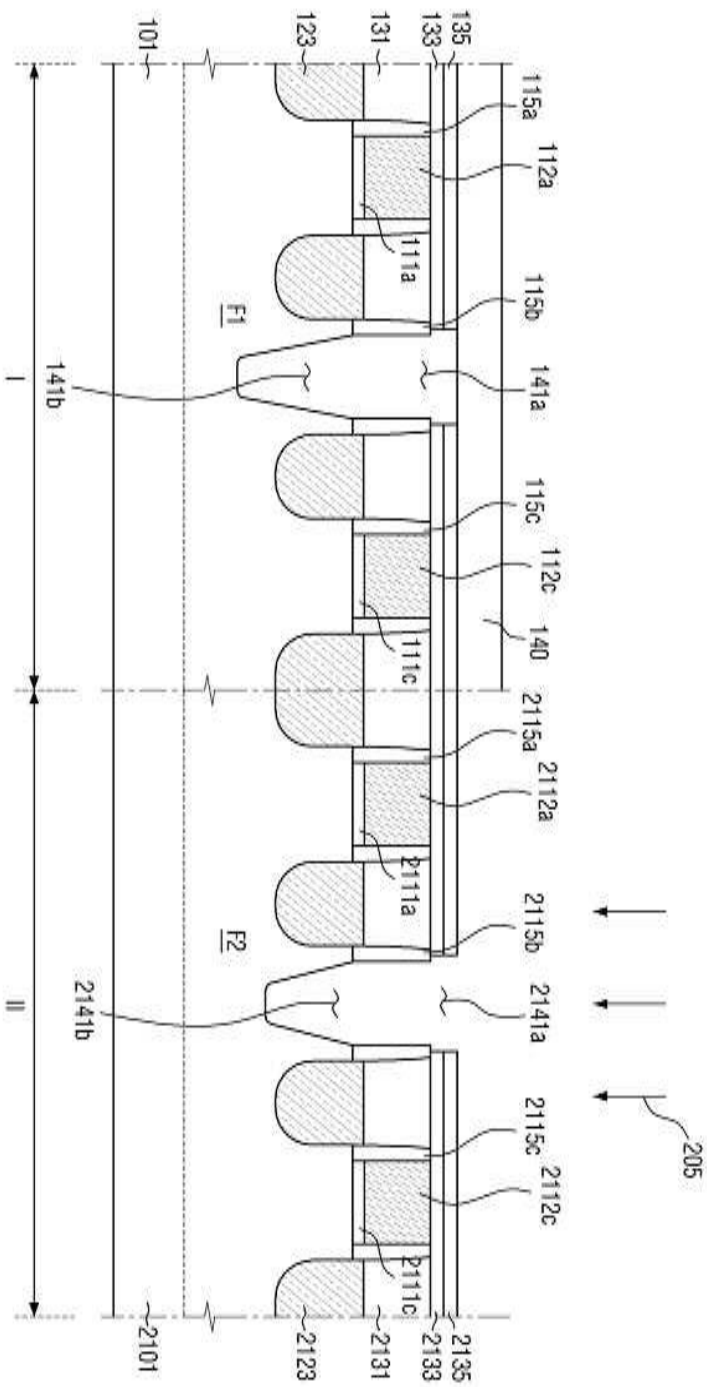
도면52



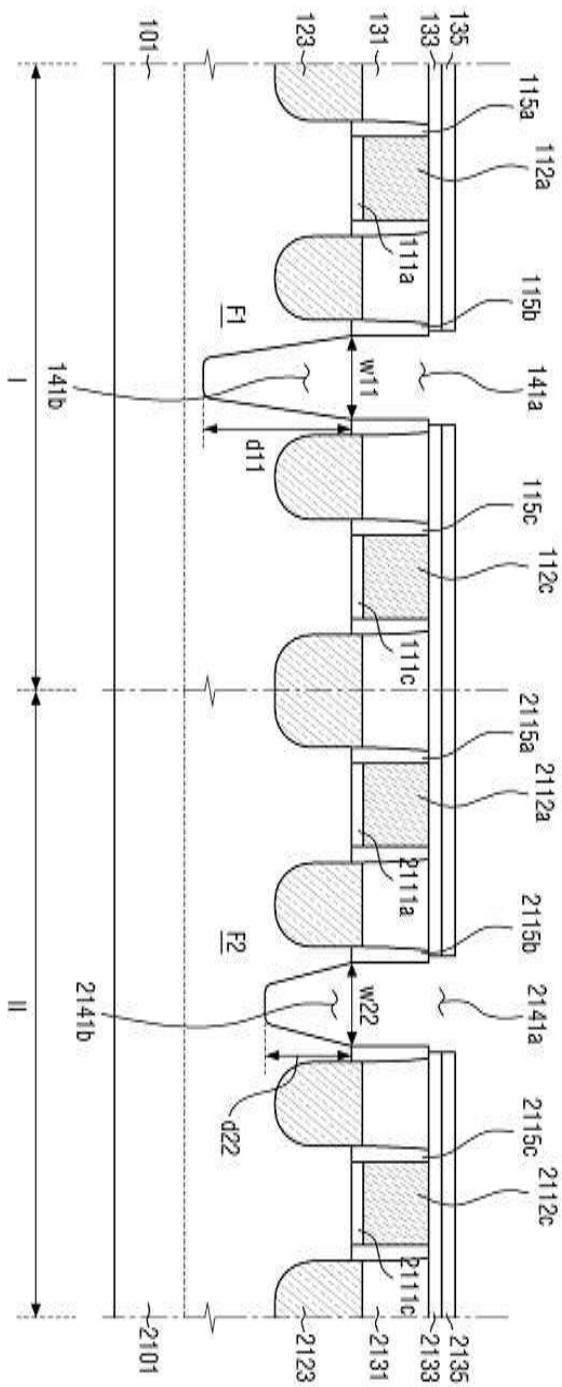
도면53



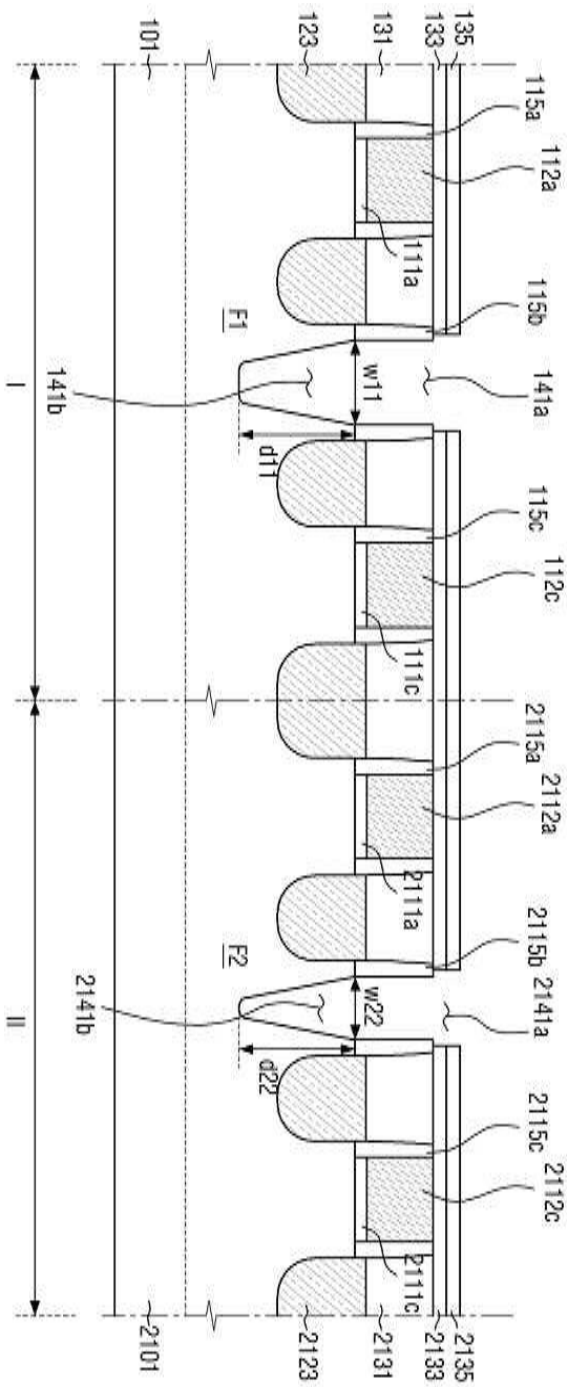
도면54



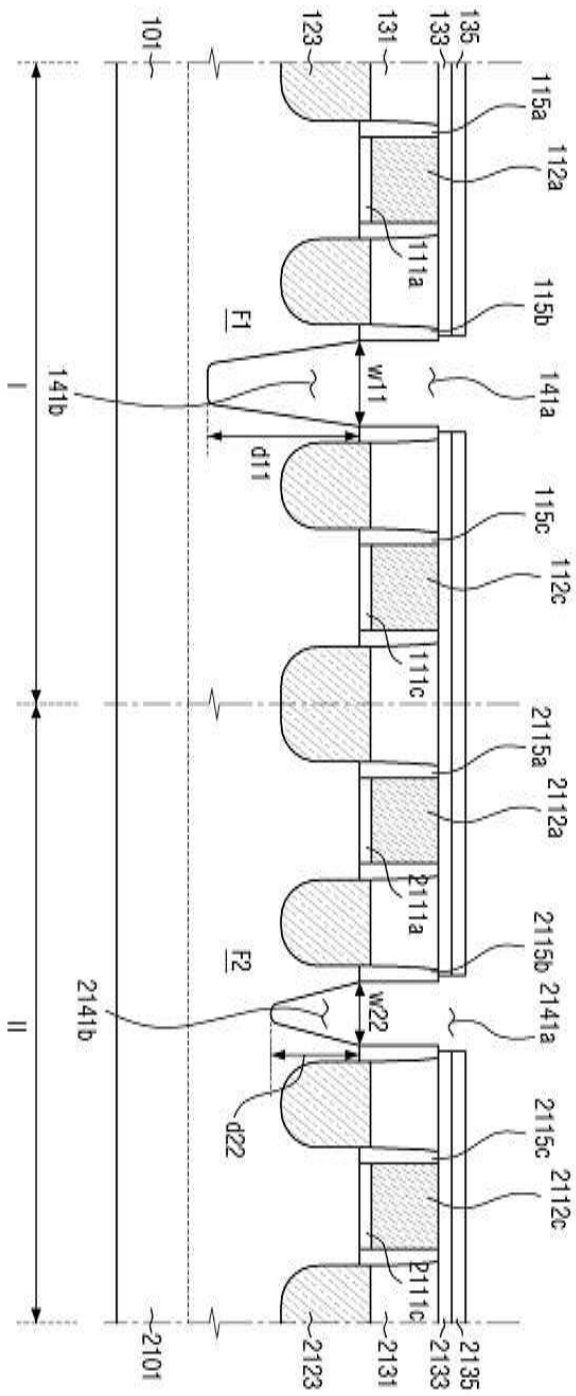
도면55



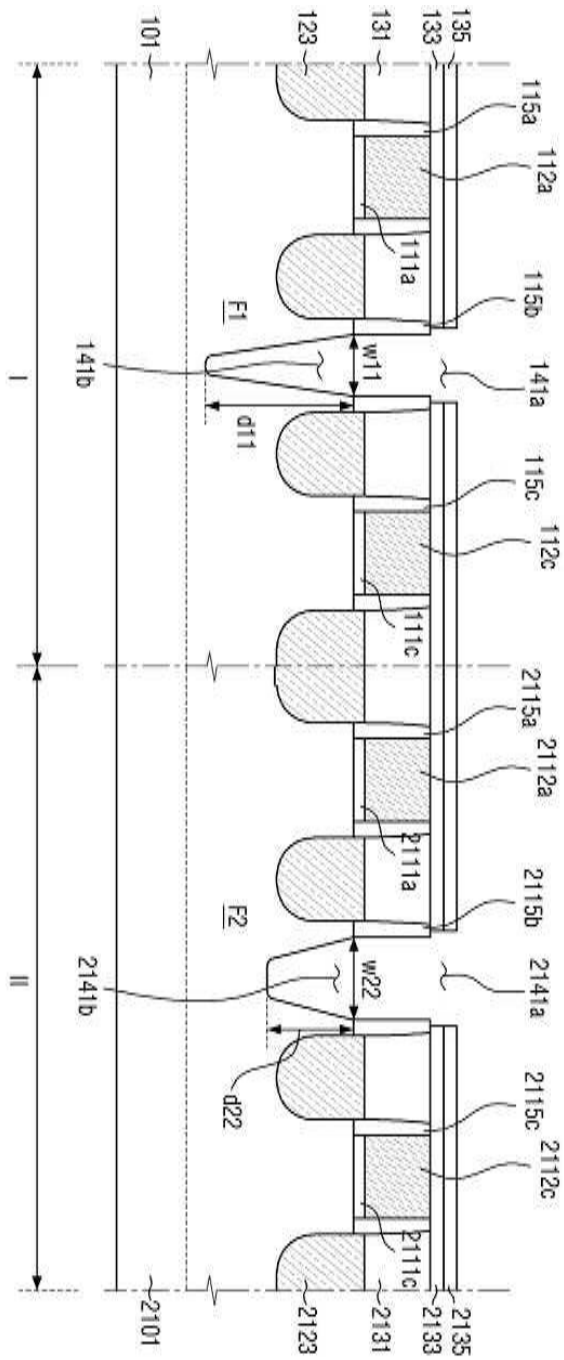
도면56



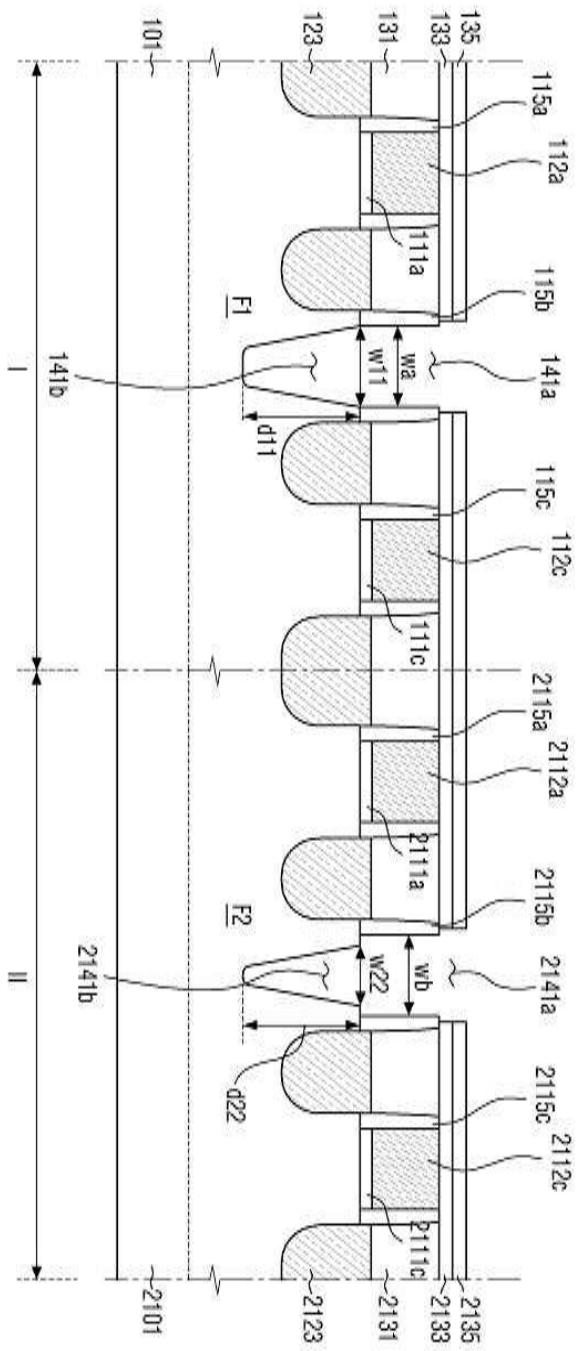
도면57



도면58



도면59



도면60

