

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5861262号  
(P5861262)

(45) 発行日 平成28年2月16日(2016.2.16)

(24) 登録日 平成28年1月8日(2016.1.8)

|                             |            |      |  |
|-----------------------------|------------|------|--|
| (51) Int.Cl.                | F I        |      |  |
| <b>H01L 23/12 (2006.01)</b> | H01L 23/12 | 501B |  |
| <b>H05K 3/46 (2006.01)</b>  | H01L 23/12 | N    |  |
|                             | H05K 3/46  | B    |  |
|                             | H05K 3/46  | N    |  |
|                             | H05K 3/46  | Q    |  |

請求項の数 9 (全 24 頁)

|           |                               |           |   |
|-----------|-------------------------------|-----------|---|
| (21) 出願番号 | 特願2011-69039 (P2011-69039)    | (73) 特許権者 | 000005223                                     |
| (22) 出願日  | 平成23年3月26日 (2011.3.26)        |           | 富士通株式会社                                       |
| (65) 公開番号 | 特開2012-204701 (P2012-204701A) |           | 神奈川県川崎市中原区上小田中4丁目1番1号                         |
| (43) 公開日  | 平成24年10月22日 (2012.10.22)      | (74) 代理人  | 100108187                                     |
| 審査請求日     | 平成26年1月8日 (2014.1.8)          |           | 弁理士 横山 淳一                                     |
| 前置審査      |                               | (72) 発明者  | 荒井 和也   |
|           |                               |           | 神奈川県川崎市中原区上小田中4丁目1番1号 富士通インターコネクトテクノロジーズ株式会社内 |
|           |                               | (72) 発明者  | 池上 晋平   |
|           |                               |           | 神奈川県川崎市中原区上小田中4丁目1番1号 富士通インターコネクトテクノロジーズ株式会社内 |

最終頁に続く

(54) 【発明の名称】 回路基板の製造方法及び電子装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

支持基板の表面に形成され且つ電子部品の端子を接続させる複数の第1の電極が所定のピッチ間隔で埋め込まれた第1の層を形成する工程と、

前記複数の第1の電極の表面を露出させるように、前記第1の層を研磨する工程と、  
前記複数の第1の電極の表面を露出させた後、前記第1の層の表面に、前記複数の第1の電極にそれぞれ接続され、前記複数の第1の電極の形成領域の外まで延在し、前記第1の電極のピッチ方向の幅より小さい線幅を有する複数の第1の配線を形成する工程と、

前記複数の第1の配線を形成した後に、前記支持基板を除去することにより、前記複数の第1の電極の裏面を露出させる工程と、  
を備える回路基板の製造方法。

【請求項2】

請求項1に記載の回路基板の製造方法において、  
前記第1の層を研磨する工程は、前記第1の層が前記複数の第1の電極より薄くなるまで実施される回路基板の製造方法。

【請求項3】

請求項1又は2に記載の回路基板の製造方法において、  
前記複数の第1の電極が埋め込まれた第1の層を形成する工程は、  
前記支持基板の表面に、前記支持基板を部分的に露出させる第1の開口を有する第1のレジスト膜を形成する工程と、

前記第 1 の開口内に露出する前記支持基板の表面に第 1 の金属膜を堆積させる工程と、  
前記第 1 の金属膜を堆積させた後、前記第 1 のレジスト膜を除去する工程と、  
前記第 1 のレジスト膜を除去した後に、前記第 1 の金属膜を前記第 1 の層で被覆する工  
程と、

を備える回路基板の製造方法。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の回路基板の製造方法において、

前記複数の第 1 の配線を形成する工程は、

前記第 1 の層の表面に、前記第 1 の層及び前記複数の第 1 の電極を部分的に露出させる  
第 2 の開口を有する第 2 のレジスト膜を形成する工程と、

前記第 2 の開口内に露出する前記第 1 の層及び前記複数の第 1 の電極の表面に第 2 の金  
属膜を堆積させる工程と、

を備える回路基板の製造方法。

【請求項 5】

請求項 1 乃至 4 のいずれかに記載の回路基板の製造方法において、

前記支持基板を除去する前に、さらに、

前記第 1 の層及び前記複数の第 1 の配線を第 2 の層で被覆する工程と、

前記第 1 の層及び前記複数の第 1 の配線を被覆した後に、前記複数の第 1 の配線に電気  
的に接続される複数の第 2 の電極を形成する工程と、

を備える回路基板の製造方法。

【請求項 6】

請求項 1 乃至 4 のいずれかに記載の回路基板の製造方法において、

前記支持基板を除去する前に、さらに、

前記第 1 の層及び前記複数の第 1 の配線を第 2 の層で被覆する工程と、

前記第 2 の層の表面に、前記第 2 の層内に形成されるビアを介して前記複数の第 1 の配  
線に接続される第 2 の配線を形成する工程と、

前記第 2 の層及び前記第 2 の配線を第 3 の層で被覆する工程と、

前記第 2 の層及び前記第 2 の配線を被覆した後に、前記第 2 の配線に電気的に接続され  
る複数の第 2 の電極を形成する工程と、

を備える回路基板の製造方法。

【請求項 7】

請求項 6 に記載の回路基板の製造方法において、

前記複数の第 2 の配線を形成する工程は、

前記第 2 の層に、前記複数の第 1 の配線に到達する複数のビア孔を形成する工程と、

前記第 2 の層の表面に、前記第 2 の層及び前記複数のビア孔を部分的に露出させる第 3  
の開口を有する第 3 のレジスト膜を形成する工程と、

前記第 3 の開口内に露出する前記第 2 の層の表面及び前記複数のビア孔の内部に第 3 の  
金属膜を堆積させる工程と、

を備える回路基板の製造方法。

【請求項 8】

支持基板の表面に形成された複数の電極が所定のピッチ間隔で埋め込まれた層を形成す  
る工程と、

前記複数の電極の表面を露出させるように、前記層を研磨する工程と、

前記複数の電極の表面を露出させた後、前記層の表面に、前記複数の電極にそれぞれ接  
続され、前記複数の電極の形成領域の外まで延在し、前記複数の電極のピッチ方向の幅よ  
り小さい線幅を有する複数の配線を形成する工程と、

前記複数の配線を形成した後に、前記支持基板を除去することにより、前記複数の電極  
の裏面を露出させる工程と、を少なくとも有する製造工程により製造される、前記複数の  
電極、前記層、及び前記複数の配線を具備する回路基板を用意する工程と、

前記複数の電極の裏面に電子部品の端子を接続する工程と、

10

20

30

40

50

を備える電子装置の製造方法。

【請求項 9】

請求項 8 に記載の電子装置の製造方法において、さらに、

前記複数の電極の裏面に前記電子部品の端子を接続した後に、前記回路基板及び前記電子部品の隙間に樹脂を充填する工程を備える電子装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示の技術は、半導体素子などの電子部品を搭載するための回路基板の製造方法及び電子装置の製造方法に関する。

10

【背景技術】

【0002】

半導体素子などの電子部品を搭載するための回路基板として、例えばコア基板を含まない、いわゆる片面積層基板が採用されることがある。片面積層基板は、支持基板の両面に、それぞれ導体層及び絶縁層を交互に積層して、最後に支持基板を剥離することにより製造されるものである。以下、片面積層基板の製造初期のプロセスを簡単に説明する。

【0003】

片面積層基板を製造では、先ず、支持基板の両面に、半導体素子などの電子部品の端子を接続させる電極パッドを形成する。次に、支持基板の両面に絶縁シートを貼り付けて、該絶縁シートにより電極パッドを被覆する。次に、該絶縁シートに、例えばレーザ加工やエッチング加工により、電極パッドに到達するビア孔を形成する。このとき、ビア孔の深さを制御するために、電極パッドを加工停止膜として利用する。次に、該絶縁シートの表面及び該ビア孔の内部に金属膜を堆積させ、配線パターン及びビアを同時に形成する。以上のプロセスを繰り返すことで、片面積層基板が製造される。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2000 - 323613 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

近年、電子部品の端子の狭ピッチ化に付随して、回路基板の電極パッドの狭ピッチ化が要求されている。しかし、電極パッドは、ビア孔の深さを制御するための加工停止膜、すなわちレーザ加工やエッチング加工の加工停止面とされるため、要求されるビア径よりも小さくすることはできない。さらに、レーザ加工やエッチング加工は、多少の加工誤差（加工位置ずれ）を有するため、電極パッドは、要求されるビア径よりも、該加工誤差分だけ大きくしなければならない。即ち、現在の回路基板の電極パッドは、ビア径と同等又はそれ以下にすることが出来なかった。このため、回路基板の電極パッドを小型化して、電極パッドのピッチ間隔を狭めることは困難であった。

40

【0006】

開示の技術は、電極のピッチ間隔を狭めることができる回路基板の製造方法及び電子装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

開示の技術の一観点によれば、支持基板の表面に形成され且つ電子部品の端子を接続させる第 1 の電極が埋め込まれた第 1 の層を形成する工程と、前記第 1 の電極の表面を露出させるように、前記第 1 の層を研磨する工程と、前記第 1 の電極の表面を露出させた後、前記第 1 の層の表面に、前記第 1 の電極に接続される第 1 の配線を形成する工程と、前記第 1 の配線を形成した後に、前記支持基板を除去することにより、前記第 1 の電極の裏面

50

を露出させる工程と、を備える回路基板の製造方法が提供される。

【発明の効果】

【0008】

開示の技術によれば、回路基板の電極のピッチ間隔を狭めることができる。

【図面の簡単な説明】

【0009】

【図1】第1の実施形態にかかる回路基板の裏面図である。

【図2】第1の実施形態にかかる回路基板の表面図である。

【図3】第1の実施形態にかかる回路基板の断面図である。

【図4】第1の実施形態にかかる第1の電極パッド、第1の配線パターン、第1のビア及び第2の配線パターンの斜視図である。 10

【図5】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図6】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図7】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図8】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図9】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図10】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図11】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図12】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図13】第1の実施形態にかかる回路基板の製造工程の説明図である。 20

【図14】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図15】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図16】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図17】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図18】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図19】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図20】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図21】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図22】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図23】第1の実施形態にかかる回路基板の製造工程の説明図である。 30

【図24】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図25】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図26】第1の実施形態にかかる回路基板の製造工程の説明図である。

【図27】第2の実施形態にかかる電子装置の断面図である。

【発明を実施するための形態】

【0010】

[第1の実施形態]

先ず、図1 - 図27を参照しながら、第1の実施形態を説明する。

[回路基板10の構成]

図1は、第1の実施形態にかかる回路基板10の裏面図である。図2は、第1の実施形態にかかる回路基板10の表面図である。図3は、第1の実施形態にかかる回路基板10の断面図であって、図1中のIII-III線に於ける断面を示している。図4は、第1の実施形態にかかる第1の電極パッド18、第1の配線パターン12、第1のビア20及び第2の配線パターン14の斜視図であって、図1中の枠A内だけを限定して示している。 40

【0011】

以下の説明では、例えば半導体素子などの電子部品50を搭載する第1の搭載面P1側を裏側、例えばマザーボードなどの外部回路基板60に搭載される第2の搭載面P2側を表側と定義して、それぞれの構成要素の第1の搭載面P1側の主面を「裏面」、それぞれの構成要素の第2の搭載面P2側の主面を「表面」とする。

【0012】

図1 - 図3に示すように、回路基板10は、インターポーザ基板として使用される、いわゆる片側積層基板である。回路基板10は、第1の絶縁層11と、第1の絶縁層11の表面に配置される第1の配線パターン12と、第1の絶縁層11の表面に配置され、第1の配線パターン12を被覆する第2の絶縁層13と、第2の絶縁層13の表面に配置される第2の配線パターン14と、第2の絶縁層13の表面に配置され、第2の配線パターン14を被覆する第3の絶縁層15と、第3の絶縁層15の表面に配置される第3の配線パターン16と、第3の絶縁層15の表面に配置され、第3の配線パターン16を被覆する第4の絶縁層17と、第1の絶縁層11に埋め込まれ、例えば半導体素子などの電子部品50の部品本体51に形成された端子52を接続させる第1の電極パッド18と、第4の絶縁層17の表面に配置され、例えばマザーボードなどの外部回路基板60の基板本体61に形成された電極パッド62に接続される、外部接続端子としての第2の電極パッド19と、を備える。

10

**【0013】**

さらに、回路基板10は、第2の絶縁層13に埋め込まれ、第1の配線パターン12及び第2の配線パターン14を電氣的に接続する第1のビア20と、第3の絶縁層15に埋め込まれ、第2の配線パターン14及び第3の配線パターン16を電氣的に接続する第2のビア21と、第4の絶縁層17に埋め込まれ、第3の配線パターン16及び第2の電極パッド19を電氣的に接続する第3のビア22と、を備える。回路基板10は、必要に応じて、第4の絶縁層17の表面に配置されるソルダレジスト23を備えても良い。

**【0014】**

以下、それぞれの要素を詳細に説明する。

20

**【0015】**

先ず、第1、第2、第3、第4の絶縁層11、13、15、17を説明する。

**【0016】**

第1、第2、第3、第4の絶縁層11、13、15、17は、例えばエポキシ系の熱硬化性樹脂で形成されている。このうち、第1の絶縁層11は、第2、第3、第4の絶縁層13、15、17よりも薄くなるように形成されている。本実施形態では、第1の絶縁層11の厚さを、約20 $\mu\text{m}$ ~25 $\mu\text{m}$ とし、第2、第3、第4の絶縁層13、15、17を、約50 $\mu\text{m}$ としている。

**【0017】**

第1の絶縁層11の表面は、第1の絶縁層11の裏面よりも粗い。本実施形態では、第1の絶縁層11の表面の表面粗さを、約0.4Ra~0.5Raとし、第1の絶縁層11の裏面の表面粗さを、約0.2Ra~0.3Raとしている。

30

**【0018】**

次に、第1、第2、第3の配線パターン12、14、16を説明する。

**【0019】**

第1の配線パターン12は、配線部12aと、接続部12bと、を備える。配線部12aは、第1の電極パッド18に直接的に接続された、微細な線型パターンである。本実施形態では、配線部12aの幅寸法を、例えば5 $\mu\text{m}$ ~10 $\mu\text{m}$ としている。接続部12bは、配線部12aに連結された、配線部12aの幅寸法よりも大きい円型パターンである。本実施形態では、接続部12bの直径を、例えば100 $\mu\text{m}$ ~120 $\mu\text{m}$ としている。

40

**【0020】**

第2、第3の配線パターン14、16は、それぞれ、配線部14a、16aと、2つの接続部14b、16bと、を備える。配線部12a、14aは、微細な線型パターンである。本実施形態では、配線部12a、14aの幅寸法を、例えば5 $\mu\text{m}$ ~10 $\mu\text{m}$ としている。接続部12b、14bは、それぞれ配線部12a、14aの両端に連結された、配線部12a、14aの幅寸法よりも大きい円型パターンである。本実施形態では、接続部12b、14bの直径を、例えば100 $\mu\text{m}$ ~120 $\mu\text{m}$ としている。

**【0021】**

第1、第2、第3の配線パターン12、14、16の厚さは、特に限定されるものでは

50

ないが、本実施形態では、約 $25\mu\text{m}$ としている。第1、第2、第3の配線パターン12、14、16の材料は、特に限定されるものではないが、例えばCuなどの金属を用いても良い。

【0022】

次に、第1の電極パッド18を説明する。

【0023】

第1の電極パッド18は、それぞれ、長形状に形成されていて、第1の絶縁層11の各辺に1列ずつ、第1の絶縁層11の各辺に平行に配置されている。本実施形態では、第1の電極パッド18を、第1の絶縁層11の各辺に1列ずつに配置しているが、例えば2列以上ずつ配置しても良い。

10

【0024】

第1の電極パッド18は、第1の絶縁層11を貫通していて、第1の配線パターン12に接続される第1の端面18aと、第1の絶縁層11の裏面から露出する第2の端面18bと、を備える。

【0025】

第1の端面18aは、第1の配線パターン12の配線部12aに直接的に接続されている。即ち、第1の端面18aは、第1の配線パターン12の配線部12aの裏面に接触している。第1の端面18aは、第1の絶縁層11の表面から僅かに突出していることもある。

【0026】

第2の端面18bは、例えば半導体素子などの電子部品50の端子52を接続させる内部接続端子となる。第2の端面18bは、第1の絶縁層11の裏面と同等の高さに位置する。従って、第2の端面18bは、第1の絶縁層11の裏面と共に、電子部品50を搭載する第1の搭載面P1としての、1つの平坦面を構成している。本実施形態では、第2の端面18bを第1の絶縁層11の裏面から露出させているが、該第2の端面18bを予備半田24で被覆しても良い。予備半田24は、第1の電極パッド18に、例えば半導体素子などの電子部品50の端子52を接続するときに利用される。

20

【0027】

第1の電極パッド18のピッチ間隔は、電子部品50の端子52のピッチ間隔に応じて決められる。本実施形態では、第1の電極パッド18のピッチ間隔を、例えば $20\mu\text{m}$ ~ $40\mu\text{m}$ としている。第1の電極パッド18の厚さは、特に限定されるものではないが、本実施形態では、約 $25\mu\text{m}$ としている。第1の配線パターン12の幅寸法は、第1の電極パッド18の配列ピッチ方向に於ける、該第1の電極パッド18の幅寸法よりも小さいことが好ましい。本実施形態では、第1の電極パッド18の幅寸法を、例えば $10\mu\text{m}$ ~ $20\mu\text{m}$ としている。第1の電極パッド18の個数は、電子部品50の端子52の個数と同数とする。

30

【0028】

次に、第2の電極パッド19を説明する。

【0029】

第2の電極パッド19は、それぞれ、長形状に形成されていて、第4の絶縁層17の表面に、マトリクス状に配置されている。必要に応じて、第2の電極パッド19に、それぞれ半田ボールBを取り付けても良い。半田ボールBは、第2の電極パッド19が、例えばマザーボードなどの外部回路基板60の基板本体61に形成された電極パッド62に接続されるときに利用される。

40

【0030】

第2の電極パッド19のピッチ間隔は、例えばマザーボードなどの外部回路基板60の電極パッド62のピッチ間隔に応じて決められる。本実施形態では、第2の電極パッド19のピッチ間隔を、例えば $100\mu\text{m}$ ~ $200\mu\text{m}$ としている。第2の電極パッド19の厚さは、特に限定されるものではないが、本実施形態では、約 $25\mu\text{m}$ としている。第2の電極パッド19の配列ピッチ方向に於ける、該第2の電極パッド19の幅寸法は、第1

50

の電極パッド18の配列ピッチ方向に於ける、該第1の電極パッド18の幅寸法よりも大きく、本実施形態では、例えば50 $\mu$ m~100 $\mu$ mとしている。第2の電極パッド19の個数は、外部回路基板60の電極パッド62の個数と同数とする。

【0031】

次に、第1のビア20、第2のビア21、第3のビア22を説明する。

【0032】

第1のビア20は、第1の絶縁層11に接近するにつれて、ビア径が小さくなる円錐台状に形成され、第1の配線パターン12の接続部12bの表面及び第2の配線パターン14の接続部14bの裏面の双方に接触している。

【0033】

第2のビア21は、第2の絶縁層13に接近するにつれて、ビア径が小さくなる円錐台状に形成され、第2の配線パターン14の接続部14bの表面及び第3の配線パターン16の接続部16bの裏面の双方に接触している。

【0034】

第3のビア22は、第3の絶縁層15に接近するにつれて、ビア径が小さくなる円錐台状に形成され、第3の配線パターン16の接続部16bの表面及び第2の電極パッド19の裏面の双方に接触している。

【0035】

以上のように、第1の配線パターン12、第2の配線パターン14、第3の配線パターン16、及び第2の電極パッド19は、相互に、第1、第2、第3のビア20、21、22の何れかを介して接続されている。

【0036】

これに対して、第1の電極パッド18は、第1の配線パターン12の配線部12aの裏面に直接的に接続されている。即ち、第1の電極パッド18の第1の端面18aが第1の配線パターン12の配線部12aの裏面に接触している。このため、本実施形態にかかる回路基板10は、第1の電極パッド18及び第1の配線パターン12を電氣的に接続するためのビアを有していない。

【0037】

次に、ソルダーレジスト23を説明する。

【0038】

ソルダーレジスト23は、第2の電極パッド19の表面に供給された半田材料が溶融したときに、該半田材料が第2の電極パッド19から濡れ広がることを防止するものである。ソルダーレジスト23は、第2の電極パッド19に対応する位置に、それぞれパッド開口23aを有していて、該パッド開口23aから第2の電極パッド19を露出させている。ソルダーレジスト23の厚さは、第2の電極パッド19の厚さと同等もしくは第2の電極パッド19の厚さよりも大きければ良いが、本実施形態では、例えば30 $\mu$ m~50 $\mu$ mとしている。ソルダーレジスト23の材料としては、例えばポリイミド系又はエポキシ系の熱硬化性樹脂又は光硬化性樹脂を用いても良い。

[回路基板10の製造工程]

図5 - 図27は、第1の実施形態にかかる回路基板10の製造工程の説明図である。このうち、図5 - 図24は、本実施形態にかかる回路基板10の個片化前の大型基板を示しているが、図面の簡単化のために破断線を省略する。

【0039】

図5に示すように、最初に、本実施形態にかかる回路基板10の製造に使用される支持基板30を製作する。支持基板30を製作する際、先ず、例えばガラス繊維布にエポキシ樹脂を含浸させた、いわゆる耐熱性ガラス布基材エポキシ樹脂銅張積層板31 (FR-4 : Flame Retardant Type 4)の両面に、それぞれ絶縁層32、小Cu箔33、Cu/Ni/Cuの積層箔34を、耐熱性ガラス布基材エポキシ樹脂銅張積層板31側から順番に載置する。絶縁層32の材料としては、例えばエポキシ系もしくはポリイミド系の樹脂を用いても良い。絶縁層32の厚さは、特に限定されるものではないが、小Cu箔33の厚みを

10

20

30

40

50

吸収する必要があるので、少なくとも小Cu箔33よりも厚くする。小Cu箔33の平面寸法は、絶縁層32の平面寸法よりも小さい。このため、小Cu箔33の周囲からは、絶縁層32が露出する。以下、小Cu箔33の周囲に露出する絶縁層32を露出領域32aとする。小Cu箔33の寸法は、特に限定されるものではないが、本実施形態では、例えば小Cu箔33の各辺が絶縁層32の各辺よりも約6cmだけ小さくなるように、即ち、絶縁層32の露出領域32aの幅寸法が約3cmとなるように設定されている。小Cu箔33の厚さは、特に限定されるものではないが、本実施形態では、例えば12 $\mu$ mとしている。積層箔34の各層、即ちCu層34a、Ni層34b、Cu層34cの厚さは、特に限定されるものではないが、本実施形態では、それぞれ100 $\mu$ m、0.8 $\mu$ m、25 $\mu$ mとしている。Ni層34bの表面の粗さは、例えば0.2Ra~0.3Raとされる。

10

#### 【0040】

次に、耐熱性ガラス布基材エポキシ樹脂銅張積層板31、絶縁層32、小Cu箔33、Cu/Ni/Cuの積層体34を、真空下でプレス熱圧着する。これにより、小Cu箔33の周囲から露出する絶縁層32の露出領域32aは、Cu/Ni/Cuの積層箔34に圧着される。このとき、小Cu箔33は、Cu/Ni/Cuの積層箔34に圧着されないが、絶縁層32の露出領域32aの内側が真空の袋状となることで、Cu/Ni/Cuの積層箔34に吸着される。プレス熱圧着では、例えば真空ラミネータを用いても良い。このとき、真空度を、例えば0.2MPa~0.5MPaとする。

#### 【0041】

20

次に、図6に示すように、支持基板30の両面に露出する積層箔34のCu層34cを、例えばウェットエッチングにより除去して、積層箔34のNi層34bを露出させる。エッチャントは、特に限定されるものではないが、例えばアンモニア系のアルカリ溶液を用いても良い。

#### 【0042】

次に、図7に示すように、支持基板30の両面に露出するNi層34bの表面に、それぞれ感光性フィルム35を熱圧着により貼り付ける。感光性フィルム35の厚さは、特に限定されるものではないが、本実施形態では、例えば25 $\mu$ mとしている。続いて、露光マスク(図示しない)を用いて、該感光性フィルム35を露光して、該感光性フィルム35に、第1の電極パッド18に対応する露光パターン領域を形成する。続いて、感光性フィルム35に現像液を供給し、感光性フィルム35に形成された露光パターン領域を除去する。こうして、感光性フィルム35に、第1の電極パッド18に対応する開口35aを形成する。

30

#### 【0043】

次に、図8に示すように、Ni層34bを給電層とする電解鍍金により、感光性フィルム35の開口35a内にCu層を堆積させ、Ni層34bの表面に第1の電極パッド18を形成する。電解鍍金は、Cu層の厚さが感光性フィルム35の厚さと同等になるまで実施される。

#### 【0044】

次に、図9に示すように、感光性フィルム35に薬液を供給して、感光性フィルム35をNi層34bから剥離する。薬液の種類は、感光性フィルム35の種類に応じて決めれば良い。感光性フィルム35を剥離した後、薬液を除去するための洗浄を追加しても良い。

40

#### 【0045】

次に、図10に示すように、支持基板30の両面に露出するNi層34b表面に、それぞれエポキシ系の絶縁シート36を真空下で貼り付けて、第1の電極パッド18を被覆する。絶縁シート36は、第1の電極パッド18よりも厚ければ、特に限定されるものではないが、少なくとも第1の電極パッド18間の隙間が十分に充填されるように、第1の電極パッド18の厚さよりも、例えば10 $\mu$ m分だけ厚くすることが好ましい。

#### 【0046】

50

次に、図 1 1 に示すように、絶縁シート 3 6 の表面を研磨して、第 1 の電極パッド 1 8 の表面を露出させる。該研磨後の該研磨後の絶縁シート 3 6 は、回路基板 1 0 の第 1 の絶縁層 1 1 となる。絶縁シート 3 6 から露出する第 1 の電極パッド 1 8 の表面は、第 1 の配線パターン 1 2 に接続される第 1 の端面 1 8 a となる。第 1 の電極パッド 1 8 の表面に絶縁シート 3 6 が残留すると、第 1 の電極パッド 1 8 及び第 1 の配線パターン 1 2 間の接続不良の原因となるため、第 1 の電極パッド 1 8 の表面を露出させた後、さらに数  $\mu\text{m}$ 、例えば  $5 \mu\text{m}$  だけ追加研磨することが好ましい。但し、絶縁シート 3 6 は、第 1 の電極パッド 1 8 よりも研磨レートが高いため、第 1 の電極パッド 1 8 の表面を追加研磨すると、絶縁シート 3 6 は、第 1 の電極パッド 1 8 よりも多目に研磨される。このため、第 1 の電極パッド 1 8 の表面は、第 1 の絶縁層 1 1 の表面から僅かに突出することがある。絶縁シート 3 6 の研磨法は、特に限定されるものではないが、例えばベルト研磨を用いても良い。又、絶縁シート 3 6 の表面を研磨したときに、第 1 の電極パッド 1 8 の材料の削り粉、即ち Cu の削り粉が発生して、配線パターン間の短絡の原因となる。このため、絶縁シート 3 6 を研磨した後、ウェットエッチングを実施して、絶縁シート 3 6 の表面に付着する削り粉を除去しても良い。エッチャントとしては、例えば硫酸及び過酸化水素水の混合溶液を用いても良い。エッチング量は、例えば  $1 \mu\text{m}$  とすれば良い。

#### 【 0 0 4 7 】

次に、図 1 2 に示すように、例えば無電解鍍金により、第 1 の絶縁層 1 1 及び第 1 の電極パッド 1 8 の表面、即ち第 1 の端面 1 8 a にシードメタル層 3 7 を形成する。シードメタル層 3 7 の材料としては、例えば Cu などの金属を用いる。シードメタル層 3 7 の厚さは、特に限定されるものではないが、本実施形態では、例えば  $0.1 \mu\text{m} \sim 1 \mu\text{m}$  としている。

#### 【 0 0 4 8 】

次に、図 1 3 に示すように、シードメタル層 3 7 の表面に、それぞれ感光性フィルム 3 8 を熱圧着により貼り付ける。感光性フィルム 3 8 の厚さは、特に限定されるものではないが、本実施形態では、約  $25 \mu\text{m}$  としている。続いて、露光マスク（図示しない）を用いて、該感光性フィルム 3 8 を露光して、該感光性フィルム 3 8 に、第 1 の電極パターン 1 2 に対応する露光パターン領域を形成する。続いて、感光性フィルム 3 8 に現像液を供給し、感光性フィルム 3 8 の露光パターン領域を除去する。こうして、感光性フィルム 3 8 に、第 1 の電極パターン 1 2 に対応する開口 3 8 a を形成する。感光性フィルム 3 8 に形成される開口 3 8 a は、第 1 の絶縁層 1 1 の表面だけでなく、第 1 の電極パッド 1 8 の表面、即ち第 1 の端面 1 8 a に対応する位置まで形成される。

#### 【 0 0 4 9 】

次に、図 1 4 に示すように、シードメタル層 3 7 を給電層とする電解鍍金により、感光性フィルム 3 8 の開口 3 8 a 内に Cu 層を堆積させ、シードメタル層 3 7 の表面に第 1 の配線パターン 1 2 を形成する。こうして、第 1 の絶縁層 1 1 の表面に、第 1 の電極パッド 1 8 の表面、即ち第 1 の端面 1 8 a に直接的に接続される第 1 の配線パターン 1 2 が形成される。電解鍍金は、Cu 層の厚さが感光性フィルム 3 8 の厚さと同等になるまで実施される。

#### 【 0 0 5 0 】

次に、図 1 5 に示すように、感光性フィルム 3 8 に薬液を供給して、感光性フィルム 3 8 を第 1 の絶縁層 1 1 から剥離する。薬液の種類は、感光性フィルム 3 8 の種類に応じて決めれば良い。感光性フィルム 3 8 を剥離した後、薬液を除去するための洗浄を追加しても良い。感光性フィルム 3 8 が除去されたら、第 1 の絶縁層 1 1 の表面に形成されていたシードメタル層 3 7 を、例えばフラッシュエッチングにより除去する。これにより、第 1 の電極パッド 1 8 の表面、即ち第 1 の端面 1 8 a は、再露出する。

#### 【 0 0 5 1 】

次に、図 1 6 に示すように、第 1 の絶縁層 1 1 の表面に、それぞれエポキシ系の絶縁シート 3 9 を真空下で貼り付けて、第 1 の配線パターン 1 2 を被覆する。第 2 の絶縁シート 3 9 は、少なくとも第 1 の配線パターン 1 2 よりも厚ければ、特に限定されるものではない

10

20

30

40

50

いが、本実施形態では、約 $50\mu\text{m}$ としている。第1の絶縁層11の表面に貼り付けられる絶縁シート39は、回路基板10の第2の絶縁層13となる。

【0052】

次に、図17に示すように、第2の絶縁層13に、第1の配線パターン12の接続部12bに到達するビア孔13aを形成する。ビア孔13aの加工法としては、例えばレーザ加工、エッチング加工、又は他の加工を用いても良い。レーザ加工もしくはエッチング加工であれば、第1の配線パターン12の接続部12bを加工停止面としても良い。ビア孔13aは、第1の配線パターン12に接近するにつれて徐々に縮径する円錐面状の内面を有する。レーザとしては、例えばCO<sub>2</sub>レーザなどを用いても良い。レーザ加工は、ビア孔13a内にスミアを発生させることがあるので、必要に応じて、レーザ加工後に第2の絶縁層13に薬液を供給して、ビア孔13a内に発生したスミアを除去しても良い。薬液としては、例えば過マンガン酸カリウムの水溶液を用いれば良い。

10

【0053】

次に、図18に示すように、例えば無電解鍍金により、第2の絶縁層13の表面と、ビア孔13aの内面と、ビア孔13a内に露出する第1の配線パターン12の表面に、シードメタル層40を形成する。シードメタル層40の材料としては、例えばCuなどの金属を用いる。シードメタル層40の厚さは、特に限定されるものではないが、本実施形態では、例えば、 $0.1\mu\text{m} \sim 1\mu\text{m}$ としている。

【0054】

次に、図19に示すように、シードメタル層40の表面に、それぞれ感光性フィルム41を熱圧着により貼り付ける。感光性フィルム41の厚さは、特に限定されるものではないが、本実施形態では、約 $25\mu\text{m}$ としている。続いて、露光マスク(図示しない)を用いて、該感光性フィルム41を露光して、該感光性フィルム41に、第2の電極パターン14に対応する露光パターン領域を形成する。続いて、感光性フィルム41に現像液を供給し、感光性フィルム41に、第2の電極パターン14に対応する開口41aを形成する。感光性フィルム41に形成される開口41aは、第2の絶縁層13の表面だけでなく、ビア孔13aの内面、及びビア孔13a内に位置する第1の配線パターン11の表面に対応する位置まで形成される。

20

【0055】

次に、図20に示すように、シードメタル層40を給電層とする電解鍍金により、感光性フィルム41の開口41a内にCu層を堆積させ、第2の絶縁層13の表面に第2の配線パターン14を、ビア孔13aの内部に第1のビア20を、同時に形成する。電解鍍金は、Cu層の厚さが感光性フィルム41の厚さと同等になるまで実施される。

30

【0056】

次に、図21に示すように、感光性フィルム41に薬液を供給して、感光性フィルム41をシード層40の表面から剥離する。薬液の種類は、感光性フィルム41の種類に応じて決めれば良い。感光性フィルム41を剥離した後、薬液を除去するための洗浄を追加しても良い。感光性フィルム41が除去されたら、第2の絶縁層13の表面に形成されていたシードメタル層40を、例えばフラッシュエッチングにより除去する。

【0057】

以上のプロセスを経て、第2の配線パターン14が完成したら、図16 - 図21を参照して説明した各プロセスを繰り返すことで、第2の絶縁層13の表面に配置され、第2の配線パターン14を被覆する第3の絶縁層15と、第3の絶縁層15の表面に形成され、第2のビア21を介して第2の配線パターン14に接続される第3の配線パターン16と、第3の絶縁層15の表面に配置され、第3の配線パターン16を被覆する第4の絶縁層17と、第4の絶縁層17の表面に配置され、第3のビア22を介して第3の配線パターン16に接続される第2の電極パッド19と、を形成する。こうして、図22に示すように、支持基板30の両面に、それぞれ4層型の片面積層基板10aを形成する。

40

【0058】

次に、図23に示すように、必要に応じて、第4の絶縁層17の表面に、それぞれソル

50

ダーレジスト23を形成しても良い。ソルダーレジスト23の形成法は、特に限定されるものではないが、例えばフォトリソグラフィもしくはスクリーン印刷を用いても良い。フォトリソグラフィであれば、先ず、液状の感光性材料を塗布して、該感光性材料を乾燥により硬化させる。続いて、該感光性材料を露光及び現像して、第2の電極パッド19に対応する位置に、それぞれ第2の電極パッド19を露出させるパッド開口23aを形成する。ソルダーレジスト23の厚さは、第2の電極パッド19の厚さよりも厚ければ、特に限定されるものではない。

【0059】

次に、図24に示すように、例えばダイシングにより、支持基板30及び片面積層基板10aを切断する。このとき、ダイシングブレードは、支持基板30の絶縁層32の露出領域32aの内側を通過するように、即ち小Cu箔位33を切断するように置決めされる。図中の直線Cは、ダイシングのブレードが通過する位置を示している。このため、絶縁層32の露出領域32a及びCu/Ni/Cuの積層箔34の圧着により維持されていた小Cu箔33及び積層箔34間の真空が破壊され、積層箔34が絶縁層32及び小Cu箔33から離脱する。

【0060】

次に、図25に示すように、片面積層基板10aの裏面に残留する支持基板30の残骸物、即ち積層箔34のNi層34b及びCu層34cを、例えばウェットエッチングにより除去して、第1の絶縁層11の裏面及び第1の電極パッド18の裏面、即ち第2の端面18bを露出させる。こうして、例えば半導体素子などの電子部品50を搭載する第1の搭載面P1が形成され、本実施形態にかかる回路基板10の製造工程が終了する。回路基板10は、製造工程中、第1の搭載面P1を支持基板30に密着させているため、第1の搭載面P1の表面粗さは、支持基板30の表面粗さ、即ち積層箔34のNi層34bの表面粗さに倣うことになる。このため、第1の搭載面P1の表面粗さ、即ち第1の絶縁層11の裏面の表面粗さは、研磨により形成される第1の絶縁層11の表面の表面粗さよりも小さくなる。Ni層34bのエッチャントとしては、例えば硫酸及び過酸化水素水の混合溶液を用いれば良い。Cu層34cのエッチャントとしては、例えば強アルカリ液を用いれば良い。なお、図25は、図24に於いて、支持基板30の上側に製造された回路基板10だけを示しているが、これと同等の回路基板10がもう1つ製造される。

【0061】

次に、図26に示すように、必要に応じて、回路基板10の第1の電極パッド18の第2の端面18bを、例えば予備半田24で被覆しても良い。予備半田24は、例えば無電解鍍金により形成すれば良い。

【0062】

以上のように、本実施形態にかかる回路基板10では、例えば半導体素子などの電子部品50の端子52を接続させる第1の電極パッド18を、第1の配線パターン12に直接的に接続している。即ち、本実施形態にかかる回路基板10は、第1の電極パッド18及び第1の配線パターン12を接続するためのビアを有してない。これにより、ビア製造に付随する電極パッドの大型化が解消される。従って、例えば半導体素子などの電子部品50の端子52の小型化及び狭ピッチ化に応じて、第1の電極パッド18を小型化及び狭ピッチ化することが出来る。

【0063】

又、本実施形態にかかる回路基板10は、第1の電極パッド18及び第1の配線パターン12を接続するためのビアを有していないので、ビア製造プロセスで必要となるデスマリアを省略することが出来る。よって、回路基板10の製造時間をデスマリアの所要時間分だけ短縮することができる。

【0064】

さらに、本実施形態にかかる回路基板10は、例えば半導体素子などの電子部品50を搭載するための第1の搭載面P1に、第1の電極パッド18の第1の端面18bだけを露出させている。従って、例えば予備半田24をリフローするときに、該予備半田24が第

10

20

30

40

50

1の電極パッド18の第1の端面18bから濡れ広がることがない。よって、予備半田24を必要最小限に減らすことが出来る。

[ 第2の実施形態 ]

次に、図27を参照しながら、第2の実施形態を説明する。

「電子装置100の構成」

図27は、第2の実施形態にかかる電子装置100の断面図である。

【0065】

図27に示すように、第2の実施形態にかかる電子装置100は、第1の実施形態にかかる回路基板10と、例えば半導体素子などの電子部品50と、例えばマザーボードなどの外部回路基板60と、必要に応じて、回路基板10及び電子部品50の隙間に配置されるアンダーフィル樹脂70と、を備える。図27に示すように、回路基板10は、第1の搭載面P1を上側、第2の搭載面P2を下側に向けている。

10

【0066】

電子部品50は、部品本体51と、部品本体51に形成された複数の端子52と、を備える。端子52は、それぞれ予備半田24を介して、回路基板10の第1の電極パッド18に接続されている。端子52の寸法、配置、及び個数は、回路基板10の第1の電極パッド18に対応させても良い。

【0067】

外部回路基板60は、基板本体61と、基板本体61に形成された複数の電極パッド62と、を備える。電極パッド62は、それぞれ半田ボールBを介して、回路基板10の第1の電極パッド18に接続されている。電極パッド62の寸法、配置、及び個数は、回路基板10の第1の電極パッド18に対応させても良い

20

アンダーフィル樹脂70は、回路基板10及び電子部品50の接続強度を高めるために配置される。アンダーフィル樹脂70の材料としては、例えばエポキシ系の樹脂材料を用いても良い。

[ 電子装置100の製造工程 ]

次に、電子装置100の製造工程を説明する。

【0068】

電子装置100の製造では、先ず、第1の実施形態にかかる回路基板10の第1の搭載面P1に、半導体素子などの電子部品50を搭載する。例えば、ボンディングヘッド(図示しない)により電子部品50を保持して、該電子部品50の端子52を、それぞれ回路基板10の第1の電極パッド18の第2の端面18bに塗布された予備半田24に押圧する。続いて、ボンディングヘッドの加熱ヒータにより、予備半田24を熔融させて、回路基板10の第1の電極パッド18に電子部品50の端子52を接続させる。

30

【0069】

次に、回路基板10及び電子部品50の隙間に、液状の樹脂を注入する。樹脂としては、例えばエポキシ系のものを用いても良い。回路基板10及び電子部品50の隙間が樹脂で充填されたら、例えば炉内で加熱して、該樹脂を硬化させる。こうして、アンダーフィル樹脂70が形成される。以上のプロセスを経て、電子装置100が完成する。

【0070】

さらに、電子部品50が搭載された回路基板10を、外部回路基板60に搭載しても良い。回路基板10は、第2の搭載面P2に、外部接続端子としての第2の電極パッド19を有しているので、該第2の電極パッド19を、半田ボールBを介して、外部回路基板60の電極パッド62に接続することが出来る。例えば、回路基板10の第2の電極パッド19に取り付けられた半田ボールBを外部回路基板60の電極パッド62に搭載して、リフロー炉を通過させれば良い。

40

【0071】

以上のように、本実施形態にかかる回路基板10では、第1の絶縁層11の裏面と、第1の電極パッド18の第2の端面18bと、を同じ高さにするすることで、例えば半導体素子などの電子部品50を搭載するための第1の搭載面P1を平坦化している。このため、回

50

路基板 10 及び電子部品 50 間の隙間に液状の樹脂を注入するときに、該樹脂中に空気などが巻き込まれにくい。これにより、アンダーフィル樹脂 70 内に発生するボイドを抑制することができる。従って、アンダーフィル樹脂 70 内に発生するボイドに起因する、回路基板 10 及び電子部品 50 間の接合強度の低下を防止することが出来る。

【0072】

さらに、本実施形態にかかる回路基板 10 では、回路基板 10 の第 1 の搭載面 P1 が平坦化されるので、ソルダーレジストが不要となる。このため、回路基板 10 及び電子部品 50 間に大きな隙間を確保することが出来る。これにより、回路基板 10 及び電子部品 50 間の隙間への樹脂の注入が容易となる。従って、回路基板 10 及び電子部品 50 間の隙間への樹脂の注入不良に起因する、回路基板 10 の第 1 の電極パッド 18 及び電子部品 50 の端子 52 間の接続不良を防止することが出来る。

10

【0073】

上述の実施形態を、以下に付記として記載する。

(付記 1)

支持基板の表面に第 1 の電極を形成する工程と、  
前記支持基板及び前記第 1 の電極を第 1 の絶縁層で被覆する工程と、  
前記第 1 の電極の表面を露出させるように、前記第 1 の絶縁層を研磨する工程と、  
前記第 1 の電極の表面を露出させた後、前記第 1 の絶縁層の表面に、前記第 1 の電極に接続される第 1 の配線を形成する工程と、  
前記第 1 の配線を形成した後に、前記支持基板を除去することにより、前記第 1 の電極の裏面を露出させる工程と、  
を備える回路基板の製造方法。

20

(付記 2)

付記 1 に記載の回路基板の製造方法において、  
前記第 1 の絶縁層を研磨する工程は、前記第 1 の絶縁層の厚さが前記第 1 の電極の厚さより小さくなるまで実施される回路基板の製造方法。

(付記 3)

付記 1 又は 2 に記載の回路基板において、  
前記支持基板の表面に第 1 の電極を形成する工程は、  
前記支持基板の表面に、前記支持基板を部分的に露出させる第 1 の開口を有する第 1 のレジスト膜を形成する工程と、  
前記第 1 の開口内に露出する前記支持基板の表面に金属膜を堆積させる工程と、  
を備える回路基板の製造方法。

30

(付記 4)

付記 1 乃至 3 のいずれかに記載の回路基板の製造方法において、  
前記第 1 の配線を形成する工程は、  
前記第 1 の絶縁層の表面に、前記第 1 の絶縁層及び前記第 1 の電極を部分的に露出させる第 2 の開口を有する第 2 のレジスト膜を形成する工程と、  
前記第 2 の開口内に露出する前記第 1 の絶縁層及び前記第 1 の電極の表面に金属膜を堆積させる工程と、  
を備える回路基板の製造方法。

40

(付記 5)

付記 1 乃至 4 のいずれかに記載の回路基板の製造方法において、  
前記支持基板を除去する前に、さらに、  
前記第 1 の絶縁層及び前記第 1 の配線を第 2 の絶縁層で被覆する工程と、  
前記第 1 の絶縁層及び前記第 1 の配線を被覆した後に、前記第 1 の配線に電氣的に接続される第 2 の電極を形成する工程と、  
を備える回路基板の製造方法。

(付記 6)

付記 1 乃至 4 のいずれかに記載の回路基板の製造方法において、

50

前記支持基板を除去する前に、さらに、  
 前記第 1 の絶縁層及び前記第 1 の配線を第 2 の絶縁層で被覆する工程と、  
 前記第 2 の絶縁層の表面に、前記第 2 の絶縁層内に形成されるビアを介して前記第 1 の配線に接続される第 2 の配線を形成する工程と、  
 前記第 2 の絶縁層及び前記第 2 の配線を第 3 の絶縁層で被覆する工程と、  
 前記第 2 の絶縁層及び前記第 2 の配線を被覆した後に、前記第 2 の配線に電氣的に接続される第 2 の電極を形成する工程と、  
 を備える回路基板の製造方法。

(付記 7)

付記 6 に記載の回路基板の製造方法において、  
 前記第 2 の配線を形成する工程は、  
 前記第 2 の絶縁層に、前記第 1 の配線に到達するビア孔を形成する工程と、  
 前記第 2 の絶縁層の表面に、前記第 2 の絶縁層及び前記ビア孔を部分的に露出させる第 3 の開口を有する第 3 のレジスト膜を形成する工程と、  
 前記第 3 の開口内に露出する前記第 2 の絶縁層の表面及び前記ビア孔の内部に金属膜を堆積させる工程と、  
 を備える回路基板の製造方法。

(付記 8)

支持基板の表面に電極を形成する工程と、  
 前記支持基板及び前記電極を絶縁層で被覆する工程と、  
 前記電極の表面を露出させるように、前記絶縁層を研磨する工程と、  
 前記電極の表面を露出させた後、前記絶縁層の表面に、前記電極に接続される配線を形成する工程と、  
 前記配線を形成した後に、前記支持基板を除去することにより、前記電極の裏面を露出させる工程と、を少なくとも有する製造工程により製造される、前記電極、前記絶縁層、及び前記配線を具備する回路基板を用意する工程と、  
 前記電極の裏面に電子部品の端子を接続する工程と、  
 を備える電子装置の製造方法。

(付記 9)

第 1 の絶縁層と、前記第 1 の絶縁層の表面に配置された配線と、前記第 1 の絶縁層の表面に配置され、前記配線を被覆する第 2 の絶縁層と、前記第 1 の絶縁層内に配置され、前記配線に接続される第 1 の端部と、前記第 1 の絶縁層の裏面から露出する第 2 の端部と、を有する電極と、を具備する回路基板を用意する工程と、  
 前記電極の第 2 の端部に電子部品の端子を接続する工程と、  
 を備える電子装置の製造方法。

(付記 10)

付記 8 又は 9 に記載の電子装置の製造方法において、さらに、  
 前記電極の裏面に前記電子部品の端子を接続した後に、前記回路基板及び前記電子部品の隙間に樹脂を充填する工程を備える電子装置の製造方法。

(付記 11)

第 1 の絶縁層と、  
 前記第 1 の絶縁層の表面に配置される第 1 の配線と、  
 前記第 1 の絶縁層の表面に配置され、前記第 1 の配線を被覆する第 2 の絶縁層と、  
 前記第 1 の絶縁層内に配置され、前記第 1 の配線に接続される第 1 の端部と、前記第 1 の絶縁層の裏面から露出する第 2 の端部と、を有する第 1 の電極と、  
 を備える回路基板。

(付記 12)

付記 11 に記載の回路基板において、  
 前記第 1 の絶縁層の厚さは、前記第 1 の電極の厚さより小さい回路基板。

(付記 13)

10

20

30

40

50

付記 1 1 又は 1 2 に記載の回路基板において、  
前記第 1 の絶縁層の表面の表面粗さは、前記第 1 の絶縁層の裏面の表面粗さよりも大きい回路基板。

(付記 1 4)

付記 1 1 乃至 1 3 のいずれかに記載の回路基板において、さらに、  
前記第 1 の配線に電氣的に接続される第 2 の電極を備える回路基板。

(付記 1 5)

付記 1 1 乃至 1 3 のいずれかに記載の回路基板において、さらに、  
前記第 2 の絶縁層の表面に配置される第 2 の配線と、  
前記第 2 の絶縁層内に配置され、前記第 1 の配線及び前記第 2 の配線を接続するビアと

10

前記第 2 の配線に電氣的に接続される第 2 の電極と、  
を備える回路基板。

(付記 1 6)

付記 1 4 又は 1 5 に記載の回路基板において、  
前記第 1 の電極は、前記第 2 の電極よりも小さい回路基板。

(付記 1 7)

第 1 の絶縁層と、前記第 1 の絶縁層の表面に配置される第 1 の配線と、前記第 1 の絶縁層の表面に配置され、前記第 1 の配線を被覆する第 2 の絶縁層と、前記第 1 の絶縁層内に配置され、前記第 1 の配線に接続される第 1 の端部と、前記第 1 の絶縁層の裏面から露出する第 2 の端部と、を有する第 1 の電極と、を備える回路基板と、

20

前記第 1 の電極の第 2 の端部にハンダ接続される端子を有する電子部品と、  
を備える電子装置。

(付記 1 8)

付記 1 7 に記載の電子装置において、さらに、  
前記回路基板及び前記電子部品の隙間に充填される樹脂を備える電子装置。

(付記 1 9)

付記 1 7 又は 1 8 に記載の電子装置において、  
前記第 1 の絶縁層の表面の表面粗さは、前記第 1 の絶縁層の裏面の表面粗さよりも大きい電子装置。

30

(付記 2 0)

付記 1 7 乃至 1 9 に記載の電子装置において、  
前記回路基板は、さらに、  
前記第 1 の配線に電氣的に接続される第 2 の電極を備える電子装置。

(付記 2 1)

付記 1 7 又は 1 9 に記載の電子装置において、  
前記回路基板は、さらに、  
前記第 2 の絶縁層の表面に配置される第 2 の配線と、  
前記第 2 の絶縁層内に配置され、前記第 1 の配線及び前記第 2 の配線を接続するビアと

40

前記第 2 の配線に電氣的に接続される第 2 の電極と、  
を備える電子装置。

(付記 2 2)

付記 2 0 乃至 2 1 のいずれかに記載の電子装置において、  
前記第 1 の電極は、前記第 2 の電極よりも小さい電子装置。

【符号の説明】

【0074】

10：回路基板

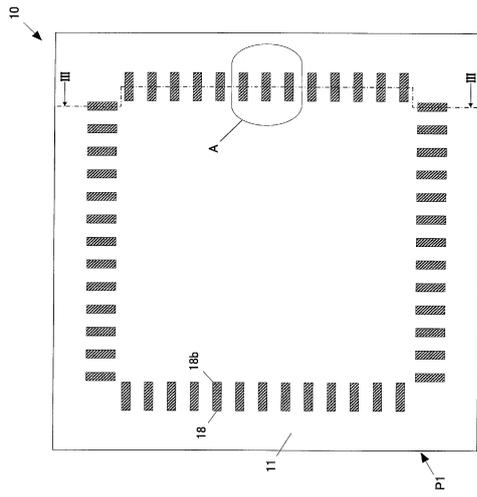
11：第 1 の絶縁層

12：第 1 の配線パターン

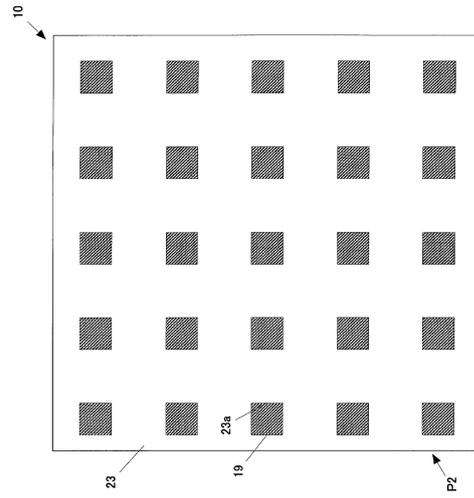
50

|       |               |    |
|-------|---------------|----|
| 1 3   | ： 第 2 の絶縁層    |    |
| 1 4   | ： 第 2 の配線パターン |    |
| 1 5   | ： 第 3 の絶縁層    |    |
| 1 6   | ： 第 3 の配線パターン |    |
| 1 7   | ： 第 4 の絶縁層    |    |
| 1 8   | ： 第 1 の電極パッド  |    |
| 1 8 a | ： 第 1 の端面     |    |
| 1 8 b | ： 第 2 の端面     |    |
| 1 9   | ： 第 2 の電極パッド  |    |
| 2 0   | ： 第 1 のビア     | 10 |
| 2 1   | ： 第 2 のビア     |    |
| 2 2   | ： 第 3 のビア     |    |
| 2 4   | ： 予備半田        |    |
| 3 0   | ： 支持基板        |    |
| 3 5   | ： 感光性フィルム     |    |
| 3 5 a | ： 開口          |    |
| 3 8   | ： 感光性フィルム     |    |
| 3 8 a | ： 開口          |    |
| 3 9   | ： 絶縁シート       |    |
| 4 1   | ： 感光性フィルム     | 20 |
| 4 1 a | ： 開口          |    |
| 5 0   | ： 電子部品        |    |
| 5 2   | ： 端子          |    |
| 6 0   | ： 外部回路基板      |    |
| 6 2   | ： 電極パッド       |    |
| 7 0   | ： アンダーフィル樹脂   |    |
| 1 0 0 | ： 電子装置        |    |

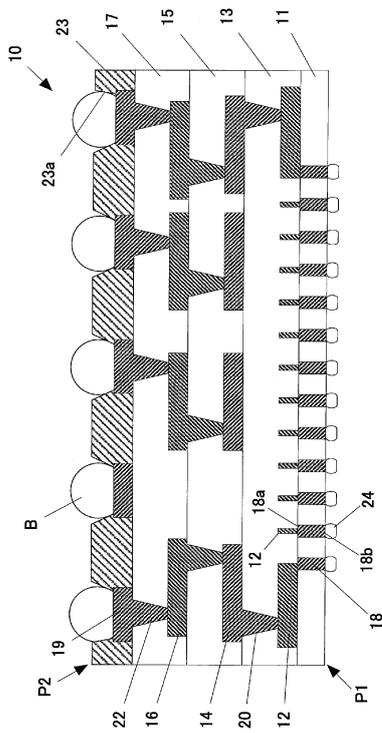
【図 1】



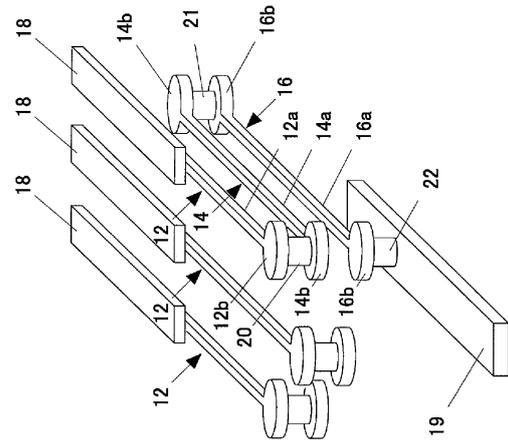
【図 2】



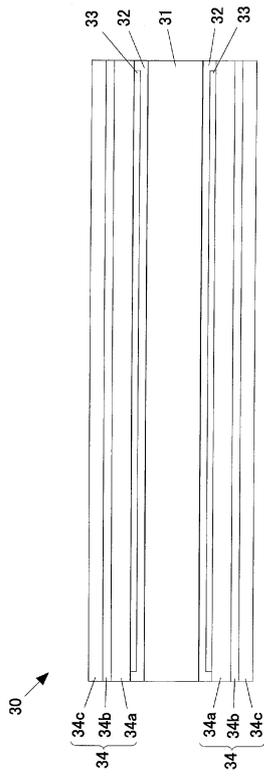
【図 3】



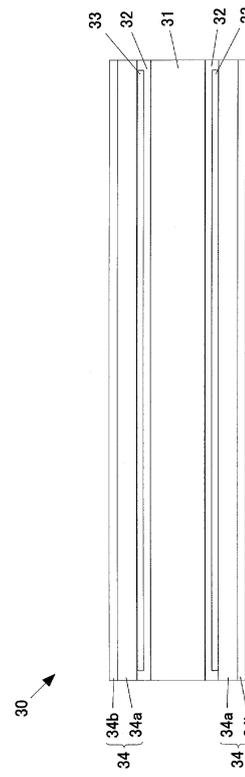
【図 4】



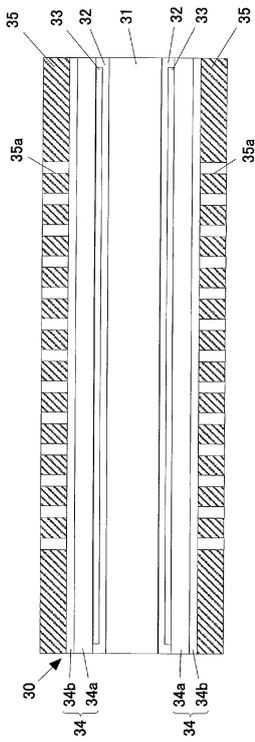
【図5】



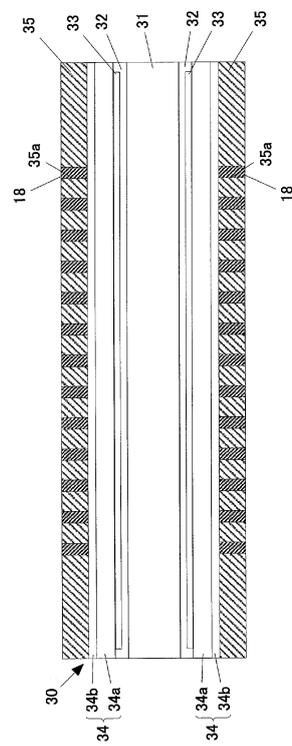
【図6】



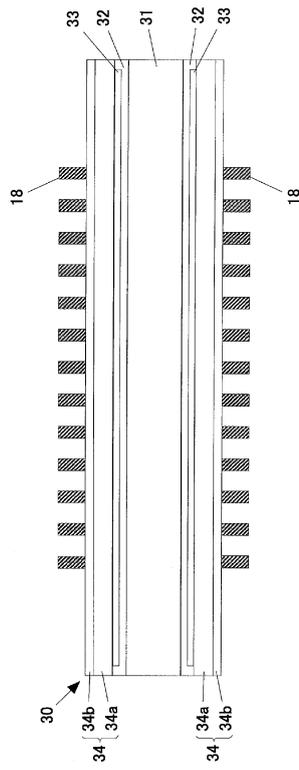
【図7】



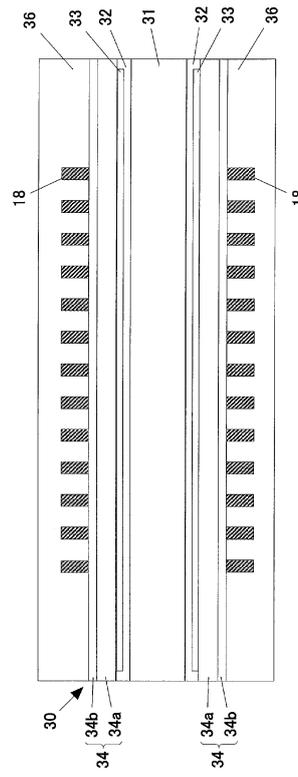
【図8】



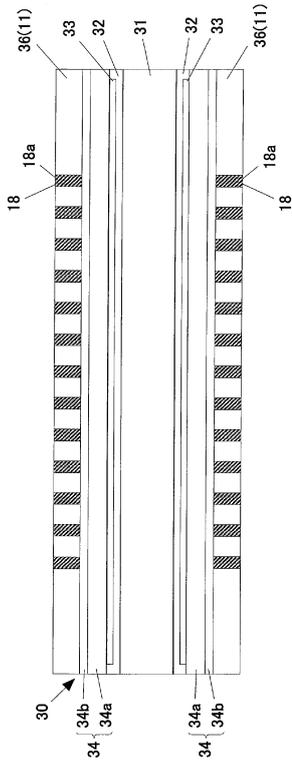
【図 9】



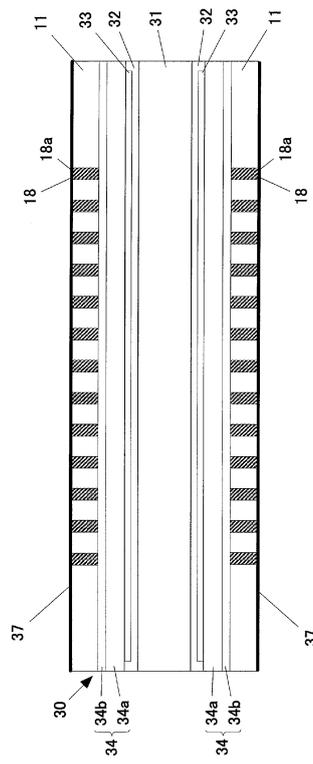
【図 10】



【図 11】

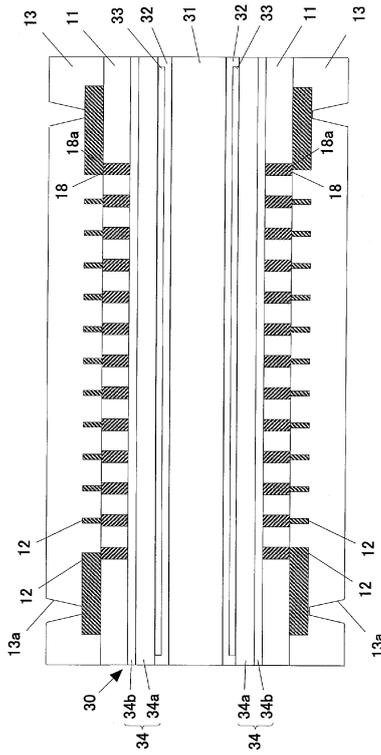


【図 12】

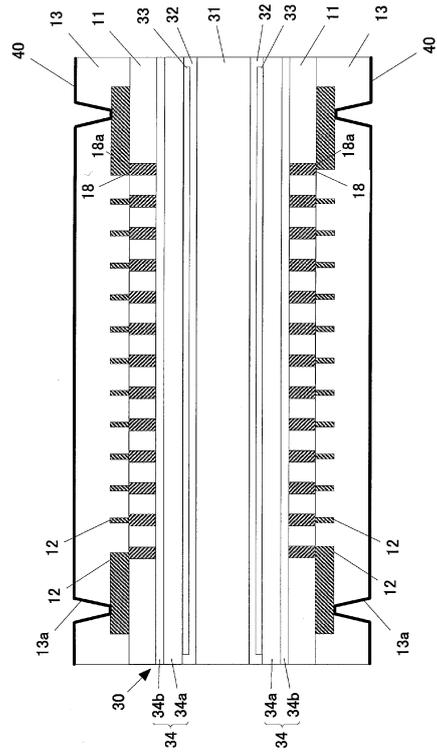




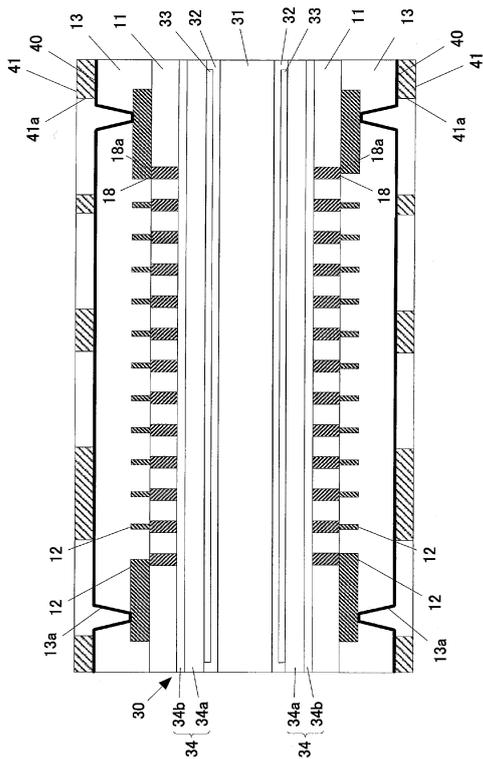
【図 17】



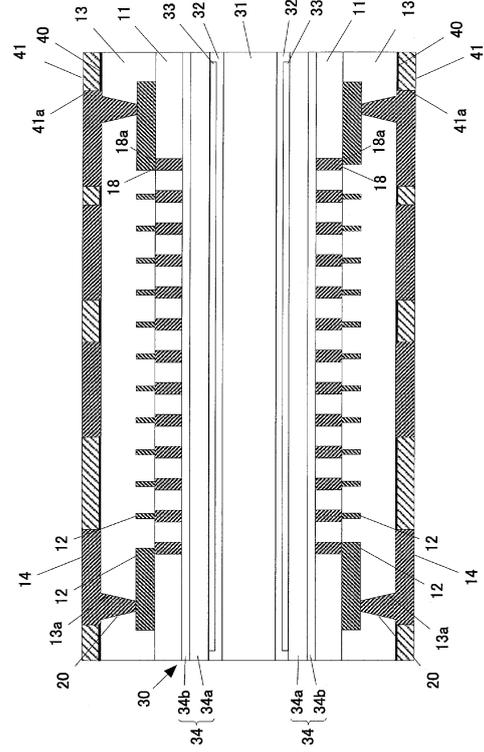
【図 18】



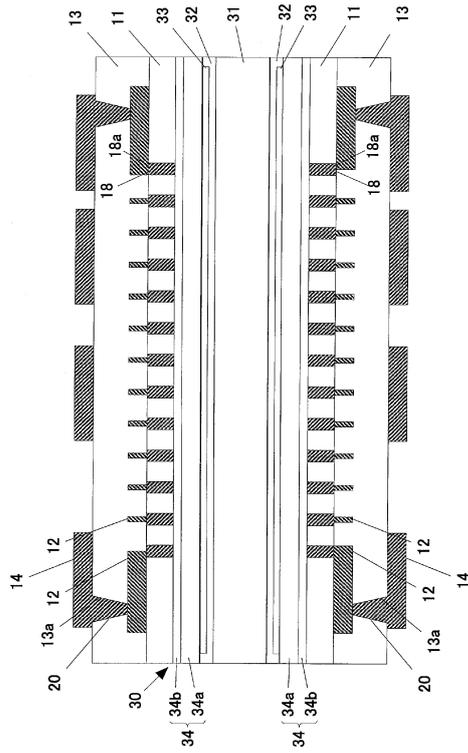
【図 19】



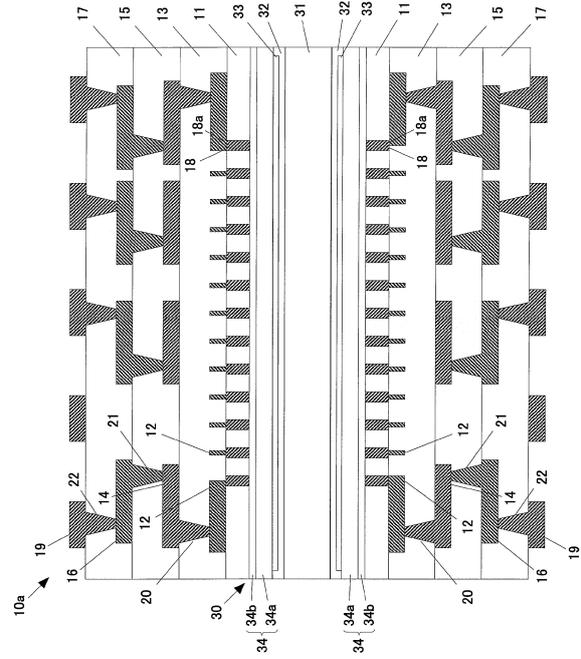
【図 20】



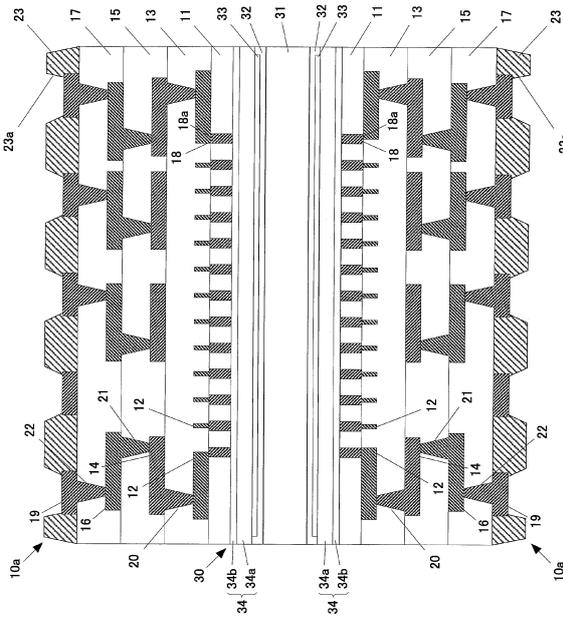
【図 2 1】



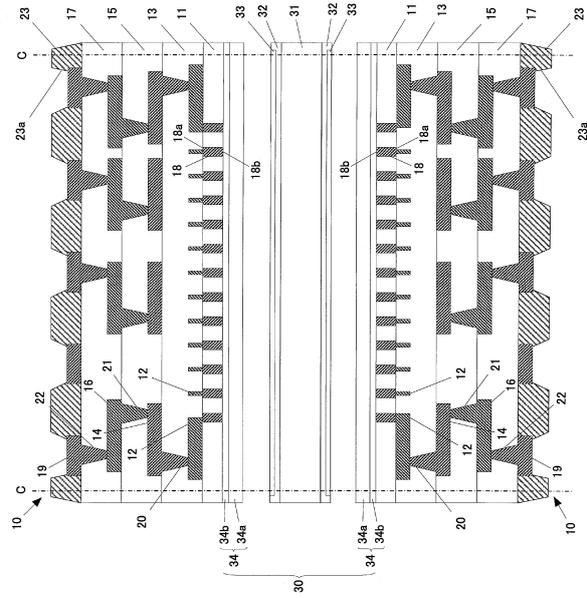
【図 2 2】



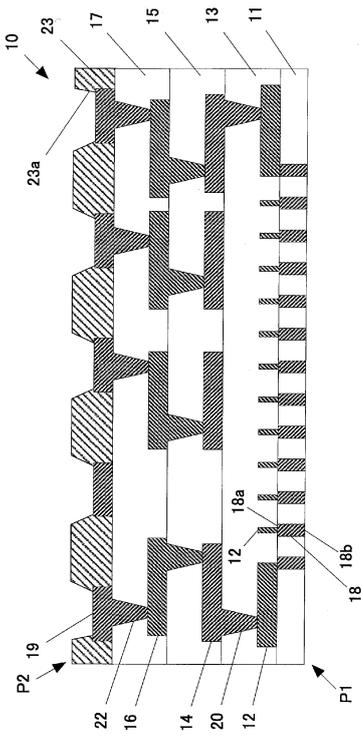
【図 2 3】



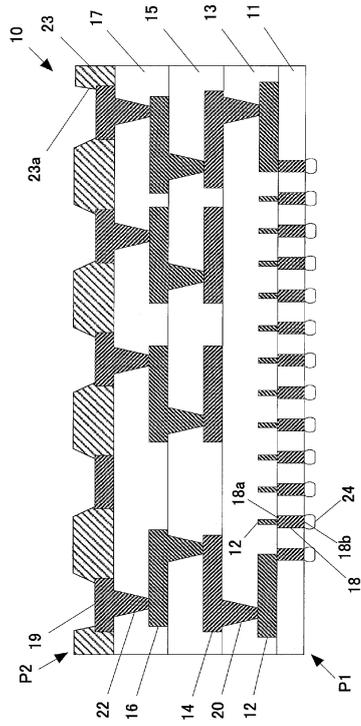
【図 2 4】



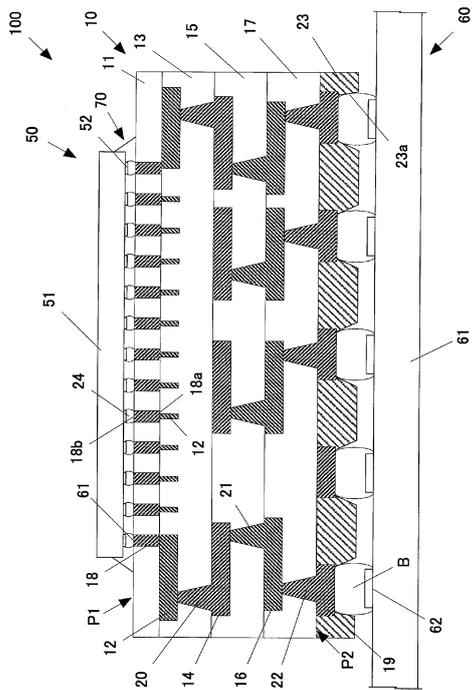
【図 25】



【図 26】



【図 27】



---

フロントページの続き

(72)発明者 鈴木 均

神奈川県川崎市中原区上小田中4丁目1番1号 富士通インターコネクトテクノロジーズ株式会社  
内

(72)発明者 福井 慧

神奈川県川崎市中原区上小田中4丁目1番1号 富士通インターコネクトテクノロジーズ株式会社  
内

審査官 小山 和俊

(56)参考文献 特開2008-251702(JP,A)

特開2009-188022(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H05K 3/46