



(12)实用新型专利

(10)授权公告号 CN 210129850 U

(45)授权公告日 2020.03.06

(21)申请号 201920154871.7

(22)申请日 2019.01.29

(30)优先权数据

15/945,049 2018.04.04 US

(73)专利权人 意法半导体国际有限公司

地址 荷兰阿姆斯特丹

(72)发明人 M·K·蒂瓦里 S·M·I·里兹维

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 张昊

(51)Int.Cl.

H03K 19/018(2006.01)

(ESM)同样的发明创造已同日申请发明专利

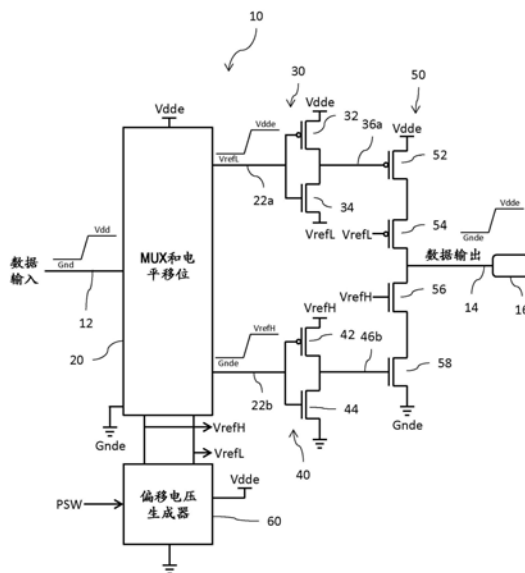
权利要求书2页 说明书6页 附图4页

(54)实用新型名称

输出缓冲电路

(57)摘要

本公开涉及的输出缓冲电路的输出级包括第一驱动晶体管和第一级联晶体管(串联耦合在第一电源节点和输出节点之间)和第二驱动晶体管以及第二级联晶体管(在输出节点和第二电源节点之间串联耦合)。第一和第二级联晶体管的栅极分别用第一和第二偏置电压偏置。当第一电源电压小于阈值时,第一偏置电压等于第一电源节点处的第一电源电压,并且对于超过阈值电压的任何第一电源电压,第一偏置电压固定在固定电压。当第一电源电压小于阈值电压时,第二偏置电压等于固定电压,并且对于超过阈值的任何第一电源电压,第二偏置电压从第一电源电压偏移固定差值。



1. 一种输出缓冲电路,其特征在于,包括:

输出级,由第一电源节点和第二电源节点供电,并且被配置为驱动输出焊盘,所述输出级包括第一驱动晶体管和第一级联晶体管,所述第一驱动晶体管和所述第一级联晶体管串联耦合在所述第一电源节点和耦合至所述输出焊盘的输出节点之间,其中所述第一级联晶体管的栅极被第一偏置电压偏置;以及

偏置电压生成器电路,被配置为生成所述第一偏置电压,其中对于所述第一电源节点处的小于阈值电压的任何第一电源电压,所述第一偏置电压在所述第二电源节点处固定在第二电源电压,并且其中当所述第一电源电压超过所述阈值电压时,所述第一偏置电压等于所述第一电源电压和固定电压之间的差值。

2. 根据权利要求1所述的输出缓冲电路,其特征在于,

其中所述输出级还包括第二驱动晶体管和第二级联晶体管,所述第二驱动晶体管和所述第二级联晶体管串联耦合在第二电源节点和所述输出节点之间,其中所述第二级联晶体管的栅极被第二偏置电压偏置;以及

其中所述偏置电压生成器电路还被配置为生成所述第二偏置电压,其中当所述第一电源电压小于所述阈值电压时所述第二偏置电压等于所述第一电源电压,并且其中所述第一偏置电压固定在超过所述阈值电压的任何第一电源电压的固定电压。

3. 根据权利要求2所述的输出缓冲电路,其特征在于,所述第二驱动晶体管和所述第二级联晶体管具有直接串联连接的源极-漏极路径。

4. 根据权利要求3所述的输出缓冲电路,其特征在于,所述第一驱动晶体管和所述第一级联晶体管具有直接串联连接的源极-漏极路径。

5. 根据权利要求3所述的输出缓冲电路,其特征在于,所述第二级联晶体管的漏极端子直接连接至所述输出节点。

6. 根据权利要求2所述的输出缓冲电路,其特征在于,还包括:电平移位电路,被配置为接收输入信号并对所述输入信号进行电平移位,以生成耦合到所述第二驱动晶体管的栅极端子的电平移位信号。

7. 根据权利要求6所述的输出缓冲电路,其特征在于,所述电平移位信号在所述第二电源电压处具有逻辑低电压电平,并且在所述第二偏置电压处具有逻辑高电压电平。

8. 根据权利要求2所述的输出缓冲电路,其特征在于,还包括:

电压感测电路,被配置为感测所述第一电源电压并与所述阈值电压进行比较以生成控制信号;以及

开关电路,被配置为响应于所述控制信号的第一逻辑状态施加所述第一电源电压作为所述第一偏置电压,并且响应于所述控制信号的第二逻辑状态施加所述固定电压作为所述第一偏置电压。

9. 根据权利要求2所述的输出缓冲电路,其特征在于,所述偏置电压生成器电路包括:

电压调节器,被配置为生成所述固定电压;以及

电压差分电路,被配置为生成等于所述第一电源电压和所述固定电压之间的差值的电压。

10. 根据权利要求9所述的输出缓冲电路,其特征在于,电压调节器生成参考电流以生成所述固定电压,并且所述电压差分电路使用所述参考电流的拷贝来生成用于从所述第一

电源电压中减去的所述固定电压的副本。

11. 根据权利要求1所述的输出缓冲电路,其特征在于,所述第一驱动晶体管和所述第一级联晶体管具有直接串联连接的源极-漏极路径。

12. 根据权利要求11所述的输出缓冲电路,其特征在于,所述第一级联晶体管的漏极端子直接连接至所述输出节点。

13. 根据权利要求1所述的输出缓冲电路,其特征在于,还包括:电平移位电路,被配置为接收输入信号并对所述输入信号进行电平移位,以生成耦合至所述第一驱动晶体管的栅极端子的第一电平移位信号。

14. 根据权利要求13所述的输出缓冲电路,其特征在于,所述第一电平移位信号在所述第一偏置电压处具有逻辑低电压电平,并且在所述第一电源电压处具有逻辑高电压电平。

15. 根据权利要求2所述的输出缓冲电路,其特征在于,还包括:

电压感测电路,被配置为感测所述第一电源电压并与所述阈值电压进行比较以生成控制信号;以及

开关电路,被配置为响应于所述控制信号的第一逻辑状态施加所述第二电源电压作为所述第二偏置电压,并且响应于所述控制信号的第二逻辑状态施加所述第一电源电压和所述固定电压之间的差值作为所述第二偏置电压。

## 输出缓冲电路

### 技术领域

[0001] 本实用新型涉及输出缓冲电路。

### 背景技术

[0002] 输入/输出缓冲电路是集成电路的常用部件,并且用作内部电路装置和输入/输出焊盘之间的信号接口,其允许与外部电路的电连接。通常,输入/输出缓冲电路由比内部电路装置更高的电源电压供电,因此需要在电源域之间进行信号的电平移位。可能存在这样的情况:在一定范围的电压下提供输入/输出缓冲电路处的较高电源电压,例如当集成电路可在两个或更多个电压电平下操作或者集成电路的电源电压变化时。由于较高的电源电压电平可能会对输入/输出缓冲电路的晶体管生成应力和损坏,这使得输入/输出缓冲电路的设计更加复杂。

### 实用新型内容

[0003] 在一个实施例中,输出缓冲电路包括:输出级,由第一电源节点和第二电源节点供电,用于驱动输出焊盘,该输出级包括第一驱动晶体管和第一级联晶体管,第一驱动晶体管和第一级联晶体管串联耦合在第一电源节点和耦合至所述输出焊盘的输出节点之间,其中第一级联晶体管的栅极被第一偏置电压偏置;偏置电压生成器电路,用于生成第一偏置电压,对于所述第一电源节点处的小于阈值电压的任何第一电源电压,所述第一偏置电压在所述第二电源节点处固定在第二电源电压,并且其中当所述第一电源电压超过所述阈值电压时,第一偏置电压等于所述第一电源电压和固定电压之间的差值。

[0004] 输出级还包括第二驱动晶体管和第二级联晶体管,第二驱动晶体管和第二级联晶体管串联耦合在第二电源节点和输出节点之间,其中第二级联晶体管的栅极被第二偏置电压偏置。偏置电压生成器电路还被配置为生成所述第二偏置电压,其中当第一电源电压小于阈值电压时第二偏置电压等于第一电源电压,并且其中第一偏置电压固定在超过所述阈值电压的任何第一电源电压的固定电压。

[0005] 在某些实施例中,第二驱动晶体管和第二级联晶体管具有直接串联连接的源极-漏极路径。

[0006] 在某些实施例中,第一驱动晶体管和第一级联晶体管具有直接串联连接的源极-漏极路径。

[0007] 在某些实施例中,第二级联晶体管的漏极端子直接连接至输出节点。

[0008] 在某些实施例中,还包括:电平移位电路,被配置为接收输入信号并对输入信号进行电平移位,以生成耦合到第二驱动晶体管的栅极端子的电平移位信号。

[0009] 在某些实施例中,电平移位信号在第二电源电压处具有逻辑低电压电平,并且在第二偏置电压处具有逻辑高电压电平。

[0010] 在某些实施例中,还包括:电压感测电路,被配置为感测第一电源电压并与阈值电压进行比较以生成控制信号;以及开关电路,被配置为响应于控制信号的第一逻辑状态施

加第一电源电压作为第一偏置电压,并且响应于控制信号的第二逻辑状态施加固定电压作为第一偏置电压。

[0011] 在某些实施例中,偏置电压生成器电路包括:电压调节器,被配置为生成固定电压;以及电压差分电路,被配置为生成等于第一电源电压和固定电压之间的差值的电压。

[0012] 在某些实施例中,电压调节器生成参考电流以生成固定电压,并且电压差分电路使用参考电流的拷贝来生成用于从第一电源电压中减去的固定电压的副本。

[0013] 在某些实施例中,第一驱动晶体管和第一级联晶体管具有直接串联连接的源极-漏极路径。

[0014] 在某些实施例中,第一级联晶体管的漏极端子直接连接至输出节点。

[0015] 在某些实施例中,还包括:电平移位电路,被配置为接收输入信号并对输入信号进行电平移位,以生成耦合至第一驱动晶体管的栅极端子的第一电平移位信号。

[0016] 在某些实施例中,第一电平移位信号在第一偏置电压处具有逻辑低电压电平,并且在第一电源电压处具有逻辑高电压电平。

[0017] 在某些实施例中,还包括:电压感测电路,被配置为感测第一电源电压并与阈值电压进行比较以生成控制信号;以及开关电路,被配置为响应于控制信号的第一逻辑状态施加第二电源电压作为第二偏置电压,并且响应于控制信号的第二逻辑状态施加第一电源电压和固定电压之间的差值作为第二偏置电压。

[0018] 在一个实施例中,提供了一种用于偏置由第一电源节点和第二电源节点供电的输出缓冲电路的方法,该输出缓冲电路包括配置成驱动输出焊盘的输出级,所述输出级包括第一驱动晶体管和第一级联晶体管,第一驱动晶体管和第一级联晶体管串联耦合在第一电源节点和耦合至所述输出焊盘的输出节点之间。该方法包括:用第一偏置电压偏置第一级联晶体管的栅极;对于小于阈值电压的任何第一电源电压,生成第一偏置电压,第一偏置电压在第二电源节点处固定在第二电源电压;当第一电源电压超过阈值电压时,生成第一偏置电压,第一偏置电压等于第一电源节点处的第一电源电压和固定电压之间的差值。

[0019] 输出缓冲电路的输出级还包括第二驱动晶体管和第二级联晶体管,第二驱动晶体管和第二级联晶体管串联耦合在第二电源节点和输出节点之间。该方法还包括:用第二偏置电压偏置第二级联晶体管的栅极;当第一电源电压小于阈值电压时,生成所述第二偏置电压,第二偏置电压等于第一电源电压;并且,对于超过阈值电压的任何第一电源电压,生成所述第二偏置电压,第二偏置电压被固定在固定电压。

## 附图说明

[0020] 为了更好地理解实施例,现在将仅通过示例的方式参考附图,其中:

[0021] 图1是输出缓冲电路的电路图;

[0022] 图2是输出缓冲电路的电路图;

[0023] 图3是示出作为电源电压变化的函数的图2的电路的参考电压  $V_{refL}$ 和 $V_{refH}$ 电平的曲线图;

[0024] 图4是用于图2的电路的偏置电压生成器电路的电路图;以及

[0025] 图5是图4的偏置电压生成器电路内的电路的电路图。

## 具体实施方式

[0026] 现在参考图1,其示出了输出缓冲电路10的电路图。输出缓冲电路10接收从集成电路芯片的内部电路装置生成的数据信号(Data In) 12(内部电路装置可以例如,包括核心处理电路或存储器电路)。内部电路装置由具有正电压Vdd和地电压Gnd的低电源域供电,因此数据信号12具有处于Vdd电压电平的第一逻辑电平(例如,逻辑“1”)和处于Gnd电压电平的第二逻辑电平(例如,逻辑“0”)。然而,输出缓冲电路10由具有正电压Vdde(其中Vdde>Vdd)和地电压Gnde的高电源域供电。输出缓冲电路10操作以将低电源域(Vdd/Gnd)中的数据信号12的较低电压电平转换为高电源域(Vdde/Gnde)中的输出信号(Data Out) 14的较高电压电平,用于输出至集成电路焊盘16。因此,输出信号14具有处于Vdde电压电平的第一逻辑电平(例如,逻辑“1”)和处于Gnde电压水平的第二逻辑电平(例如,逻辑“0”)。

[0027] 输出缓冲电路10包括由高电源域供电的多路复用(MUX)和电平移位电路20。数据信号12在多路复用(MUX)和电平移位电路20的输入端被接收。电路20操作以对数据信号12进行电平移位,以生成第一电平移位数据信号22a和第二电平移位数据信号22b。第一电平移位数据信号22a具有处于Vdde电压电平的第一逻辑电平(例如,逻辑“1”)和处于低参考VrefL电压电平的第二逻辑电平(例如,逻辑“0”)。第二电平移位数据信号22b具有处于高参考VrefH电压电平的第一逻辑电平(例如,逻辑“1”)和处于接地Gnde电压电平的第二逻辑电平(例如,逻辑“0”)。

[0028] 输出缓冲电路10还包括第一CMOS反相器电路30。第一电平移位数据信号22a被施加到第一CMOS反相器电路30的输入。电路30包括p沟道MOS晶体管32,该晶体管具有与n沟道MOS晶体管34的源极-漏极路径串联耦合的源极-漏极路径。晶体管32的源极端子连接以接收Vdde电压电平,并且晶体管34的源极端子连接以接收低参考VrefL电压电平。晶体管32和34的栅极端子连接在一起以接收第一电平移位数据信号22a。晶体管32和34的公共漏极端子输出反相的第一电平移位数据信号36a。因此,反相的第一电平移位数据信号36a具有处于Vdde电压电平的第一逻辑电平(例如,逻辑“1”)和处于低参考VrefL电压电平的第二逻辑电平(例如,逻辑“0”)。

[0029] 输出缓冲电路10还包括第二CMOS反相器电路40。第二电平移位数据信号22b被施加到第二CMOS反相器电路40的输入。电路40包括p沟道MOS晶体管42,该晶体管具有与n沟道MOS晶体管44的源极-漏极路径串联耦合的源极-漏极路径。晶体管42的源极端子连接以接收高参考VrefH电压电平,并且晶体管44的源极端子连接以接收地Gnde电压等级。晶体管42和44的栅极端子连接在一起以接收第一电平移位数据信号22b。晶体管42和44的公共漏极端子输出反相的第二电平移位数据信号46b。因此,反相的第二电平移位数据信号46b还具有处于高参考VrefH电压电平的第一逻辑电平(例如,逻辑“1”)和处于接地Gnde电压的第二逻辑电平(例如,逻辑“0”)。

[0030] 输出缓冲电路10还包括输出级50,其接收反相的第一电平移位数据信号36a和反相的第二电平移位数据信号46b,并用输出信号14驱动焊盘16。输出级50包括:p沟道MOS驱动晶体管52、p沟道MOS级联晶体管54、n沟道MOS级联晶体管56和n沟道MOS驱动晶体管58,其源极-漏极路径彼此串联耦合。晶体管52的源极端子连接以接收Vdde电压电平,晶体管52的漏极端子连接到晶体管54的源极端子。晶体管58的源极端子连接以接收Gnd电压电平和晶体管58的漏极端子,其连接到晶体管56的源极端子。晶体管54和56的公共漏极端子在输

出节点处连接到焊盘16并生成输出信号14。反相的第一电平移位数据信号36a被施加到p沟道MOS驱动晶体管52的栅极端子,并且反相的第二电平移位数据信号46b被施加到n沟道MOS驱动晶体管58的栅极端子。低参考VrefL电压施加到p沟道MOS级联晶体管54的栅极端子,并且高参考VrefH电压被施加到n沟道MOS级联晶体管56的栅极端子。

[0031] 在电路20内,用于执行多路复用操作的晶体管是低阈值电压,薄栅极氧化物器件(在本领域称为G01型晶体管),其在例如32nm或28FDSOI的先进技术节点处制造等,同时用于执行电平移位操作的晶体管是高阈值电压,而较厚的栅极氧化物器件(在本领域称为G02型晶体管)是在先进的技术节点(例如,32nm或28FDSOI等)下制造的。跨G02器件的端子的最大允许工作电压约为1.98V。但是,Vdde电压电平可能具有1.6V至3.6V的允许范围。图1所示的CMOS反相器和级联晶体管的电路配置支持电路10在这样宽的Vdde电压范围内的操作。

[0032] 输出缓冲电路10还包括偏置电压生成器电路60。低参考VrefL电压和高参考VrefH电压由偏置电压生成器电路60从高电源域的电压生成。更具体地,低参考VrefL电压和高参考VrefH电压电平取决于Vdde电压的选择。该电路接收供电选择信号PSW,该供电选择信号PSW相对于特定电压值(例如,1.8V)识别所选择的工作电压Vdde。如果PSW信号指示Vdde电压小于或等于特定电压值,电路60将低参考VrefL电压设置为Gnde电压,并且高参考VrefH电压等于Vdde电压。如果PSW信号指示Vdde电压大于特定电压值,则电路60使低参考VrefL电压等于Vdde电压的第一分数F1,并使高参考VrefH电压等于Vdde电压的第二分数F2。

[0033] 作为示例,考虑第一分数F1=0.45并且第二分数F2=0.55。因此,对于Vdde=3.0V,VrefL=1.35V和VrefH=1.65V。在这种情况下,晶体管的栅极-源极电压为3.0V-1.35V=1.65V。对于Vdde=3.6V,VrefL=1.62V和VrefH=1.98V。在这种情况下,晶体管的栅极-源极电压为3.6V-1.62V=1.98V。因此,应注意,栅极-源极电压的变化与Vdde电压的相应变化。

[0034] 对于用于电路60生成低参考VrefL电压和高参考VrefH电压的该解决方案存在一些缺点:其不太适于连续宽范围的Vdde电源电压,因为操作被驱动为PSW信号逻辑状态;由分数F1和F2施加的参考电压VrefL和VrefH电平可以通过降低电路50中的晶体管的驱动电压(栅极-源极电压)来限制驱动器电流;速度降低对应于MOS驱动晶体管的降低的栅极-源极电压;电路对客户施加电压边界;PSW信号需要单独的焊盘用于集成电路;并且由于参考电压的变化,在功率斜坡期间存在关于焊盘16的毛刺问题。

[0035] 现在参考图2,其示出了输出缓冲电路10'的电路图。图2中相同的附图标记表示图1中的相同或相似的部件,并且为了简洁起见,将不再描述。读者参考图1的讨论。图2的电路10'与图1的电路10的不同之处在于偏置电压生成器电路60'的配置和操作,用于生成低参考VrefL电压和来自高电源域电压的高参考VrefH电压。

[0036] 利用电路60',低参考VrefL电压和高参考VrefH电压电平取决于Vdde电压的感测电平,以支持在宽Vdde电压范围上的操作。不依赖于电源选择信号PSW来驱动电压电平的选择。此外,没有固定的分数关系来控制相对于Vdde的VrefL和VrefH电平。

[0037] 如果感测的Vdde电压小于或等于阈值电压(Vthresh)值,例如1.98V,则电路60'在Gnde电压下设置(即,固定)低参考VrefL电压,并且高参考VrefH电压等于Vdde电压。如果

Vd<sub>de</sub>电压大于阈值电压值,则电路60'将高参考V<sub>refH</sub>电压设置(即,固定)在固定电压V<sub>fix</sub>电平(例如,1.8V的电压),并且低参考V<sub>refL</sub>电压等于Vd<sub>de</sub>电压减去固定电压电平(即,Vd<sub>de</sub>-V<sub>fix</sub>;换句话说Vd<sub>de</sub>-V<sub>refH</sub>,因为在这种操作模式下V<sub>fix</sub>=V<sub>refH</sub>)。

[0038] 在图3的曲线图中示出了电路60'的操作,其示出了参考电压V<sub>refL</sub>和V<sub>refH</sub>电平与Vd<sub>de</sub>电源电压电平的变化关系。

[0039] 因此,在一个示例中,对于Vd<sub>de</sub>=3.0V,V<sub>refH</sub>=V<sub>fix</sub>=1.8V并且V<sub>refL</sub>=(Vd<sub>de</sub>-V<sub>fix</sub>)=1.2V。在这种情况下晶体管的栅极-源极电压是3.0V-1.8V=1.8V。对于Vd<sub>de</sub>=3.6V,V<sub>refL</sub>=1.8V和V<sub>refH</sub>=1.8V。在这种情况下,晶体管的栅极-源极电压为3.6V-1.2V=1.8V。与图1的实现不同地,将注意到,对于图2的实现,栅极-源极电压没有变化,并且Vd<sub>de</sub>电压具有相应的变化。

[0040] 对于电路60'生成低参考V<sub>refL</sub>电压和高参考V<sub>refH</sub>电压的解决方案存在许多优点:电路50中的晶体管的驱动电压(栅极-源极电压)不变化随着Vd<sub>de</sub>电压的变化(见上文);电路50中的晶体管的驱动电压高于图1的实施例,这允许在较高频率下工作;保持压力保护;该电路支持Vd<sub>de</sub>的宽范围电压;以及支持无干扰电源排序。

[0041] 现在参考图4,其示出了用于图2的电路10'的偏置电压生成器电路60'的电路图。电路60'由高电源域供电(Vd<sub>de</sub>/Gnd<sub>e</sub>)。带隙电压生成器电路62使用本领域技术人员已知的任何合适的带隙电压生成器电路从Vd<sub>de</sub>电源电压生成带隙电压V<sub>bg</sub>(例如,0.6V或0.8V)。带隙电压V<sub>bg</sub>在电压感测电路64中处理以生成阈值电压V<sub>thresh</sub>,然后将阈值电压V<sub>thresh</sub>与从Vd<sub>de</sub>电源电压导出的电压进行比较,例如使用电阻分压器电路,以生成电压感测信号V<sub>sense</sub>。如果从Vd<sub>de</sub>电压导出的电压小于或等于阈值电压V<sub>thresh</sub>,则电压感测信号V<sub>sense</sub>具有第一逻辑状态,并且如果从Vd<sub>de</sub>电压导出的电压大于阈值电压V<sub>thresh</sub>,则电压感测信号V<sub>sense</sub>具有第二逻辑状态。带隙电压V<sub>bg</sub>作为参考电压提供在电压调节器电路66中,电压调节器电路66被配置为生成固定电压V<sub>fix</sub>。电压调节器电路66可以例如是本领域技术人员公知的低压差(LDO)类型。在电压差分电路68中处理Vd<sub>de</sub>电压和固定电压V<sub>fix</sub>,该电压差分电路68被配置为生成Vd<sub>de</sub>-V<sub>fix</sub>电压差。电压差分电路68可以以任何合适的方式实现,包括使用电压微分技术或本领域技术人员公知的电流微分技术。开关电路70操作以响应于电压感测信号V<sub>sense</sub>的逻辑状态,在以下两者之间选择性地选择:a)固定电压V<sub>fix</sub>和Vd<sub>de</sub>电压,通过致动开关72以输出作为高参考V<sub>refH</sub>电压,以及b) Vd<sub>de</sub>-V<sub>fix</sub>电压差和Gnd<sub>e</sub>电压通过致动开关74输出作为低参考V<sub>refL</sub>电压。如果电压感测信号V<sub>sense</sub>具有第一逻辑状态(因为从Vd<sub>de</sub>电压导出的电压小于或等于阈值电压V<sub>thresh</sub>),则开关72被致动以选择用于输出的Vd<sub>de</sub>电压作为高参考V<sub>refH</sub>电压并且开关74被致动以选择用于输出的Gnd<sub>e</sub>电压作为低参考V<sub>refL</sub>电压。相反,如果电压感测信号V<sub>sense</sub>具有第二逻辑状态(因为从Vd<sub>de</sub>电压导出的电压大于阈值电压V<sub>thresh</sub>),则开关72被致动以选择用于输出的V<sub>fix</sub>电压作为高参考V<sub>refH</sub>电压并且开关74被致动以选择用于输出的Vd<sub>de</sub>-V<sub>fix</sub>电压差作为低参考V<sub>refL</sub>电压。

[0042] 偏置电压生成器电路60'还可以包括电压缓冲电路86和88,用于在输出之前分别缓冲高参考V<sub>refH</sub>电压和低参考V<sub>refL</sub>电压,以驱动输出级50中的级联晶体管的栅极端子。

[0043] 现在参考图5,其示出了电压调节器电路66和电压差分电路68的实施例的电路图。电压调节器电路66包括由差分放大器90、电流源92和电阻器94形成的低压差(LDO)电压



调节器。差分放大器90 具有接收带隙电压 $V_{bg}$ 的非反相输入和接收反馈电压 $V_{fb}$ 的反相输入。电流源92由 $V_{dde}$ 电压提供,并响应于差分放大器90的输出生成参考电流 $I_{ref}$ 。参考电流 $I_{ref}$ 施加到电阻器94,电阻器94与 $V_{dde}$ 电压和 $G_{nde}$ 电压之间的电流源92串联连接,以生成反馈电压 $V_{fb}$ 和 $V_{fix}$ 电压(其中 $V_{fix}=V_{fb}$ )。电压差分电路68包括电流源96和电阻器98。电阻器98和电流源96串联连接在 $V_{dde}$ 电压和 $G_{nde}$ 电压之间。电流源96耦合到差分放大器90的输出,以生成参考电流 $I_{ref}$ 的副本。该副本参考电流产生复制(即,等于)电阻器98两端的 $V_{fix}$ 电压的电压降,其从 $V_{dde}$ 电压中减去以生成用于输出的 $V_{dde}-V_{fix}$ 电压差。

[0044] 尽管已经在附图和前面的描述中详细图示和描述了本实用新型,但是这样的图示和描述被认为是说明性或示例性的而非限制性的;本实用新型不限于所公开的实施例。通过研究附图,公开内容和所附权利要求,本领域技术人员在实践所要求保护的实用新型时可以理解和实现所公开实施例的其他变型。

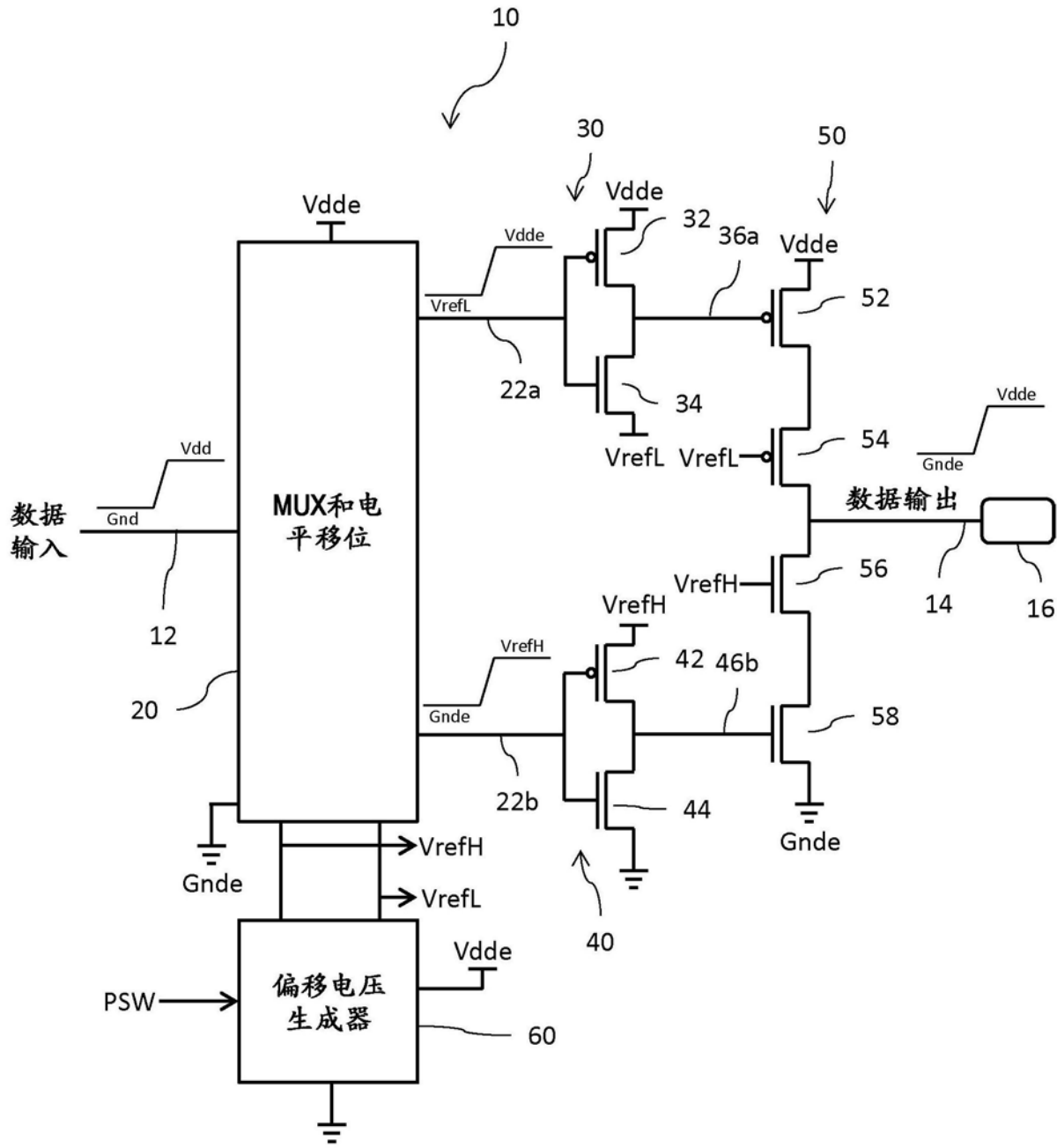


图1

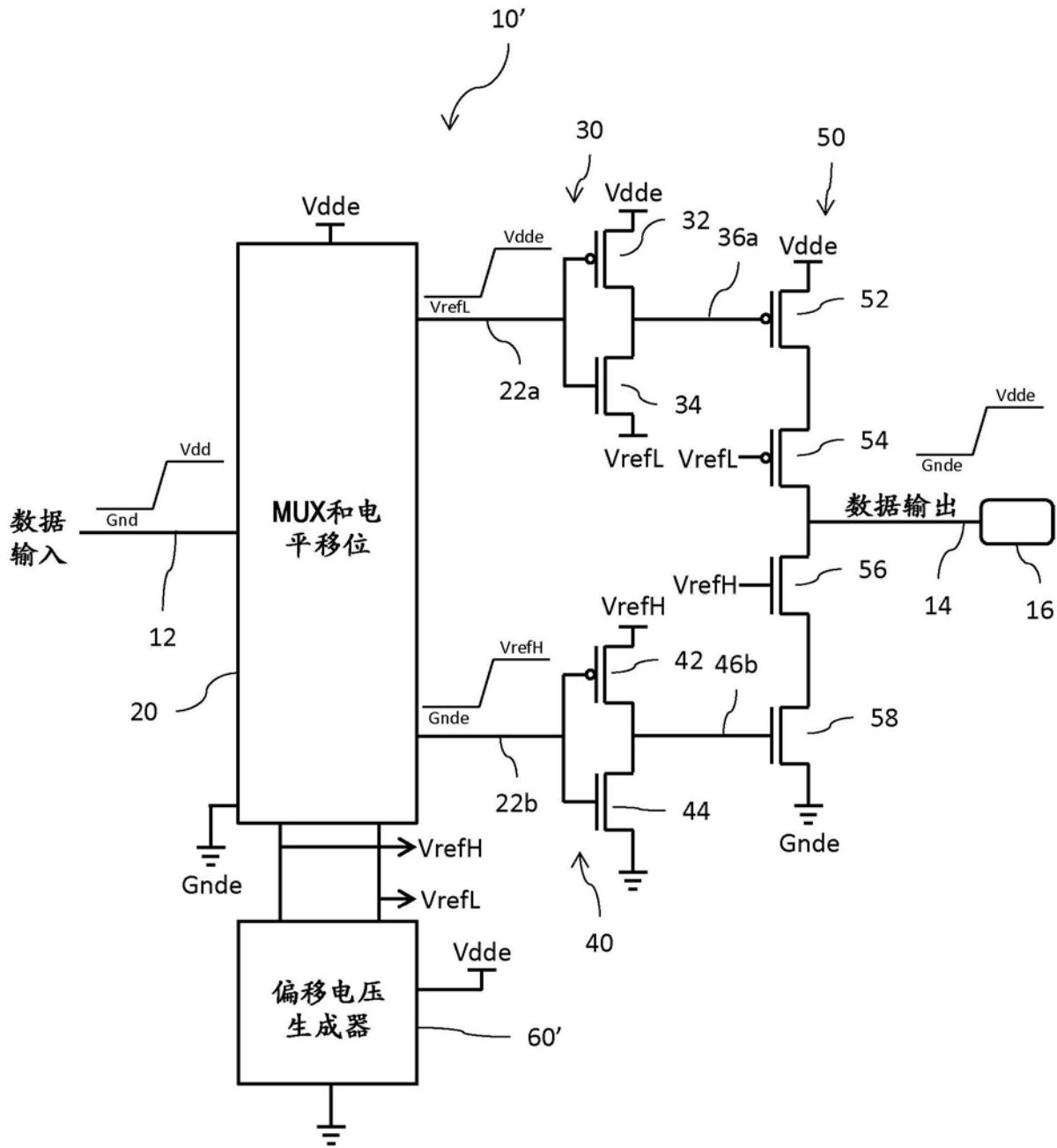


图2

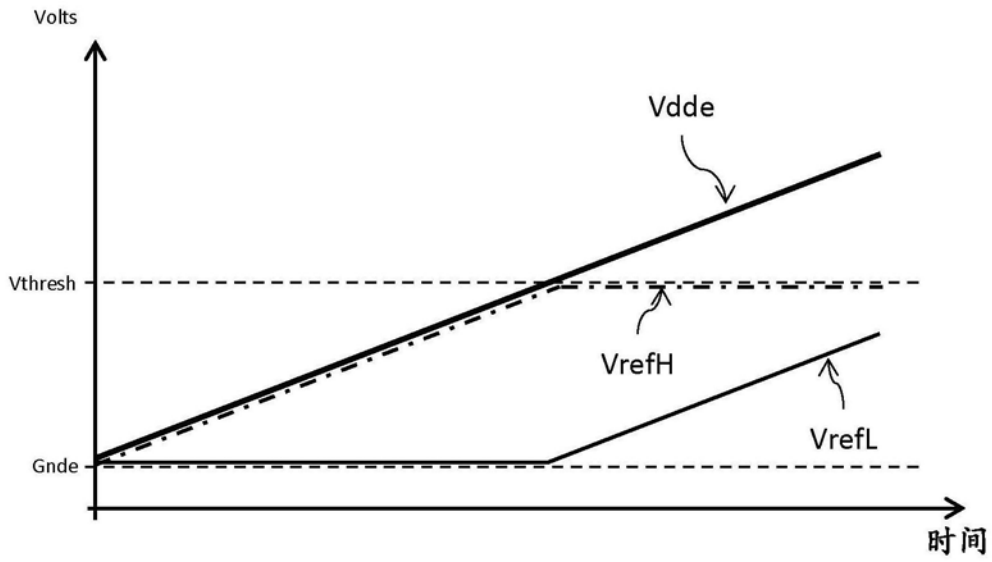


图3

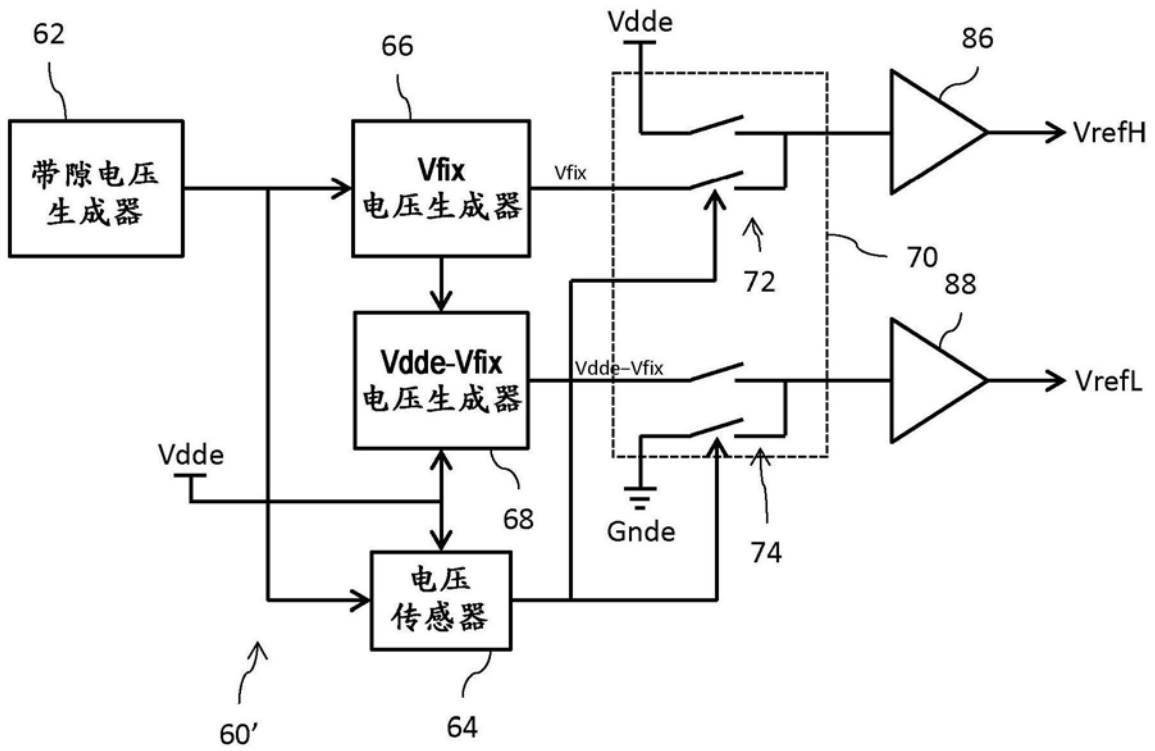


图4

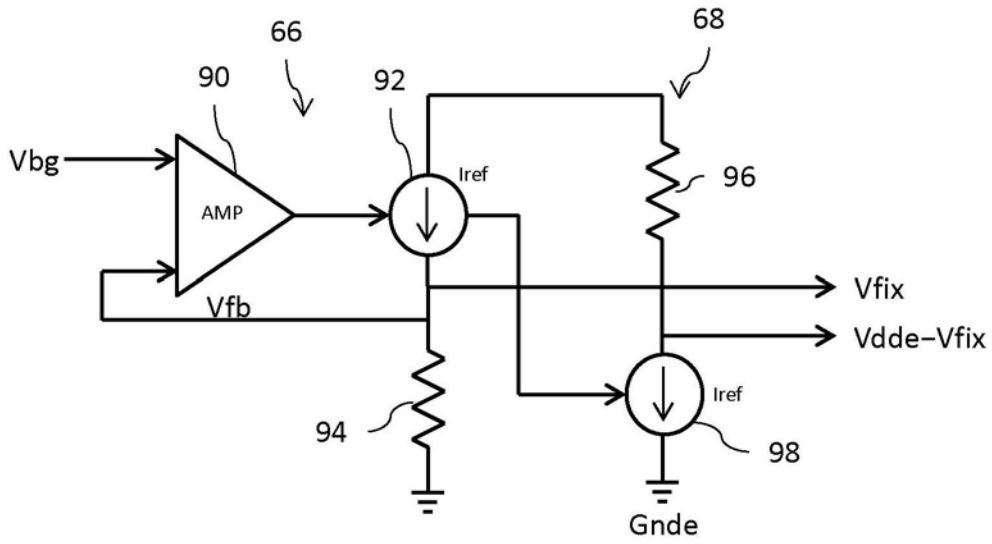


图5