

## 五、發明說明(1)

本發明是有關於一種多晶片半導體封裝結構製程及其製程，且特別是有關於一種縮小封裝體積及提高產品可靠度的雙晶片雙導線結構之裝置及其對應之製造方法。

在現今資訊爆炸的時代，電子產品與人類之日常生活產生密不可分的關係。而隨著電子科技不斷地演進，電子產品無不朝向輕、薄、短、小的趨勢設計，以提供人性化、功能性高之產品。相對地，在半導體之構裝技術上，必須開發高密度之構裝設計，以縮小其構裝元件的體積，此一目的一直是長久以來構裝之目標，其中多晶片構裝即是其中一例。

請參照第 1 圖，其繪示習知 LOC 型晶片堆疊構裝結構。圖中之構裝結構已揭露於美國第 5701031 號專利中，習知「晶片上有導腳」(LOC)型之晶片堆疊構裝，係將晶片 130、160 皆封裝於一封裝材料 102 中，其中晶片 130、160 之主動表面 132、162 彼此相對。而構裝 100 中具有二導線架，其中導線架 134 具有內導腳 136 與外導腳 138；而導線架 164，具有內導腳 166 與接合部 168。其中，內導腳 136、166 分別透過貼帶 140、170 與晶片 130、160 貼合，並且藉由打上導線 142、172，使內導腳 136、166 與晶片 130、160 電性連接。封裝材料 102 則包覆晶片 130、160、內導腳 136、166、接合部 168、貼帶 140、170、導線 142、172。在製程上，係先將晶片 130、160 與導線架 134、164 分別透過貼帶 140、170 將其貼合。接下來進行打導線的動作，藉由導線 142、172，使得內導腳 136、166

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

分別與晶片 130、160 電性連接。然後，將導線架 164 之導腳分別對準導線架 134 之導腳，再利用 YAG 雷射光束將接合部 168 之外部多餘部分切除，同時，接合部 168 與導線架 134 亦熔接結合。然後，再進行封膠之步驟。最後，將導線架 134 之止洩桿(未繪示)的部分切除，並將外導腳 138 折彎成形。

上述構裝結構中，二晶片之主動表面彼此相對，造成此二晶片上之導線也相對，在此狀況下，極有可能導致其中一晶片之導線與另一晶片之導線相互碰觸的情形，而形成短路。若是為了改善此情形，將晶片之間的距離加大以防止導線碰觸，則封膠之體積將會變大，而增加製造成本，與追求輕、薄、短、小的設計相違背。並且，在製程方面，利用 YAG 雷射光束之製程，所需耗費之成本過高。

請參照第 2 圖，其繪示習知另一種 LOC 型晶片堆疊構裝結構。圖中之構裝結構已揭露於美國第 5804874 號專利中，晶片 230、260 皆封裝於一封裝材料 202 中，且晶片 230、260 之主動表面 232、262 接朝上，而構裝 200 中具有二導線架，其中導線架 234 具有內導腳 236 與外導腳 238；而導線架 264，具有內導腳 266 與接合部 268。其中，內導腳 236、266 透過貼帶 240、270 分別與晶片 230、260 貼合，並且藉由打導線 242、272 之動作，將內導腳 236、266 分別與晶片 230、260 上的焊墊 244、274 電性連接。封裝材料 202 則包覆晶片 230、260、內導腳 236、266、貼帶 240、270、276、204、導線 242、272。其中，貼上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(3)

貼帶 204 的目的在於增加導線 242 與晶片 260 的距離，以防止導線 242 與晶片 260 電性連接，造成短路。在製程上，係先將晶片 230、260 分別透過貼帶 240、270 與導線架 234、264 貼合。接下來進行打導線的動作，藉由打上導線 242、272，使得內導腳 236、266 分別與晶片 230、260 上之焊墊 244、274 電性連接。然後，將導線架 264 之導腳分別對準導線架 234 之導腳，再將導線架 264 之接合部 268 電性接合於導線架 234。然後，進行封膠之作業；最後，將導線架 234 之止洩桿的部分切除，並將外導腳 238 折彎成形。

在上述構裝結構中，所使用的貼帶過多，由於貼帶在製程中容易吸收濕氣，可能會在封裝時發生剝離 (delamination) 的情形，導致良率降低與產品可靠度的問題，造成產品在日後的損毀。並且，為了隔離下層導線與上層晶片發生短路的情形，必須用貼帶將下層導線與上層晶片的距離增大，而最終使得封裝體積變大，增加製造成本。

因此本發明的目的之一就是在提供一種多晶片半導體封裝結構製程，可以在原本的封膠模下，容納更多的晶片，以減少製造成本，縮減電路配置之空間。

本發明的目的之二就是在提供一種多晶片半導體封裝結構製程，可以避免上層晶片上之導線與下層晶片上之導線相接觸，形成短路，以提高良率。

本發明的目的之三就是在提供一種多晶片半導體封

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

裝結構製程，可以避免上層晶片與下層晶片上之導線相接觸，形成短路，以提高良率。

本發明的目的之四就是在提供一種多晶片半導體封裝結構製程，可以改良製程，以降低製造成本。

本發明的目的之五就是在提供一種多晶片半導體封裝結構製程，可以減少貼帶之使用，以減少剝離的情形發生，提高多晶片半導體封裝產品的可靠度以及其良率。

為達成本發明之上述和其他目的，一種多晶片半導體封裝結構製程，其包括：提供一第一導線架，而第一導線架具有多個第一導腳，其中每一個第一導腳之一端為一第一內導腳，另一端為一外導腳。提供一第二導線架，而第二導線架具有多個第二導腳，而每個第二導腳間具有一止洩桿，其中每一個第二導腳之一端為一第二內導腳，另一端為一接合部，而每一個第一導腳分別對應每一個第二導腳。提供一第一晶片，而第一晶片具有一第一主動表面及一第一背面，第一主動表面具有多個第一焊墊。提供一第二晶片，而第二晶片具有一第二主動表面及一第二背面，第二主動表面具有多個第二焊墊，且第一背面與第二背面彼此相對。首先，進行晶片貼合之製程，使第一晶片以第一主動表面與第一導線架貼合，而第二晶片以第二主動表面與第二導線架貼合。接下來，進行打導線之製程，透過第一導線使第一焊墊分別與第一內導腳電性連接，而透過第二導線使第二焊墊分別與第二內導腳電性連接。接下來，將第一導腳與接合部對準疊合並電性連接。再來，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(5)

進行封膠製程，使用一模具，此模具具有一空穴，將第一晶片、第二晶片、第一內導腳、第二內導腳放入此空穴中，並灌入一封裝材料，此封裝材料包覆第一晶片、第二晶片、第一內導腳、第二內導腳，而外導腳暴露於封裝材料的外部。

依照本發明的一較佳實施例，其中接合部之外緣還連接一橫槓，在接合部與橫槓連接處尚具有一凹口，並藉由後續之製程，將此橫槓折去。此外，若第一焊墊與第二焊墊為單排排列，定義這些焊墊的共同軸線為 Y 軸，則第一導線之打法與第二導線之打法的位置關係，係為 Y 軸之鏡相關係。另外，第一導腳與第二導腳均具有一凹折區，凹折區的位置均位於第一內導腳與第二內導腳的外側。在多晶片半導體封裝結構製程中，尚包括一切斷與成型步驟，使外導腳上之止洩桿切斷並呈 L 型彎曲。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示習知 LOC 型晶片堆疊構裝結構。

第 2 圖繪示習知另一種 LOC 型晶片堆疊構裝結構。

第 3 圖至第 6 圖繪示依照本發明第一較佳實施例的一種多晶片半導體封裝結構製程圖。

第 3A 圖繪示對應於第 3 圖中導線架 400 的仰視圖。

第 3B 圖繪示對應於第 3 圖中導線架 500 的俯視圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

第 7 圖繪示本發明之第二實施例的一種多晶片半導體封裝結構圖。

第 8 圖繪示本發明之第三實施例的一種多晶片半導體封裝結構圖。

第 8A 圖繪示對應於第 8 圖中導線架 600 的俯視圖。

第 9 圖繪示本發明之第四實施例的一種多晶片半導體封裝結構圖。

第 10 圖繪示本發明之第五實施例的一種多晶片半導體封裝結構圖。

第 11 圖繪示本發明之第六實施例的一種多晶片半導體封裝結構圖。

第 12A 圖繪示對應於第 3A 圖中第七較佳實施例的一種多晶片半導體封裝之仰視示意圖。

第 12B 圖繪示對應於第 3B 圖中第七較佳實施例的一種多晶片半導體封裝之俯視示意圖。

第 13 圖繪示本發明之第七實施例的一種多晶片半導體封裝結構圖。

第 14 圖繪示 2 晶片 16M×4(128M)之接腳訊號圖。

第 15 圖繪示 2 晶片 8M×8(128M)之接腳訊號圖。

圖式之標示說明：

100、200、300、700、750、800、900、950：構裝

810：第一模組

860：第二模組

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 7 )

130、160、230、260、450、550、820、830、870、  
880、902、904、952、954：晶片

132、162、232、262、432、454、534、554、822、  
832、872、882：主動表面

456、556、824、834、874、884：背面

134、164、234、264、400、500、600、706、708、  
756、758、840、850、890、910：導線架

410、510、602：導腳

412、512：第一支導腳

136、166、236、266、416、514、604、842、852、  
892、912：內導腳

138、238、418、712、762、914：外導腳

168、268、516、606、702、752：接合部

402、502：導軌

404、504：引導孔

406、506：橢圓孔

408、508：指標

414、608：止洩桿

518：橫槓

520：凹口

420、522、608、710、760：凹折區

422、524、612：封膠區域

424、526：晶片區域

426、528：貼帶區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 8 )

428、530：No.1 焊墊

430、532：第一支導腳之打線尖端

140、170、204、240、270、452、552：貼帶

142、172、242、272、460、560、812、814、862、

864：導線

244、274、458、558、826、836、876、886：焊墊

102、202、306、652、704、754：封裝材料

302：模具

304：空穴

522：導電性黏著劑

### 實施例

請參照第 3 圖至第 6 圖，其繪示依照本發明第一較佳實施例的一種多晶片半導體封裝結構製程圖。

首先請參照第 3 圖，並同時參照第 3A 圖及第 3B 圖；其中，第 3A 圖繪示對應於第 3 圖中導線架 400 的仰視圖，第 3B 圖繪示對應於第 3 圖中導線架 500 的俯視圖。首先提供導線架 400、500 與晶片 450、550。如第 3A 圖所示，導線架 400 之結構包括二側之導軌 402(side rail)，用以連接多個導線架 400 單元。導軌 402 上具有多個導引孔 404 及橢圓孔 406，作為生產時的牽引定位之用。在導軌 402 內側旁邊有一橢圓形凹入之指標 408(pin1-index)，乃是標註出複數個導腳 410 中之第一支導腳 412 的位置。每一個導腳 410 係配置於止洩桿 414(dam bar)之間，導腳 410 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(9)

一端為內導腳 416，係用以承載晶片 450，而另一端為外導腳 418。其中，每一個導腳 410 均具有一凹折區 420，凹折區 420 位於內導腳 416 之外側。圖中虛線 422 所包圍的區域為後續封膠的區域，虛線 424 所包圍的區域為晶片 450 的區域，而虛線 426 所包圍的區域為貼帶 452 的區域。如第 3B 圖所示，導線架 500 包括二側之導軌 502(side rail)，用以連接多個導線架 500 單元。導軌 502 上具有多個導引孔 504 及橢圓孔 506，作為生產時的牽引定位之用。在導軌 502 內側旁邊有一橢圓形凹入之指標 508(pin-index)，乃是標註出多個導腳 510 中之第一支導腳 512 的位置。每一個導腳 510 的一端為內導腳 514，係用以承載晶片 550，而另一端為接合部 516。其中，接合部 516 與橫槓 518 相連接，而接合處 516 與橫槓 518 之間容有一凹口 520，凹口 520 是透過半蝕刻的方式或是用衝壓機做半切割的動作所形成。另外，每一支導腳 510 均包含一凹折區 522，凹折區 522 位於內導腳之外側。圖中虛線 524 所包圍的區域為後續封膠的區域，虛線 526 所包圍的區域為晶片 550 的區域，虛線 528 所包圍的區域為貼帶 552 的區域。其中，若是以 DRAM 的導線架為例，導腳 410 的編號與導腳 510 之關係為鏡相關係，亦即以 Y 軸為基準，做鏡相投影；例如：導線架 400 上之第一支導腳 412 在左上方的第一位置，則導線架 500 上之第一支導腳 512 在右上方的第一位置。

請參照第 3 圖、第 3A 圖、第 3B 圖，先將導線架 500

(請先閱讀背面之注意事項再填寫本頁)

裝訂

## 五、發明說明(10)

之接合部 516 的外緣處，以半蝕刻的方式或是用衝壓機做半切割的動作，使接合部 516 的外緣處產生一凹口 520。接下來，將導線架 500 之接合部 516，以印刷的方式附上一層導電性黏著劑 522，比如是焊錫。然後，將導線架 400、500 之兩旁分別向晶片 450、550 處凹折，呈現出凹折區 420、522，以利於後續封膠時膠體的分佈能保持平衡的狀態，避免不必要的翹曲及變形。接下來，將晶片 450、550 之主動表面 454、554 藉由貼帶 452、552 分別與導線架 400、500 貼合。其中，晶片 450 之背面 456 與晶片 550 之背面 556 彼此相對。接下來，進行打導線製程，將晶片 450、550 之主動表面 454、554 上之焊墊 458、558 分別透過導線 460、560 與內導腳 416、514 電性連接。其中，若是以 DRAM 的打導線製程為例，且焊墊 458、558 分別位於晶片 450、550 的中間位置以單排排列，則導線架 400 上的導線打法與導線架 500 上之導線打法呈現鏡相的關係。亦即，若以焊墊 458、558 共同的軸線定義為 Y 軸，以 Y 軸為基準，做鏡相投影。例如，如果晶片 450 之主動表面 454 之第一個焊墊 428 向左打導線到導線架 400 之第一支導腳 412 之打線尖端處 430，則晶片 550 之主動表面 554 之第一個焊墊 530 向右打導線到導線架 500 之第一支導腳 512 之打線尖端處 532。

請參照第 4 圖、第 3A 圖、第 3B 圖，將導線架 400 與導線架 500 連同晶片 450 與晶片 550 對準疊合，亦即將導線架 500 之導腳 510 分別對準導線架 400 之導腳 410。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(\\)

然後，透過迴焊或是黏合的製程，將導線架 500 之接合部 516 與導線架 400 之導腳 410 電性接合。接下來，將導線架 500 之凹口 520 外側的橫槓 518 折去。

請參照第 5 圖、第 3A 圖、第 3B 圖，將焊合或是黏合後之構裝 300 放入模具 302 之內部空穴 304 中，其中，模具 300 夾持住導線架 400 之止洩桿 414 的位置。接著進行封膠製程，將封裝材料灌入空穴 304 中，然後再進行冷卻、脫模之步驟。

請參照第 6 圖、第 3A 圖、第 3B 圖，封裝材料 306 包覆著晶片 450、550、內導腳 416、514、導線 460、560、焊墊 458、558、以及貼帶 452、552，並使得外導腳 418 暴露於封裝材料 306 的外部。再來進行切斷及成型的製程，將止洩桿 414 切除，同時將外導腳 418 折彎成 L 型。此時，導線架 400、500 之導軌 402、502 分別與構裝 300 分離。由於晶片 450 之背面 456 與晶片 550 之背面 556 彼此相對，因此不需如習知技藝的作法，透過貼帶預留部分空間以防止上層導線與下層導線碰觸，或是防止下層導線與上層晶片碰觸，故本發明可縮小多晶片封裝結構之體積。本發明由於不需透過貼帶預留空間，因此可以減少貼帶的使用，以防止貼帶上水氣蒸發，產生剝離的現象。

請參照第 7 圖，其繪示本發明之第二實施例的一種多晶片半導體封裝結構圖。請參照第 6 圖，前述實施例中，接合部 516 乃位於封裝材料 306 的內部，使接合部 516 與導線架 400 能有更緊密的結合。然而，接合部 516 的配置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (12)

並非侷限於上述之方式，亦可將接合部 516 置於封裝材料 306 的外部。請參照第二實施例中之第 7 圖，接合部 516 暴露於封裝材料 306 的外部，而凹口 520 亦位於封裝材料 306 的外部，因此，其折去橫槓 518 的步驟可在封膠之前或在封膠之後。

請參照第 8 圖，其繪示本發明之第三實施例的一種多晶片半導體封裝結構圖。請參照第 3B 圖，在第一實施例中，接合部 516 之外部，具有橫槓 518。然而，橫槓 518 的配置並非侷限於上述之方式，亦可使用止洩桿(未繪示)來替代橫槓 518。請參照第三實施例中之第 8 圖，並同時參照第 8A 圖，第 8A 圖繪示對應於第 8 圖中導線架 600 的俯視圖。如第 8A 圖所示，導腳 602 的一端為內導腳 604，而另一端為接合部 606，而每一支導腳 602 之間具有一止洩桿 608，導腳 602 包含一凹折區 610，位於內導腳 604 之外側。圖中虛線 612 所包圍的區域為後續封膠的區域。請參照第 8 圖、第 8A 圖，接合部 606 暴露於封裝材料 652 之外部。在製程上，將封膠之後的構裝 650，透過切斷之過程，將止洩桿 608 與導腳 602 分離。

請參照第 9 圖，其繪示本發明之第四實施例的一種多晶片半導體封裝結構圖。請參照第 8 圖，第三實施例中，接合部 606 乃暴露於封裝材料 632 的外部。然而，接合部 606 的配置並非侷限於上述之方式，亦可將接合部 606 置於封裝材料 652 的內部。請參照第四實施例中之第 9 圖，接合部 606 在封裝材料 652 的內部，因此，在製程上，必

## 五、發明說明(13)

須在封膠之前，將止洩桿(未繪示)與導腳 602 分離。

請參照第 10、11 圖，其分別繪示本發明之第五、第六實施例的一種多晶片半導體封裝結構圖。在第一實施例中，請參見第 6 圖，爲了避免將導線 460、560，暴露於封裝材料 306 的外部，必須調整導腳 410、510 凹折的程度，使得導腳 410 與導腳 510 均具有一凹折區 420、522。然而，結構的配置並非侷限於上述之方式，對於不同的膠體設計，如第 10、11 圖中所示即爲常見的 LOC 封裝膠體設計，其亦可只凹折其中一個導腳，使得導線不致暴露於封裝材料外。請參照第 10 圖，接合部 702 暴露於封裝材料 704 之外，且導線架 706 並未有凹折區，而導線架 708 具有一凹折區 710，使外導腳 712 從偏向構裝 700 之上面延伸出來。請參照第 11 圖，接合部 752 被封裝材料 754 包住，且導線架 756 並未有凹折區，而導線架 758 具有一凹折區 760，使外導腳 762 從偏向構裝 750 之上面延伸出來。本發明之多晶片半導體封裝結構可以透過凹折的設計，使導線避免暴露於封裝材料的外部。

本發明之多晶片半導體封裝結構的設計，可沿用原本裝置一個晶片的模，容納兩個晶片，如此可省去開新模的成本，也可縮減電路設計的體積。此設計乃藉由上層晶片背面與下層晶片背面之彼此相對，以縮減晶片架設的空間，再藉由上層導腳與下層導腳凹折的設計，以符合原先容納一個晶片的模之需求，然而導線要避免暴露於封裝材料之外。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

請參照第 12A 圖，其繪示對應於第 3A 圖中第七較佳實施例的一種多晶片半導體封裝之仰視示意圖，並同時參照第 12B 圖，其繪示對應於第 3B 圖中第七較佳實施例的一種多晶片半導體封裝之俯視示意圖。在第一較佳實施例中，焊墊的排列方式係以單排排列於晶片之主動表面的中間，然而焊墊排列的方式並非侷限於上述方式，亦可以將焊墊 458、558 以交錯排列於晶片 424、526 之主動表面 432、534 的中間，並且在多個焊墊 458、558 中的其中一個定義為第一個焊墊 428、530，然而其打線的方式與第一實施例雷同，亦即如果晶片 424 之主動表面 432 之第一個焊墊 428 向左打導線到導線架 400 之第一支導腳 412 之打線尖端處 430，則晶片 526 之主動表面 534 之第一個焊墊 530 向右打導線到導線架 500 之第一支導腳 512 之打線尖端處 532。

請參照第 13 圖，其繪示本發明之第八實施例的一種多晶片半導體封裝結構圖。在前述的實施例中，每一構裝系藉由二晶片、二導線架所組合而成，然而本發明並非侷限於上述的應用，其構裝亦可以如下所述。構裝 800 具有多個模組 810、860(在本實施例中以兩個模組為例)，分別定義為第一模組 810、第二模組 860。在第一模組 810 內具有二導線架 840、850 以及二晶片 820、830，每一導線架 840、850 具有多個內導腳 842、852，而每一晶片 820、830 分別具有一主動表面 822、832 以及對應之一背面 824、834，且晶片 820、830 之主動表面 822、832 還具有多個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(15)

焊墊 826、836。導線架 840、850 分別貼附於晶片 820、830 之主動表面 822、832 上，且晶片 820、830 之背面 824、834 彼此相對。此外焊墊 826、836 藉由多條導線 812、814 與內導腳 842、852 電性連接。

在第二模組 860 內具有二導線架 890、910 以及二晶片 870、880，每一導線架 890、910 具有多個內導腳 892、912，而每一晶片 870、880 分別具有一主動表面 872、882 以及對應之一背面 874、884，且晶片 870、880 之主動表面 872、882 還具有多個焊墊 876、886。導線架 890、910 分別貼附於晶片 870、880 之主動表面 872、882 上，且晶片 870、880 之背面 874、884 彼此相對。此外焊墊 876、886 藉由多條導線 862、864 與內導腳 892、912 電性連接。再者，內導腳 912 還延伸出多個外導腳 914，而第一模組 810 與第二模組 860 係透過內導腳 842、852、892、912 彼此間電性連接。另外構裝 800 還包括一封裝材料 802，封裝材料 802 包覆晶片 820、830、870、880、內導腳 842、852、892、912、導線 812、814、862、864，並且暴露出外導腳 914 可以與外界電路(未繪示)電性連接。

本發明可應用於 DRAM 的多晶片半導體封裝結構，在 DRAM 封裝體積不變的情況下，藉由放入兩塊記憶體之晶片，使記憶體之記憶容量加倍。僅舉出 2 晶片 16M×4(128M)與 2 晶片 8M×8(128M)之範例。請參照第 14 圖，其繪示 2 晶片 16M×4(128M)之接腳訊號圖，接腳 A0 至 A11 用於指示出特定之存放資料單元的位址。接腳 DQ0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (16)

至 DQ3 用於指示出資料輸出入訊號。現今之一般資料傳輸系統以 8 位元為一單位，即一位元組(byte)，因此在 DRAM 之構裝上必須有 8 個區塊(bank)分別存取 8 個位元之資料。在 2 晶片 16M×4(128M)之構裝 900 中，包括二晶片 902、904，每片晶片上有 4 個區塊(bank)，分別以接腳 DQ0 至 DQ3 來傳輸至此 4 個區塊，是故二晶片合起來共有 8 個區塊，一次資料(8 位元)傳送進來，即可分別存入此 8 個區塊中，每一區塊各存放 1 位元。

請參照第 15 圖，其繪示 2 晶片 8M×8(128M)之接腳訊號圖，接腳 A0 至 A11 用於指示出特定之存放資料單元的位址。接腳 DQ0 至 DQ7 用於指示出資料輸出入訊號。接腳 DQM 用於指示出晶片控制訊號，若呈現 LDQM 狀態，則啓動下層之晶片；若呈現 UDQM 狀態，則啓動上層之晶片。在 2 晶片 8M×8(128M)之構裝 950 中，包括二晶片 952、954，每片晶片上有 8 個區塊(bank)，分別以接腳 DQ0 至 DQ7 來傳輸至此 8 個區塊，是故二片晶片合起來共有 16 個區塊，然而一次資料傳輸僅 8 位元，透過 LDQM 與 UDQM 之控制，來指定一次資料傳輸 8 位元之資料是存放在下層之晶片內的 8 個區塊(bank)或是存放在上層之晶片內的 8 個區塊。

綜上所述，本發明至少具有下列優點：

1. 本發明之多晶片半導體封裝結構製程，由於上層晶片與下層晶片乃是背面相對，因此上層晶片之導線與下層晶片之導線不會相碰觸，並且下層晶片之導線不會碰觸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 (17)

到上層晶片，是故可以提高晶片封裝之良率。

2. 本發明之多晶片半導體封裝結構製程，由於於上層晶片與下層晶片乃是背面相對，可縮小封裝之體積，亦可以沿用原先放置一個晶片的模，放置二個晶片，使其在不用在重新開模的情況下，增加放置晶片的數目，以減少製造成本，縮小整體電路配置空間。

3. 本發明之多晶片半導體封裝結構製程，可減少剝離(delamination)發生的情形，是故本發明可提高封裝機構的良率。

4. 本發明之多晶片半導體封裝結構製程，本發明使用半蝕刻的方式或是利用衝壓機做半切割的動作，使橫槓與接合部間產生一凹口，來折去橫槓，可以減少製造成本。

5. 本發明應用在 DRAM 的設計上，可以在相同的封裝體積上，增加記憶體的容量。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要(發明之名稱： 多晶片半導體封裝結構製程 )

一種多晶片半導體封裝結構製程，包括二晶片及二導線架，其中一導線架的導腳的一端為內導腳而另一端為接合部，接合部用以與另一導線架連接，而共用同一外導腳。二晶片與二導線架皆採晶片上有導腳(LOC)的結構接合，而二晶片以背對背的方式疊合，並以封裝材料包覆之，可以縮減封裝的厚度。

## 英文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種多晶片半導體封裝結構製程，其包括：

提供一第一導線架，該第一導線架具有複數個第一導腳，其中每一個第一導腳之一端為一第一內導腳，另一端為一外導腳；

提供一第二導線架，該第二導線架具有複數個第二導腳，其中每一個第二導腳之一端為一第二內導腳，另一端為一接合部；

提供一第一晶片，該第一晶片具有一第一主動表面及一第一背面，該第一主動表面具有複數個第一焊墊；

提供一第二晶片，該第二晶片具有一第二主動表面及一第二背面，該第二主動表面具有複數個第二焊墊，而該第一背面與該第二背面彼此相對。

進行一晶片貼合之製程，使該第一晶片以該第一主動表面與該第一導線架貼合，而該第二晶片以該第二主動表面與該第二導線架貼合；

進行一打導線之製程，透過複數個第一導線使該些第一焊墊分別與該些第一內導腳電性連接，而透過複數個第二導線使該些第二焊墊分別與該些第二內導腳電性連接；

將該些第一導腳與該些接合部分別對準疊合，使該些第一導腳與該些接合部電性連接；

進行一封膠製程，使用一模具，該模具具有一空穴，將該些第一內導腳、該些第二內導腳、該第一晶片以及該第二晶片，放入該空穴中，並灌入一封裝材料，該封裝材

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

料包覆該第一晶片、該第二晶片、該些第一內導腳、該些第二內導腳，而該些外導腳暴露於封裝材料的外部。

2.如申請專利範圍第 1 項所述之多晶片半導體封裝結構製程，其中該些接合部之外緣還包括一橫槓。

3.如申請專利範圍第 2 項所述之多晶片半導體封裝結構製程，透過半蝕刻的方式，使該些接合部與該橫槓間具有一凹口。

4.如申請專利範圍第 2 項所述之多晶片半導體封裝結構製程，利用衝壓機做半切割的動作，使該些接合部與該橫槓間具有一凹口。

5.如申請專利範圍第 2 項所述之多晶片半導體封裝結構製程，其中在該封膠製程之前，更包括一折去該橫槓之步驟。

6.如申請專利範圍第 5 項所述之多晶片半導體封裝結構製程，其中該些接合部被包覆在該封裝材料之內部。

7.如申請專利範圍第 5 項所述之多晶片半導體封裝結構製程，其中該些接合部暴露於該封裝材料之外部。

8.如申請專利範圍第 2 項所述之多晶片半導體封裝結構製程，其中在該封膠製程之後，更包括一折去該橫槓之步驟，而該些接合部被暴露於該封裝材料之外部。

9.如申請專利範圍第 1 項所述之多晶片半導體封裝結構製程，其中該些第一內導腳與該些第二內導腳之外側分別具有一凹折區，在該晶片貼合製程之前更包括凹折該些第一導腳與該些第二導腳之該凹折區。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

10.如申請專利範圍第 1 項所述之多晶片半導體封裝結構製程，其中該些第一內導腳之外側具有一凹折區，在該晶片貼合製程之前，凹折該些第一導腳之該凹折區。

11.如申請專利範圍第 1 項所述之多晶片半導體封裝結構製程，其中該些第二內導腳之外側具有一凹折區，在該晶片貼合製程之前，凹折該些第二導腳之該凹折區。

12.如申請專利範圍第 1 項所述之多晶片半導體封裝結構製程，其中該些第一焊墊為單排排列以及交錯排列，二者擇一，於該第一晶片之該第一主動表面，且該些第二焊墊亦為單排排列以及交錯排列，二者擇一，於該第二晶片之該第二主動表面，定義該些第一焊墊與該些第二焊墊的共同軸線為 Y 軸，則在該打導線製程中，該些第一導線之打法與該些第二導線之打法的位置關係，係為 Y 軸之鏡相關係。

13.如申請專利範圍第 1 項所述之多晶片半導體封裝結構製程，其中在晶片貼合製程之前，該些接合部以印刷的方式，塗上一層導電黏著劑

14.如申請專利範圍第 13 項所述之多晶片半導體封裝結構製程，其中該導電黏著劑包括焊錫。

15.如申請專利範圍第 13 項所述之多晶片半導體封裝結構製程，其中將該些第一導腳與該些接合部電性連接之方式，包括一迴焊之製程。

16.如申請專利範圍第 13 項所述之多晶片半導體封裝結構製程，其中將該些第一導腳與該些接合部電性連接之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

方式，包括一黏合之製程。

17.如申請專利範圍第 1 項所述之多晶片半導體封裝結構製程，在封膠製程之後，更包括一切斷的步驟。

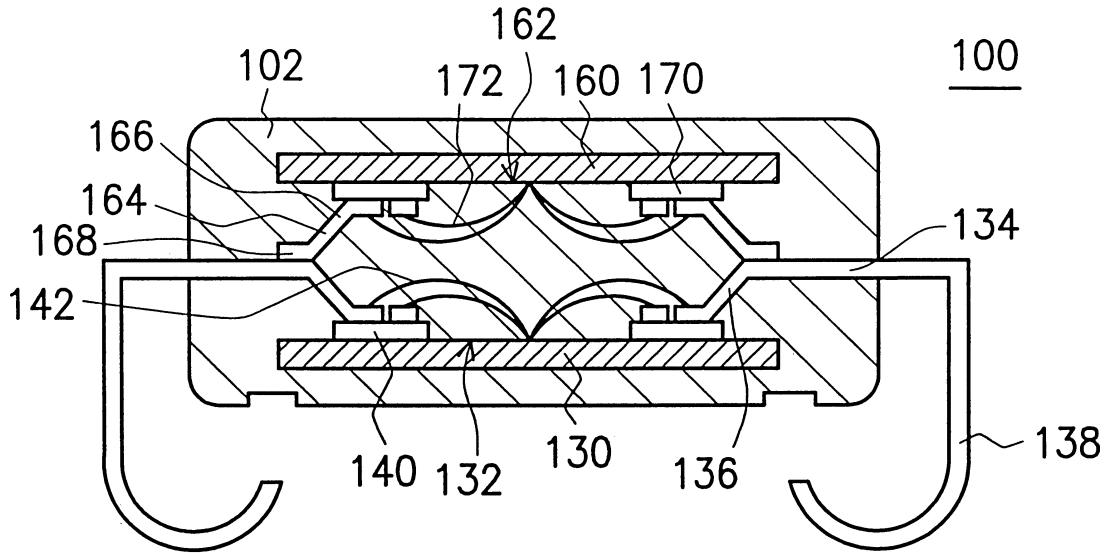
18.如申請專利範圍第 1 項所述之多晶片半導體封裝結構製程，在封膠製程之後，更包括一成型的步驟。

(請先閱讀背面之注意事項再填寫本頁)

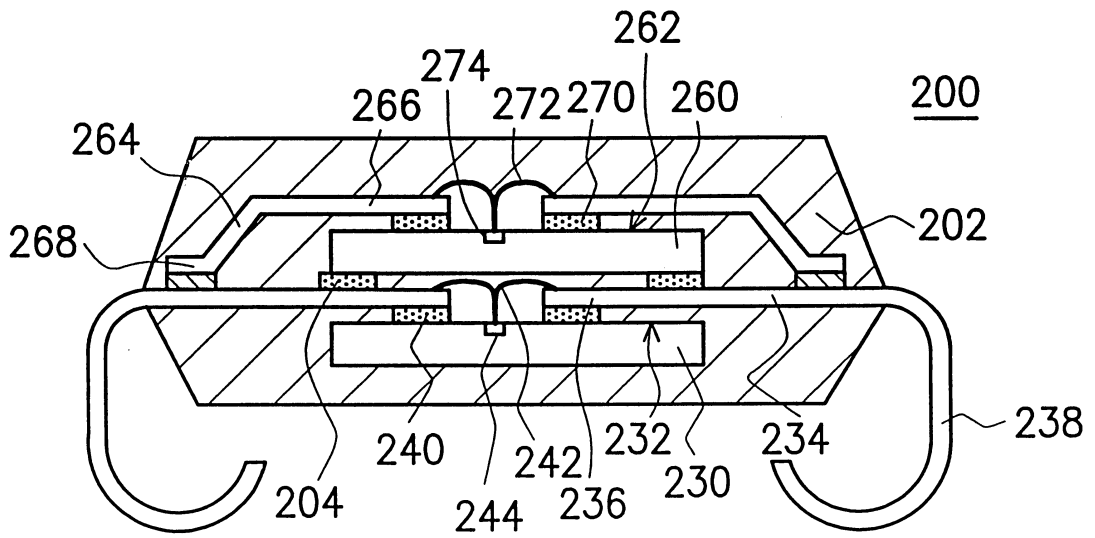
裝

訂

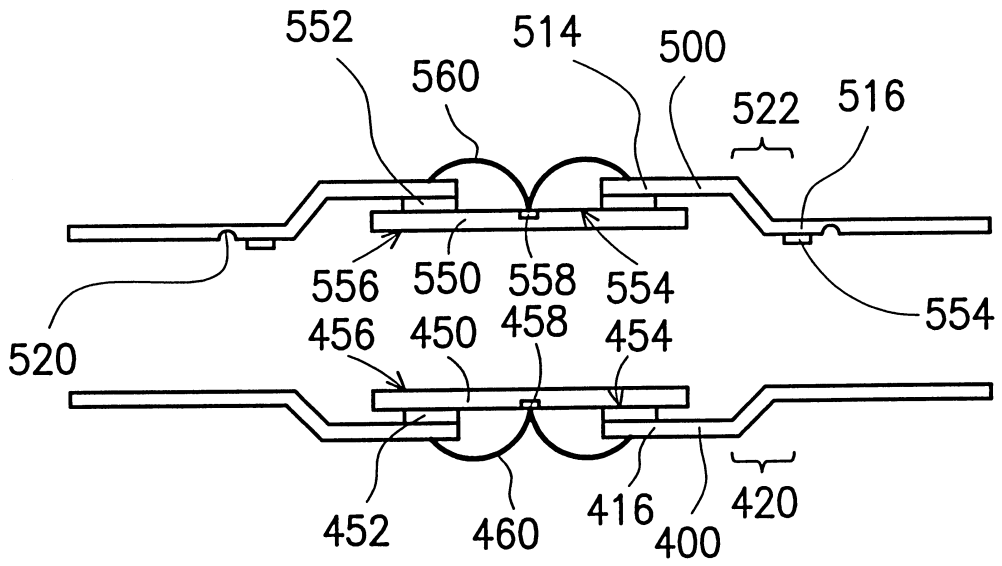
線



第 1 圖



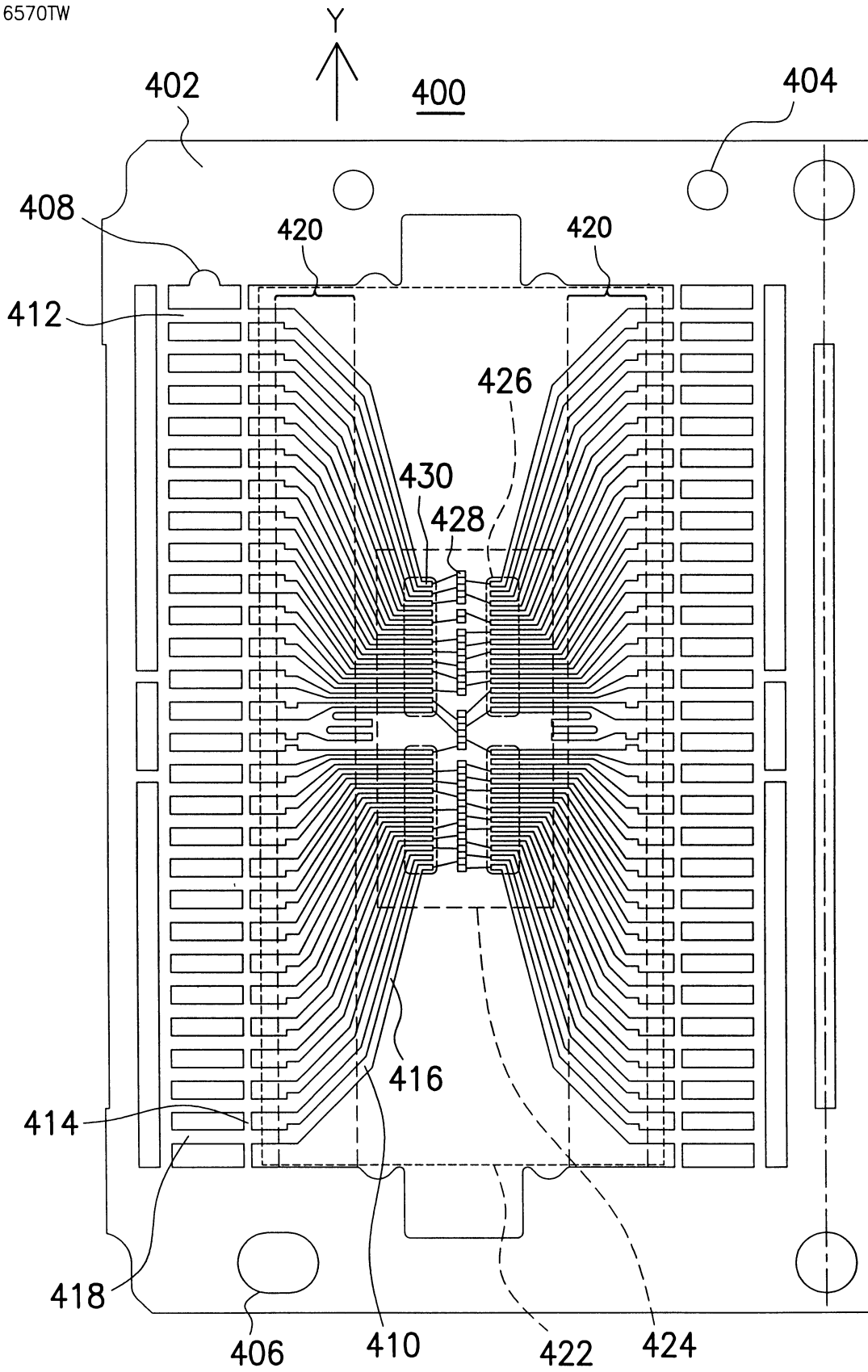
第 2 圖



第 3 圖

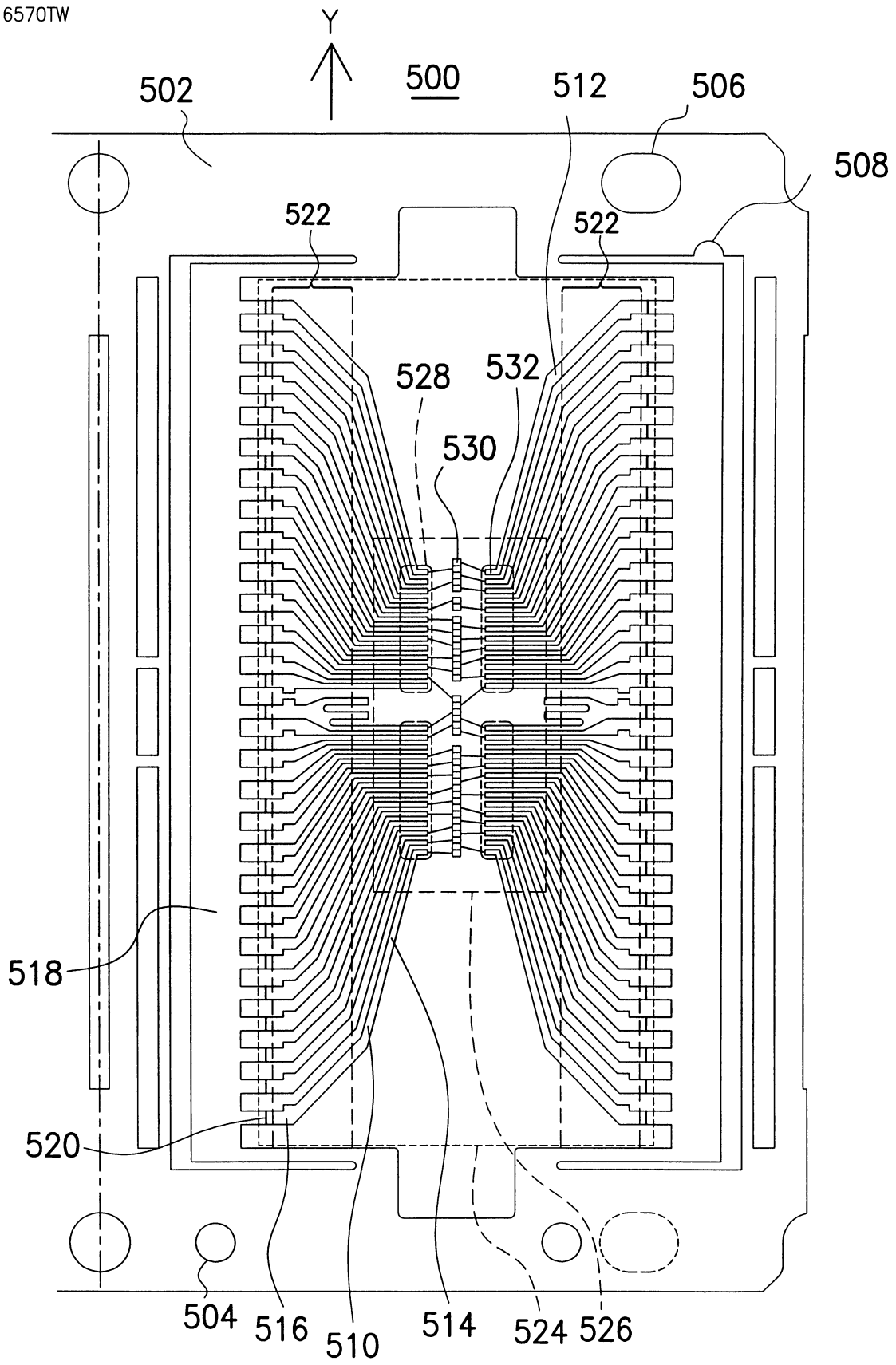


6570TW



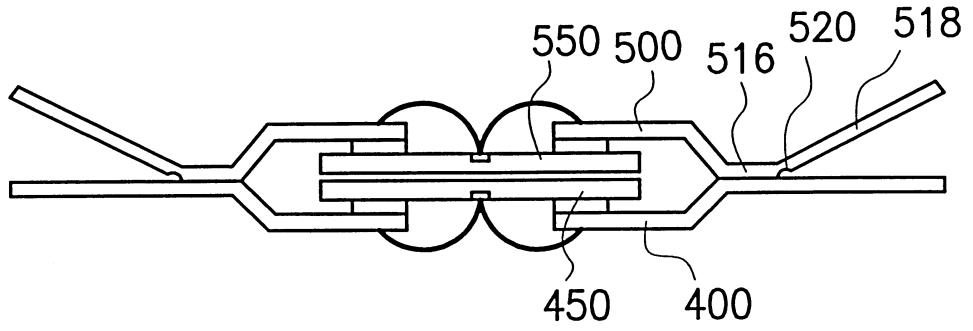
第3A圖

6570TW

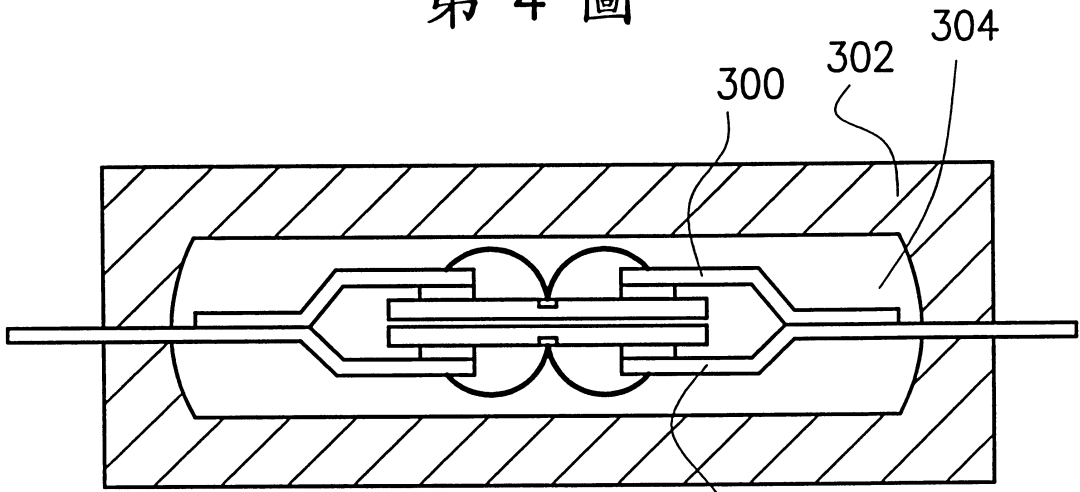


第3B圖

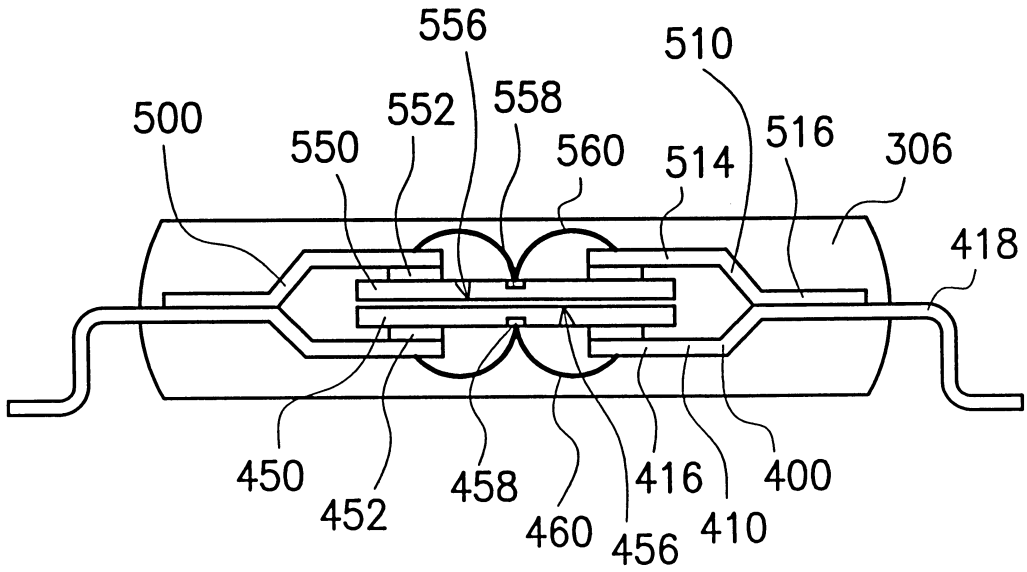
6570TW



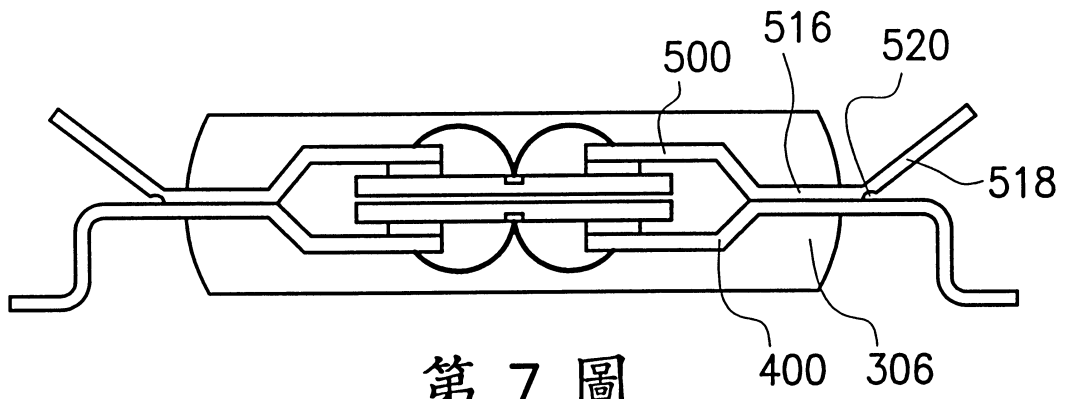
第 4 圖



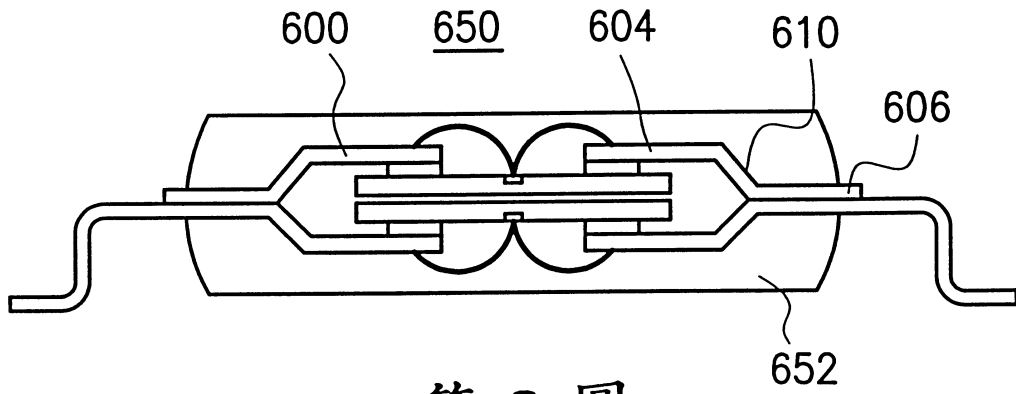
第 5 圖



第 6 圖

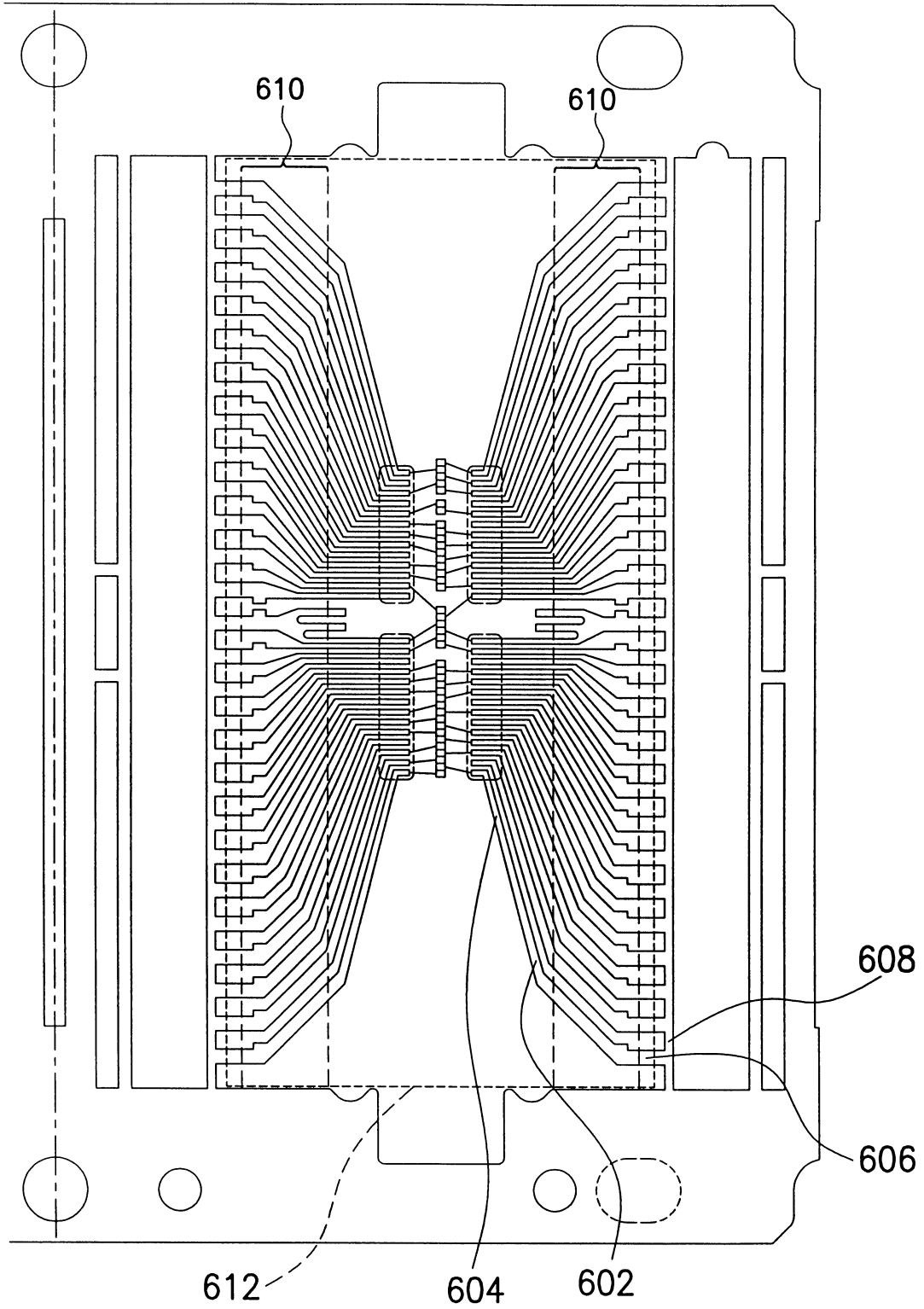


第 7 圖

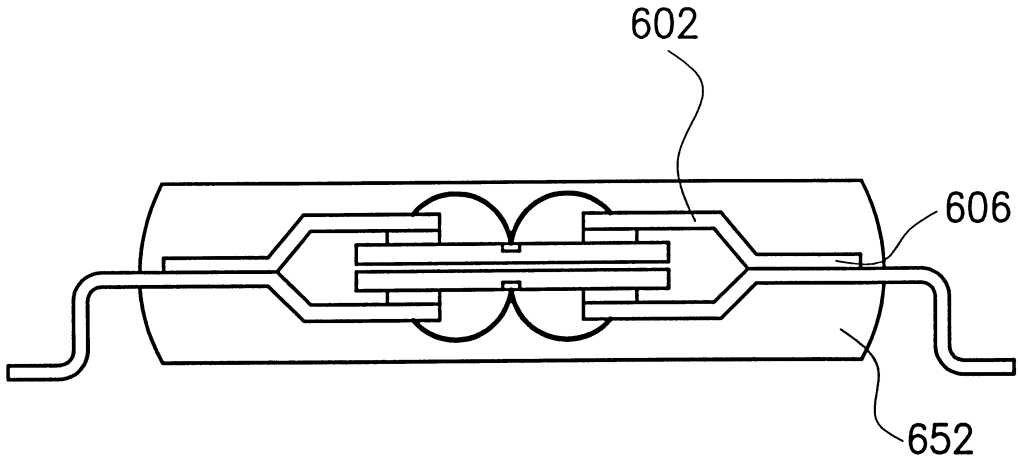


第 8 圖

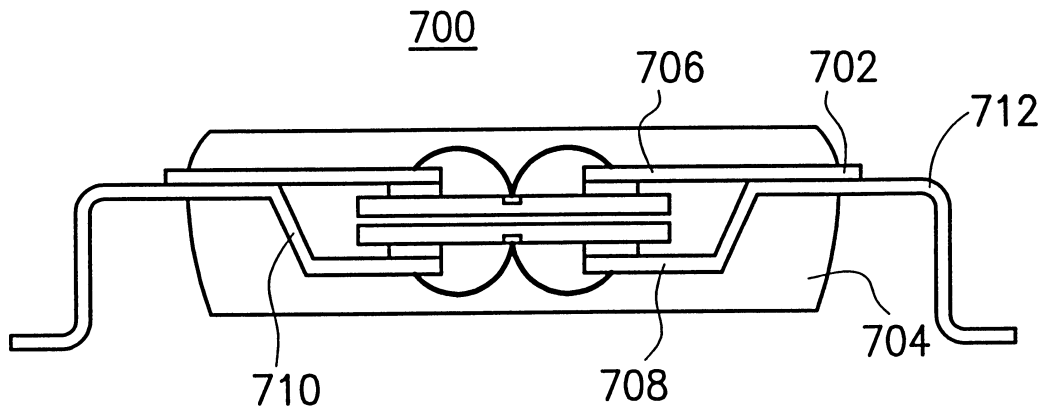
600



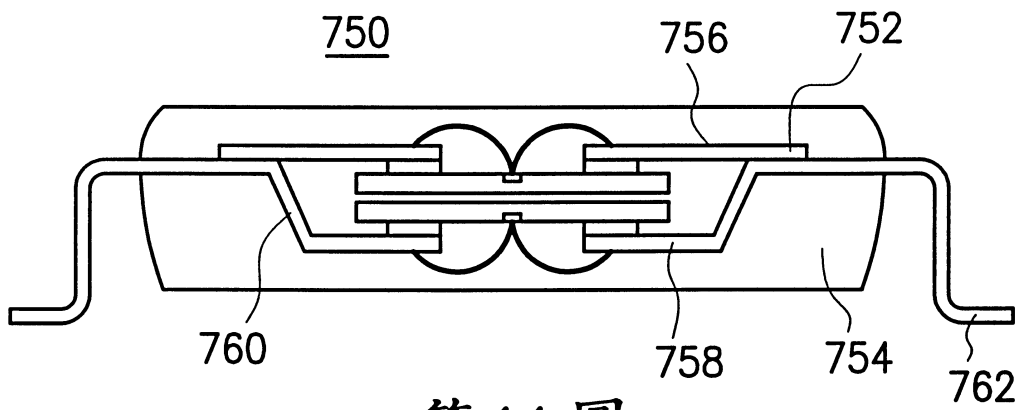
第8A圖



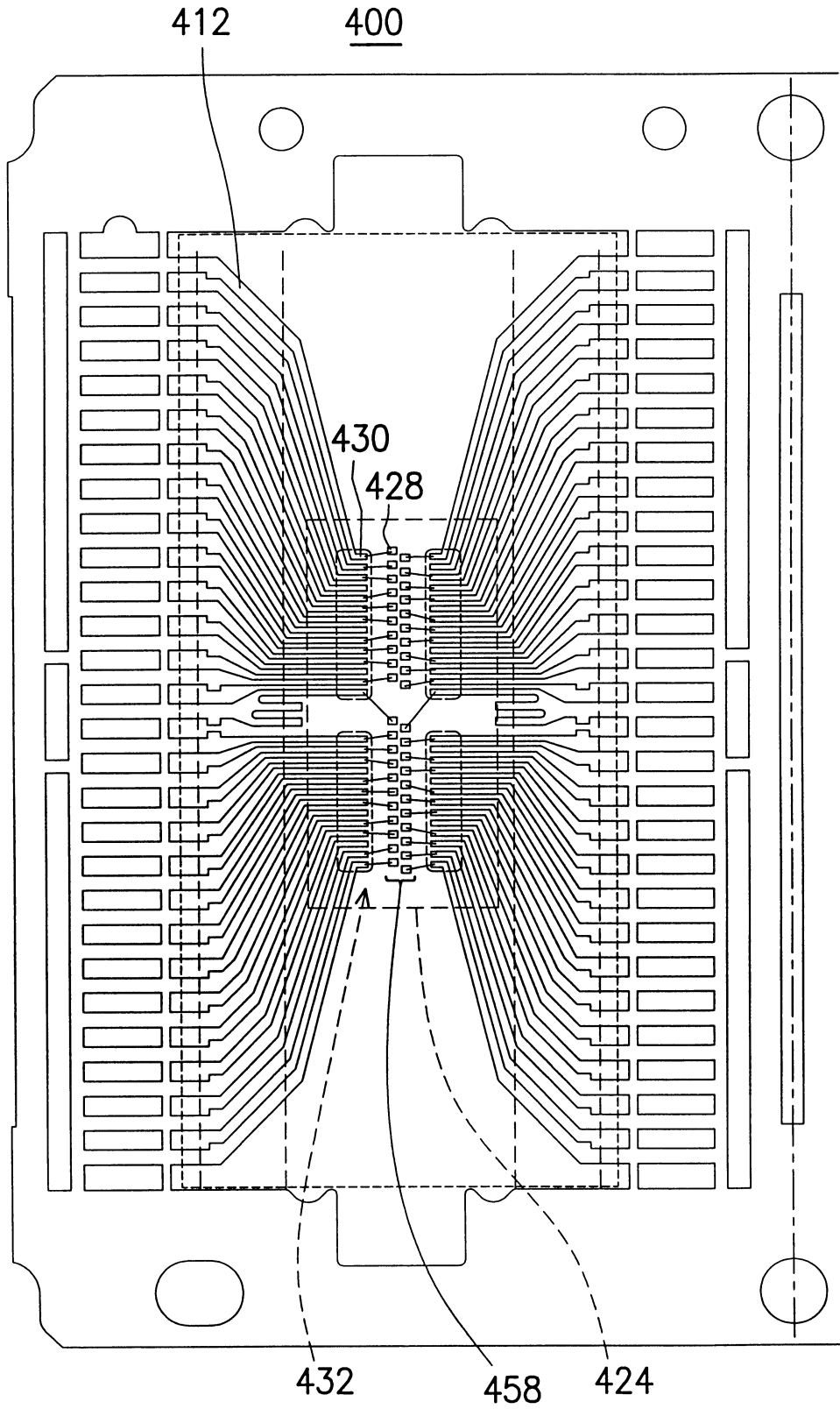
第 9 圖



第 10 圖

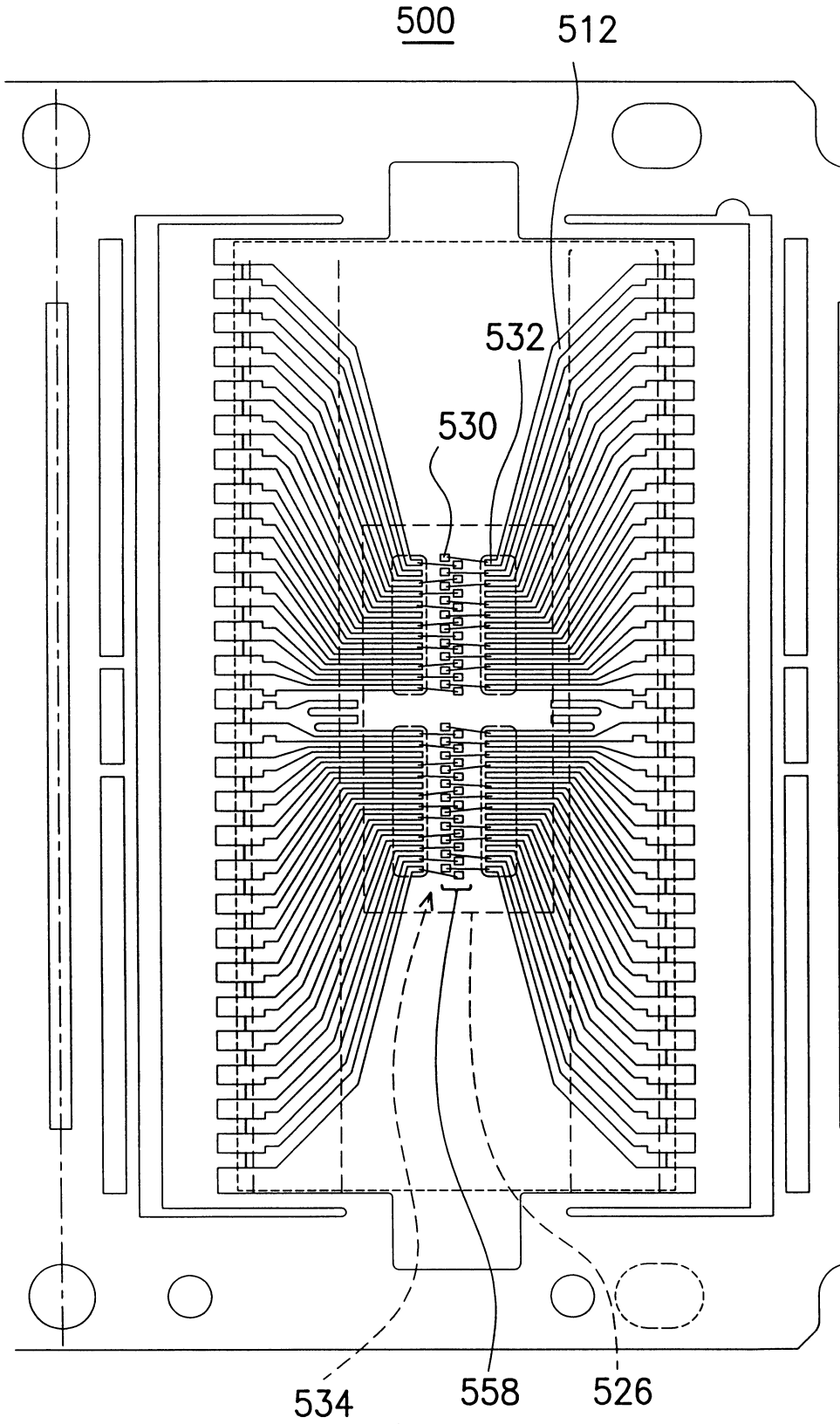


第 11 圖

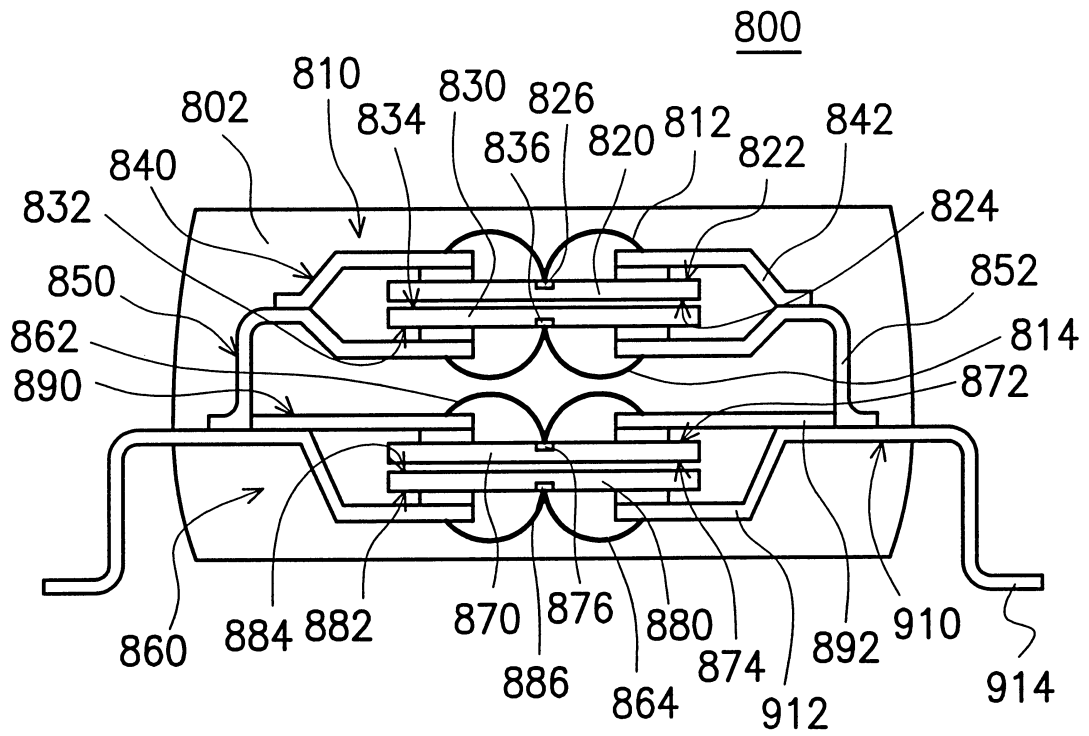


第12A圖

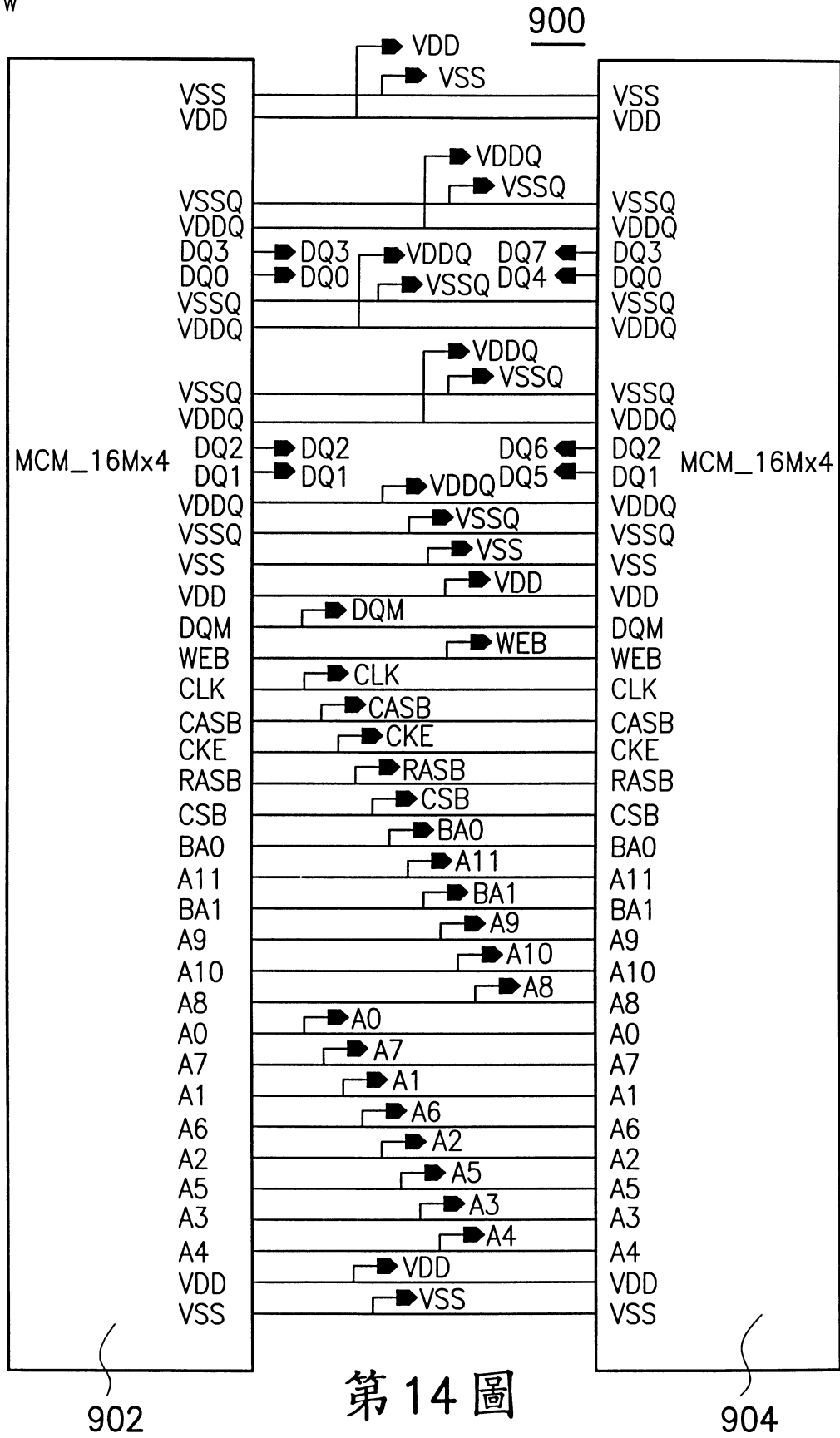




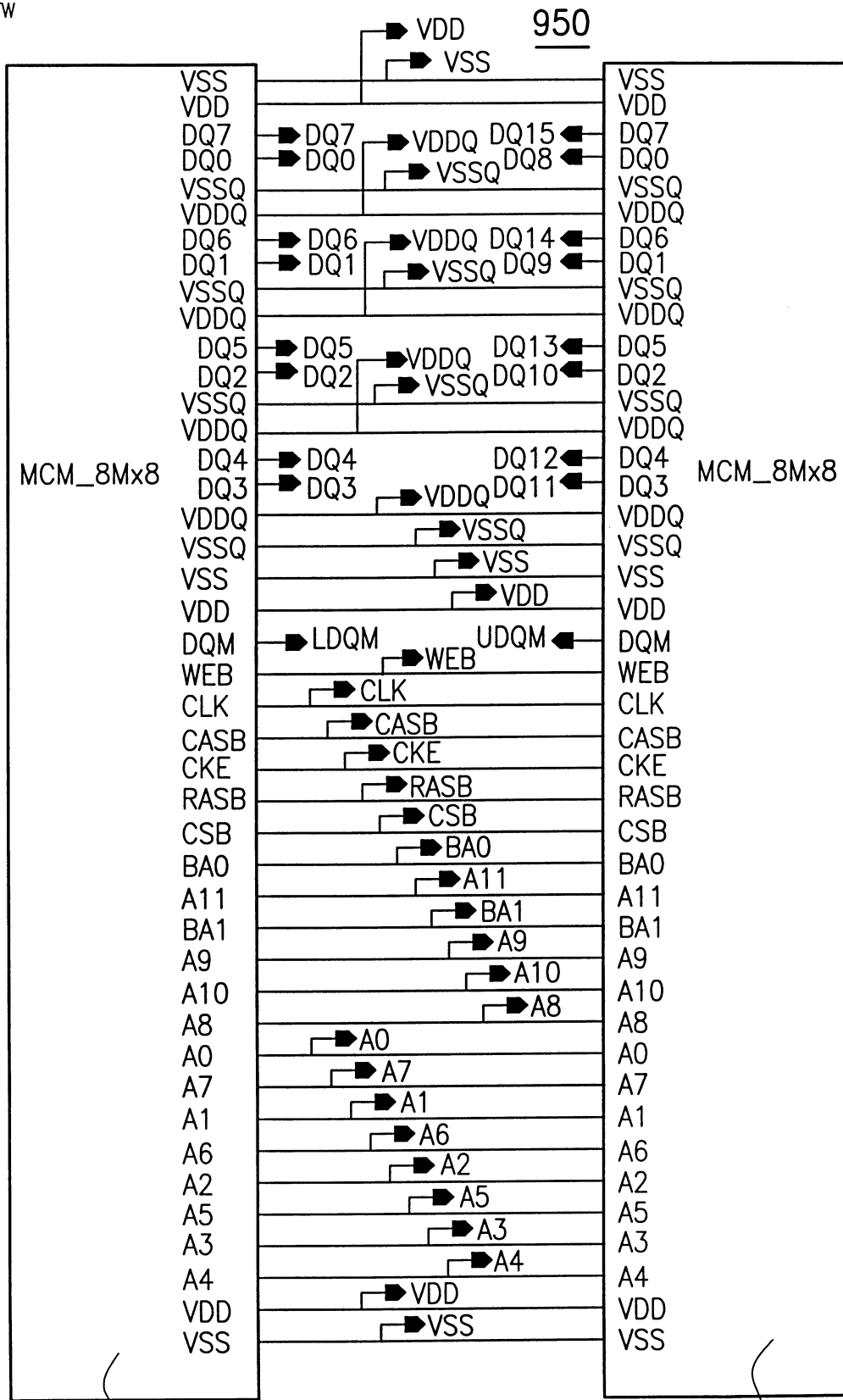
第12B圖



第 13 圖



6570TW



952

第 15 圖

954

申請日期	89.12.14
案 號	89126688
類 別	

公告本

A4  
C4

565925

(以上各欄由本局填註)

修正日期：90年12月31日

修正 補充 本90年12月31日		發 明 專 利 說 明 書 新 型	
一、發明 新型 名稱	中 文	多晶片半導體封裝結構製程 (修正本)	
	英 文		
二、發明 人 創作	姓 名	1 廖光河 2 林楓 3 陳雲昇	
	國 籍	中華民國	
三、申請人	住、居所	1 新竹市中華路六段 210 巷 3 號 2 台中市北屯區安順東八街 48 巷 18 號 3 台南縣麻豆鎮港尾里 9 號之 2	
	姓 名 (名稱)	世界先進積體電路股份有限公司	
	國 籍	中華民國	
	住、居所 (事務所)	新竹科學工業園區新竹縣園區三路 123 號	
	代 表 人 姓 名	張忠謀	

經濟部智慧財產局員工消費合作社印製

裝 訂 線