



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년06월11일  
 (11) 등록번호 10-1988193  
 (24) 등록일자 2019년06월04일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/321* (2006.01) *G03F 7/09* (2006.01)  
*H01L 21/027* (2006.01) *H01L 21/306* (2006.01)  
*H01L 21/3105* (2006.01)
- (52) CPC특허분류  
*H01L 21/32115* (2013.01)  
*G03F 7/094* (2013.01)
- (21) 출원번호 10-2018-7030938(분할)
- (22) 출원일자(국제) 2014년11월04일  
 심사청구일자 2018년11월22일
- (85) 번역문제출일자 2018년10월25일
- (65) 공개번호 10-2018-0119705
- (43) 공개일자 2018년11월02일
- (62) 원출원 특허 10-2016-7014925  
 원출원일자(국제) 2014년11월04일  
 심사청구일자 2016년06월03일
- (86) 국제출원번호 PCT/US2014/063886
- (87) 국제공개번호 WO 2015/069646  
 국제공개일자 2015년05월14일
- (30) 우선권주장  
 61/901,768 2013년11월08일 미국(US)
- (56) 선행기술조사문헌  
 KR1020070065334 A\*  
 KR1020130015429 A\*  
 KR1020100133912 A\*  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
 도쿄엘렉트론가부시키키가이사  
 일본 도쿄도 미나토구 아카사카 5초메 3반 1고
- (72) 발명자  
 데빌리어스 안톤 제이  
 미국 뉴욕주 12065 클리프턴 파크 타너 로드 734
- (74) 대리인  
 김태홍, 김진희

전체 청구항 수 : 총 14 항

심사관 : 조성수

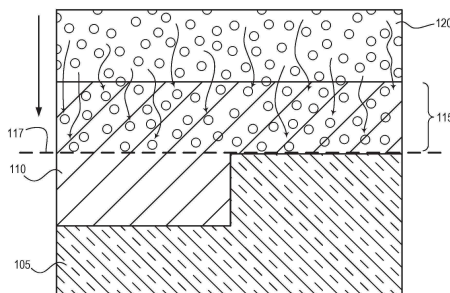
(54) 발명의 명칭 **화학적 폴리싱 및 평탄화를 위한 방법**

**(57) 요약**

여기서 설명된 화학적 평탄화 공정은 기계적 연마를 이용하지 않고서 기판을 평탄화하기 위해 이용될 수 있다. 현상가능 평탄화 물질이 비평면 토포그래피를 갖는 기판에 도포될 수 있고, 그 결과로 평면이 초래된다. 결과적인 평탄화 층은 기판 상의 기존 구조물들을 덮을 수 있다. 평탄화 층의 최상부는 용해도 변경제를 이용하여 가

(뒷면에 계속)

**대표도** - 도11



용성이 될 수 있고, 그런 후, 가용성 부분은 제거됨으로써 평탄화 물질의 높이를, 가장 키가 큰 하위 구조물의 최상면일 수 있는, 타겟 값까지 슬리밍할 수 있다. 기관이 평탄화되었으므로, 추가적인 패터닝 동작들이 실행될 수 있다.

(52) CPC특허분류

*H01L 21/0276* (2013.01)

*H01L 21/30604* (2013.01)

*H01L 21/31056* (2013.01)

*H01L 21/31058* (2013.01)

---

**명세서**

**청구범위**

**청구항 1**

화학적으로 기판을 평탄화하기 위한 방법에 있어서,

제1 및 제2 미세가공(microfabricated) 구조물들을 갖는 기판을 수용하는 단계로서, 상기 제1 및 제2 미세가공 구조물들이 상기 기판의 상단부에 걸쳐 비평면 토포그래피(topography)를 정의하도록 상기 제1 미세가공 구조물들은 상기 제2 미세가공 구조물들에 비해 높이가 상이한 것인, 상기 기판을 수용하는 단계와,

평탄화 막이 상기 기판의 상단부 상에 제1 평면을 생성하도록 상기 기판 상에 평탄화 막을 퇴적하는 단계로서, 상기 평탄화막은 비컨포멀한 막이고, 상기 평탄화 막은 용해도 변경가능 물질을 포함하는 것인, 상기 평탄화 막을 퇴적하는 단계와,

상기 평탄화 막의 제1 평면 상에 용해도 변경제(solubility-changing agent)를 퇴적하는 단계와,

상기 용해도 변경제가 상기 평탄화 막의 최상부의 용해도를 변경시키도록 상기 용해도 변경제를 활성화시키는 단계로서, 상기 평탄화 막의 최상부는 상기 평탄화 막의 제1 평면으로부터 상기 평탄화 막 내의 미리 정해진 깊이까지 수직으로 연장되는 두께를 가지는 것인, 상기 용해도 변경제를 활성화시키는 단계와,

타겟 평면을 갖는 기판을 초래시키도록 상기 평탄화 막의 최상부를 제거하는 단계와,

상기 제거하는 단계 후에, 상기 타겟 평면을 통하여 상기 기판의 상기 제1 미세가공 구조물들 및 제2 미세가공 구조물들의 양쪽 모두에 피처들을 에칭하는 단계

를 포함하고,

상기 용해도 변경제를 활성화시키는 단계는, 상기 용해도 변경제가 상기 평탄화 막 내로 상기 미리 정해진 깊이까지 확산하고 상기 평탄화 막의 최상부의 용해도를 변경시키도록, 상기 용해도 변경제를 가열하는 단계를 포함하고,

상기 용해도 변경제를 가열하는 단계는, 상기 용해도 변경제의 확산이 상기 미리 정해진 깊이에서 멈추도록 가열하는 단계를 포함하는 것인, 기판 평탄화 방법.

**청구항 2**

제1항에 있어서,

상기 가열하는 단계는 상기 기판을 80℃와 100℃ 사이로 가열하는 단계를 포함하는 것인, 기판 평탄화 방법.

**청구항 3**

제1항에 있어서,

상기 평탄화 막을 퇴적하는 단계는 현상가능(developable) 반사 방지 코팅을 퇴적하는 단계를 포함하는 것인, 기판 평탄화 방법.

**청구항 4**

제3항에 있어서,

상기 현상가능 반사 방지 코팅은 실리콘을 포함하는 것인, 기판 평탄화 방법.

**청구항 5**

제1항에 있어서,

상기 용해도 변경제를 퇴적하는 단계는 액상 퇴적(liquid deposition)을 포함하는 것인, 기판 평탄화 방법.

**청구항 6**

제1항에 있어서,  
상기 용해도 변경제는 산(acid)인 것인, 기관 평탄화 방법.

**청구항 7**

제6항에 있어서,  
상기 용해도 변경제를 퇴적하는 단계는 전자기 방사선에 대한 노출없이 광 산(photo acid)을 합성하는 단계를 포함하는 것인, 기관 평탄화 방법.

**청구항 8**

제1항에 있어서,  
상기 용해도 변경제는 열 활성화 산 발생제인 것인, 기관 평탄화 방법.

**청구항 9**

제1항에 있어서,  
상기 평탄화 막의 최상부를 제거하는 단계는 상기 평탄화 막의 최상부를 용해시키기 위해 화학적 현상액을 이용하는 단계를 포함하는 것인, 기관 평탄화 방법.

**청구항 10**

제1항에 있어서,  
상기 미리 정해진 깊이는, 상기 제1 평면으로부터, 상기 기관 상의 다른 구조물들에 비해 높은 곳에 있는, 상기 기관 상의 주어진 구조물까지의 거리와 동일한 것인, 기관 평탄화 방법.

**청구항 11**

제1항에 있어서,  
포토리소그래피를 통해 상기 타겟 평면 상에 패터닝된 포토레지스트 층을 생성하는 단계를 더 포함하는 기관 평탄화 방법.

**청구항 12**

제11항에 있어서,  
상기 피쳐들을 에칭하는 것은 상기 패터닝된 포토레지스트 층을 마스크로서 이용하는 것인, 기관 평탄화 방법.

**청구항 13**

화학적으로 기관을 평탄화하기 위한 방법에 있어서,  
제1 및 제2 미세가공(microfabricated) 구조물들을 갖는 기관을 수용하는 단계로서, 상기 제1 및 제2 미세가공 구조물들이 상기 기관의 상단부에 걸쳐 비평면 토포그래피(topography)를 정의하도록 상기 제1 미세가공 구조물들은 상기 제2 미세가공 구조물들에 비해 높이가 상이한 것인, 상기 기관을 수용하는 단계와,  
평탄화 막이 상기 기관의 상단부 상에 제1 평면을 생성하도록 상기 기관 상에 평탄화 막을 퇴적하는 단계로서, 상기 평탄화막은 비컨포멀한 막이고, 상기 평탄화 막은 용해도 변경가능 물질을 포함하는 것인, 상기 평탄화 막을 퇴적하는 단계와,  
상기 평탄화 막의 제1 평면 상에 용해도 변경제(solubility-changing agent)를 퇴적하는 단계와,  
상기 용해도 변경제가 상기 평탄화 막의 최상부의 용해도를 변경시키도록 상기 용해도 변경제를 활성화시키는 단계로서, 상기 평탄화 막의 최상부는 상기 평탄화 막의 제1 평면으로부터 상기 평탄화 막 내의 미리 정해진 깊이까지 수직으로 연장되는 두께를 가지는 것인, 상기 용해도 변경제를 활성화시키는 단계와,

타겟 평면을 갖는 기판을 초래시키도록 상기 평탄화 막의 최상부를 제거하는 단계를 포함하고,

상기 용해도 변경제를 퇴적하는 단계는 기상 노광 퇴적(vapor exposure deposition)을 이용하는 단계를 포함하고,

상기 용해도 변경제를 활성화시키는 단계는, 상기 용해도 변경제가 상기 평탄화 막 내로 상기 미리 정해진 깊이까지 확산하고 상기 평탄화 막의 최상부의 용해도를 변경시키도록, 상기 용해도 변경제를 가열하는 단계를 포함하며,

상기 용해도 변경제를 가열하는 단계는, 상기 용해도 변경제의 확산이 상기 미리 정해진 깊이에서 멈추도록 가열하는 단계를 포함하는 것인, 기판 평탄화 방법.

**청구항 14**

화학적으로 기판을 평탄화하기 위한 방법에 있어서,

제1 및 제2 미세가공(microfabricated) 구조물들을 갖는 기판을 수용하는 단계로서, 상기 제1 및 제2 미세가공 구조물들이 상기 기판의 상단부에 걸쳐 비평면 토포그래피(topography)를 정의하도록 상기 제1 미세가공 구조물들은 상기 제2 미세가공 구조물들에 비해 높이가 상이한 것인, 상기 기판을 수용하는 단계와,

평탄화 막이 상기 기판의 상단부 상에 제1 평면을 생성하도록 상기 기판 상에 평탄화 막을 퇴적하는 단계로서, 상기 평탄화막은 비컨포멀한 막이고, 상기 평탄화 막은 용해도 변경가능 물질을 포함하는 것인, 상기 평탄화 막을 퇴적하는 단계와,

상기 평탄화 막의 제1 평면 상에 용해도 변경제(solubility-changing agent)를 퇴적하는 단계와,

상기 용해도 변경제가 상기 평탄화 막의 최상부의 용해도를 변경시키도록 상기 용해도 변경제를 활성화시키는 단계로서, 상기 평탄화 막의 최상부는 상기 평탄화 막의 제1 평면으로부터 상기 평탄화 막 내의 미리 정해진 깊이까지 수직으로 연장되는 두께를 가지는 것인, 상기 용해도 변경제를 활성화시키는 단계와,

타겟 평면을 갖는 기판을 초래시키도록 상기 평탄화 막의 최상부를 제거하는 단계를 포함하고,

상기 용해도 변경제는 염기(base)이며, 상기 평탄화 막은 포지티브 톤(positive tone) 레지스트를 포함하며,

상기 용해도 변경제를 활성화시키는 단계는, 상기 용해도 변경제가 상기 평탄화 막 내로 상기 미리 정해진 깊이까지 확산하고 상기 평탄화 막의 최상부의 용해도를 변경시키도록, 상기 용해도 변경제를 가열하는 단계를 포함하며,

상기 용해도 변경제를 가열하는 단계는, 상기 용해도 변경제의 확산이 상기 미리 정해진 깊이에서 멈추도록 가열하는 단계를 포함하는 것인, 기판 평탄화 방법.

**발명의 설명**

**기술 분야**

[0001] 본 출원은 “Method for Chemical Polishing and Planarization” 이라는 명칭으로 2013년 11월 8일에 출원된 미국 가특허 출원 61/901,768의 우선권을 청구하며, 이 가특허 출원 내용 전체는 참조로서 본 명세서내에 병합된다.

**배경 기술**

[0002] 본 발명은 집적 회로의 미세가공(microfabrication)을 포함한 미세가공에 관한 것이다. 반도체 제조는 포토리소그래피 공정들을 포함한다. 몇몇의 리소그래피 공정들은 웨이퍼를 BARC(bottom anti-reflective coating) 물질의 박막으로 코팅하고, 이어서 레지스트로 코팅하며, 그 후 마이크로칩들을 생성하기 위한 공정 단계로서 웨이퍼를 광 패턴에 노출시키는 단계를 포함한다. 포토리소그래피 공정들은 일반적으로 웨이퍼를 패터닝하는 데에 이용되는 다양한 막들 및 레지스트들을 퇴적하기 위해 평면을 필요로 한다. 막들은 일반적으로 주어진 퇴적 공정에 따라, 특정 높이를 갖고, 일정한 규격들 내까지 평탄화되도록 규정된다.

[0003] 평탄화는 통상적으로 화학적 기계적 폴리싱/평탄화(Cemical Mechanical Polishing/Planarization; CMP)를 이용하여 수행된다. CMP는 웨이퍼의 표면을 평탄화하기 위해 침식성 화학물질들 및 폴리싱 패드를 이용하는 공정이다. CMP는 멀티레벨 구조물들 내의 절연체들 및 컨덕터들을 평탄화할 수 있다. 이 평탄화는 또다른 웨이퍼의 층 상으로 보다 많은 전자소자들을 적층시키거나, 또는 포토리소그래피 패터닝을 위해 웨이퍼를 평탄화하는 데에 이용된다. CMP는 또한 노광 영역을 최적화하기 위해 레지스트를 알려진 높이로 설정함으로써 리소그래피 노광 공정을 미세 조정하는 데에 이용된다.

[0004] BARC는 노광 동안에 반사된 광선들에 의해 생성된 거친 엣지들을 방지하기 위해 노광 동안에 잔여 광선들을 흡수하도록 기판과 레지스트층 사이에 배치되는 박막이다. BARC는 또한 이전에 노광된 층들이 다시 노광되지 못하도록 하기 위해 다중 층 노광들 사이에서 이용될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 화학적 기계적 평탄화는 웨이퍼 상에 평면을 제공할 수 있지만, CMP를 이용하는 것에는 한계와 단점이 있다. CMP는 일반적으로 웨이퍼 상에 SOG(spin-on glass)를 도포하고, 그런 후 침식성 화학물질들 및 물리적 연마를 이용함으로써 실행된다. 따라서, CMP는 다른 미세가공 기술들에 비해 매우 거친 물리적 연마 공정이다. 그러므로, CMP는 집적 회로를 미세가공하는 많은 공정 단계들을 위해 이용될 수 없다. 예를 들어, CMP는 트랜지스터들 및 다른 FEOL(front-end-of-line) 구조물들을 미세가공하는 데에 이용될 수 없으며, 특히 게이트 산화물이 노광되는 경우에는 이용될 수 없다. 또한, CMP 공정들은 운영하기에 매우 비용이 많이 들며, 수행하기가 어렵고, 일반적으로 기능적 집적 회로들의 수율을 감소시킨다.

**과제의 해결 수단**

[0006] 여기서 개시된 기술들은 기계적 폴리싱없는 화학적 평탄화 공정을 제공한다. 본 기술들은 현상가능(developable) 평탄화 물질을 이용하는 것, 및 이 평탄화 물질의 높이를 타겟값까지 슬리밍(slimming)하는 것을 포함한다. 예를 들어, DBARC(developer soluble bottom anti-reflective coating)는 포토레지스트와 동시에 현상되는 BARC이다. 실리콘(Si) DBARC, 또는 다른 현상액 충전 물질을 이용하여, 피쳐들이 구축되어 있는 웨이퍼는 CMP를 이용하지 않고서 평탄화될 수 있다. 하나의 특정 예시에서, 웨이퍼 전체가 비교적 방대한 양의 Si-DBARC로 코팅되는데, 이것은 비평면 구조물들 위에 평평한 막을 제공한다. 그런 후, Si-DBARC는 산으로 코팅되어, 이 물질을 가용화시키고 용해시킴으로써 일정량의 Si-DBARC를 설정 중단점까지 수직방향으로 하향 제거함으로써 웨이퍼를 평탄화시킨다. 웨이퍼가 평탄화된 후, 반도체 제조 처리는 계속되고 어떠한 CMP 단계들도 건너뛸 수 있어서, 시간과 돈을 절약할 수 있다. 여기서 개시된 이 기술을 화학적 폴리싱 및 평탄화(Cemical Polishing and Planarization; CPP) 공정이라고 칭할 수 있다. 이 CPP 공정은 웨이퍼를 추적 톨과 같은 코터(coater)/현상액 톨 내에 남겨두면서 한 번에 구조물들이 (다중 엘리베이션(elevation)들과 같은) 다중층들 상에 구축되거나 또는 패터닝되게 할 수 있다. 따라서, 이 방법을 플라즈마 에칭 단계를 제거시키고(두 개의 전송 단계들을 소거시킴), 기판들을 절감시킬 수 있으며, 후속 패터닝을 위한 레지스트를 선택할 때에 보다 많은 유연성을 제공할 수 있다.

[0007] 하나의 실시예는 기판을 평탄화하기 위한 방법을 포함하며, 이 방법은 여러개의 단계들을 포함한다. 미세가공 구조물들을 갖는 기판이 수용되거나 또는 생성되며, 이 미세가공 구조물들이 기판의 상단부에 걸쳐 비평면 토포그래피를 정의하도록 미세가공 구조물들은 서로 높이가 다르다. 평탄화 막이 기판의 상단부 상에 제1 평면을 산출시키도록 기판 상에 평탄화 막이 퇴적된다. 평탄화 막은 용해도 변경가능 물질을 포함한다. 그런 후, 평탄화 막의 제1 평면 상에 용해도 변경제(solubility-changing agent)가 퇴적된다. 용해도 변경제가 평탄화 막의 최상부의 용해도를 변경시키도록 용해도 변경제가 활성화된다. 평탄화 막의 최상부는 평탄화 막의 제1 평면으로부터 평탄화 막 내의 미리 정해진 깊이까지 수직으로 연장되는 두께를 갖는다. 그런 후, 평탄화 막의 이 최상부가 제거되어 기판 상의 타겟 높이 또는 수직점에서 평면을 갖는 기판을 초래시킨다.

[0008] 물론, 여기서 설명된 상이한 단계들의 논의의 순서는 명료화를 위해 제시되었을 뿐이다. 일반적으로, 이러한 단계들은 임의의 적절한 순서로 수행될 수 있다. 추가적으로, 여기서는 본 발명개시의 상이한 곳들에서 상이한 특징들, 기술들, 구성들 등 각각이 논의될 수 있지만, 본 개념들 각각은 서로 독립적으로 또는 서로 결합되어 실행될 수 있는 것을 의도하는 바이다. 따라서, 본 발명은 많은 상이한 방식들로 구체화되고 살펴봐질 수 있다.

[0009] 이 요약 섹션은 본 발명개시 또는 청구된 발명의 모든 실시예 및/또는 점진적으로 신규한 양태를 명시하지 않는다는 점을 유념하라. 대신에, 이 요약은 통상적인 기술들 대비 상이한 실시예들 및 대응하는 신규 사항들의 서론을 제공할 뿐이다. 본 발명 및 실시예들의 추가적인 세부사항들 및/또는 가능한 전망들에 대해서는, 독자를 향해 아래에서 심화적으로 논의되는 본 발명개시의 상세한 설명 및 대응 도면들이 주어진다.

**도면의 간단한 설명**

[0010] 본 발명의 다양한 실시예들과 이에 따른 많은 장점들의 보다 완벽한 이해가 첨부 도면들을 고려하면서 아래의 상세한 설명을 참조하여 손쉽게 명백해질 것이다. 도면들을 반드시 실척도로 도시할 필요는 없으며, 이 대신에 본 특징들, 원리들 및 개념들에 역점을 두어 설명한다.

- 도 1은 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 2는 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 3은 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 4는 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 5는 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 6은 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 7은 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 8은 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 9는 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 10은 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.
- 도 11은 여기서 개시된 실시예들에 따른 공정 플로우를 보여주는 예시적인 기관 세그먼트의 단면 개략도이다.

**발명을 실시하기 위한 구체적인 내용**

[0011] 여기서 개시된 기술들은 기계적 연마를 이용하지 않고서 기관을 평탄화할 수 있는 화학적 평탄화 공정을 제공한다. 본 기술들은 현상가능 평탄화 물질을 퇴적하는 것, 그런 후, 용해도 변경제를 이용하여 평탄화 물질의 높이를 타겟값까지 슬리밍하는 것을 포함한다. (실리콘 웨이퍼와 같은) 기관이 라인들, 플라토우(plateaus)들, 트렌치들, 홀들 또는 다른 구조물들과 같은 토포그래피(topographical) 피쳐들을 갖는 경우에 화학적 폴리싱 및 평탄화(CPP) 공정들이 이용될 수 있다.

[0012] (Si-DBARC와 같은) 평탄화, 현상가능 물질의 박막이 모든 구조물들을 완전히 덮도록, 이 박막은 스핀 코팅, 스프레이 코팅, 또는 딥 코팅 기술들에 의해 기관에 도포된다. 다음으로, 스핀 코팅, 스프레이 코팅, 기상 노광, 또는 딥 코팅 기술들을 통해, 얇은 코팅 또는 (온도 산 발생제(temperature acid generator; TAG) 또는 이에 필적한 다른 산과 같은) 비교적 작은 양의 용해도 변경제가 도포된다. 그런 후, 용해도 변경제는 평탄화 막 깊이 전체에 영향을 미치지 않거나 또는 이를 변경시키지 않고서, 평탄화 막(Si-DBARC)의 최상층 내로 확산될 수 있거나 또는 이 최상층을 화학적으로 변경시킬 수 있다. 이러한 최상층 또는 최상부는, 예컨대, 평탄화 막의 최상면과 기관 상의 최고 높이의 구조물(가장 키가 큰 하위 구조물)의 최상면 사이에서 연장되거나, 또는 최고 높이의 구조물 위의 지점까지 연장되는 두께를 가질 수 있다. TAG가 이용되면, 방출되는 산의 양은 베이킹의 온도 및 지속시간에 의해 미세 제어될 수 있다. TAG를 베이킹하는 것은 규정된 양의 산을 방출하여 이 산이 규정된 깊이 또는 타겟 깊이에 도달하게 할 것이다. 그런 후, 이러한 최상층은, 통상적인 포토레지스트 물질들의 현상과 마찬가지로, 현상 단계에서 용해되고 세정되어 없어질 수 있다. 이것은 기관의 최상부 상에서 부드럽고 평평한 평면을 생성시킨다. Si-DBARC를 경화시키고 현상불가능하게 하기 위해 보다 뜨거운 온도에서 Si-DBARC의 후속 베이킹이 실행될 수 있다. 따라서, 통상적인 CMP 공정은 여기서 개시된 현상액 기반 평탄화 기술들로 완전히 대체될 수 있다. 현상액 기반 평탄화는 또한 구조물들이 리소그래피를 통해, 그리고 다중 높이들에서의 에칭을 위해 기관 상에 동시에 추가되게 해준다. 현재의 높이 차이들에 상관없이 새로운 구조물들이 임의의 기존의 구조물들의 최상부 상에 단일 단계(pass)로 생성될 수 있어서, 주어진 마이크로칩 가공 공정을 완료하는 데 필요한 단계들의 개수를 감소시킬 수 있다.

[0013] 여기서의 기술들은 확산 제한형 현상 단계들을 이용하여 이행될 수 있는 웨트(wet) 슬리밍 평탄화 기술들을 포



함한다. 스핀 온 글래스 및 그 뒤를 따르는 CMP의 이용 대신에, 여기서의 기술들은 현상가능 충전 코팅 물질을 이용한다. 현상가능 물질들은 광 산(photo acid), 산, 및/또는 염기(base)와 상호작용하고, 이에 응답하여 각자의 용해도를 변경시키는 물질들이다. 과거에는, 현상가능 물질들은, 퇴적될 때, 일반적으로 컨포멀(conformal) 막들(즉, 구조물의 토포그래피를 취했던 막들)을 형성하였다. 하지만, 최근에는, 비 컨포멀 퇴적 거동을 나타내는 물질들(평면층을 생성시킬 수 있는 막들)이 현상가능하게 되었다. 이러한 물질들을 현상가능하게 함으로써, 결과적인 막들은 현상액과 상호작용할 수 있고/있거나 어느 정도 용해도 차이(용해도를 변경시키는 능력)를 가질 수 있다.

[0014] (산 또는 광 산과 같은) 용해도 변경제들은 (예컨대, 규정된 수치의 나노미터까지의 확산과 같은) 정확한 제어로 현상가능 물질 내로 확산할 수 있다. 여기서 이용된 광 산들은 활성화를 위해 리소그래피 노광을 필요로 하지 않는다는 것을 유념한다. 예를 들어, 이미 노광된 광 산이 합성될 수 있어서, 어떠한 노광도 필요하지 않다. 대신에, 용해도 변경제 공정은 온도 기반 및/또는 시간 기반 공정일 수 있으며, 광 기반 처리가 여전히 대안으로서 이용가능하다. 따라서, 여기서의 기술들은 스캐너 공정 대신에 온도 산 발생제 공정을 이용할 수 있다. 광 산은 현상가능 평면층 상에 물질로서 도입될 수 있다. 그런 후, 이러한 광 산 물질은 최상부로부터, 현상가능 평탄화 막에 의해 덮혀진 가장 키가 큰 구조물의 최상부까지와 같이, 알려진 확산 길이까지 하방으로 베이킹된다. 광 산은 알려진 길이만큼 하방으로 베이킹되어 큐(queue) 상에서 멈출 수 있다. 이용된 산의 양, 베이킹 시간 및 베이킹 온도는 평탄화 막과 타겟 확산 깊이의 유형에 의존한다. 충분한 베이킹 온도들, 베이킹 시간들, 및 용해도 변경제들을 식별하기 위해 횡 임계 치수들의 웨트 슬리밍을 위한 통상적인 데이터가 번역되고 추정될 수 있다.

[0015] 도 1 내지 도 9는 기판을 평탄화하기 위한 코터/현상액 툴 기반 평탄화 공정을 이용하여 비 평면 기판의 화학적 평탄화의 다양한 단계들을 나타내는 예시적인 기판 세그먼트의 개략 단면도들이다. 제1 단계는 미세가공 구조물들이 기판의 상단부에 걸쳐 비평면 토포그래피를 정의하도록 서로 높이가 다른 미세가공 구조물들을 갖는 기판을 수용하거나, 생성하거나, 또는 그렇지 않고 이를 제공하는 것이다. 도 1은 비평면 토포그래피를 갖는 기판(105)을 도시한다. 구조물(107)은 기판(105)의 바닥면(저면)(108)을 기준으로 구조물(106)보다 키가 크다는 것을 유념한다. 비제한적인 예시로서, 구조물들은 제조되는 FinFET(fin field effect transistor) 디바이스의 핀 구조물 및 게이트 구조물일 수 있다. 구조물들은 미세가공되기 때문에, 높이 차이들은 마이크로미터 규모 또는 나노미터 및 이보다 작은 규모일 수 있다. 예를 들어, 주어진 기판 상의 몇몇의 구조물들은 수 내지 수십 마이크로미터 차이날 수 있는 반면에, 다른 기판 상의 구조물들은 수 내지 수십 나노미터만큼 차이 나서 비평면을 정의할 수 있다.

[0016] 이제 도 2를 참조하면, 비평면 기판(105)을 수용한 후, 평탄화 막(110)이 기판(105)의 상단부(114) 상에 제1 평면(112)을 생성시키도록 기판 상에 평탄화 막(110)이 퇴적된다. 평탄화 막은 용해도 변경가능 물질을 포함하거나, 또는 그렇지 않고 용해도 쉬프트(solubility shift)를 가질 수 있는 조성을 갖는다. 따라서, 평탄화 막의 적어도 하나의 구성성분 물질은 특정 처리에 응답하고/응답하거나 하나 이상의 용해도 변경제들과의 반응에 응답하여 평탄화 막의 용해도를 쉬프트시킬 수 있다. 이러한 평탄화는 초기 구조물들에 대한 것일 수 있다는 것을 유념한다. 예를 들어, 구조물들이 40나노미터만큼 차이 나면, 제1 평면(112)은 대체적으로는 평평할 수 있지만 높이 균일성은 수 나노미터까지 다를 수 있다. 반도체 현상액 툴에서 현상될 수 있는 어떠한 평탄화 물질도 선택될 수 있다. 현상가능 물질은 일정한 작용제들과 상호작용을 할 것이며 자신의 용해도를 쉬프트시킬 것이다. 용해도 쉬프트는 주어진 현상액에 대한 용해도를 증가 또는 감소시키는 것일 수 있다. 예를 들어, DBARC 또는 실리콘 함유 DBARC가 이용될 수 있다. 반사 방지 코팅(anti-reflective coating; ARC)들은 불필요하지만, ARC를 이용하는 이점은 ARC들은 평탄화 능력들이 일관적이며 다양한 유형들의 구조물들을 효율적으로 충전시킬 수 있다는 점이다. 포토레지스트들이 또한 이용될 수 있지만, 특정 거칠기 허용오차가 명시되는 경우, 수용가능한 평탄화 특성들을 제공하기 위해 몇가지 추가적인 공학기술이 필요할 수 있다. 여기서의 평탄화 물질에 대한 다른 옵션은 스핀 온 탄소층에 감광제(photosensitizer)를 추가하는 것이다.

[0017] 이제 도 3을 참조하면, 용해도 변경제(120)가 평탄화 막(110)의 제1 평면(112) 상에 퇴적된다. 용해도 변경제(120)는 스핀 코팅, 액상 디스펜싱, 딥핑, 또는 기상 증착에 의해 퇴적될 수 있다. 용해도 변경제(120)는 용해도 변경가능 물질과 상호작용하여 평탄화 막(110)의 용해도를 쉬프트시킬 것이다. 용해도 변경제(120)를 (기판(105)에 걸쳐 대체적으로 평평한) 평면 상에 퇴적함으로써, Z 높이 용해도 쉬프트가 실현될 수 있다. 용해도 변경제(120)는 다양한 산들을 비롯하여 여러가지 물질들로부터 선택될 수 있다. 예를 들어, 평탄화 막이 네거티브 톤 유형의 레지스트인 경우, 용해도 변경제(120)는 염기로서 선택될 수 있다. 다양한 현상가능 물질들과 용해도 변경제들의 호환성들은 미세가공 및 포토리소그래피에서의 당업자의 지식 내에 있다.



- [0018] 이제 도 4를 참조하면, 본 기술들은 평탄화 막(110)의 상단부(115)의 Z 높이 용해도 쉬프트를 생성하고, 평탄화 막(110) 내의 명시된 위치에서 멈추기 위해 이용될 수 있다. 용해도 변경제(120)가 평탄화 막(110)의 최상부(115)의 용해도를 변경시키도록 용해도 변경제(120)가 활성화된다. 평탄화 막(110)의 최상부(115)는, 예를 들어, 평탄화 막(110)의 제1 평면(112)으로부터 평탄화 막(110) 내의 미리 정해진 깊이(117)까지 수직으로 연장되는 두께를 가질 수 있다. 비록 필수적이지는 않지만, 이러한 미리 정해진 깊이는 평탄화 막(110)에 의해 덮혀진 최고 높이 구조적 피쳐까지 연장할 수 있다.
- [0019] 용해도 변경제(120)를 활성화시키는 것은 용해도 변경제(120)가 평탄화 막 내로 미리 정해진 깊이까지 확산하고 평탄화 막의 최상부(115)의 용해도를 변경시키도록 용해도 변경제(120)를 가열하는 것을 포함할 수 있다. 도 10과 도 11은 이 활성화 공정의 확대 개략도를 보여준다. 도 10은 도 3에 대응하며, 평탄화 막(110)의 제1 평면(112) 상에 퇴적된 용해도 변경제(120)를 도시한다. 그 후, 기관 및/또는 용해도 변경제(120)는 가열되거나 또는 그렇지 않고 활성화된다. 이것은 용해도 변경제(120)가 평탄화 막(110) 내로 하방 확산하게 만든다. 도 11은 용해도 변경제(120)의 일반적인 확산 플로우를 나타내기 위한 화살표들을 도시한다. 활성화를 중단하거나 또는 확산이 자가 제한되도록 특정 양의 용해도 변경제(120)를 제공함으로써 확산은 미리 정해진 깊이(117)까지 하방으로 일어난다. 자가 제한 확산 길이들을 초래시키도록 작용제들의 분자량이 또한 선택될 수 있다. 용해도 변경제를 가열하는 것은 용해도 변경제의 확산이 대략 미리 정해진 깊이(117)에서 멈추도록 가열 파라미터들을 제어하는 것을 포함할 수 있다. 하나의 예시적인 실시예에서, 기관 스택은 약 80°C와 100°C 사이로 가열된다.
- [0020] 따라서, 활성화는 규정된 확산 길이에 좌우될 수 있다. 이러한 확산 추진제 또는 활성화 단계는 일반적으로 가열이다. 대안적인 실시예들에서, 극자외(extreme ultra violet; EUV) 방사선, UV 방사선, 또는 가시광이 이용될 수 있다. 택일적 사항으로서 마이크로파 열이 이용될 수 있다. 대안적으로, 활성화를 추진하기 위해 열 및 UV 방사선은 동시에 공급될 수 있다. UV는 통상적인 광 산 발생제(photo acid generator; PAG)를 광 산으로 변환시키는 데에 이용될 수 있다. 몇몇의 산들 또는 용해도 변경제들은 열 활성화 없이 자가 활성화되거나 또는 확산될 수 있다. 자가 활성화제가 퇴적되고, 그런 후 미리 정해진 깊이를 확산하는 데에 충분한 시구간 동안 평탄화 층 상에 남겨질 수 있다. 몇몇의 자가 활성화제들은 가용성 물질 단층을 본질적으로 생성시키는 자가 제한 확산 깊이를 갖는다. 따라서, 타겟 깊이(또는 구조물들 위의 타겟 높이)에 도달할 때 까지 다중 코팅들이 도포되고 제거될 수 있다.
- [0021] 도 5를 참조하면, 평탄화 막(110)의 최상부(115)의 용해도를 변경시킨 후, 최상부(115)는 제거되어 타겟 평면(127)을 갖는 기관(105)을 초래시킨다. 이러한 제거는 세정하여 없앨 수 있는 용액으로 최상부(115)를 변환시키는 화학적 현상액 또는 현상액 틀을 이용하여 실행될 수 있다. 평탄화 막의 이 영역(상단부)은 이제 가용성이 되었으므로(아래의 영역은 불가용성으로 남아있음), 광 산(가용성) 및 영향받은 평탄화 층(가용성) 둘 다를 세정하여 없애는 것이 가능하다.
- [0022] 이 때, 타겟 평면(127)은, 이 표면의 몇몇 부분들이 기관(105)의 구조물들의 최상면들(평탄화 층의 퇴적 전에 존재함)인 반면에, 다른 표면 부분들이 평탄화 막(110)인 점에서 다물질 표면을 갖는다. 평탄화 막(110)의 추가적인 용해도 쉬프트를 방지하기 위해, 평탄화 막이 더 이상 용해도 변경제들과 반응하지 않도록 하는 데에 충분한 온도까지 기관을 열처리하는 노광후 베이킹이 실행될 수 있다.
- [0023] 현상액 틀을 통해 평면(127)이 생성되었으므로, 추가적인 가공 기술들이 계속될 수 있다. 예를 들어, 후속 패터닝이 평면 상에서 계속될 수 있고, 상이한 높이들의 하위 피쳐들을 동시에 에칭하기 위해 평탄화 물질이 필요에 따라 에칭될 수 있다. 도 6을 참조하면, BARC 층(132)이 도포될 수 있고, 이어서 레지스트층(134)의 퇴적이 뒤따를 수 있다. 그런 후, 레지스트층(134) 내에 잠재적인 패턴을 생성하기 위해 레지스트층(134)은 전자기 방사선의 패턴에 노출될 수 있다. 도 7은 현상된 후의 패터닝된 레지스트(138)를 도시한다. 그런 후, 기관 스택 내로 피쳐들을 에칭하기 위해 패터닝된 레지스트(138)가 이용될 수 있고, 그 결과물이 도 8에 도시된다. 다수의 상이한 높이들의 피쳐들이 동시에 에칭될 수 있다는 것을 유념한다. 에칭 동작들 후, 마스크층들이 제거될 수 있고, 도 9에서 도시된 바와 같은 패터닝된 기관이 남겨질 수 있다. 따라서, 여기서의 기술들을 통해, 비평면 기관은 현상액 틀을 통한 화학적 평탄화를 이용하여 효율적으로 평탄화될 수 있다. 이러한 현상액 틀 기반 평탄화는 효율성과 비용을 개선시킬 수 있을 뿐만이 아니라, 견고하지 않은 구조물들, 또는 필요한 박막들을 보존시키는 비연마식 평탄화를 제공할 수 있다.
- [0024] 이전 설명에서는, 여기서 이용된 처리 시스템의 특정 기하학적 구조 및 다양한 컴포넌트들과 공정들의 설명들과 같은 구체적인 상세사항들이 진술되었다. 하지만, 여기서의 기술들은 이러한 구체적인 상세사항들을 벗어난 다

른 실시예들에서 실시될 수 있다는 것과, 이러한 상세사항들은 설명을 위한 것일 뿐 제한적 의도를 갖는 것이 아님을 이해해야 한다. 여기서 개시된 실시예들을 첨부 도면들을 참조하여 설명하였다. 마찬가지로, 설명을 위해, 특정 숫자들, 물질들, 및 구성들이 완전한 이해를 제공하기 위해 진술되었다. 하지만, 실시예들은 이러한 특정 상세사항들 없이 실시될 수 있다. 실질적으로 동일한 기능적 구성물들을 갖는 컴포넌트들은 동일한 참조 문자들로 표시되며, 이에 따라 중복적인 설명은 그 어떠한 것도 생략될 수 있다.

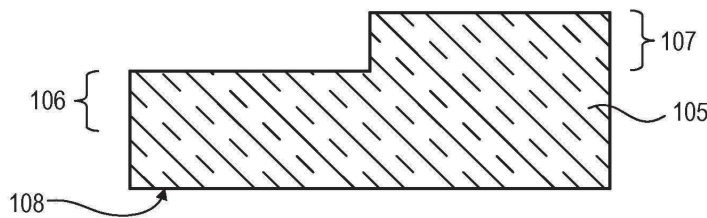
[0025] 다양한 실시예들을 이해하는 것을 돕기 위해 다양한 기술들이 다수의 개별적 동작들로서 설명되었다. 본 설명의 순서는 이러한 동작들이 반드시 순서 의존적임을 나타내는 것이라고 해석되어서는 안된다. 오히려, 이러한 동작들은 제시 순서로 수행될 필요는 없다. 설명된 동작들은 설명된 실시예와는 상이한 순서로 수행될 수 있다. 추가적인 실시예들에서, 다양한 추가적인 동작들이 수행될 수 있고/있거나 설명된 동작들은 생략될 수 있다.

[0026] 여기서 이용된 "기판" 또는 "타겟 기판"은 일반적으로 본 발명에 따라 처리되는 물체를 가리킨다. 기판은 디바이스, 특히 반도체 또는 다른 전자 디바이스의 임의의 물질 부분 또는 구조물을 포함할 수 있고, 예컨대, 반도체 웨이퍼, 레티클과 같은 기저 기판 구조물, 또는 박막과 같이 기저 기판 구조물 상에 있거나 그 위에 있는 층일 수 있다. 따라서, 기판은 패터닝되거나 또는 패터닝되지 않은, 임의의 특정 기저 구조물, 하위층 또는 상위층으로 한정되지 않으며, 이보다는 이러한 임의의 층 또는 기저 구조물, 및 층들 및/또는 기저 구조물들의 임의의 조합을 포함하는 것으로 구상가능하다. 본 설명은 특정 유형의 기판들을 참조할 수 있지만, 이것은 단지 설명용일 뿐이다.

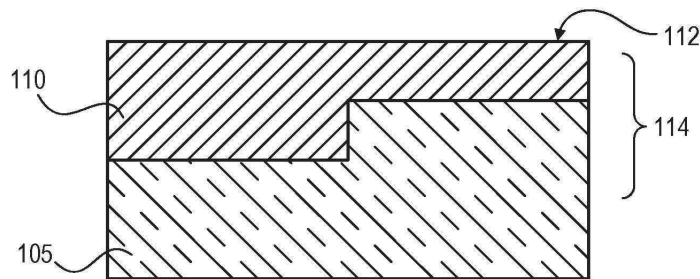
[0027] 본 발명분야의 당업자는 또한 본 발명의 동일한 목적을 여전히 달성하면서 상술한 기술들의 동작들에 많은 변형들이 취해질 수 있다는 것을 이해할 것이다. 이러한 변형들은 본 발명개시의 범위에 의해 커버되는 것으로 의도된다. 이에 따라, 본 발명의 실시예들의 전술한 설명들은 제한적인 것으로 의도된 것이 아니다. 오히려, 본 발명의 실시예들에 대한 그 어떠한 제한들은 아래의 청구범위들에서 제시된다.

**도면**

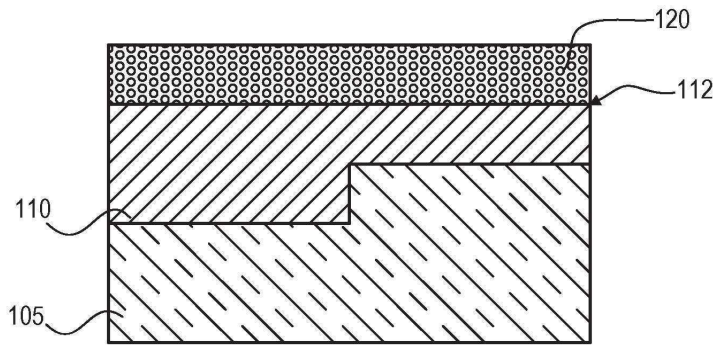
**도면1**



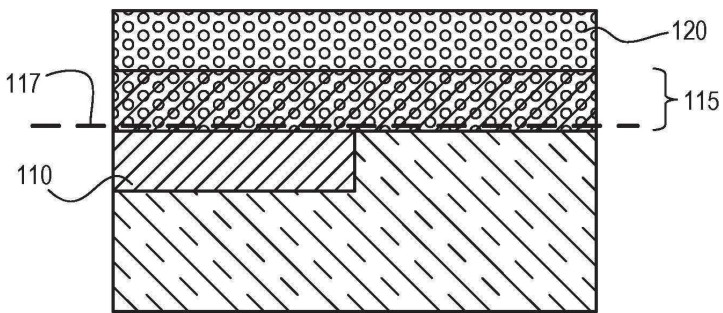
**도면2**



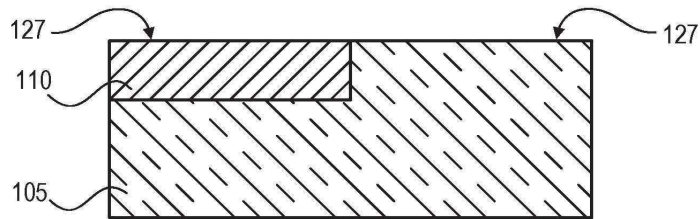
도면3



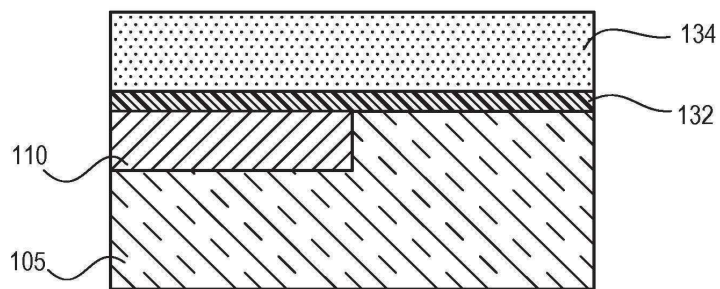
도면4



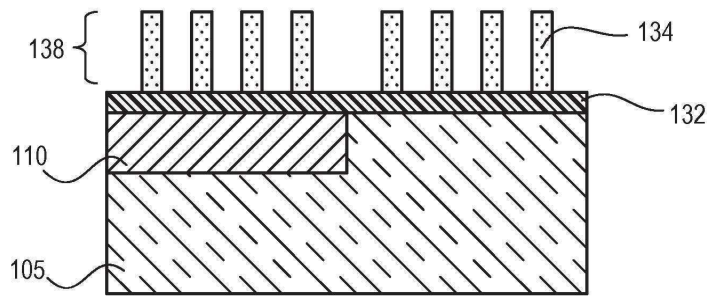
도면5



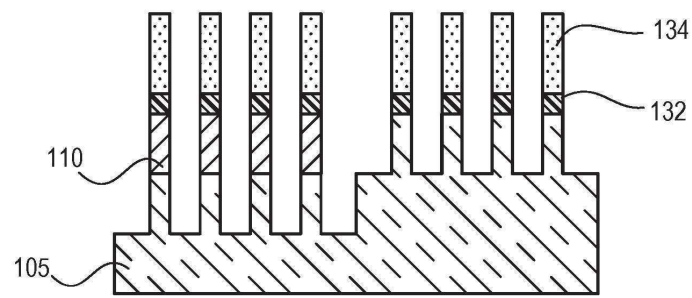
도면6



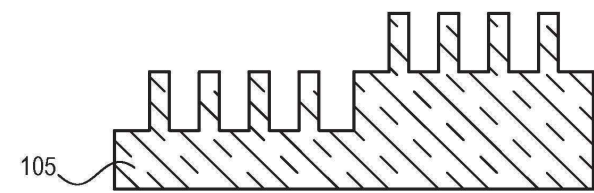
도면7



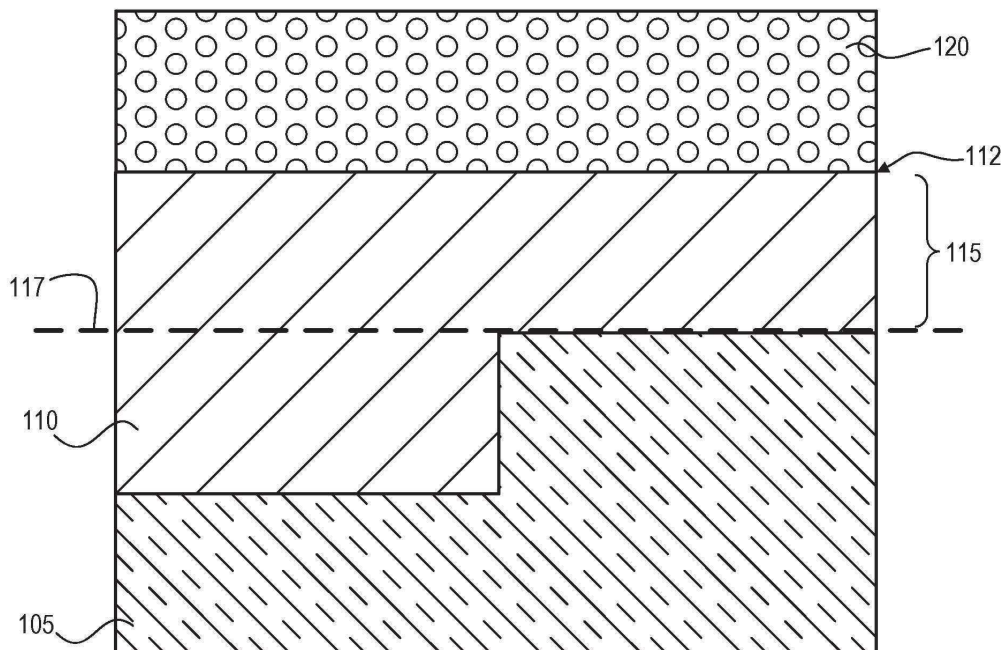
도면8



도면9



도면10



도면11

