

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
G11C 29/00

(11) 공개번호 특1999-014168  
(43) 공개일자 1999년02월25일

(21) 출원번호	특1998-029902
(22) 출원일자	1998년07월24일
(30) 우선권주장	97-215920 1997년07월25일 일본(JP)
(71) 출원인	닛뽕덴끼 가부시끼가이샤 가네꼬 히사시
(72) 발명자	일본 도오교도 미나또꾸 시바 5초메 7방 1고 하시모또 히로아끼
(74) 대리인	일본 도오교도 미나또꾸 시바 5초메 7방 1고 닛뽕덴끼 가부시끼가이샤 나이 박해선, 조영원

**심사청구 : 있음**

**(54) 변인 테스트 기능을 갖는 반도체 메모리 장치**

**요약**

반도체 메모리 장치는 메모리 셀 (MC<sub>11</sub>, ...) 에 접속된 복수의 워드 라인 (WL<sub>1</sub>, WL<sub>2</sub>, ...) , 전원 전압 (V<sub>CC</sub>) 보다 높은 적절한 워드 라인 레벨 발생 전압 (V<sub>CC1</sub>)을 발생하는 워드 라인 레벨 발생 회로 (3) , 워드 라인 레벨 발생 전압을 사용하여 워드 라인중의 하나를 각각 구동하는 복수의 워드 라인 드라이버 (2-1, 2-2, ...) , 및 통상 모드에서 제 1 수의 워드 라인 드라이버를 활성화시키고 변인 테스트 모드에서 제 2 수의 워드 라인 드라이버를 활성화시키는 복수의 행 디코더 (1-1, 1-2, ...)를 포함한다. 제 2 수는 제 1 수보다 크다. 제어 회로 (4) 는 워드 라인 레벨 발생 전압을 검출하고 피드백을 사용하여 전압을 일정 레벨로 제어한다.

**대표도**

**도5**

**명세서**

**도면의 간단한 설명**

도 1a 는 제 1 의 종래의 반도체 메모리 장치를 나타내는 회로도.  
 도 1b 는 도 1a 의 장치의 변형을 나타내는 회로도.  
 도 2 는 도 1a 와 도 1b 의 워드 라인 레벨 발생 회로의 회로도.  
 도 3 은 제 2 의 종래의 반도체 메모리 장치를 나타내는 회로도.  
 도 4 는 제 3 의 종래의 반도체 메모리 장치를 나타내는 회로도.  
 도 5 는 본 발명에 따른 반도체 메모리 장치의 제 1 실시예를 나타내는 회로도.  
 도 6 은 도 5 의 장치의 변형을 나타내는 회로도.  
 도 7 은 본 발명에 따른 반도체 메모리 장치의 제 2 실시예를 나타내는 회로도.  
 도 8 및 9 는 도 7 의 장치에 포함되는 행 프리디코더를 나타내는 회로도.  
 도 10 은 도 5, 6, 7 의 제어 회로의 변형의 블록 회로도.

\* 도면의 주요부분에 대한 부호의 설명 \*

1-1, 1-2, ...: 행 어드레스 디코더  
 2-1, 2-2, ...: 워드 라인 드라이버  
 3: 워드 라인 레벨 발생 회로  
 4: 제어 회로

**발명의 상세한 설명**

**발명의 목적**

### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 번인 (burn-in) 테스트 기능을 갖는 다이내믹 랜덤 액세스 메모리 (DRAM) 장치 등의 반도체 메모리 장치에 관한 것이다.

반도체 메모리 장치는 출하하기 전에 번인 (burn-in) 테스트가 수행되어 특성을 안정화시키고 결함을 검출한다.

이러한 번인 테스트에 있어서, 반도체 메모리 장치에 약 8 내지 10 시간 등의 장시간동안 5V 등의 통상 전원 전압보다 높은 7V 등의 전원 전압을 인가한다. 전원 전압을 높일수록, 스크리닝 (screening) 효과는 점점 더 커진다. 또한, 번인 테스트 시간이 길수록 스크리닝 효과는 더 커진다.

번인 테스트에 있어서, 주변 회로는 각 사이클에서 전부 동작하므로, 충분한 스트레스가 인가된다. 한편, 선택된 메모리 셀만이 각 사이클에서 동작하므로, 인가되는 스트레스는 충분하지 않다. 예를 들어, 16Mbit DRAM 장치에서 전체 메모리 셀의 1/2000 에만 스트레스가 인가된다.

그러므로, 전원 전압보다 높은 전압을 사용하여 많은 수의 메모리 셀을 동시에 선택하면, 번인 테스트의 스크리닝 효과를 강화하고, 또한, 번인 테스트 시간을 감소시킬 수 있다 (JP-A-6-76599 참조). 이것은 다음에 상세히 설명한다.

### 발명이 이루고자 하는 기술적 과제

그러나, 상술한 종래의 반도체 메모리 장치에 있어서, 고전압을 검출하는 수단이 없으므로, 워드 라인에서의 전압이 너무 높으면 메모리 셀에 인가되는 스트레스가 너무 커진다. 이 경우, 큰 스트레스가 장치의 주변 회로에 인가된다. 반대로, 동시에 구동되는 워드 라인의 수가 너무 많아 워드 라인에서의 전압이 너무 낮으면, 워드 라인 레벨 발생 회로의 용량이 커져야 하고, 집적도를 감소시킨다.

본 발명의 목적은 적절한 전원 전압을 사용하여 번인 테스트 기능을 수행 할 수 있어 테스트 시간을 감소시킬 수 있는 반도체 메모리 장치를 제공하는 것이다.

### 발명의 구성 및 작용

본 발명에 따르면, 반도체 메모리 장치는 메모리 셀에 접속된 복수의 워드 라인, 전원 전압보다 높은 적절한 워드 라인 레벨 발생 전압을 발생하는 워드 라인 레벨 발생 회로, 워드 라인 레벨 발생 전압을 사용하여 워드 라인중의 하나를 각각 구동하는 복수의 워드 라인 드라이버, 및 통상 모드에서 제 1 수의 워드 라인 드라이버를 활성화시키고 번인 테스트 모드에서 제 2 수의 워드 라인 드라이버를 활성화시키는 복수의 행 디코더를 포함한다. 제 2 수는 제 1 수보다 크다. 제어 회로는 워드 라인 레벨 발생 전을 검출하고 피드백을 사용하여 전압을 일정 레벨로 제어한다.

본 발명은 첨부된 도면을 참조하여 종래 기술과 비교하여 설명함으로써 명백해질 것이다.

바람직한 실시예를 설명하기 전에 번인 테스트 기능을 갖는 종래의 반도체 메모리 장치를 도 1a, 1b, 2, 3, 및 4를 참조하여 설명한다.

제 1의 종래의 반도체 메모리 장치 (JP-A-6-76599 의 도 2 참조) 를 나타내는 도 1a 에 있어서, MC<sub>11</sub> 등의 1 트랜지스터, 1 커패시터형 메모리 셀은 워드 라인 (WL<sub>1</sub>, WL<sub>2</sub>, ...) 및 BL<sub>1</sub> 및 BL<sub>2</sub> 등의 비트 라인쌍 사이에 접속된다.

통상 모드에서, 워드 라인 (WL<sub>1</sub>, WL<sub>2</sub>, ...) 중의 하나는 행 어드레스 신호 (ADD) 를 수신하기 위한 행 디코더 (101) 에 의해 선택된다.

번인 테스트 모드에서, 모든 워드 라인 (WL<sub>1</sub>, WL<sub>2</sub>, ...) 은 테스트 신호 ( $\psi_1$  및  $\psi_2$ )를 수신하는 테스트 회로 (102) 에 의해 선택된다. 전원 전압 (V<sub>CC</sub>) 은 테스트 회로 (102) 에 인가되고, 또한 워드 라인 레벨 발생 회로 (103) 에 의해 발생된 하이 전원 전압 (V<sub>CC1</sub>(V<sub>CC</sub>)) 은 테스트 회로 (102) 에 인가된다.

통상 모드에서, 테스트 신호 ( $\psi_1$ ,  $\psi_2$ ) 가 둘다 로우이고, NOR 회로 (104) 의 출력 신호는 하이이어서 행 디코더 (101) 를 활성화시킨다. 그러므로, 워드 라인 (WL<sub>1</sub>, WL<sub>2</sub>, ...) 중의 하나가 선택되어 하이로 된다. 이 경우, 테스트 회로 (102)에서, 트랜지스터 (1022) 는 트랜지스터 (1021)를 통한 테스트 신호 ( $\psi_1$ ) 에 의해 턴오프되고 트랜지스터 (1023) 는 테스트 신호 ( $\psi_2$ ) 에 의해 턴오프된다. 그러므로, 테스트 회로 (102) 는 비활성 상태가 된다.

테스트 모드에서, 먼저, 테스트 신호 ( $\psi_1$ ,  $\psi_2$ ) 는 둘다 하이이고, 그후, 테스트 신호 ( $\psi_2$ ) 만이 로우로 된다. 결과적으로 NOR 회로 (104) 의 출력 신호는 로우이어서 행 디코더 (101) 는 비활성 상태가 된다. 이 경우, 테스트 회로 (102)에서, 먼저, 트랜지스터 (1023) 의 드레인 전압은 0V (=V<sub>SS</sub>) 이고, 트랜지스터 (1022) 의 게이트 전압은 V<sub>CC</sub>-V<sub>TH</sub> 이다. 여기서, V<sub>TH</sub> 는 N 채널 트랜지스터 (1021) 의 드레쉬홀드 전압이다. 다음으로, 테스트 신호 ( $\psi_2$ ) 가 로우가 되면, 트랜지스터 (1023) 의 드레인 전압은 상승하여 게이트-소스 용량 결함에 의해 트랜지스터 (1022) 의 게이트 전압은 증가한다.

결과적으로, 트랜지스터 (1022) 의 게이트 전압은 V<sub>CC</sub> 보다 상당히 높게 되므로, 트랜지스터 (1022)를 통해 워드 라인 (WL<sub>2</sub>, WL<sub>3</sub>, ...) 뿐만 아니라 워드 라인 (WL<sub>1</sub>) 에 하이 전압 전압 (V<sub>CC1</sub>) 이 인가된다. 그러므로, 하이 전원 전압 (V<sub>CC1</sub>)을 사용하여 모든 워드 라인 (WL<sub>1</sub>, WL<sub>2</sub>, ...) 을 선택하여 번인 테스트를 실행한다.

도 1a 의 반도체 메모리 장치에 있어서, 번인 테스트에서 모든 워드 라인이 동시에 선택되므로, 테스트

시간을 감소시킬 수 있다.

도 1a의 반도체 메모리 장치의 변형을 나타내는 도 1b에서, 번인 테스트 모드에서, 하이 전원 전압 ( $V_{CC1}$ )을 사용하여 워드 라인 ( $WL_1, WL_2, WL_3, WL_4$ ) 중의 2 개만을 선택한다 (JP-A-6-76599의 도 1 참조). 즉, 제 1 모드에서 테스트 신호 ( $\psi_1, \psi_2$ )가 둘다 하이이고, 테스트 신호 ( $\psi_2$ )만이 로우가 되고, 하이 전원 전압 ( $V_{CC1}$ )을 사용하여 워드 라인 ( $WL_1, WL_3$ )을 선택한다. 한편, 제 2 모드에서, 테스트 신호 ( $\psi_1, \psi_2$ )는 둘다 하이가 되고 그후, 테스트 신호 ( $\psi_1$ )가 로우가 되고, 하이 전원 전압 ( $V_{CC1}$ )을 사용하여 워드 라인 ( $WL_2, WL_4$ )을 선택한다.

도 1b의 반도체 메모리 장치에 있어서, 복수의 워드 라인은 번인 테스트에서 동시에 선택되므로, 테스트 시간을 또한 감소시킬 수 있다.

도 1a 및 1b의 워드 라인 레벨 발생 회로 (103)의 상세 회로도인 도 2에 있어서,  $CK_1$ 와  $CK_2$ 는 클럭 신호이고, RST는 리셋 신호이다. 먼저, 클럭 신호 ( $CK_1$ )는 로우가 되어, 노드 ( $N_1$ )에서의 전압은 인버터 (201) 및 N 채널 트랜지스터 (202)에 의해  $V_{CC}-V_{TH}$ 로 발생한다. 다음으로, 클럭 신호 ( $CK_2$ )는 하이가 되어 노드 ( $N_1$ )에서의 전압은 커패시터 (203)의 용량 결합에 의해 상승한다. 그러므로, N 채널 트랜지스터 (204)는 턴온되어 노드 ( $N_2$ )에서의 전압은  $V_{CC}$ 로 증가한다. 그후, 노드 ( $N_2$ )에서의 전압은 클럭 신호 ( $CK_2$ )를 사용하여 인버터 (206, 207) 및 NOR 회로 (208)를 통하여 커패시터 (205)의 용량 결합에 의해 상승한다. 그러므로, 트랜지스터 (209)는 턴온하여 노드 ( $N_3$ )에서의 전압 ( $V$ )은  $V_{CC}$ 가 된다. 또한, 노드 ( $N_3$ )에서의 전압은 커패시터 (210)의 용량 결합에 의해  $V_{CC}$ 보다 높은 레벨로 상승한다. 이 경우, 클럭 신호 ( $CK_2$ )는 인버터 (211, 212, 213)를 통해 P 채널 트랜지스터 (214)로 전송되어 트랜지스터 (214)가 턴온한다. 결과적으로, 노드 ( $N_3$ )에서의 하이 전압은 하이 전원 전압 ( $V_{CC1}$ )만큼 발생한다.

그러므로, 전압 ( $V_{CC1}$ )은 클럭 신호 ( $CK_1, CK_2$ )에 의해 단계적으로 증가한다.

하이 전원 전압 ( $V_{CC1}$ )이 하강하도록 요구되면, 리셋 신호 (RST)가 하이로 된다.

그러나, 도 1a 또는 1b의 반도체 메모리 장치에 있어서, 워드 라인 레벨 발생 회로 (103)로부터 발생된 하이 전원 전압 ( $V_{CC1}$ )을 검출하기 위한 수단이 없으므로, 워드 라인 ( $WL_1, WL_2, \dots$ )에서의 전압이 높으면, 너무 큰 스트레스가  $MC_{11}$  등의 메모리 셀에 인가된다. 이 경우, 더 큰 스트레스가 장치의 주변 회로에 인가된다. 반대로, 동시에 구동되는 워드 라인의 수가 너무 많아 워드 라인 ( $WL_1, WL_2, \dots$ )에서의 전압이 너무 낮으면, 워드 라인 레벨 발생 회로 (103)의 커패시터 (203, 205, 210)의 용량은 커져야 하고, 집적도는 감소한다.

제 2의 종래의 반도체 장치 (JP-A-7-244998 참조)를 나타내는 도 3에 있어서, 워드 라인 드라이버 (2021, 2022, ...)는 행 어드레스 디코더 (201)와 워드 라인 ( $WL_1, WL_2, \dots$ ) 사이에 접속된다. 워드 라인 드라이버 (2021, 2022, ...)의 각각은 P 채널 트랜지스터 및 N 채널 트랜지스터에 의해 형성된 인버터로 구성되고 전원 전압 ( $V_{CC}$ )을 위한 단자와 노드 ( $N_{301}$ ) 사이에 접속된다. 번인 테스트 신호 (BT)는 P 채널 트랜지스터 및 N 채널 트랜지스터로 각각 형성된 2개의 인버터 (203, 204)를 통해 노드 ( $N_{301}$ )에 공급된다.

통상 모드에서, 번인 테스트 신호 (BT)는 로우이고, 노드 ( $N_{301}$ )에서의 전압은 0V ( $=V_{SS}$ )가 된다. 결과적으로, 워드 라인 ( $WL_1, WL_2, \dots$ ) 중의 하나가 선택되어 하이 ( $=V_{CC}$ )로 된다.

번인 테스트 모드에서, 번인 테스트 신호 (BT)가 하이이고, 노드 ( $N_{301}$ )에서의 전압은 하이 ( $=V_{CC}$ )가 된다. 결과적으로, 모든 워드 라인 ( $WL_1, WL_2, \dots$ )은 선택되어 하이 ( $=V_{CC}$ )가 된다. 그러므로, 테스트 시간을 감소시킬 수 있다.

그러나, 도 3의 반도체 메모리 장치에 있어서, 워드 라인 ( $WL_1, WL_2, \dots$ )에서의 전압은 번인 테스트 모드 동안 가장 높은  $V_{CC}$ 이므로, 번인 테스트의 스크리닝 효과는 작다.



제 3의 종래 기술의 반도체 메모리 장치 (JP-A-282598 참조)를 나타내는 도 4에 있어서, 메인 행 디코더를 설명한다. 즉,  $DWL_{i0}, DWL_{i1}, DWL_{i2}$ , 및  $DWL_{i3}$  (도면에는  $i=0$ 인 것만 표시)은 행 프리디코더 (predecoder)의 행 어드레스의 2개의 하위 비트에 의해 구동되는 워드 라인이고,  $MW_i$  (도면에는  $i=0$ 인 것만 표시)는 행 어드레스 프리디코더의 행 어드레스의 다른 상위 비트에 의해 구동되는 워드 라인 신호이다.

통상 모드에서, 번인 테스트 신호 (BT)는 로우이고, 워드 라인 신호 ( $DWL_{i0}, DWL_{i1}, DWL_{i2}$ , 및  $DWL_{i3}$ ) 중의 하나와 워드 라인 ( $MW_i$ ) 중의 하나가 선택되어 행 어드레스 프리디코더의 하이 ( $=V_{CC}$ )가 된다. 결과적으로, 워드 라인 ( $WL_1, WL_2, \dots$ )은 선택되어 하이 ( $=V_{CC}$ )가 된다. 그러므로, 테스트 시간을 감소시킬 수 있다.

그러나, 도 4의 반도체 메모리 장치에 있어서, 워드 라인 ( $WL_1, WL_2, \dots$ )에서의 전압은 번인 테스트 모드 동안 가장 높은  $V_{CC}$ 이므로, 번인 테스트의 스크리닝 효과는 작다.

본 발명에 따른 반도체 메모리 장치의 제 1 실시예를 나타내는 도 5에 있어서, 참조 번호 (1-1, 1-2,

...) 는 행 어드레스 신호 (A2 (또는 ), A3 (또는

, ..., A8 (또는 ))을 수신하는 행 어드레스

디코더를 나타내고, 2-1, 2-2, ... 는 행 어드레스 디코더중의 하나에 각각 접속된 워드 라인 드라이버를 나타낸다. 행 어드레스 디코더 (1-1, 1-2, ...) 는 행 디코더 활성화 신호 ( $\psi_0$ ) 에 의해 활성화된다.

또한 더 높은 전원 전압 ( $V_{CC1}$ ) ( $V_{CC}$ ) 이 워드 라인 레벨 발생 회로 (3) 에 의해 워드 라인 드라이버 (2-1, 2-2, ...) 에 공급된다. 워드 라인 레벨 발생 회로 (3) 는 도 2 의 워드 라인 레벨 발생 회로와 동일한 구성을 갖는다. 이 경우, 워드 라인 레벨 발생 회로 (3) 는 전원 전압 ( $V_{CC1}$ )을 검출하는 제어 회로 (4) 에 의해 제어되어 전원 전압 ( $V_{CC1}$ ) 은 일정 레벨에 근접하여 발생한다. 즉, 제어 회로 (4) 가 활성 간격 행 어드레스 스트로브 (RAS) 신호 등을 수신하면, 제어 회로 (4) 는 클럭 신호 ( $CK_1$ ,  $CK_2$ )를 발생하여 워드 라인 레벨 발생 회로 (3)를 활성화한다. 한편, 전원 전압 ( $V_{CC1}$ ) 이 상술한 일정 레벨에 도달하면, 제어 회로 (4) 는 클럭 ( $CK_1$ ,  $CK_2$ ) 의 발생을 정지하고, 전원 전압 ( $V_{CC1}$ ) 이 일정 레벨에 유지되도록 한다.

1-1 과 같은 행 어드레스 디코더는 행 디코더 활성화 신호 ( $\psi_0$ )를 수신하는 P 채널 트랜지스터 ( $Q_{10}$ ), 신호 (A2 · A3)를 수신하는 N 채널 트랜지스터 ( $Q_{11}$ ), 신호 (A4 · A5)를 수신하는 N 채널 트랜지스터 ( $Q_{12}$ ), N 채널 트랜지스터 ( $Q_{13}$ ), 및 번인 테스트 신호 (BT)를 수신하는 N 채널 트랜지스터 ( $Q_{14}$ ) 에 의해 형성된다. 또한, 2-1 과 같은 워드 라인 드라이버는 인버터 ( $I_1$ ), N 채널 트랜지스터 ( $Q_{15}$ ), 및 전압 ( $V_{CC1}$ ,  $V_{SS}$ ) 에 의해 전력이 가해진 직렬 접속된 N 채널 트랜지스터 ( $Q_{16}$ ,  $Q_{17}$ ) 에 의해 구성된다.

통상 모드에서, 번인 테스트 신호 (BT) 가 로우이고, 트랜지스터 ( $Q_{14}$ ,  $Q_{24}$ , ...) 가 턴오프한다. 그러므로, 행 디코더 활성화 신호 ( $\psi_0$ ) 가 로우인 조건하에서, A2 · A3 =1 (하이) 이고, A4 · A5=1 이고, A6 · A7 · A8=1 이면, 트랜지스터 ( $Q_{11}$ ,  $Q_{12}$ ,  $Q_{13}$ ) 은 턴온되어 노드 ( $N_{11}$ ) 에서의 전압은 0V 로 하강한다. 결과적으로, 노드 ( $N_{12}$ ) 에서의 전압은  $V_{CC}-V_{TH}$  가 된다. 이 상태에서, 트랜지스터 ( $Q_{17}$ ) 는 턴오프되고, 노드 ( $N_{12}$ ) 에서의 전압은  $V_{CC}$  보다 높은 레벨로 상승한다. 결과적으로, 워드 라인 ( $WL_1$ ) 은 하이 전원 전압 ( $V_{CC1}$ ) 에 의해 구동되어, 워드 라인 ( $WL_1$ )을 선택한다. 마찬가지로, 행 디코더 활성화 신호 ( $\psi_0$ )



가 로우인 조건하에서, 트랜지스터 ( $Q_{21}$ ,  $Q_{22}$ ,  $Q_{23}$ ) 은 턴온되어 노드 ( $N_{21}$ ) 에서의 전압은 0V 로 강하한다. 결과적으로, 노드 ( $N_{22}$ ) 에서의 전압은 0V 로 강하한다. 결과적으로, 노드 ( $N_{22}$ ) 에서의 전압은  $V_{CC}-V_{TH}$  가 된다. 이 상태에서, 트랜지스터 ( $Q_{27}$ ) 은 턴오프하므로, 노드 ( $N_{22}$ ) 에서의 전압은  $V_{CC}$  보다 높은 레벨로 상승한다. 결과적으로, 워드 라인 ( $WL_2$ ) 은 하이 전원 전압 ( $V_{CC1}$ ) 에 의해 구동되어 워드 라인 ( $WL_2$ )을 선택한다.

그러므로, 통상 모드에서, 전원 전압 ( $V_{CC1}$ )을 사용하여 워드 라인 ( $WL_1$ ,  $WL_2$ , ...) 중의 하나만을 선택한다.

번인 테스트 모드에서, 번인 테스트 (BT) 가 하이일 때, 트랜지스터 ( $Q_{14}$ ,  $Q_{24}$ , ...) 가 턴온한다. 그러므로, 노드 ( $N_{20}$ ,  $N_{21}$ , ...) 에서의 전압은 어드레스 신호 (A2, A3, ..., A8) 에 관계없이 0V 로 강하한다. 결과적으로, 노드 ( $N_{12}$ ,  $N_{22}$ , ...) 에서의 전압은  $V_{CC}-V_{TH}$  가 된다. 이 상태에서, 트랜지스터 ( $Q_{17}$ ,  $Q_{27}$ , ...) 가 턴오프하므로, 노드 ( $N_{12}$ ,  $N_{22}$ , ...) 에서의 전압은  $V_{CC}$  보다 높은 레벨로 상승한다. 결과적으로, 모든 워드 라인 ( $WL_1$ ,  $WL_2$ , ...) 은 하이 전원 전압 ( $V_{CC1}$ ) 에 의해 구동되어 모든 워드 라인 ( $WL_1$ ,  $WL_2$ , ...)을 선택한다.

그러므로, 번인 테스트 모드에서, 모든 워드 라인 ( $WL_1$ ,  $WL_2$ , ...) 이 전원 전압 ( $V_{CC1}$ )을 사용하여 선택된다.

번인 테스트 사이클은 약 수백  $\mu s$  이다. 그러므로, 워드 라인 레벨 발생 회로 (3) 의 용량이 작아도, 전압 ( $V_{CC1}$ ) 은 수십  $\mu s$  의 스크리닝 효과를 위하여 필요한 레벨에 도달할 수 있다. 그러므로, 워드 라인의 수는 필요한 번인 테스트 사이클 및 번인 로드 에 필요한 시간따라 결정된다. 예를 들어, 도 6 에 도시한 바와 같이, 번인 테스트에서 전원 전압 ( $V_{CC1}$ )을 사용하여 워드 라인 ( $WL_1$ ,  $WL_3$ , ...) 만을 사용할 수 있다. 즉, 번인 테스트에서 동시에 구동되는 워드 라인의 수는 변화하여 워드 라인상의 스트레스는 주변 회로상의 스트레스와 동일하게 될 수 있다.

본 발명에 따른 반도체 메모리 장치의 제 2 실시예를 나타내는 도 7에서, 도 5 의 트랜지스터 ( $Q_{14}$ ,  $Q_{24}$ , ...) 는 생략한다. 또한, 도 8 에 도시한 바와 같이, 번인 테스트 신호 (BT) 는 행 어드레스 프리디코더로 도입된다. 도 8에서, 통상 모드에서, 번인 테스트 신호 (BT) 는 하이이고, 신호

 ,  , 

및

**A2E A3**

만이 선택된다. 한편, 번인 중의 하나만이 하이이다. 그러므로, 워드 라인 ( $WL_0, WL_1, \dots$ ) 중의 하나만이 선택된다. 한편, 번인 테스트 모드에서, 번인 테스트 신호 (BT) 는 로우이고, 모든 신호

**A12**

**A13**

**A2E A3**

**A2E A3**

**A2E A3**

, 및 는 하이이다. 그러므로,  $A4 \cdot A5 = A6 \cdot A7 \cdot A8 = 1$  인 조건하에서, 워드 라인 ( $WL_0, WL_1, WL_2, WL_3$ ) 만이 선택된다.

도 8 의 회로의 변형인 도 9에서, 도 9 의 회로는 도 8 의 회로와 동일한 방법으로 동작한다.

도 8 및 도 9에서, 신호 (A2 및 A3) 는 신호 (A4 및 A5) 로 대체될 수 있다. 또한, 도 8 및 도 9 의 회로는 신호 (A6, A7, 및 A8) 에 인가될 수 있다.

또한, 도 5, 6, 및 7에서, 제어 회로 (4) 는 번인 테스트 신호 (BT)를 수신하는 제어 회로 (4') 로 변형될 수 있다. 즉, 번인 테스트 신호 (BT) 가 하이일 때, 제어 회로 (4') 는 전원 전압 ( $V_{CC1}$ )을 증가시켜 스크리닝 효과를 강화한다.

또한, 상술한 실시예는 리던던시 (redundancy) 워드 라인에 인가될 수 있다.

### 발명의 효과

상술한 바와 같이, 본 발명에 의하면, 번인 테스트 모드에서, 적절한 전원 전압을 사용하여 복수의 워드 라인을 선택하므로, 테스트 시간을 감소시키고 샘플링 검사 비용을 감소시킬 수 있다.

### (57) 청구의 범위

#### 청구항 1

제 1 및 제 2 전원 단자 ( $V_{CC}, V_{SS}$ );

메모리 셀 ( $MC_{11}, \dots$ ) 에 접속된 복수의 워드 라인 ( $WL_1, WL_2, \dots$ );

제 1 전원 단자에서의 전원 전압 ( $V_{CC}$ ) 보다 높은 워드 라인 레벨 발생 전압 ( $V_{CC1}$ )을 발생하는 워드 라인 레벨 발생 회로 (3);

워드 라인 레벨 발생 회로에 접속되어 상기 워드 라인 레벨 발생 전압을 검출하여 일정 레벨로 공급하는 제어 회로 (4);

상기 워드 라인 레벨 발생 회로와 상기 워드 라인중의 하나에 각각 접속되어 상기 워드 라인 레벨 발생 전압을 사용하여 상기 워드 라인중의 하나를 구동하는 복수의 워드 라인 드라이버 ( $2-1, 2-2, \dots$ ); 및

상기 워드 라인 드라이버중의 하나에 각각 접속되어 통상 모드에서 제 1 수의 상기 워드 라인 드라이버를 활성화시키고 번인 테스트 모드에서 제 2 수의 상기 워드 라인 드라이버를 활성화하는 복수의 행 디코더 ( $1-1, 1-2, \dots$ )를 구비하고,

상기 제 2 수는 상기 제 1 수보다 많은 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 2

제 1 항에 있어서, 상기 행 디코더의 각각은,

출력 노드 ( $N_{11}, N_{21}, \dots$ );

상기 제 1 전원 단자 및 상기 출력 노드 사이에 접속되어 디코더 활성화 신호 ( $\psi_0$ ) 에 의해 턴온되는 제 1 트랜지스터 ( $Q_{10}, Q_{20}, \dots$ );

상기 출력 노드 및 상기 제 2 전원 단자 사이에 접속되어 어드레스 신호 ( $A2 \cdot A3, A4 \cdot A5, \dots$ )를 수신하는 복수의 제 2 트랜지스터 ( $Q_{11}, Q_{12}, \dots$ ); 및

상기 출력 노드 및 상기 제 2 전원 단자에 접속되어 번인 테스트 신호 (BT)를 수신하는 제 3 트랜지스터 ( $Q_{14}, Q_{24}, \dots$ )를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 3

제 1 항에 있어서, 상기 행 디코더의 제 1 그룹의 각각은,

제 1 출력 노드 ( $N_{11}, N_{21}, \dots$ );

상기 제 1 전원 단자 및 상기 제 1 출력 노드 사이에 접속되어 디코더 활성화 신호 ( $\psi_0$ ) 에 의해 턴온되는 제 1 트랜지스터 ( $Q_{10}, Q_{20}, \dots$ );

상기 제 1 출력 노드 및 상기 제 2 전원 단자 사이에 접속되어 어드레스 신호 ( $A2 \cdot A3, A4 \cdot A5, \dots$ )를 수신하는 복수의 제 2 트랜지스터 ( $Q_{11}, Q_{12}, \dots$ ); 및

상기 출력 노드 및 상기 제 2 전원 단자 사이에 접속되어 번인 테스트 신호 (BT)를 수신하는 제 3 트랜지스터 ( $Q_{14}$ ,  $Q_{24}$ , ...)를 구비하고,

상기 행 디코더의 제 2 그룹의 각각은,

제 2 출력 노드 ( $N_{11}$ ,  $N_{21}$ , ...);

상기 제 1 전원 단자 및 상기 제 2 출력 노드 사이에 접속되어 디코더 활성화 신호 ( $\psi_0$ ) 에 의해 턴온되는 제 4 트랜지스터 ( $Q_{10}$ ,  $Q_{20}$ , ...); 및

상기 제 2 출력 노드 및 상기 제 2 전원 단자 사이에 접속되어 어드레스 신호 ( $A_2 \cdot A_3$ ,  $A_4 \cdot A_5$ , ...)를 수신하는 복수의 제 5 트랜지스터 ( $Q_{11}$ ,  $Q_{12}$ , ...)를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 4

제 1 항에 있어서, 상기 행 디코더의 전단에 접속되어 외부 어드레스 신호 ( $A_2$ ,  $A_3$ , ...)를 수신하고 상기 어드레스 신호를 논리적으로 결합하여 어드레스 신호 ( $A_2 \cdot A_3$ ,  $A_4 \cdot A_5$ , ...)를 발생하고 상기 행 디코더로 상기 어드레스 신호를 전송하는 행 프리디코더를 더 구비하고, 상기 어드레스 신호의 일부는 상기 번인 테스트 모드에서 하이인 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 5

제 1 항에 있어서, 상기 워드 라인 드라이버의 각각은,

상기 행 디코더중의 하나에 접속된 인버터 ( $I_1$ ,  $I_2$ , ...);

상기 인버터에 접속된 드레인, 상기 제 1 전원 단자에 접속된 게이트, 및 소오스를 갖는 제 1 트랜지스터 ( $Q_{15}$ ,  $Q_{25}$ , ...);

상기 워드 라인 레벨 발생 회로에 접속된 드레인, 상기 제 1 트랜지스터의 소오스에 접속된 게이트, 및 상기 워드 라인에 접속된 소오스를 갖는 제 2 트랜지스터 ( $Q_{16}$ ,  $Q_{26}$ , ...); 및

상기 제 2 트랜지스터의 소오스에 접속된 드레인, 상기 행 디코더중의 상기 하나에 접속된 게이트, 및 상기 제 2 전원 단자에 접속된 소오스를 갖는 제 3 트랜지스터 ( $Q_{17}$ ,  $Q_{27}$ , ...)를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 6

복수의 메모리 셀 ( $MC_{11}$ , ...);

상기 메모리 셀에 접속된 복수의 워드 라인 ( $WL_1$ ,  $WL_2$ , ...);

전원 전압 ( $V_{cc}$ ) 보다 높은 워드 라인 레벨 발생 전압 ( $V_{cc1}$ )을 발생하는 워드 라인 레벨 발생 회로 (3);

상기 워드 라인 레벨 발생 회로에 접속되어 상기 워드 라인 레벨 발생 전압을 일정 레벨로 공급하는 제어 회로 (4);

상기 워드 라인 및 셋업 회로에 접속되어 통상 모드에서 상기 워드 라인 레벨 발생 전압을 사용하여 제 1 수의 상기 워드 라인을 선택하고 번인 테스트 모드에서 상기 셋업 전압을 사용하여 제 2 수의 상기 워드 라인을 선택하는 행 선택 수단 (1-1, 1-2, ..., 2-1, 2-2, ...)을 구비하고, 상기 제 2 수는 상기 제 1 수보다 큰 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 7

제 6 항에 있어서, 상기 행 선택 수단은,

상기 워드 라인 레벨 발생 회로와 상기 워드 라인중의 하나에 각각 접속되어 상기 워드 라인 레벨 발생 전압을 사용하여 상기 워드 라인중의 하나를 구동하는 복수의 워드 라인 드라이버 (2-1, 2-2, ...); 및

상기 워드 라인 드라이버중의 하나에 각각 접속되어 상기 워드 라인 드라이버중의 상기 하나를 활성화하는 복수의 행 디코더 (1-1, 1-2, ...)를 구비하고,

상기 행 디코더의 적어도 부분이 번인 테스트 신호 (BT)를 수신하는 트랜지스터 ( $Q_{14}$ ,  $Q_{24}$ , ...)를 포함하여 상기 번인 테스트 신호가 활성화되면 상기 행 디코더의 적어도 부분이 상기 워드 라인 드라이버중의 하나를 활성화하는 것을 특징으로 하는 반도체 메모리 장치.

#### 청구항 8

제 6 항에 있어서, 상기 행 선택 수단은,

상기 워드 라인 레벨 발생 회로와 상기 워드 라인중의 하나에 각각 접속되어 상기 워드 라인 레벨 발생 전압을 사용하여 상기 워드 라인중의 하나를 구동하는 복수의 워드 라인 드라이버 (2-1, 2-2, ...);

상기 워드 라인 드라이버중의 하나에 각각 접속되어 상기 워드 라인 드라이버의 상기 하나를 활성화시키는 복수의 행 디코더 (1-1, 1-2, ...); 및

상기 행 디코더의 전단에 접속되어 외부 어드레스 신호 ( $A_2$ ,  $A_3$ , ...)를 수신하고 상기 어드레스 신호를 논리적으로 결합하여 어드레스 신호 ( $A_2 \cdot A_3$ ,  $A_4 \cdot A_5$ , ...)를 발생하고 상기 행 디코더에 상기 어드레스

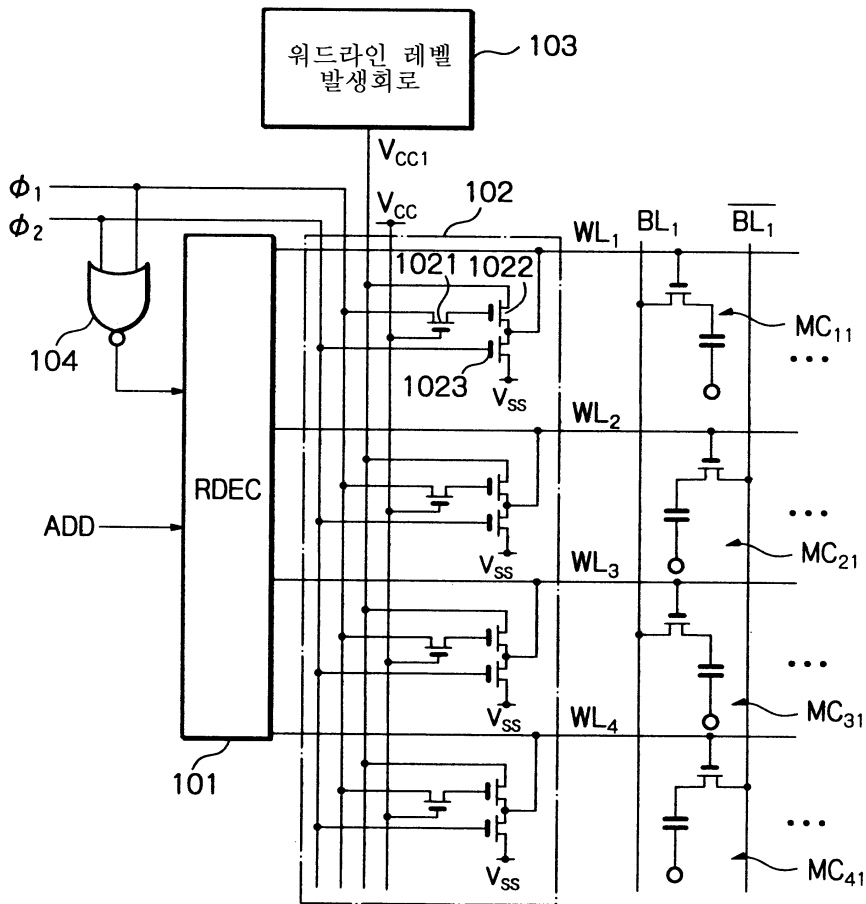
신호를 전송하는 행 프리디코더를 구비하고,

상기 어드레스 신호의 일부는 상기 번인 테스트 모드에서 하이인 것을 특징으로 하는 반도체 메모리 장치.

도면

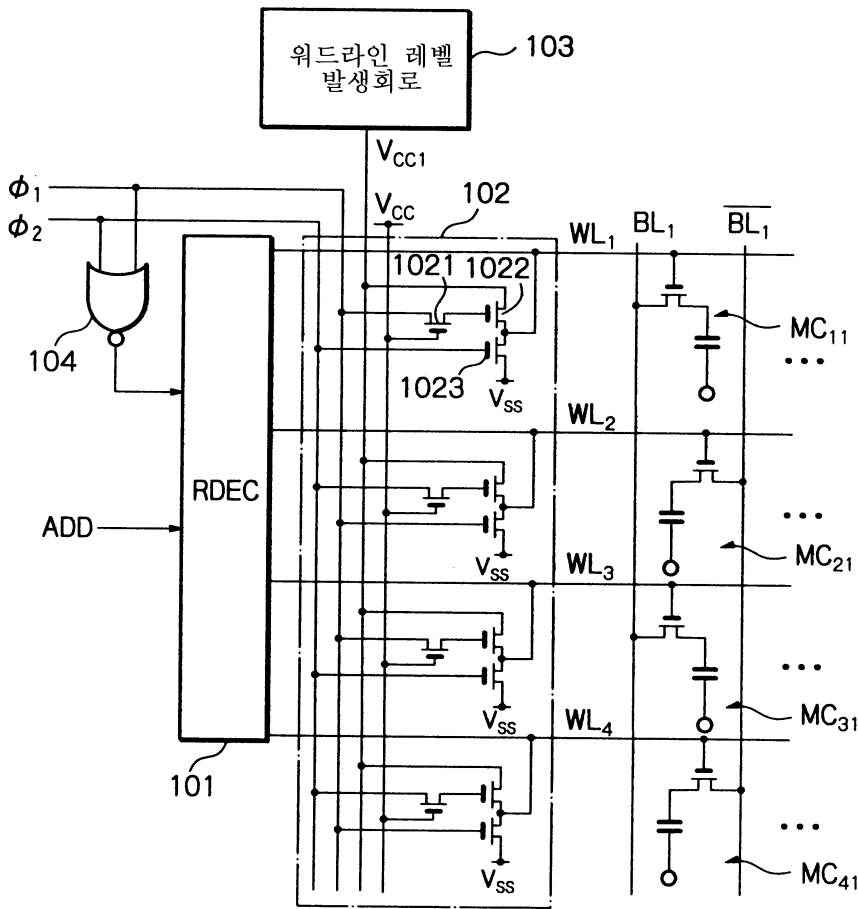
도면 1a

종래 기술



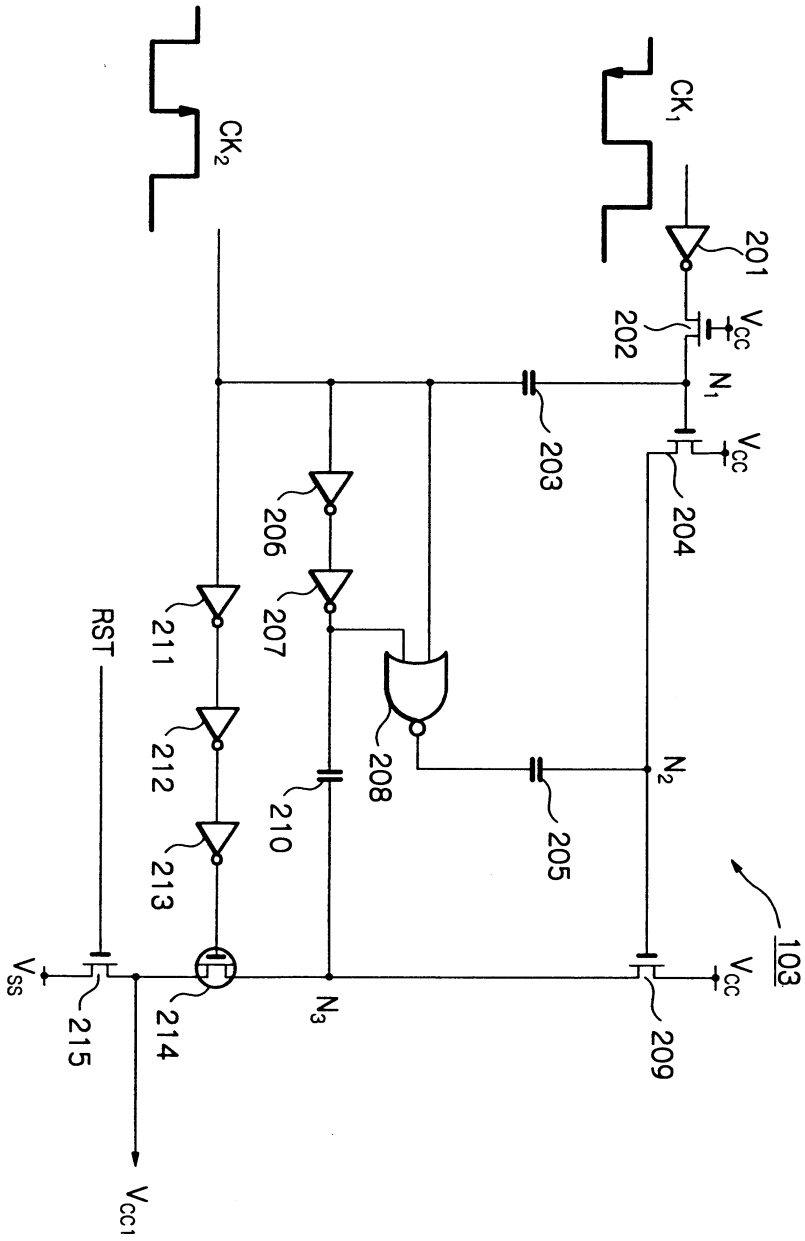
도면 1b

종래 기술





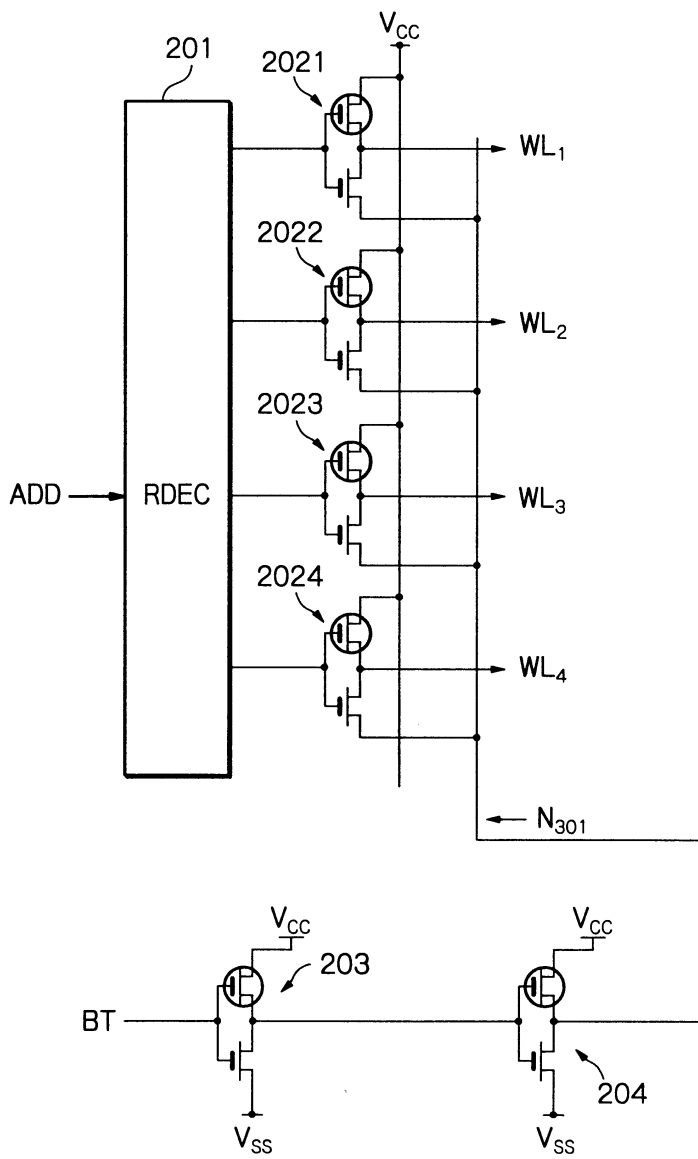
종래 기술



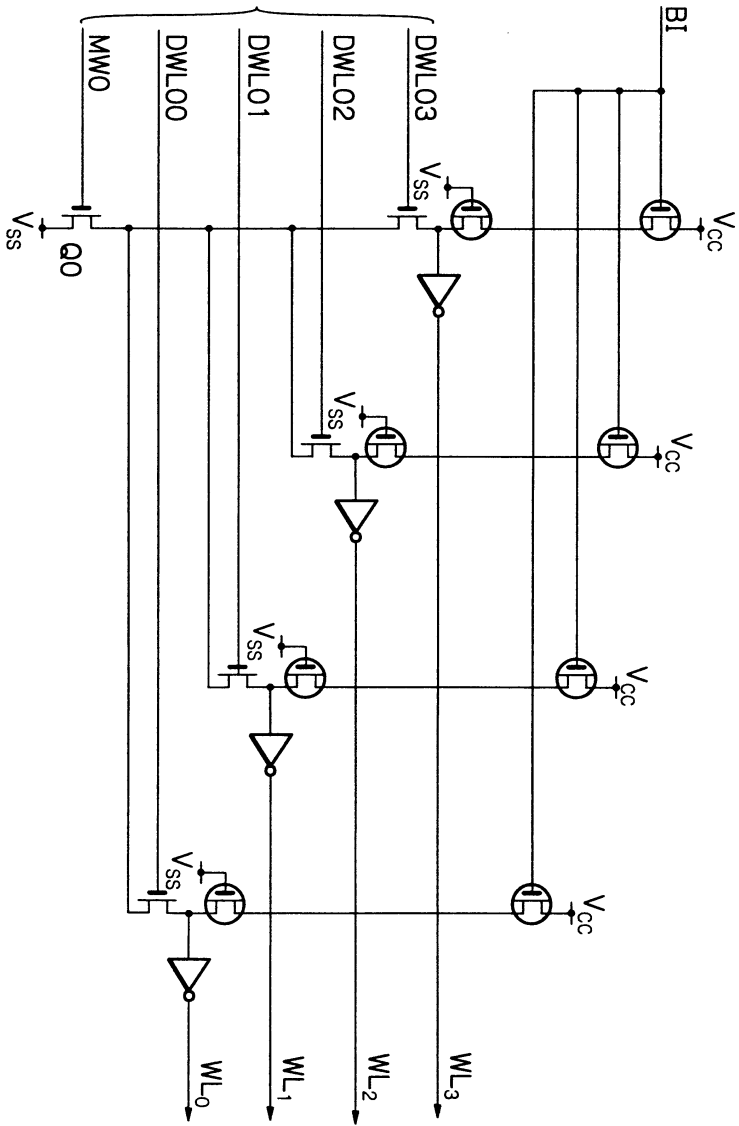
도면2

도면3

종래 기술

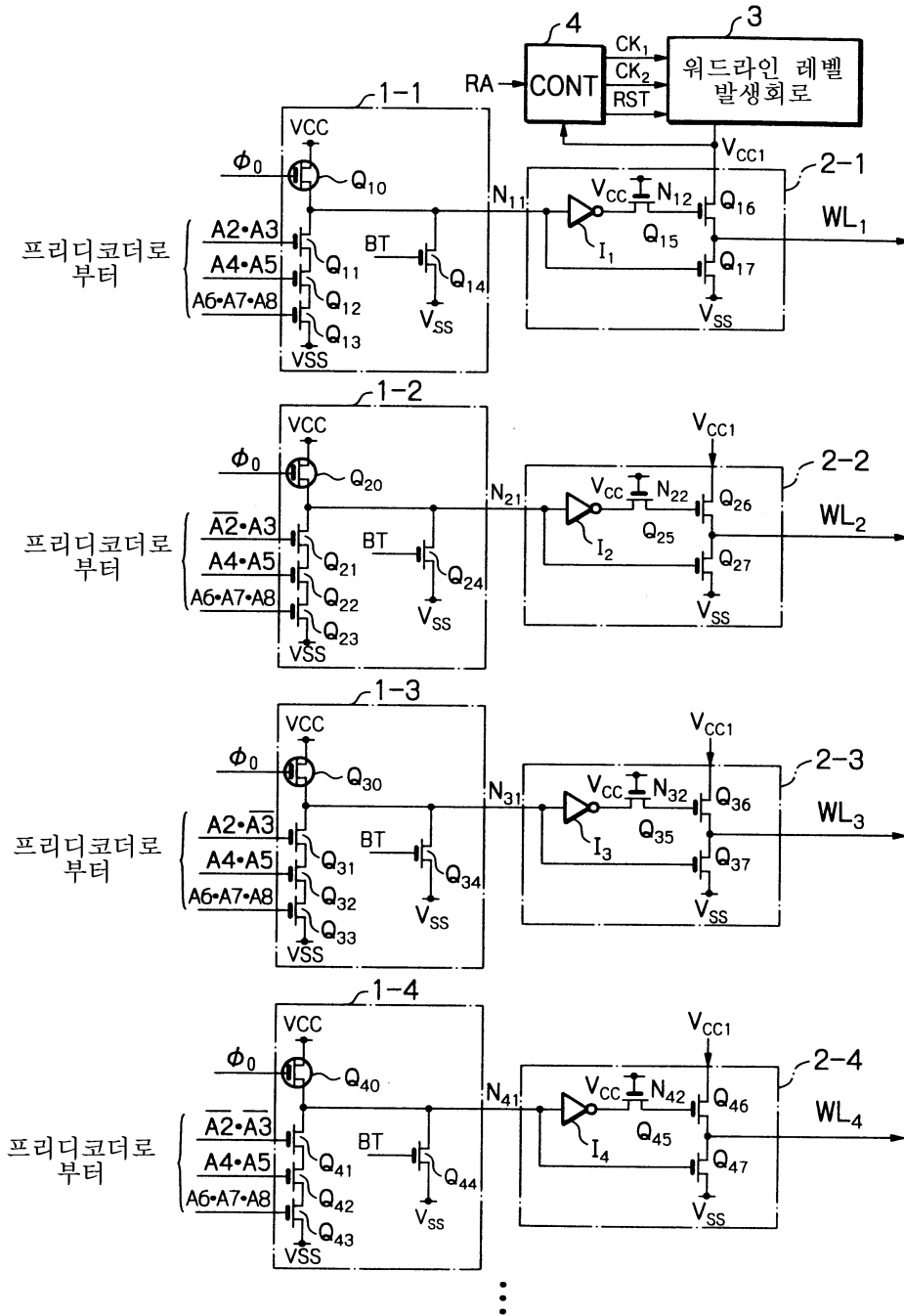


도면4

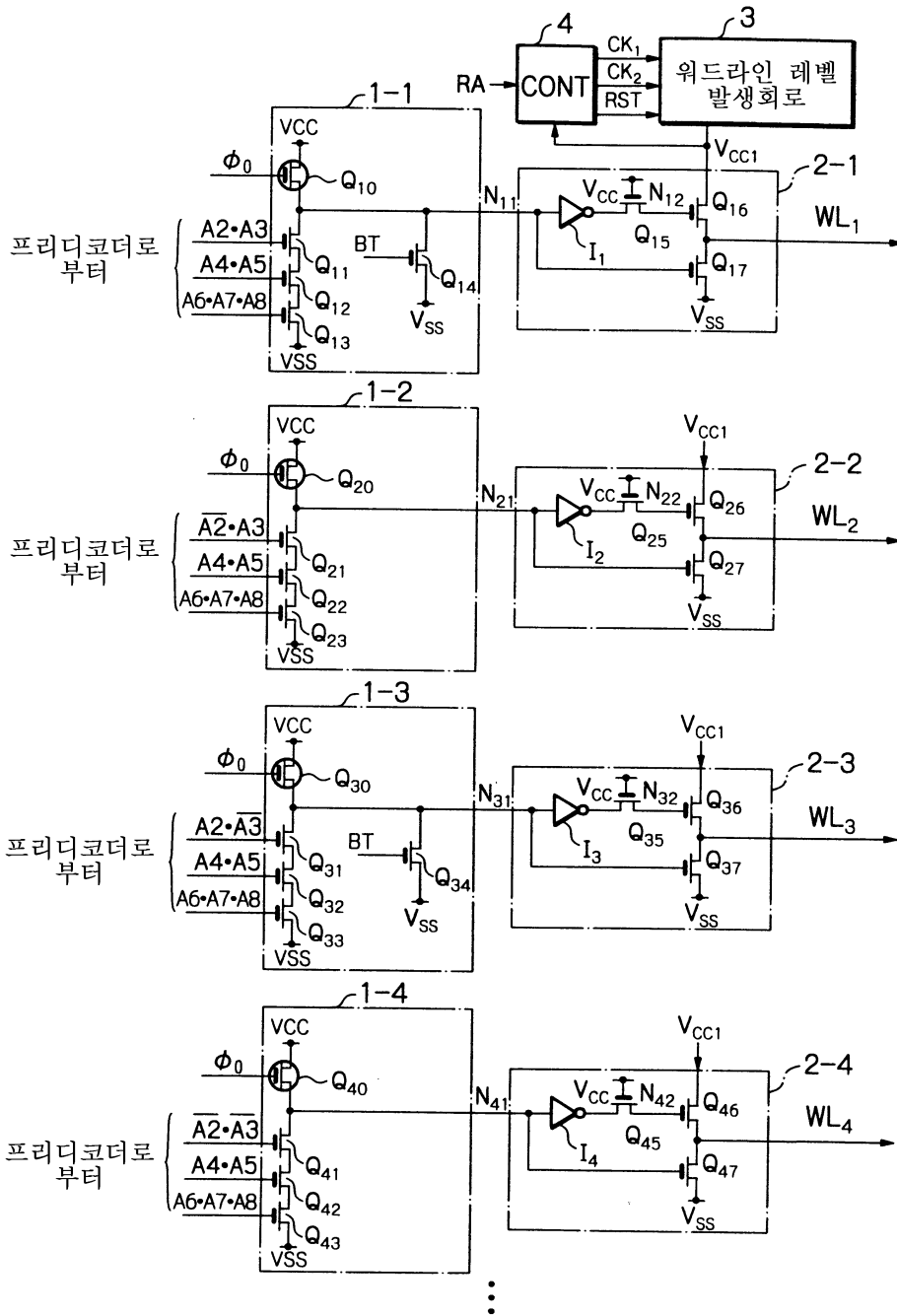


종래 기술

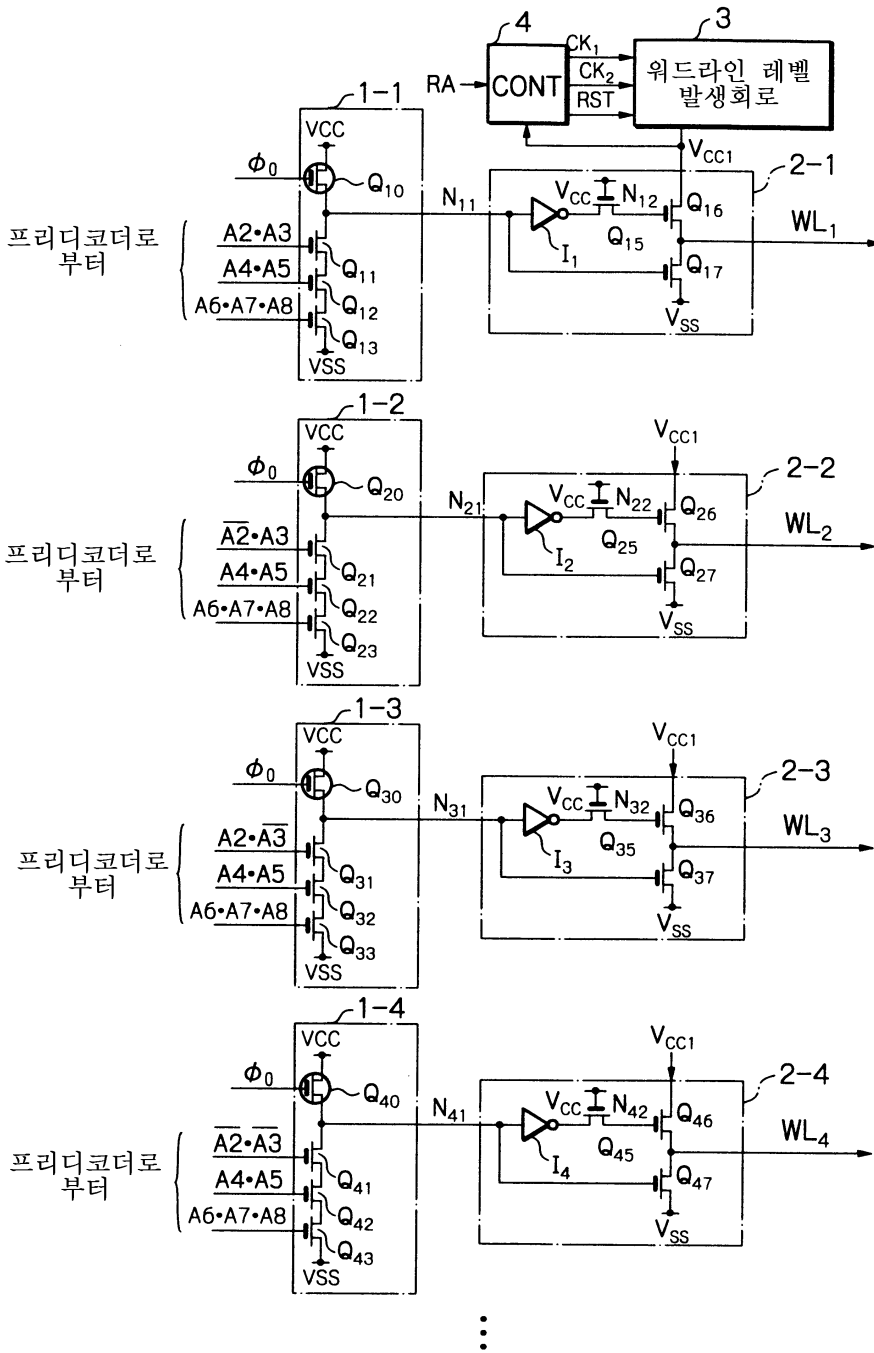
도면5



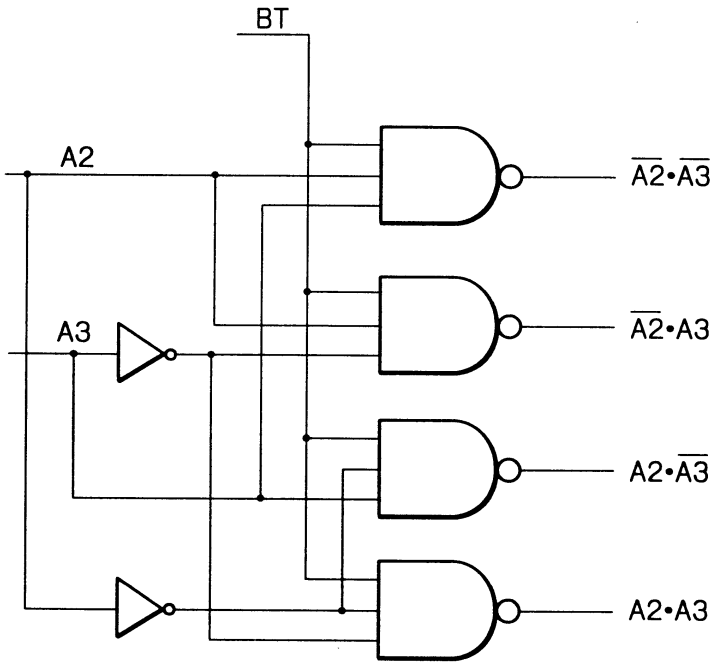
도면6



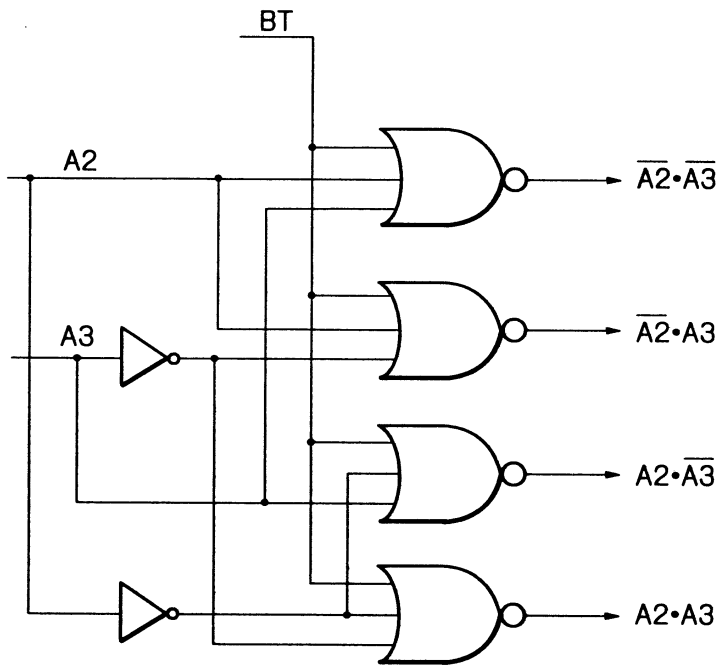
도면7



도면8



도면9



도면10

