

정과,

상기 제2절연막, 제1절연막 및 하부절연층의 식각면 및 제1감광막패턴의 측벽에 제3절연막 스페이서를 형성하는 공정과,

상기 제1감광막패턴과 제3절연막 스페이서를 마스크로하여 상기 저장전극 콘택부로 예정된 부분을 노출시키는 콘택홀을 형성하는 공정과,

상기 제1감광막패턴을 제거하는 공정과,

상기 반도체기판에 접속되는 제1도전층을 전체표면상부에 일정두께 형성하는 공정과,

전체표면상부를 평탄화시키는 희생절연막을 형성하는 공정과,

상기 희생절연막 상부에 제2감광막패턴을 형성하고 이를 마스크로하여 상기 희생절연막을 식각하는 공정과,

전체표면상부에 제2도전층을 일정두께 형성하는 공정과,

상기 제2도전층 이방성식각하되, 상기 제1,2도전층의 두께만큼 과도식각하여 상기 희생절연막 측벽에 제2도전층 스페이서를 형성하는 공정과,

상기 제3절연막, 제2절연막 및 희생절연막을 제거함으로써 표면적이 증가된 저장전극을 형성하는 공정을 포함하는 것이다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

제2a도 내지 제2d도는 본 발명의 실시예 1에 따른 반도체소자의 캐패시터 제조공정을 도시한 단면도이다.

제2a도를 참조하면, 반도체기판(11) 상부에 소자분리산화막(12), 게이트산화막(13), 게이트전극(14), 산화막 스페이서(15) 및 불순물 확산영역(16, 16')을 순차적으로 형성한다. 그리고 전체표면상부를 평탄화시키는 하부절연층(17)을 형성한다. 그리고, 상기 하부절연층(17) 상부에 실리콘질화막(18)을 형성한다.

그리고, 상기 실리콘질화막(18) 상부에 제1감광막(19)패턴을 형성하고, 이를 마스크로하여 상기 실리콘질화막(18)과 일정두께의 하부절연층(17)을 순차적으로 식각한다. 이때, 상기 제1감광막(19)패턴을 이용한 식각공정은 상기 게이트전극(14)이 노출되지않도록 실시한다.

그 다음에, 상기 제1감광막(19)과 식각된 하부절연층(17)의 측벽에 제1산화막(20) 스페이서를 형성한다. 이때, 상기 제1산화막(20) 스페이서는 전체표면 상부에 일정두께 제1산화막(20)을 형성하고 이를 이방성 식각공정을 실시하여 형성한다.

제2b도를 참조하면, 상기 제1감광막(19)패턴과 제1산화막(20) 스페이서를 마스크로하여 상기 반도체기판(11)의 불순물 확산영역(16)을 노출시키는 저장전극 콘택홀(27)을 형성한다. 그리고, 상기 제1감광막(19)패턴을 제거한다.

그리고, 전체표면상부에 일정두께 제1 다결정실리콘막(21)을 형성한다. 이때, 상기 제1다결정실리콘막(21)은 도전층으로서, 폴리사이드 또는 이와 유사한 성질의 전도물질로 형성할 수 있다. 그 다음에, 전체표면상부를 평탄화시키는 제2산화막(22)을 형성한다.

제2c도를 참조하면, 제2감광막패턴(도시안됨)을 이용하여 상기 제2산화막(22)을 식각한다. 이때, 상기 제2감광막패턴은 형성하려는 저장전극보다 작게 형성하되, 후공정에서 형성되는 제2다결정실리콘막 스페이서의 두께를 고려하여 형성한다.

그 다음에, 전체표면상부에 제2다결정실리콘막(23)을 형성한다. 이때, 상기 제2다결정실리콘막(23)은 도전체로서, 폴리사이드 또는 이와 유사한 전도물질로 형성할 수 있다. 그 후에, 상기 제1다결정실리콘막(21)과 제2다결정실리콘막(23)의 두께만큼 이방성식각공정을 실시하여 상기 제2산화막(22)의 측벽에 제2다결정실리콘막(23) 스페이서를 형성한다.

제2d도를 참조하면, 상기 제2산화막(22)을 제거함으로써 표면적이 증가된 저장전극(21, 23)을 형성한다. 이때, 상기 제2산화막(22)은 다른 형상의 구조물을 형성하는 보조물로 사용되고 제거됨으로써 희생막이라 한다. 그리고, 상기 희생막은 SOG, CVD 산화막 또는 폴리이미드를 이용하여 형성할 수 있다.

그 다음에, 전체표면상부에 유전체막(24)과 제3다결정실리콘막(25)을 형성함으로써 고집적된 반도체소자에서 필요로하는 충분한 정전용량을 확보할 수 있다. 이때, 상기 유전체막(24)은 유전특성이 우수한 물질로 형성한다. 여기서, 상기 유전체막(24)은 NO 또는ONO 복합구조로 형성된 것이다. 그리고, 상기 제3다결정실리콘막(25)은 플레이트전극으로 사용된 것이다. 여기서, 상기 플레이트전극은 폴리사이드 또는 이와 유사한 전도물질로 형성할 수 있다.

제3a도 내지 제3d도는 본 발명의 실시예 2에 따른 반도체소자의 캐패시터 제조공정을 도시한 단면도이다.

제3a도를 참조하면, 반도체기판(31) 상부에 소자분리산화막(32), 게이트산화막(33), 게이트전극(34), 산화막 스페이서(35) 및 불순물 확산영역(36, 36')을 순차적으로 형성한다. 그리고 전체표면상부를 평탄화시키는 하부절연층(37)을 형성한다. 그리고, 상기 하부절연층(37) 상부에 실리콘질화막(38)과 제1산화막(39)을 순차적으로 형성한다.

그리고, 상기 제1산화막(39) 상부에 제1 감광막(40)패턴을 형성한다. 이때, 상기 제1 감광막(40)패턴은 반도체기판(31)의 콘택부분을 노출시킬 수 있도록 형성된 것이다.

그 다음에, 상기 제1감광막(40)패턴을 이용한 식각공정으로 상기 제1산화막(39), 실리콘질화막(38) 및 일정두께의 하부절연층(37)을 순차적으로 식각한다. 이때, 상기 하부절연층(37) 식각공정은 상기 게이트전극(34)이 노출되지않도록 실시한다.

그리고, 상기 제1감광막(40)패턴, 제1산화막(39), 실리콘질화막(38) 및 식각된 하부절연층(37)의 측벽에 제2산화막(41) 스페이서를 형성한다. 이때, 상기 제2산화막(41) 스페이서는 전체표면상부에 일정두께 제2산화막(41)을 형성하고 이를 이방성식각하여 형성한다.

제3b도를 참조하면, 상기 제1감광막(40)패턴을 제거한다. 그리고, 상기 반도체기판(31)에 접속되도록 전체표면상부에 제1다결정실리콘막(42)을 형성한다. 이때, 상기 제1다결정실리콘막(42)은 도전체로서, 폴리사이드 또는 이와 유사한 전도물질로 형성될 수 있다.

그 다음에, 전체표면상부를 평탄화시키는 제3산화막(43)을 형성한다. 이때, 상기 제3산화막(43)은 후공정에서 형성될 캐패시터의 구조물을 형성하고 제거됨으로써 희생막이라 한다. 여기서, 상기 희생막은 SOG, CVD 산화막 또는 폴리이미드로 형성할 수 있다.

제3c도를 참조하면, 상기 제3산화막(43) 상부에 제2감광막패턴(도시안됨)을 이용하여 상기 제3산화막(43)을 식각한다. 이때, 상기 제2감광막패턴은 저장전극보다 작게 형성하되, 후공정에서 형성되는 제2도전층 스페이서의 두께를 고려하여 형성한다.

그 다음에, 전체표면상부에 제2다결정실리콘막(44)을 일정두께 형성한다. 그리고, 상기 제1다결정실리콘막(42)과, 제2다결정실리콘막(44)은 두께만큼 식각하여 상기 제3산화막(43)의 측벽에 제2다결정실리콘막(44) 스페이서를 형성한다. 이때, 상기 식각공정은 상기 제1산화막(39)을 식각장벽으로 사용한다.

제3d도를 참조하면, 상기 제1산화막(39), 제2산화막(41) 스페이서 및 제3산화막(43)을 제거함으로써 표면적이 증가된 저장전극(41, 44)을 형성한다. 이때, 상기 제1,2,3절연막(39,41,43) 제거공정은 상기 제1,2다결정실리콘막(41,44)과의 식각선택비 차이를 이용한 습식방법으로 실시된 것이다.

그 다음에, 전체표면상부에 유전체막(45)과 제3다결정실리콘막(46)을 형성함으로써 고집적된 반도체소자 동작에 충분한 정전용량을 확보할 수 있다. 이때, 상기 유전체막(45)은 유전특성이 우수한 물질로 형성한다. 여기서, 상기 유전체막(45)은 NO 또는 ONO 복합구조로 형성된 것이다. 그리고, 상기 제3다결정실리콘막(46)은 플레이트전극으로 사용된 것이다. 여기서, 상기 플레이트전극은 폴리사이드 또는 이와 유사한 전도물질로 형성할 수 있다.

이상에서 설명한 바와같이 본 발명에 따른 반도체소자의 캐패시터 제조방법은, 감광막패턴을 이용하여 절연막 스페이서 형성공정과, 희생막을 이용하여 도전층 스페이서 공정과, 단차피복비가 우수한 도전층 형성공정 그리고 식각선택비 차이를 이용한 절연막 제거공정으로 표면적이 증가된 저장전극을 형성하고 후공정에서 반도체소자의 고집적화에 충분한 정전용량을 갖는 캐패시터를 형성함으로써 반도체소자의 고집적화를 가능하게 하고 이에 따른 신뢰성을 향상시킬 수 있는 잇점이 있다.

(57) 청구의 범위

청구항 1

하부절연층 및 제1절연막이 구비된 반도체기판 상부에 저장전극 콘택부로 예정된 부분을 노출시키는 제1감광막패턴을 형성하는 공정과, 상기 제1감광막패턴을 마스크로하여 상기 제1절연막과 일정두께의 하부절연층을 식각하는 공정과, 상기 제1절연막과 하부절연층의 식각면 및 제1감광막패턴의 측벽에 제2절연막 스페이서를 형성하는 공정과, 상기 제1감광막패턴과 제2절연막 스페이서를 마스크로하여 상기 저장전극 콘택부로 예정된 부분을 노출시키는 콘택홀을 형성하는 공정과, 상기 제1감광막패턴을 제거하는 공정과, 상기 반도체기판에 접속되는 제1도전층을 전체표면상부에 일정두께 형성하는 공정과, 전체표면상부를 평탄화시키는 희생절연막을 형성하는 공정과, 상기 희생절연막 상부에 제2감광막패턴을 형성하고 이를 마스크로하여 상기 희생절연막을 식각하는 공정과, 전체표면상부에 제2도전층을 일정두께 형성하는 공정과, 상기 제2도전층 이방성식각하되, 상기 제1,2도전층의 두께만큼 과도식각하여 상기 희생절연막 측벽에 제2도전층 스페이서를 형성하는 공정과, 상기 희생절연막을 제거함으로써 표면적이 증가된 저장전극을 형성하는 공정을 포함하는 반도체소자의 캐패시터 제조방법.

청구항 2

제1항에 있어서, 상기 제1절연막은 실리콘질화막으로 형성되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 3

제1항에 있어서, 상기 하부절연층 식각공정은 상기 하부절연층에 형성된 구조물을 노출시키지 않도록 실시된 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 4

제1항에 있어서, 상기 콘택홀의 크기는 상기 제2절연막 스페이서의 두께에 따라 결정되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 5

제1항에 있어서, 상기 제1도전층과 제2도전층은 다결정실리콘막으로 형성되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 6

제1항에 있어서, 상기 제2감광막패턴은 예정된 저장전극보다 작게 형성된 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 7

제1항에 있어서, 상기 제2도전층의 이방성식각공정은 상기 제1절연막을 식각장벽으로 하여 실시되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 8

제1항에 있어서, 상기 희생절연막은 제1,2도전층과의 식각선택비 차이를 이용한 습식방법으로 제거되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 9

제1항 또는 제8항에 있어서, 상기 희생절연막은 SOG, CVD 산화막 또는 폴리이미드로 형성되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 10

하부절연층, 제1절연막 및 제2절연막이 적층된 반도체기판 상부에 저장전극 콘택부로 예정된 부분을 노출시키는 제1감광막패턴을 형성하는 공정과, 상기 제1감광막패턴을 마스크로하여 상기 제2절연막, 제1절연막 및 일정두께의 하부절연층을 식각하는 공정과, 상기 제2절연막, 제1절연막 및 하부절연층의 식각면 및 제1감광막패턴의 측벽에 제3절연막 스페이서를 형성하는 공정과, 상기 제1감광막패턴과 제3절연막 스페이서를 마스크로하여 상기 저장전극 콘택부로 예정된 부분을 노출시키는 콘택홀을 형성하는 공정과, 상기 제1감광막패턴을 제거하는 공정과, 상기 반도체기판에 접속되는 제1도전층을 전체표면상부에 일정두께 형성하는 공정과, 전체표면상부를 평탄화시키는 희생절연막을 형성하는 공정과, 상기 희생절연막 상부에 제2감광막패턴을 형성하고 이를 마스크로하여 상기 희생절연막을 식각하는 공정과, 전체표면상부에 제2도전층을 일정두께 형성하는 공정과, 상기 제2도전층 이방성식각하되, 상기 제1,2도전층의 두께만큼 과도식각하여 상기 희생절연막 측벽에 제2도전층 스페이서를 형성하는 공정과, 상기 제3절연막, 제2절연막 및 희생절연막을 제거함으로써 표면적이 증가된 저장전극을 형성하는 공정을 포함하는 반도체소자의 캐패시터 제조방법.

청구항 11

제10항에 있어서, 상기 제1절연막은 실리콘질화막으로 형성되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 12

제10항에 있어서, 상기 콘택홀의 크기는 상기 제2 절연막 스페이서의 두께에 따라 결정되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 13

제10항에 있어서, 상기 제1도전층과 제2도전층은 다결정실리콘막으로 형성되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 14

제10항에 있어서, 상기 제2감광막패턴은 예정된 저장전극보다 작게 형성된 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 15

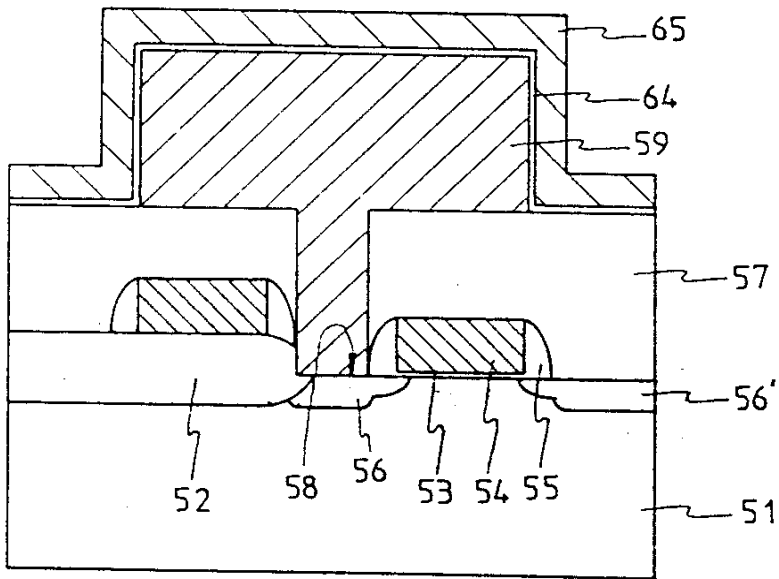
제10항에 있어서, 상기 제2도전층의 이방성식각공정은 상기 제2 절연막을 식각장벽으로 하여 실시되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

청구항 16

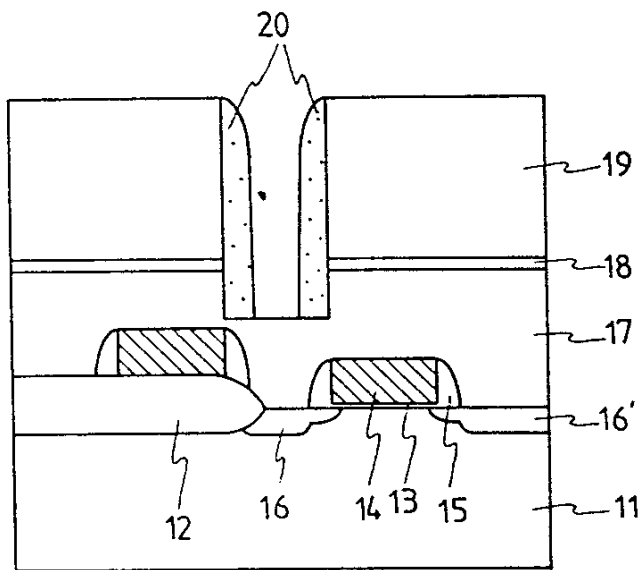
제10항에 있어서, 상기 제2절연막과 제3절연막 그리고 희생막은 제1,2 도전층과의 식각선택비 차이를 이용한 습식방법으로 제거되는 것을 특징으로하는 반도체소자의 캐패시터 제조방법.

도면

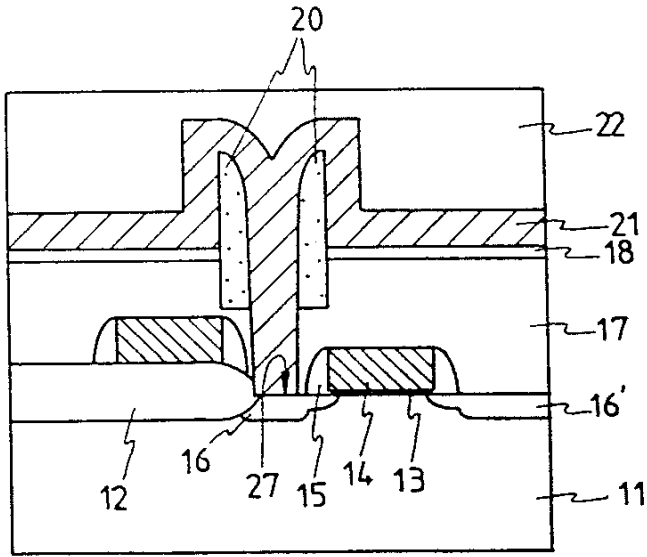
도면1



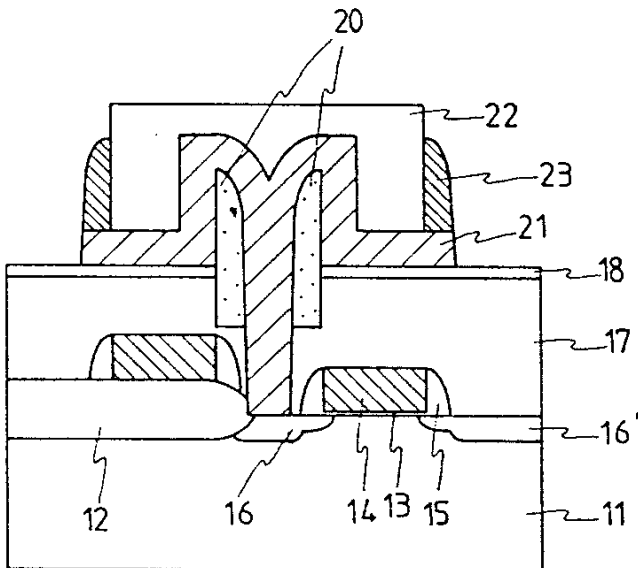
도면2a



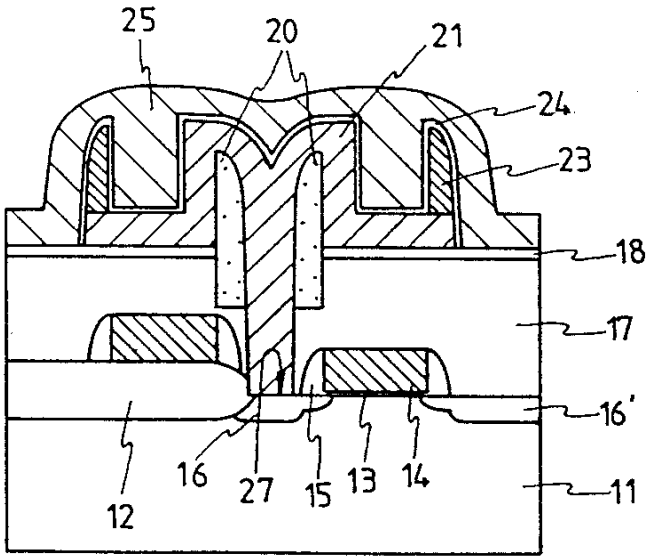
도면2b



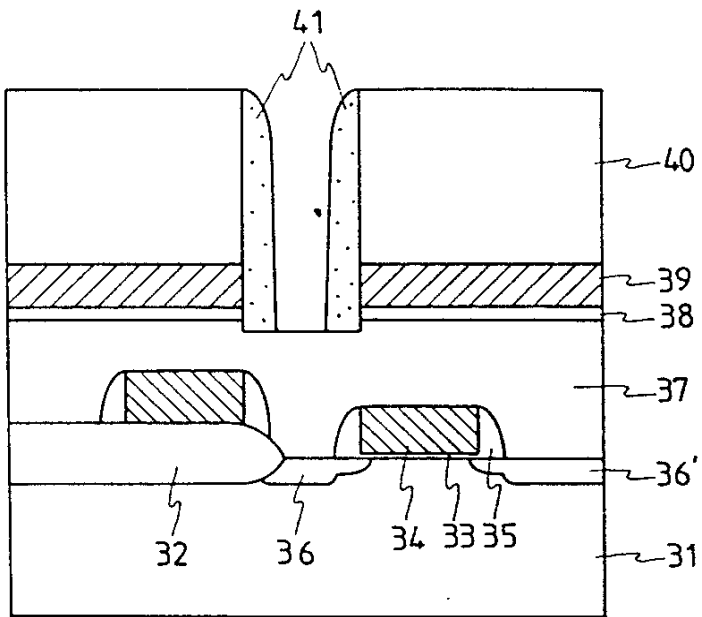
도면2c



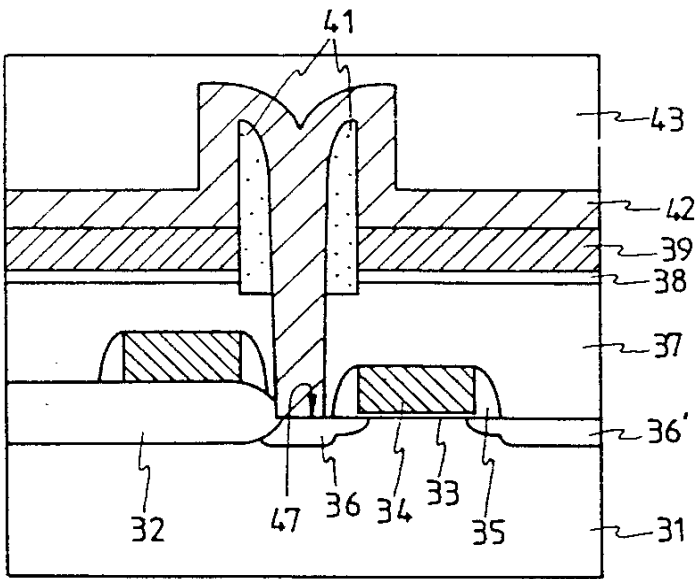
도면2d



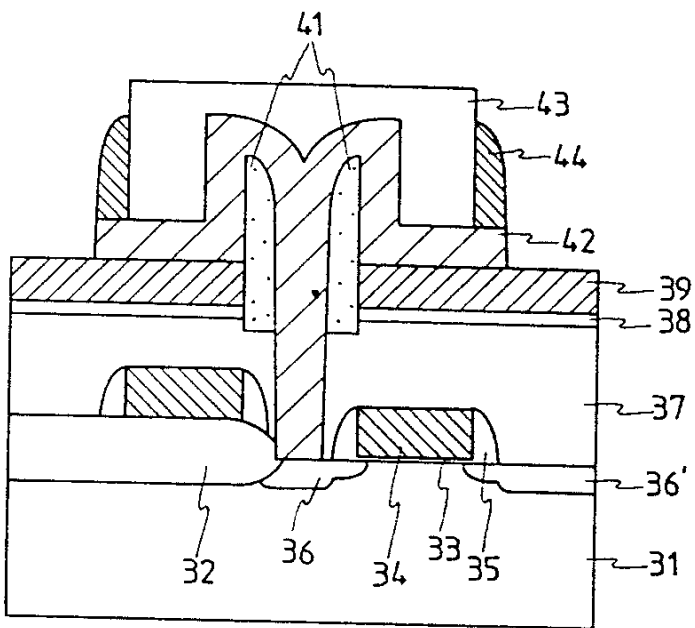
도면3a



도면3b



도면3c



도면3d

