

# 公告本 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94106207

※申請日期：94.3.2

※IPC 分類：G02F1/133

## 一、發明名稱：(中文/英文)

液晶顯示裝置、畫素陣列基板及防止顯示面板閃爍的方法 / LIQUID CRYSTAL DISPLAY, PIXEL ARRAY SUBSTRATE AND METHOD FOR PREVENTING FLICKER IN DISPLAY PANEL APPLIED THERETO

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

奇美電子股份有限公司/CHI MEI OPTOELECTRONICS CORPORATION

代表人：(中文/英文) 廖錦祥/LIAO, CHING-SIANG

住居所或營業所地址：(中文/英文)

台南縣台南科學工業園區奇業路1號/NO. 1, CHI-YEH RD., TAINAN SCIENCE-BASED INDUSTRIAL PARK, TAINAN COUNTY, TAIWAN, R. O. C.

國 籍：(中文/英文) 中華民國/TW

## 三、發明人：(共 1 人)

姓 名：(中文/英文)

吳永良 / WU, YUAN-LIANG

國 籍：(中文/英文) 中華民國/TW

## 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種提高顯示面板之顯示品質的方法及使用此方法的液晶顯示裝置(Liquid Crystal Display, LCD)與畫素陣列基板(pixel array substrate)，且特別是有關於一種防止顯示面板閃爍(flicker)的方法及使用此方法的液晶顯示裝置與畫素陣列基板。

### 【先前技術】

針對多媒體社會之急速進步，多半受惠於半導體元件或人機顯示裝置的飛躍性進步。就顯示裝置而言，具有高畫質、空間利用效率佳、低消耗功率、無輻射等優越特性之平面顯示裝置已逐漸成為市場之主流。而在各種平面顯示裝置中，薄膜電晶體(Thin Film Transistor, TFT)液晶顯示裝置(Liquid Crystal Display, LCD)又為目前技術最為成熟的平面顯示裝置。

圖 1 繪示為一習知薄膜電晶體液晶顯示裝置的電路示意圖。請參照圖 1，一般液晶顯示裝置位於同一列上的畫素  $P_{10A}$ 、 $P_{10B}$ 、 $P_{10C}$ ...之薄膜電晶體  $TFT_{10A}$ 、 $TFT_{10B}$ 、 $TFT_{10C}$ ...皆由同一條掃瞄配線(scan line)S10 進行驅動。當掃瞄配線 S10 提供足夠的開啟電壓時，連接至掃瞄配線 S10 的薄膜電晶體  $TFT_{10A}$ 、 $TFT_{10B}$ 、 $TFT_{10C}$ ...就會被打開，以使各條資料配線 D10 所搭載的資料(電壓位準)能夠寫入畫素  $P_{10A}$ 、 $P_{10B}$ 、 $P_{10C}$ ...。當上述寫入動作完成後，薄膜電晶體  $TFT_{10A}$ 、 $TFT_{10B}$ 、 $TFT_{10C}$ ...就會被關閉，並藉由液晶電容

$C_{LC}$  與畫素儲存電容  $C_{ST}$  等保持各畫素  $P_{10A}$ 、 $P_{10B}$ 、 $P_{10C}$ ... 內畫素電極(pixel electrode)的電壓位準。

然而，當薄膜電晶體  $TFT_{10A}$ 、 $TFT_{10B}$ 、 $TFT_{10C}$ ... 被關閉時，各畫素  $P_{10A}$ 、 $P_{10B}$ 、 $P_{10C}$ ... 內之畫素電極的電壓位準(level)很容易受到其他周圍電壓改變的影響而變動，此電壓變動量稱為饋通電壓(Feed-through voltage)，以下以  $V_{FD}$  表示之。饋通電壓可表示為：

$$V_{FD} = [C_{GD} / (C_{LC} + C_{ST} + C_{GD})] \times \Delta V_G \quad (1)$$

其中，方程式(1)內的  $C_{LC}$  為液晶電容， $C_{ST}$  為畫素儲存電容， $C_{GD}$  為薄膜電晶體之閘極與汲極間之電容， $\Delta V_G$  則為掃描配線在開啟與關閉薄膜電晶體時的電壓差。在液晶顯示裝置之作動原理中，主要就是藉由施加於液晶分子的電場大小來改變液晶分子的旋轉角度，進而表現出各種灰階變化。由於施加於液晶分子的電場大小是由各畫素的畫素電極與一共用電極(common electrode)的電壓差所決定，因此當畫素電極的電壓位準受饋通電壓  $V_{FD}$  影響而改變時，就會影響液晶顯示裝置的顯示效果。

一般而言，經由調整共用電極之電壓位準便可以消除饋通電壓  $V_{FD}$  所造成之影響。然而，由於掃描配線內的電阻及其他電容的影響，使得  $\Delta V_G$  會隨著畫素距離掃描配線的輸入端(input end)越遠而越小，亦即圖 1 所示之畫素  $P_{10A}$ 、 $P_{10B}$ 、 $P_{10C}$  的  $\Delta V_G$  會呈現  $(\Delta V_G)_A > (\Delta V_G)_B > (\Delta V_G)_C$  的現象。因此，根據方程式(1)，當各畫素的  $C_{LC}$ 、 $C_{ST}$ 、 $C_{GD}$  都相同時，畫素  $P_{10A}$ 、 $P_{10B}$ 、 $P_{10C}$  的  $\Delta V_{FD}$  就會呈現

$(\Delta V_{FD})A > (\Delta V_{FD})B > (\Delta V_{FD})C$  的現象，無法經由調整共用電極之電壓位準來消除  $V_{FD}$  所造成的影響，進而使得液晶顯示裝置之畫面發生閃爍的情形。

美國專利案號 6028650 即是為了解決前述缺失之發明。請參考圖 2，其繪示為一習知薄膜電晶體液晶顯示裝置之畫素陣列的上視圖。請參照圖 2，畫素  $P_{20A}$ 、 $P_{20B}$  與  $P_{20C}$  係由同一條掃描配線  $S20$  所驅動，而掃描配線  $S20$  的輸入端係位於圖 2 中的左側。在此畫素陣列中，更設計有穿過各畫素的共用配線  $C20$ ，其作用係與各畫素之畫素電極耦合為畫素儲存電容  $C_{ST}$ 。同時，共用配線  $C20$  在各畫素內之面積係隨畫素與掃描配線之輸入端的距離增加而減少。如此一來，在畫素  $P_{20A}$ 、 $P_{20B}$  與  $P_{20C}$  中即可獲得  $(C_{ST})A > (C_{ST})B > (C_{ST})C$  之結果。根據方程式(1)，當畫素  $P_{20A}$ 、 $P_{20B}$  與  $P_{20C}$  中  $(C_{ST})A > (C_{ST})B > (C_{ST})C$ ，而  $C_{LC}$  與  $C_{GD}$  皆相同時，雖然各畫素呈現  $(\Delta V_G)A > (\Delta V_G)B > (\Delta V_G)C$  之現象，但饋通電壓  $V_{FD}$  仍可保持  $(V_{FD})A \approx (V_{FD})B \approx (V_{FD})C$  之關係，進而解決畫面閃爍的問題。

然而，由於共用配線之材質為不透光的金屬，因此在採用上述習知設計的薄膜電晶體液晶顯示裝置中，就會存在各畫素之開口率不同的缺點，並影響液晶顯示裝置之顯示效果甚鉅。

#### 【發明內容】

本發明的目的就是在提供一種畫素陣列基板，適於調整各畫素區的饋通電壓值。

本發明的再一目的是提供一種液晶顯示裝置，適於提升液晶顯示裝置之顯示品質。

本發明的另一目的是提供一種防止顯示面板閃爍的方法，適於提升顯示面板之顯示品質。

本發明提出一種畫素陣列基板，其包括一基板、一第一圖案化導體層、一第二圖案化導體層以及多個畫素電極。第一圖案化導體層係配置於基板上，且至少包括多條掃描配線。第二圖案化導體層係配置於基板上，且至少包括多條資料配線與多個電容電極。其中，各條資料配線與掃描配線共同定義出多個畫素區，而各個電容電極分別位於各畫素區中第一圖案化導體層的上方，且資料配線與掃描配線在各個交會處係分別構成一個主動元件。各個畫素電極分別配置於基板上之各畫素區中，且每一個畫素電極係與對應之主動元件及對應之電容電極電性連接。

其中，上述電容電極與第一圖案化導體層係耦合為多個畫素儲存電容，且電容電極與第一圖案化導體層之耦合面積係隨對應之畫素區至對應之掃描配線之輸入端的距離增加而減少。

本發明再提出一種液晶顯示裝置，其包括上述之畫素陣列基板、配置於畫素陣列基板上方的對向基板以及配置於對向基板與畫素陣列基板之間的一液晶層。

在此液晶顯示裝置中，例如更包括一背光模組，而畫素陣列基板、對向基板以及液晶層係配置於背光模組上。

另外，在上述畫素陣列基板與液晶顯示裝置中，電容

電極的面積例如係隨對應之畫素區至對應之掃描配線之輸入端的距離增加而減少。

此外，第一圖案化導體層在畫素區中的覆蓋率例如實質上相同，且電容電極例如完全位於第一圖案化導體層上方。

再者，電容電極例如位於掃描配線上方。或者，第一圖案化導體層例如更包括多條共用配線，其分別位於各條掃描配線之間，而電容電極例如位於共用配線上方。

另外，前述之主動元件例如係薄膜電晶體。

本發明另提出一種防止顯示面板閃爍的方法。其中，顯示面板至少包括多個畫素，而每一個畫素係由一條資料配線與一條掃描配線所驅動，且每一個畫素至少具有一畫素電極以及由一第一電極與一第二電極耦合成的一個畫素儲存電容，畫素電極並電性連接第一電極。此防止顯示面板閃爍的方法係使畫素儲存電容中第一電極與第二電極之耦合面積隨對應之畫素至對應之掃描配線之輸入端的距離增加而減少。

另外，在此防止顯示面板閃爍的方法中，例如係使第一電極的面積隨對應之畫素至對應之掃描配線之輸入端的距離增加而減少。

綜上所述，在本發明之防止顯示面板閃爍的方法及使用此方法的液晶顯示裝置與畫素陣列基板中，可藉由改變畫素儲存電容而將同一條掃描配線上各畫素之饋通電壓調整為一致，進而提升顯示品質。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

圖 3A~3C 繪示為本發明三種實施例之畫素陣列基板的局部上視圖，而圖 4 繪示為圖 3A 中沿 I-I 線之剖面圖。請參照圖 3A 與圖 4，本實施例之畫素陣列基板 100 主要包括一基板 110、一第一圖案化導體層 120、一第二圖案化導體層 130 以及多個畫素電極 140。其中，第一圖案化導體層 120 係配置於基板 110 上，且第一圖案化導體層 120 至少包括多條掃瞄配線 S100。在此實施例中，第一圖案化導體層 120 更包括多條共用配線 C100，其分別位於各條掃瞄配線 S100 之間。第二圖案化導體層 130 亦配置於基板 110 上方，並藉由一絕緣層 125 而與第一圖案化導體層 120 隔開。同時，第二圖案化導體層 130 至少包括多條資料配線 D100 與多個電容電極 132a、132b、132c、...。一般而言，第一圖案化導體層 120 與第二圖案化導體層 130 之材質皆為導電性較佳的但不透光的金屬材質。

請繼續參照圖 3A 與圖 4，各條資料配線 D100 與掃瞄配線 S100 共同定義出多個畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$ 、...。各個電容電極 132a、132b、132c、... 分別位於對應之畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$ 、... 中第一圖案化導體層 120 的上方。例如，各個電容電極 132a、132b、132c、... 分別位於對應之畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$ 、... 中掃瞄配線 S100 或



共用配線 C100 上方，而在本實施例中係以位於共用配線 C100 上方為例。

另外，各條資料配線 D100 與掃描配線 S100 在其交會處係分別構成一個主動元件 A100。在本實施例中，主動元件 A100 例如是薄膜電晶體，但主動元件 A100 也可以是例如二極體或其他適當的主動元件。此外，各個畫素電極 140 分別配置於基板 110 上之各畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$ 、... 中，且每一個畫素電極 140 係與對應之主動元件 A100 及對應之電容電極 132a、132b、132c、... 電性連接。同時，畫素電極 140 與第二圖案化導體層 130 之間更配置有一絕緣層 135。

其中，上述電容電極 132a、132b、132c、... 與第一圖案化導體層 120(在本實施例中為共用配線 C100) 係耦合為多個畫素儲存電容  $C_{ST}$ ，且電容電極 132a、132b、132c、... 與第一圖案化導體層 120 之耦合面積係隨對應之畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$ 、... 至對應之掃描配線 S100 之輸入端的距離增加而減少。在本實施例中，掃描配線 S100 係由位於圖 3A 中左側之驅動電路所驅動，因此在畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$  中的各個畫素儲存電容  $C_{ST}$  會具有  $(C_{ST})A > (C_{ST})B > (C_{ST})C$  的關係。

為使電容電極 132a、132b、132c、... 與第一圖案化導體層 120 之耦合面積隨對應之畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$ 、... 至對應之掃描配線 S100 之輸入端的距離增加而減少，其中一種作法係使電容電極 132a、132b、132c、... 的面積隨

對應之畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$ 、...至對應之掃描配線 S100 之輸入端的距離增加而減少。

此外，為使各個畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$ 、...之開口率能彼此相同，可如圖 3A 所繪示般將第一圖案化導體層 120 在畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$ 、...中的覆蓋率設計成實質上相同，並使電容電極 132a、132b、132c、...完全位於第一圖案化導體層 120(在本實施例中為共用配線 C100)上方。

當然，除了上述作法以外，也可如圖 3B 所示般將所有電容電極 132d、132e、132f、...之面積設計為實質上相同，而改將共用配線 C102 在各畫素區  $R_{100D}$ 、 $R_{100E}$ 、 $R_{100F}$ 、...中的面積設計為隨對應之畫素區  $R_{100D}$ 、 $R_{100E}$ 、 $R_{100F}$ 、...至對應之掃描配線 S100 之輸入端的距離增加而減少，例如將共用配線 C102 在各畫素區  $R_{100D}$ 、 $R_{100E}$ 、 $R_{100F}$ 、...中的線寬設計為隨對應之畫素區  $R_{100D}$ 、 $R_{100E}$ 、 $R_{100F}$ 、...至對應之掃描配線 S100 之輸入端的距離增加而減少，亦可獲得電容電極 132d、132e、132f、...與第一圖案化導體層之耦合面積隨對應之畫素區  $R_{100D}$ 、 $R_{100E}$ 、 $R_{100F}$ 、...至對應之掃描配線 S100 之輸入端的距離增加而減少的目的，同時保持各個畫素區  $R_{100D}$ 、 $R_{100E}$ 、 $R_{100F}$ 、...之開口率彼此相同的結果。

值得注意的是，除了上述將電容電極與共用配線兩者其中之一在各個畫素區中的面積設計為實質上相同，並改變另一者的面積之作法以外，也可如圖 3C 所示般同時改

變兩者的面積，例如混合使用前述兩種設計方式，只要能使電容電極 132g、132h、132i、...與第一圖案化導體層之耦合面積隨對應之畫素區  $R_{100G}$ 、 $R_{100H}$ 、 $R_{100I}$ 、...至對應之掃描配線 S100 之輸入端的距離增加而減少即可。

承上所述，根據方程式(1)，由於在圖 3A 中畫素區  $R_{100A}$ 、 $R_{100B}$ 、 $R_{100C}$  內的各個畫素儲存電容  $C_{ST}$  具有  $(C_{ST})A > (C_{ST})B > (C_{ST})C$  的關係，且  $(\Delta V_G)A > (\Delta V_G)B > (\Delta V_G)C$ ，因此在適當調整各個畫素儲存電容  $C_{ST}$  後即可獲得饋通電壓  $(V_{FD})A \approx (V_{FD})B \approx (V_{FD})C$  之結果。

另外，在本實施例中雖然共用配線 C100 也會與其上方之畫素電極 140 耦合而產生電容作用，但因為相較之下電容電極 132a、132b、132c、...與共用配線 C100 之距離近了許多，因此藉由變化電容電極 132a、132b、132c、...之面積即可達成調整饋通電壓之目的。同時，共用配線 C100 上方之畫素電極 140 亦可視需要而移除。

圖 5 繪示為本發明一實施例之畫素陣列基板的局部上視圖。請參照圖 5，本實施例之畫素陣列基板 200 與圖 3 之畫素陣列基板 100 的差異在於，電容電極 232a、232b、232c、...係分別位於對應之畫素區  $R_{200A}$ 、 $R_{200B}$ 、 $R_{200C}$ 、...旁的掃描配線 S200 上方。由於電容電極 232a、232b、232c、...與掃描配線 S200 之耦合面積隨對應之畫素區  $R_{200A}$ 、 $R_{200B}$ 、 $R_{200C}$ 、...至掃描配線 S200 之輸入端的距離增加而減少，因此同樣可達到將各畫素區  $R_{200A}$ 、 $R_{200B}$ 、 $R_{200C}$ 、...之饋通電壓調整為一致的目的。

圖 6 繪示為本發明一實施例之液晶顯示裝置的示意圖。請參照圖 6，本實施例之液晶顯示裝置 300 主要包括一畫素陣列基板 310、配置於畫素陣列基板 310 上方的一對向基板 320 以及配置於對向基板 320 與畫素陣列基板 310 之間的一液晶層 330。其中，畫素陣列基板 310 例如是圖 3 之畫素陣列基板 100、圖 5 之畫素陣列基板 200 或其他符合本發明之特徵與精神的畫素陣列基板。另外，液晶顯示裝置 300 例如更包括一背光模組 340，而畫素陣列基板 310、對向基板 320 以及液晶層 330 係配置於背光模組 340 上。背光模組 340 之功用係提供液晶顯示裝置 300 在顯示畫面時所需的光源。換言之，當液晶顯示裝置 300 係使用外界光源或藉助其他光源裝置提供光源時，也就不需要配設背光模組 340。

在上述內容中主要介紹了兩種實施例之畫素陣列基板以及使用此畫素陣列基板的液晶顯示裝置，然而兩種實施例之畫素陣列基板主要都是應用了一種防止顯示面板閃爍的方法，以下將對此方法做說明。

本發明之防止顯示面板閃爍的方法主要係應用於一顯示面板中。以液晶顯示裝置為例，顯示面板主要包括了畫素陣列基板、液晶層及對向基板。當然，顯示面板也可為有機電激發光顯示面板或其他顯示面板，但必須符合下列條件：此顯示面板至少包括多個畫素，而每一個畫素係由一條資料配線與一條掃瞄配線所驅動，且每一個畫素至少具有一畫素電極以及由一第一電極與一第二電極耦合成

的一個畫素儲存電容，畫素電極並電性連接第一電極。此防止顯示面板閃爍的方法主要係使畫素儲存電容中第一電極與第二電極之耦合面積隨對應之畫素至對應之掃描配線之輸入端的距離增加而減少。

以圖 3 與圖 5 為例，第一電極即是圖 3 之電容電極 132a、132b、132c、...與圖 5 之電容電極 232a、232b、232c、...，而第二電極可為圖 3 之共用配線 C100 與圖 5 之掃描配線 S200，而第一電極的面積係隨對應之畫素至對應之掃描配線之輸入端的距離增加而減少。當然，也可藉由改變第二電極之面積或同時改變第一電極與第二電極之面積的方式而達到同樣結果。總之，也就是第一電極與第二電極之耦合面積隨對應之畫素至對應之掃描配線之輸入端的距離增加而減少。

綜上所述，在本發明之防止顯示面板閃爍的方法及使用此方法的液晶顯示裝置與畫素陣列基板中，由於各個畫素儲存電容中兩個電極之耦合面積隨對應之畫素至對應之掃描配線之輸入端的距離增加而減少，因此可將同一條掃描配線上各畫素之饋通電壓調整為一致，進而提升顯示品質。同時，由於作為畫素儲存電容之電極之一的共用配線或掃描配線皆已存在於目前常用之畫素陣列基板中，因此只需在固有架構中做小幅改變即可提升顯示品質，而不會增加太多成本。再者，由於本發明可在不改變各畫素區之開口率的前提下將各畫素之饋通電壓調整為一致，因此可避免造成畫面顯示不均的缺點。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1 繪示為一習知薄膜電晶體液晶顯示裝置的電路示意圖。

圖 2 繪示為一習知薄膜電晶體液晶顯示裝置之畫素陣列的上視圖。

圖 3A~3C 繪示為本發明三種實施例之畫素陣列基板的局部上視圖。

圖 4 繪示為圖 3A 中沿 I-I 線之剖面圖。

圖 5 繪示為本發明一實施例之畫素陣列基板的局部上視圖。

圖 6 繪示為本發明一實施例之液晶顯示裝置的示意圖。

#### 【主要元件符號說明】

D10：資料配線

S10、S20：掃瞄配線

C20：共用配線

TFT<sub>10A</sub>、TFT<sub>10B</sub>、TFT<sub>10C</sub>：薄膜電晶體

P<sub>10A</sub>、P<sub>10B</sub>、P<sub>10C</sub>、P<sub>20A</sub>、P<sub>20B</sub>、P<sub>20C</sub>：畫素

C<sub>LC</sub>：液晶電容

C<sub>GD</sub>：閘極與汲極間之電容

- C<sub>ST</sub>：畫素儲存電容
- 100、200、310：畫素陣列基板
- 110、210：基板
- 120：第一圖案化導體層
- 125、135：絕緣層
- 130：第二圖案化導體層
- 132a、132b、132c、132d、132e、132f、132g、132h、  
132i、232a、232b、232c：電容電極
- 140：畫素電極
- 300：液晶顯示裝置
- 320：對向基板
- 330：液晶層
- 340：背光模組
- R<sub>100A</sub>、R<sub>100B</sub>、R<sub>100C</sub>、R<sub>100D</sub>、R<sub>100E</sub>、R<sub>100F</sub>、R<sub>100G</sub>、R<sub>100H</sub>、  
R<sub>100I</sub>、R<sub>200A</sub>、R<sub>200B</sub>、R<sub>200C</sub>：畫素區
- A100：主動元件
- C100、C102、C104、C200：共用配線
- S100、S200：掃瞄配線
- D100：資料配線

### 五、中文發明摘要：

一種防止顯示面板閃爍的方法及使用此方法的液晶顯示裝置與畫素陣列基板。使用此方法之顯示面板至少包括多個畫素，而每一個畫素係由一條資料配線與一條掃瞄配線所驅動，且每一個畫素至少具有一畫素電極以及由一第一電極與一第二電極耦合成的一個畫素儲存電容，畫素電極並電性連接第一電極。此防止顯示面板閃爍的方法係使畫素儲存電容中第一電極與第二電極之耦合面積隨對應之畫素至對應之掃描配線之輸入端的距離增加而減少。

### 六、英文發明摘要：

A liquid crystal display, a pixel array substrate and a method for preventing flicker in display panel applied thereto are provided. The display panel using the method at least includes a plurality of pixels. Each of the pixels is driven by a data line and a scan line and at least has a pixel electrode and a pixel storage capacitor formed with a first electrode and a second electrode. The pixel electrodes are coupled to the first electrodes. The method for preventing flicker in display panel is performed by making the coupled areas of the first electrodes and the second electrodes in the pixel storage capacitors to be reduced with the decrease of the distances between the corresponding pixels and the input ends of the corresponding scan lines.



## 十、申請專利範圍：

1. 一種畫素陣列基板，包括：

一基板；

一第一圖案化導體層，配置於該基板上，該第一圖案化導體層至少包括多條掃描配線；

一第二圖案化導體層，配置於該基板上，該第二圖案化導體層至少包括多條資料配線與多個電容電極，其中該些資料配線與該些掃描配線定義出多個畫素區，而該些電容電極分別位於該些畫素區中該第一圖案化導體層上方，且該些資料配線與該些掃描配線在交會處係構成多個主動元件；以及

多個畫素電極，分別配置於該基板上之該些畫素區中，且每一該些畫素電極係與對應之該主動元件及對應之該電容電極電性連接，

其中該些電容電極與該第一圖案化導體層耦合為多個畫素儲存電容，且該些電容電極與該第一圖案化導體層之耦合面積係隨對應之該些畫素區至對應之該些掃描配線之輸入端的距離增加而減少。

2. 如申請專利範圍第 1 項所述之畫素陣列基板，其中該些電容電極的面積係隨對應之該些畫素區至對應之該些掃描配線之輸入端的距離增加而減少。

3. 如申請專利範圍第 1 項所述之畫素陣列基板，其中該第一圖案化導體層在該些畫素區中的覆蓋率實質上相同，且該些電容電極完全位於該第一圖案化導體層上方。

4.如申請專利範圍第 1 項所述之畫素陣列基板，其中該些電容電極係位於該些掃瞄配線上方。

5.如申請專利範圍第 1 項所述之畫素陣列基板，其中該第一圖案化導體層更包括多條共用配線，分別位於該些掃瞄配線之間，而該些電容電極係位於該些共用配線上方。

6.如申請專利範圍第 1 項所述之畫素陣列基板，其中該第一圖案化導體層更包括多條共用配線，分別位於該些掃瞄配線之間，每一該些共用配線位於該些畫素區內的面積係隨對應之該些畫素區至對應之該些掃描配線之輸入端的距離增加而減少，而該些電容電極係位於該些共用配線上方，且該些電容電極之面積彼此實質上相同。

7.如申請專利範圍第 1 項所述之畫素陣列基板，其中該些主動元件包括薄膜電晶體。

8.一種液晶顯示裝置，包括：

一畫素陣列基板，包括：

一基板；

一第一圖案化導體層，配置於該基板上，該第一圖案化導體層至少包括多條掃瞄配線；

一第二圖案化導體層，配置於該基板上，該第二圖案化導體層至少包括多條資料配線與多個電容電極，其中該些資料配線與該些掃瞄配線定義出多個畫素區，而該些電容電極分別位於該些畫素區中該第一圖案化導體層上方，且該些資料配線與該些掃瞄配線在交會處係構成多個主動元件；

多個畫素電極，分別配置於該基板上之該些畫素區中，且每一該些畫素電極係與對應之該主動元件及對應之該電容電極電性連接，

其中該些電容電極與該第一圖案化導體層耦合為多個畫素儲存電容，且該些電容電極與該第一圖案化導體層之耦合面積係隨對應之該些畫素區至對應之該些掃描配線之輸入端的距離增加而減少；

一對向基板，配置於該畫素陣列基板上；以及

一液晶層，配置於該對向基板與該畫素陣列基板之間。

9.如申請專利範圍第 8 項所述之液晶顯示裝置，其中該些電容電極的面積係隨對應之該些畫素區至對應之該些掃描配線之輸入端的距離增加而減少。

10.如申請專利範圍第 8 項所述之液晶顯示裝置，其中該第一圖案化導體層在該些畫素區中的覆蓋率實質上相同，且該些電容電極完全位於該第一圖案化導體層上方。

11.如申請專利範圍第 8 項所述之液晶顯示裝置，其中該些電容電極係位於該些掃描配線上方。

12.如申請專利範圍第 8 項所述之液晶顯示裝置，其中該第一圖案化導體層更包括多條共用配線，分別位於該些掃描配線之間，而該些電容電極係位於該些共用配線上方。

13.如申請專利範圍第 8 項所述之液晶顯示裝置，其中該第一圖案化導體層更包括多條共用配線，分別位於該些掃描配線之間，每一該些共用配線位於該些畫素區內的面

積係隨對應之該些畫素區至對應之該些掃描配線之輸入端的距離增加而減少，而該些電容電極係位於該些共用配線上方，且該些電容電極之面積彼此實質上相同。

14.如申請專利範圍第 8 項所述之液晶顯示裝置，其中該些主動元件包括薄膜電晶體。

15 如申請專利範圍第 8 項所述之液晶顯示裝置，更包括一背光模組，而該畫素陣列基板、該對向基板以及該液晶層係配置於該背光模組上。

16.一種防止顯示面板閃爍的方法，其中該顯示面板至少包括多個畫素，而每一該些畫素係由一資料配線與一掃描配線所驅動，且每一該些畫素至少具有一畫素電極以及由一第一電極與一第二電極耦合成的一畫素儲存電容，該畫素電極並電性連接該第一電極，該防止顯示面板閃爍的方法包括：

使該些畫素儲存電容中該些第一電極與該些第二電極之耦合面積隨對應之該些畫素至對應之該些掃描配線之輸入端的距離增加而減少。

17.如申請專利範圍第 16 項所述之防止顯示面板閃爍的方法，係使該些第一電極的面積隨對應之該些畫素至對應之該些掃描配線之輸入端的距離增加而減少。

18.如申請專利範圍第 16 項所述之防止顯示面板閃爍的方法，係使該些第二電極的面積隨對應之該些畫素至對應之該些掃描配線之輸入端的距離增加而減少。

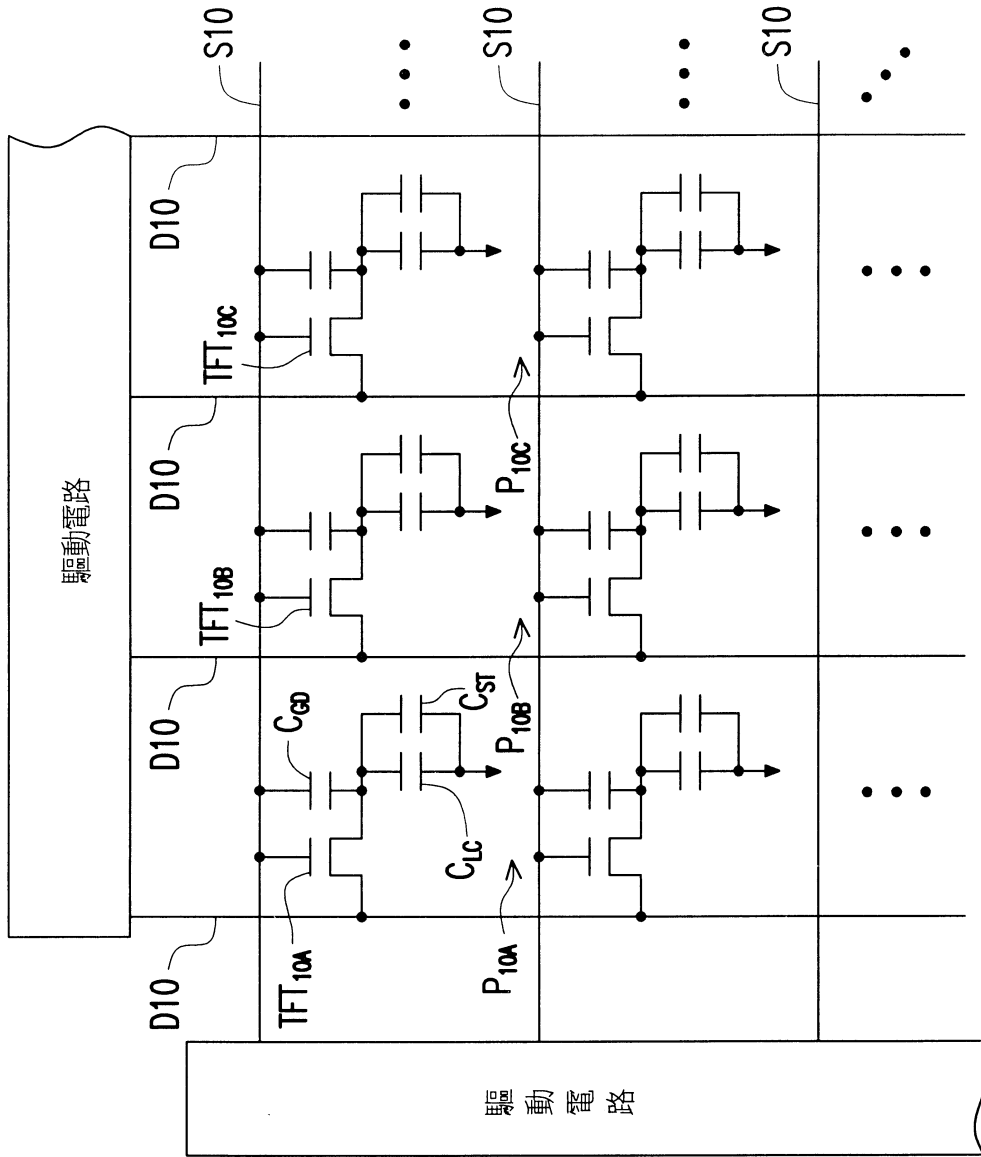


圖 1

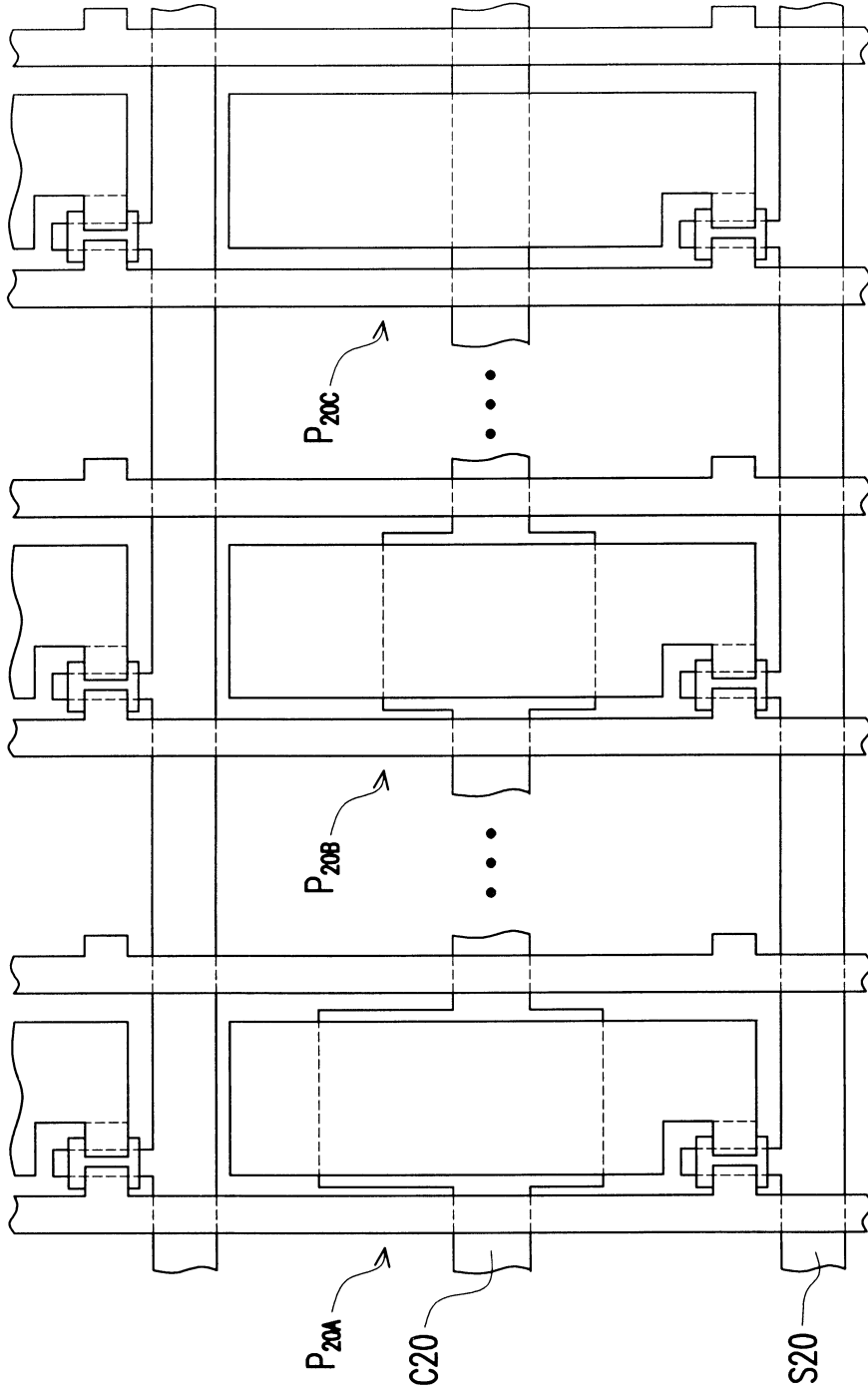


圖 2

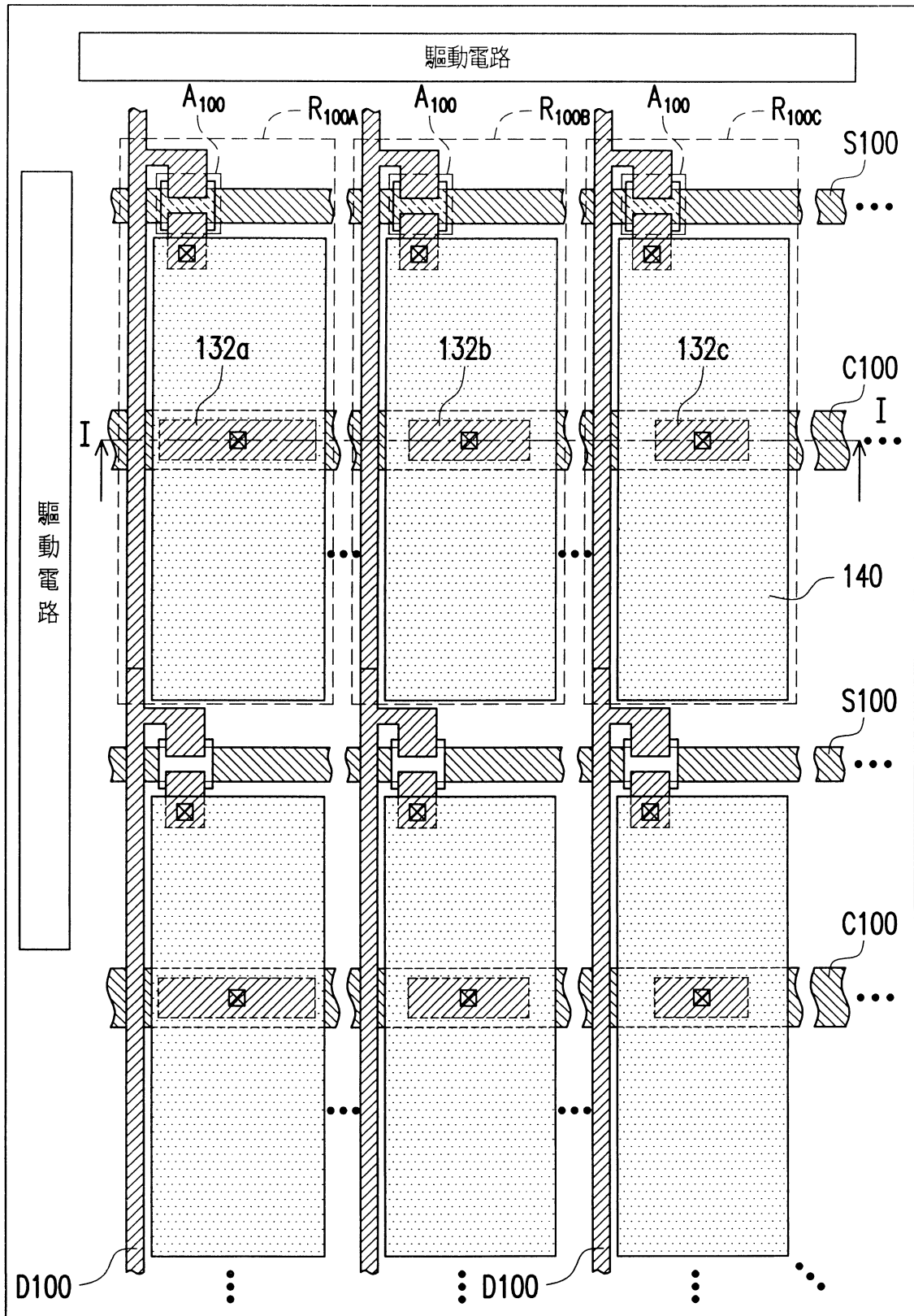
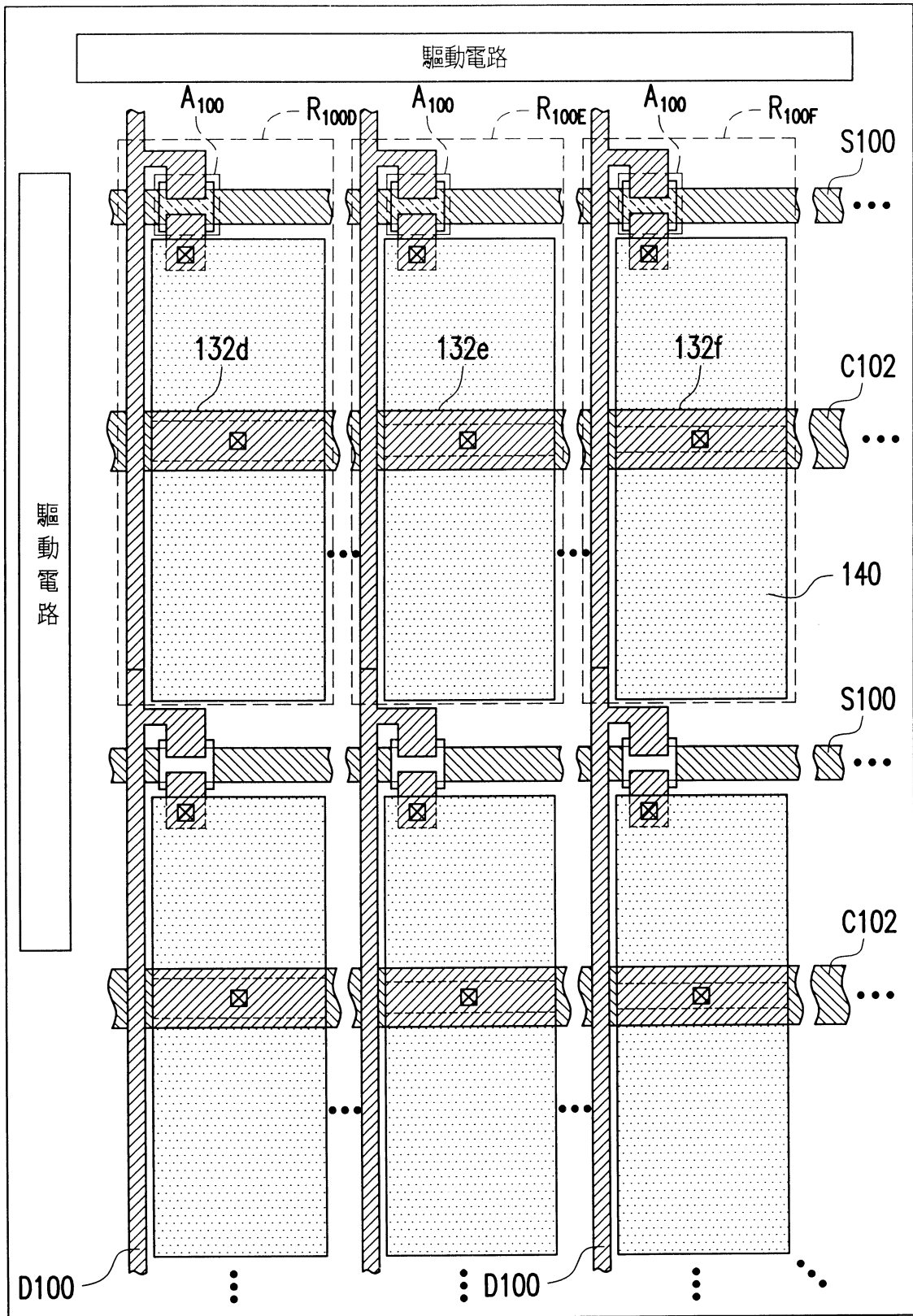


圖 3A

100

110





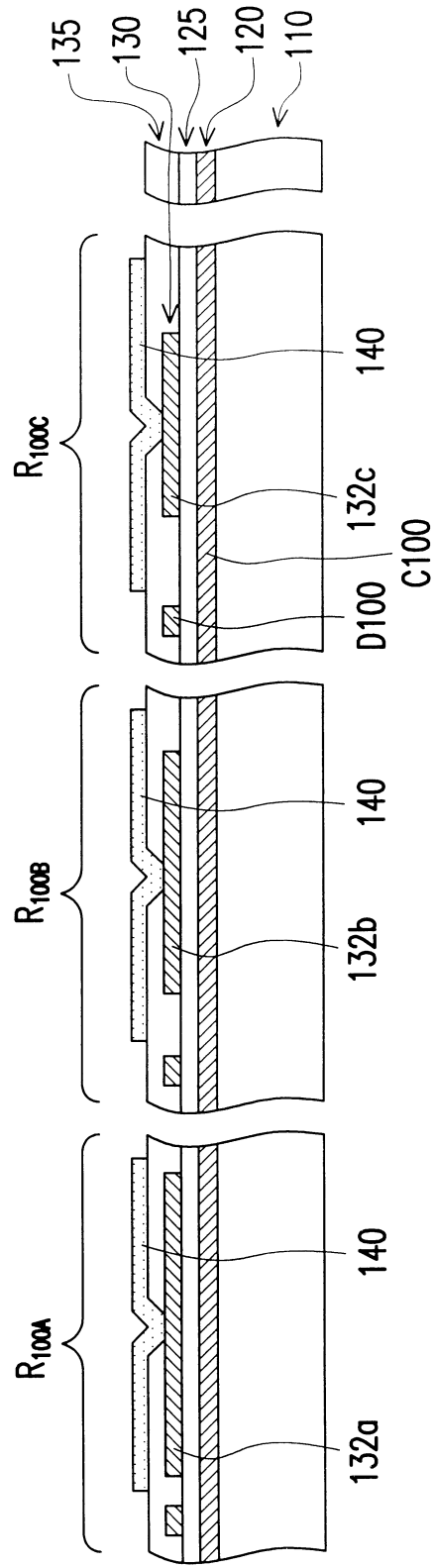


圖 4

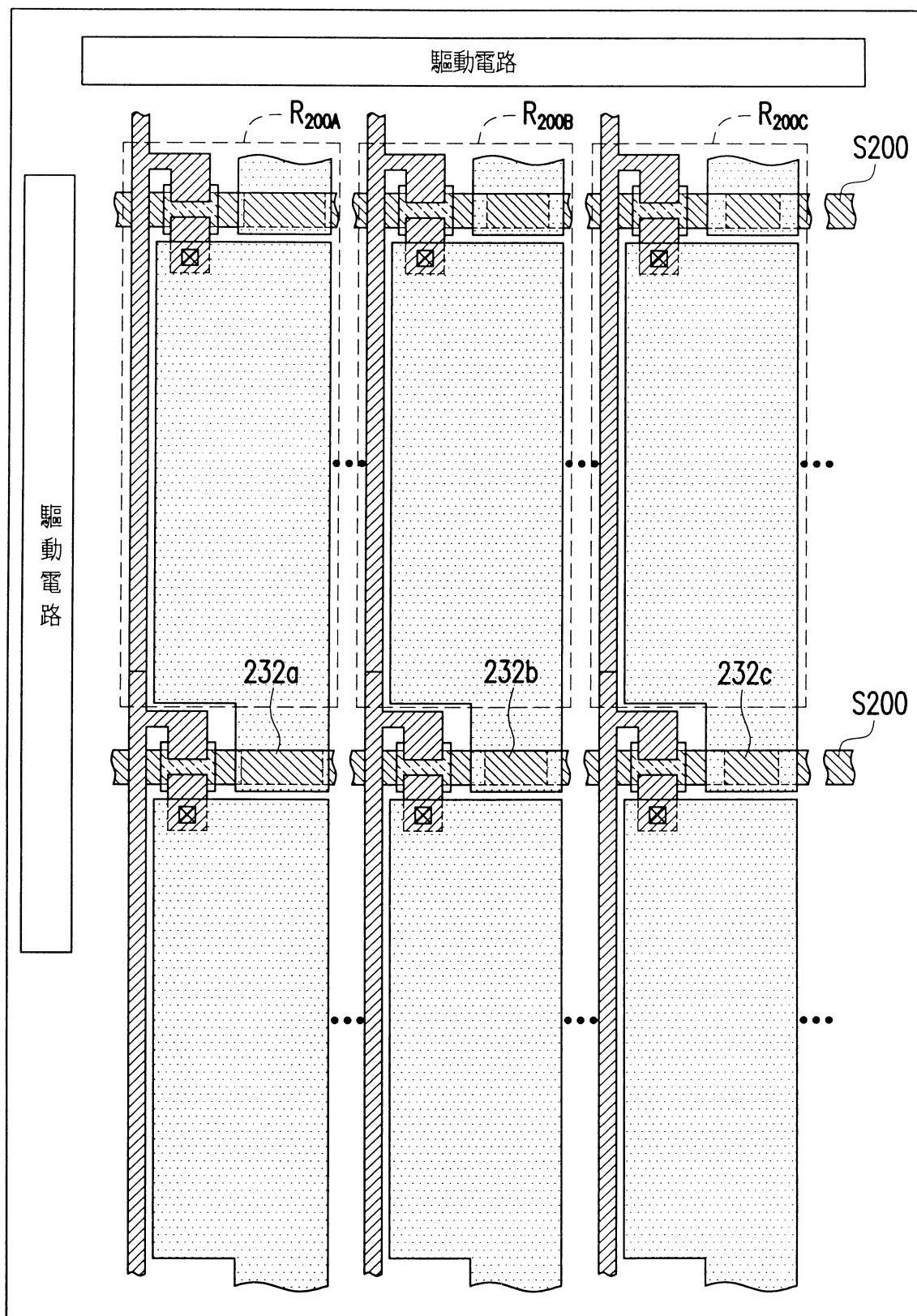


圖 5

200

210

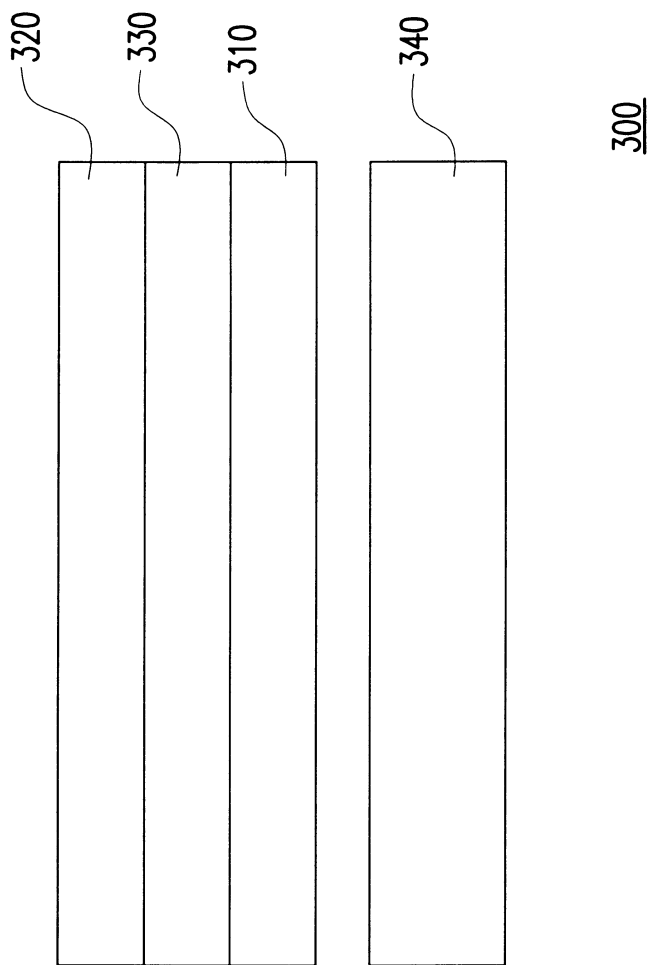


圖 6

## 七、指定代表圖：

(一)本案指定代表圖為：圖( 3A )。

(二)本代表圖之元件符號簡單說明：

100：畫素陣列基板

110：基板

132a、132b、132c：電容電極

140：畫素電極

R<sub>100A</sub>、R<sub>100B</sub>、R<sub>100C</sub>：畫素區

A100：主動元件

C100：共用配線

S100：掃瞄配線

D100：資料配線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

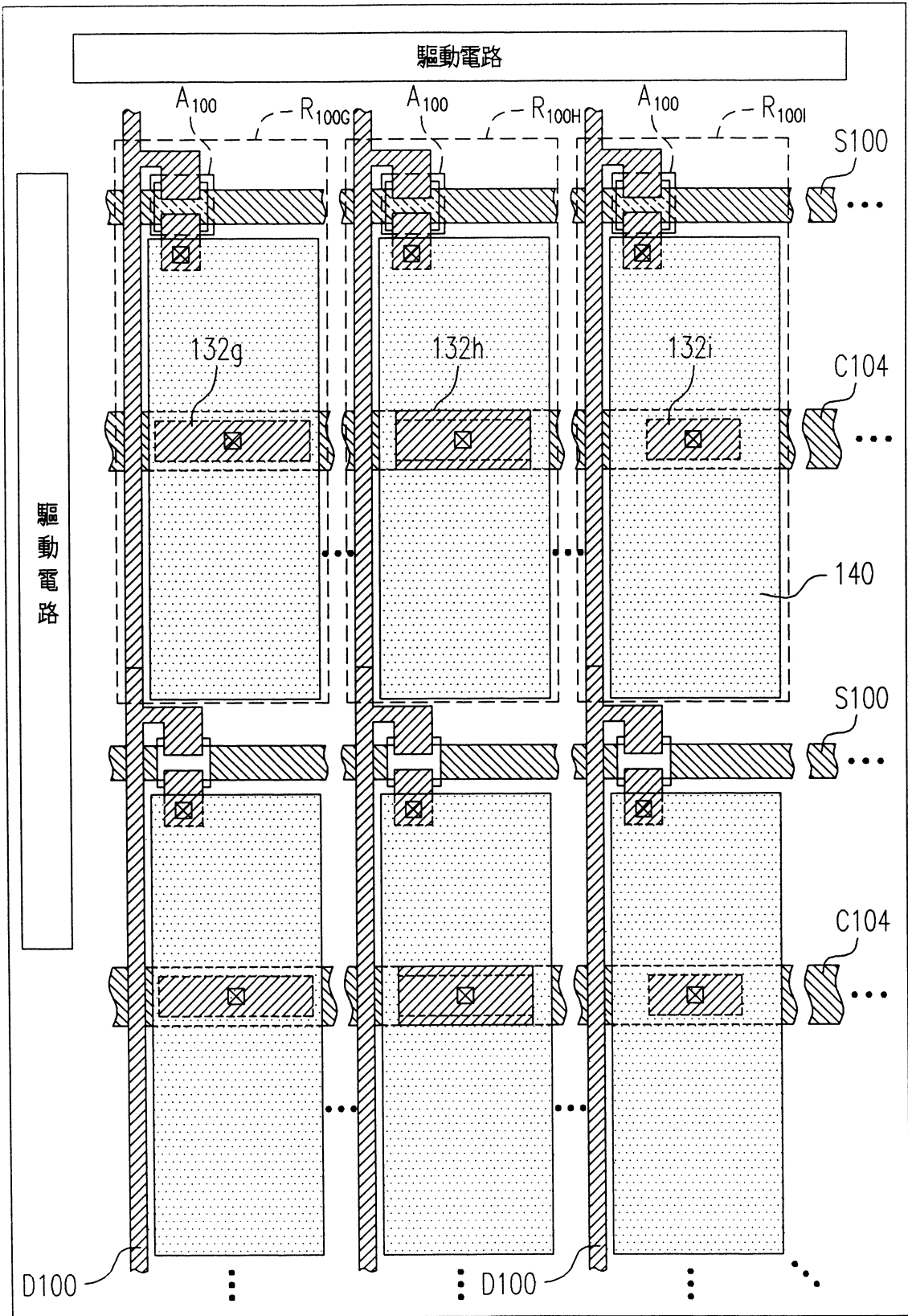


圖 3C