

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4724384号
(P4724384)

(45) 発行日 平成23年7月13日(2011.7.13)

(24) 登録日 平成23年4月15日(2011.4.15)

(51) Int. Cl.	F I
G02F 1/167 (2006.01)	G02F 1/167
G09G 3/20 (2006.01)	G09G 3/20 621A
G09G 3/34 (2006.01)	G09G 3/20 642E
	G09G 3/34 C

請求項の数 9 (全 17 頁)

(21) 出願番号	特願2004-170510 (P2004-170510)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成16年6月8日(2004.6.8)	(74) 代理人	100082337 弁理士 近島 一夫
(65) 公開番号	特開2005-351993 (P2005-351993A)	(74) 代理人	100089510 弁理士 田北 高晴
(43) 公開日	平成17年12月22日(2005.12.22)	(72) 発明者	永山 耕平 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成19年6月8日(2007.6.8)	審査官	高松 大

最終頁に続く

(54) 【発明の名称】 電気泳動表示素子及び電気泳動表示素子の駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1基板と、第2基板と、前記第1及び第2基板との間に設けられた隔壁と、前記第1及び第2基板と隔壁によって形成される密閉空間に配置された泳動粒子と分散媒からなる液層と、第1基板上に形成された第1電極と、前記隔壁に形成された第2電極とを備えた電気泳動表示素子において、

前記第1電極と前記第2電極とを接続する抵抗層を有し、

前記抵抗層の体積抵抗率が 10^6 cm 乃至 10^{12} cm であることを特徴とする電気泳動表示素子。

【請求項2】

前記抵抗層が前記第2電極と前記第1電極を覆うように一体で形成されていることを特徴とする請求項1に記載の電気泳動表示素子。

【請求項3】

前記抵抗層の抵抗値が前記液層の抵抗値よりも小さいことを特徴とする請求項1又は2に記載の電気泳動表示素子。

【請求項4】

前記第1電極と前記抵抗層との間に絶縁層を有し、前記第1電極と前記抵抗層とが前記絶縁層の中のコンタクトホールを介して接続されていることを特徴とする請求項1乃至3のいずれか1項に記載の電気泳動表示素子。

【請求項5】

前記絶縁層は、着色層を含むことを特徴とする請求項 4 に記載の電気泳動表示素子。

【請求項 6】

前記コンタクトホールに接続用材料を充填し、前記接続用材料を介して前記第 1 電極と前記抵抗層とが接続されていることを特徴とする請求項 4 又は 5 に記載の電気泳動表示素子。

【請求項 7】

前記抵抗層は、ポリシラン、ポリシロキサン、ポリアセチレンの有機膜もしくはそれらの複合体もしくはそれらの共重合体であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の電気泳動表示素子。

【請求項 8】

前記抵抗層は、半導体膜であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の電気泳動表示素子。

【請求項 9】

前記抵抗層は、金属粉もしくはカーボン粒子がエポキシ樹脂もしくはポリプロピレン樹脂に配合された導電性樹脂膜であることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の電気泳動表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気泳動表示素子及び電気泳動表示素子の駆動方法に関する。

【背景技術】

【0002】

近年、情報機器の発達に伴い、低消費電力且つ薄型の表示装置のニーズが増しており、これらのニーズに合わせた表示装置の研究、開発が盛んに行われている。

【0003】

特に、ウェアラブル PC や電子手帳等の用途から屋外で使用されることが多く、低消費電力かつ省スペースであることが望まれるため、例えば液晶ディスプレイ等の薄型ディスプレイによる表示機能と座標入力処理を一体化し、ディスプレイに表示された内容をペン或いは指で押圧操作することにより直接的に入力できる物が製品化されている。

【0004】

しかし、多くの液晶はいわゆるメモリ性が無い為、表示期間中は液晶に対して電圧印加を行い続ける必要がある。一方で、メモリ性を有する液晶においては、ウェアラブル PC のようにさまざまな環境における使用を想定した場合の、信頼性を確保することが難しく実用化には至っていない。

【0005】

そこで、メモリ性を有する、薄型軽量ディスプレイ方式の一つとして、電気泳動表示装置がある。この電気泳動表示装置は、所定間隙を開けた状態に配置された一对の基板と、その基板間隙に注入された絶縁性液体と、絶縁性液体に分散された多数の帯電泳動粒子と、絶縁性液体に近接するように配置された一对の電極と、これら電極を覆うように絶縁層とを備えた電気泳動表示素子を備えている（例えば、特許文献 1 参照）。

【0006】

図 16 は、このような従来の電気泳動表示素子の構成の一例を示すものであり、(a) に示すように分散媒である絶縁性液体 103 に分散された多数の帯電泳動粒子 104 を広い面積に配置した場合と、(b) に示すように帯電泳動粒子 104 を狭い面積に集積させた場合との色の違いを利用して種々の表示を行うようになっている。なお、図中、105 は画素電極、106 は共通電極であり、この共通電極 106 は画素を仕切るように配置され、これらの電極 105, 106 はそれぞれ絶縁膜 107, 108 で覆われている。

【0007】

【特許文献 1】特許第 3421494 号公報

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0008】

ところで、従来の電気泳動表示素子において、画素電極105と共通電極106間に電圧を印加したとき、等電位線は図17に示す点線のようになる。ここで、この図から、画素周辺の電極間の狭い場所では等電位線が密なため電界が強く、画素Gの中央部では電界が弱くなることから、絶縁性液体103と帯電泳動粒子104とからなる液層内の電界は不均一なことがわかる。上下の基板に電極を設けて帯電泳動粒子を移動させる垂直移動型電気泳動表示素子においてはこのような電界不均一は生じないが、水平移動型の場合には、通常、画素内の電極と、画素周囲の電極との間で帯電泳動粒子を移動させるので、著しい電界不均一が生じる。

10

【0009】

そのため、中間調を表示する際に、印加電圧に応じて表示電極上に帯電泳動粒子を部分的に移動させようとするすると、印加電圧と中間調の関係が線形から大きく外れて、位置の制御が困難となり、安定した階調を表示することができない。

【0010】

また、黒を表示する場合においては、画素電極105にマイナスの電圧を印加して帯電泳動粒子を画素電極上に集めて表示を行うが、画素Gの中央方向への電界が非常に弱いため、帯電泳動粒子が画素中央部まで到達せず、十分なコントラストが得られない。

【0011】

さらに、電界の強い場所では、帯電した帯電泳動粒子とカウンターイオンの分極も非常に大きくなるため、粒子移動のために電圧を印加した後、電極間を短絡すると、粒子間反発及び粒子・イオン引力による反電場が発生し、それによって粒子が動いてしまい、表示のメモリ性が失われる場合があった。

20

【0012】

一方、電気泳動表示素子のカラー化においては、カラーフィルターを用いる方式が最も簡単であり、従来の電気泳動表示素子においては、カラーフィルターを対向基板側に形成する場合と、反射電極上に形成する場合の2通りがある。

【0013】

ここで、カラーフィルターを対向基板側に形成する場合には、カラーフィルターと画素とが一致するようにセルを組み立てるようにしているが、この際、カラーフィルターと画素との位置ずれが生じる。そして、このような位置ずれが生じた場合、隣接画素間での混色を招くことから、これを防ぐため、位置合わせマージン分のブラックマトリックスを対向基板側に設ける必要がある。

30

【0014】

しかし、このようにブラックマトリックスを設けた場合には、高い開口率を得ることが困難である。特に、150ppi以下の高精細画素を形成する場合や、熱膨張係数の高いプラスチック基板を使用する場合には、開口率の低下が著しい。

【0015】

これに対し、カラーフィルターを反射電極上に形成する場合は、図18のように直接画素にカラーフィルター109a, 109b, 109cを形成することによって開口率低下を抑えることが出来る。しかし、このようなセル構成では焼きつきの原因である残留DCが発生する場合があり、それによってもメモリ性が損なわれる。

40

【0016】

この対策としては、絶縁層、即ちカラーフィルター上に透明電極を形成して、絶縁層の残留DCが溜まらない構成にする方法があるが、構造が複雑になる上、透明電極による光吸収も無視できない。

【0017】

このような従来の電気泳動表示素子の課題を改善して、メモリ性を維持しかつ明るさを改善することが望まれていた。

【課題を解決するための手段】

50

【0018】

本発明は、第1基板と、第2基板と、前記第1及び第2基板との間に設けられた隔壁と、前記第1及び第2基板と隔壁によって形成される密閉空間に配置された泳動粒子と分散媒からなる液層と、第1基板上に形成された第1電極と、前記隔壁に形成された第2電極とを備えた電気泳動表示素子において、

前記第1電極と前記第2電極とを接続する抵抗層を有し、前記抵抗層の体積抵抗率が 10^6 cm 乃至 10^{12} cm であることを特徴とするものである。

【発明を実施するための最良の形態】

【0020】

以下、本発明を実施するための最良の形態を図面を用いて詳細に説明する。

10

【0021】

図1は、本発明の第1の実施の形態に係る電気泳動表示素子の概略構成を示す図であり、図1において、1は第1基板、2は第2基板、Gは画素である。ここで、第2基板2は、例えば透明ガラスや透明フィルムなどの光透過性板で構成されている。なお、第1基板1は必ずしも透明である必要はなく、フィルム基板や金属基板等で構成してもよい。

【0022】

第1基板上には表示面形成体8が形成されている。ここで、この表示面形成体8は、透明な材料、あるいは所望の色で着色された材料を用いて形成されるものであり、例えば、アクリル樹脂、エポキシ樹脂、シリコン樹脂などのプラスチック材料あるいはガラスなどを使用できる。また、これらに酸化チタン、酸化亜鉛、酸化アルミニウムなどの無機酸化物顔料、染料を混ぜ合わせて着色化、光散乱化させてもよい。

20

【0023】

表示面形成体8の上には、第1電極5が形成されている。ここで、この第1電極5としては、ITO膜だけではなく、Al膜等の金属膜を用いてもよい。また、第1電極5のサイズは画素面積の30%以下で、どのような形状でもよい。ただし、液層内の電界を十分に均一化させるためには、10%以下のサイズで、画素Gと相似な形状が好ましい。

【0024】

図2は、本実施の形態に係る画素Gの構成を示す平面図であり、画素ピッチ $50 \mu\text{m}$ の正方形画素に、 $5 \mu\text{m} \times 5 \mu\text{m}$ の正方形の第1電極5が形成されている。なお、第1電極5の占める割合は1%である。また、画素Gが長方形の場合は、図3の(a)および図3の(b)に示すように、第1電極5をライン状に、または複数個設けても良い。

30

【0025】

また、第1基板1と第2基板2との間には、第1基板1と第2基板2との間隔を所定間隔に保ち、かつ隣接する画素とを隔てるための隔壁6が設けられている。ここで、この隔壁6の厚さは通常 $5 \mu\text{m} \sim 30 \mu\text{m}$ 程度であり、隔壁6としては一般に使用されているレジスト材料或いは、熱可塑性材料、紫外線硬化材料などを使用できる。また、この隔壁6の表面には第2電極7が形成されており、この第2電極7は、Al、Tiの金属膜だけでなく、ITO膜で構成しても良い。

【0026】

そして、これら第2電極7と第1電極5を覆うように抵抗層9が形成されている。ここで、この抵抗層9としては、光透過性の材料で、ポリシラン、ポリシロキサン、ポリアセチレンなどの有機膜、もしくはその複合体、共重合体、または、カーボン含有膜、インジウム-スズ酸化物(ITO)などの無機膜、またはシリコンなどの半導体膜、または導電性のフィラ(充填物)、例えば金属粉、カーボン粒子等をエポキシ樹脂、ポリプロピレン樹脂等に配合して得る導電性樹脂膜を使用できる。さらに界面部材として、これらの膜の積層膜でもよい。体積抵抗率は $10^6 \text{ cm} \sim 10^{12} \text{ cm}$ 、膜厚は $1 \text{ nm} \sim 200 \text{ nm}$ が望ましい。

40

【0027】

なお、本実施の形態においては、電気泳動表示素子の製造を簡単にするため、抵抗層9を第2電極7と第1電極5を覆うように形成したが、少なくとも抵抗層9を介して第2電

50

極 7 と第 1 電極 5 とが接続されていれば良い。

【 0 0 2 8 】

一方、第 1 及び第 2 基板 1, 2、隔壁 6 との間に形成される密封空間には、液層分散媒と、この分散媒に分散されている帯電した電気泳動粒子 4 を含み、液層を形成する電気泳動分散液 3 が封入されている。ここで、液層分散媒としては、水、メタノール、エタノール、アセトン、ヘキサン、トルエン、長鎖アルキル基を有するベンゼン類等の芳香族炭化水素等又は、その他の種々の油類等の単独又はこれらの混合物に界面活性剤等を配合したものをを用いることができる。

【 0 0 2 9 】

また、電気泳動粒子 4 は、分散媒中で電位差による電気泳動により移動する性質を有する有機あるいは無機の粒子であり、この電気泳動粒子としては、例えば、アニリンブラック、カーボンブラック等の黒色顔料、二酸化チタン、三酸化アンチモン等の白色顔料、アゾ系顔料、その他着色顔料等の 1 種又は 2 種以上を用いることができる。

10

【 0 0 3 0 】

さらに、これらの顔料には、必要に応じ、電解質、界面活性剤、樹脂、ゴム、油等の粒子からなる荷電制御剤、チタン系カップリング剤、アルミニウム系カップリング剤、シラン系カップリング剤等の分散剤、潤滑剤、安定化剤等を添加することができる。

【 0 0 3 1 】

なお、本実施の形態では、第 1 電極 5 と第 2 電極 7 との間には、駆動電圧を発生する駆動電圧発生装置が接続されている。

20

【 0 0 3 2 】

次に、このように構成された電気泳動表示素子の動作について説明する。以下の説明では、電気泳動粒子 4 は正に帯電している場合を例に挙げるが、負に帯電している場合でも、電気泳動粒子の動く方向が逆になることを考慮すれば同様に説明することができる。

【 0 0 3 3 】

図 4 に駆動波形を示す。ここで、第 2 電極 7 の電位は 0 V とする。図 4 (a) は第 1 電極電位、図 4 (b) は図 1 中の点 A における抵抗層電位 (導電膜電位)、図 4 (c) は光学応答を示している。また、時間 t_1 から t_2 の期間はリセット期間、 t_2 から t_3 の期間は書込み期間に相当する。

【 0 0 3 4 】

リセット期間では電気泳動粒子の位置を所定の位置に揃えるために、リセット電圧 V_r を印加する。このとき図 1 中の点 A における抵抗層 9 の電位は、抵抗分圧により第 2 電極電位 (0 V) と第 1 電極電位 (V_r) の間の電位となる。

30

【 0 0 3 5 】

その後、書込み期間に移ると書込み電圧 V_w が印加され、同様に抵抗層電位も変化し、抵抗分圧により、第 1 電極電位 (V_w) よりも低い電位となる。

【 0 0 3 6 】

書込み終了後、電圧を 0 V に落として表示状態維持期間へ移行する。ここで、第 1 電極上の抵抗層 9 の法線方向の抵抗、及び、第 2 電極表面の抵抗層 9 の法線方向抵抗を第 1 電極と第 2 電極間の液層の抵抗よりも十分に低くしておけば残留 DC は溜まらないので、0 V に落とした直後、逆方向の電場は発生せず、メモリ性は損なわれない。

40

【 0 0 3 7 】

ところで、このように第 1 電極 5 と第 2 電極 7 とを抵抗層 9 を介して接続することにより、駆動電圧を印加した場合、抵抗層内に電位勾配が生じ、抵抗分圧により抵抗層 9 の電位は第 2 電極 7 に近いほど小さくなり、遠い場所では電位差が大きくなる。図 5 は、このときの等電位線の状態を示すものであり、図 5 に示すように第 1 電極 5 と第 2 電極 7 間の等電位線の間隔が従来と比べて格段に広がるので、隔壁電極近傍の電界が小さくなる。

【 0 0 3 8 】

従って、液層中の極端な電界不均一性が解消され、電気泳動粒子にかかる電界もほぼ均一となる。そして、このように電界を均一にすることにより、印加電圧パルスのパルス幅

50

を変えて帯電泳動粒子の移動量を制御することが容易になり、この結果、安定した中間調表示を得ることが出来る。

【0039】

また、第1電極5が表示画素Gの中央部に形成されているので、黒を表示する時に中央に向かう横方向の電界が生じる。このため、電気泳動粒子が中央部まで到達するようになり、コントラストを格段に向上させることができる。さらに、電界均一化によって粒子・イオンの分極による反電場を抑えることができ、十分なメモリ性も得ることも可能である。

【0040】

次に、本発明の第2の実施の形態について説明する。

【0041】

図6は本実施の形態に係る電気泳動表示素子の概略構成を示す図であり、図6において、図1と同一符号は、同一または相当部分を示している。

【0042】

図6において、13は第1基板1上に形成された凹凸部であり、12は凹凸部13の上面に形成された第1電極である。ここで、この凹凸部13は、例えば感光性樹脂を塗布した後、露光およびウェット現像を行うことで形成することができる。また、ガラスに微細な凹凸を作る方法でも良い。また、この凹凸部上に形成された第1電極12の材料としては、AlやAgなど反射率の高い材料を用いることが望ましい。

【0043】

そして、このように凹凸部上に第1電極12を形成することによって、第1電極12に光を拡散させる機能を持たせることができる。また、凹凸部13の傾斜角の分布を制御し、視野角を拡大させるとともに外光を効率良く反射させることができるので、第1の実施の形態よりも明るい良好な表示が得られる。また、ITO電極を用いなくとも反射率の維持が可能となるため、プロセスの簡略化が可能となる。

【0044】

10a、10b、10cは、第1電極上に形成されている絶縁層を構成する着色層であり、この着色層10a、10b、10cは、例えば、赤色または、緑色または、青色の顔料を分散させた紫外線硬化型アクリル樹脂レジストで構成されている。なお、この着色層10a、10b、10cの膜厚は通常0.5μm~4μm程度である。

【0045】

11は、画素の中央部に形成されたコンタクトホールであり、抵抗層9は第2電極7と共に着色層上に形成された隔壁6と、着色層10a、10b、10cとコンタクトホール11を覆うように形成されている。これにより、第1電極12と第2電極7とは、コンタクトホール11内に形成された抵抗層9とを介して接続されることになる。

【0046】

また、本実施の形態において、このコンタクトホール11は第2電極7から最も遠い場所、即ち、画素Gのほぼ中央部に形成されている。そして、このようにコンタクトホール11を画素Gのほぼ中央部に形成することにより、画素Gの中央部と第2電極間の電位差が最も大きくなる。これにより、黒表示時に中央に向かう横方向の電界が生じ、この結果、電気泳動粒子4が画素中央部まで到達するようになり、コントラストが格段に向上する。

【0047】

次に、このように構成された電気泳動表示素子の動作について説明する。なお、以下の説明では、電気泳動粒子は正に帯電している場合を例に挙げるが、負に帯電している場合でも、電気泳動粒子の動く方向が逆になることを考慮すれば同様に説明することができる。

【0048】

図7に駆動波形を示す。ここで、第2電極の電位は0Vとする。

【0049】

図7(a)は第1電極電位、図7(b)は図6中の点Aにおける抵抗層電位(導電膜電

10

20

30

40

50

位)、図7(c)は光学応答を示している。また、時間 t_1 から t_2 の期間はリセット期間、 t_2 から t_3 の期間は書込み期間、 t_3 から t_4 の期間は電圧オフ移行期間に相当する。

【0050】

時間 t_1 では、電気泳動粒子4の位置を所定の位置に揃えるために、リセット電圧 V_r を印加する。印加直後は、図6中の点Aにおける抵抗層電位は、抵抗層9と第1電極間の容量と、着色層(絶縁層)10a, 10b, 10cと第1電極間の容量の比で分圧されることによりほぼ印加電圧と同じ電位になる。しかし、その後、抵抗層9の抵抗分圧により所定の電圧に落ち着く。この時定数は、抵抗層9の抵抗及び、抵抗層9と第1電極間で形成される容量により調整可能である。

10

【0051】

その後、書込み期間に移ると書込み電圧 V_w が印加される。このとき、抵抗層電位は容量分圧により電圧 V_w 以上の電位になるが、リセット期間中と同様の時定数で抵抗分圧の所定の電圧に落ち着く。そして、図7(c)に示すように所定の階調レベルになった後、電圧オフ移行期間に移る。

【0052】

ここで、時間 t_3 直後に、0Vにすると、抵抗層9と第1電極間に溜まっている電荷により逆極性の電場が生じ、メモリ性を損なってしまう。そこで、第1電極電位をセルの時定数よりも長い時定数で徐々に0Vに変化するようにすれば、逆極性の電場の発生を抑えることができ、メモリ性を維持することが可能となる。

20

【0053】

つまり、表示するための電圧を第1電極5と抵抗層間に印加した後、着色層(絶縁層)10a, 10b, 10cの容量と抵抗層9で決定される時定数よりも大きい時定数で、実質的に0Vに変化させることにより、着色層(絶縁層)10a, 10b, 10cに溜まる残留DCの時定数よりも長い時定数で印加電圧を0Vに落とすことが可能になる。この結果、液層に対して逆極性の電圧がかかるのが抑制され、電気泳動粒子が逆方向へ移動することなく良好なメモリ性を得ることが出来る。

【0054】

次に、本発明の第3実施の形態について説明する。

【0055】

図8は、本実施の形態に係る電気泳動表示素子の概略構成を示す図であり、図8において、図6と同一符号は、同一または相当部分を示している。

30

【0056】

図8において、12はコンタクトホール11に充填された接続用材料であり、この接続用材料12を介して、コンタクトホール11において第1電極5と抵抗層9とが接続されている。そして、このように構成することにより、抵抗層9の表面の段差を小さくすることができ、電気泳動粒子4がコンタクトホール部の段差に張り付くといった問題を解決することができる。

【0057】

なお、このような接続用材料12としては、抵抗層9の抵抗よりも低い材料が望ましく、Al、Tiなどの金属やITO、導電性樹脂などを用いても良い。そして、このように接続用材料12の抵抗が低い場合には、コンタクトホール部における接続用材料の抵抗による電位降下を抑えることができ、第2の実施の形態よりも効率良く液層に電圧を印加することができ、これにより所望の電圧を液層に印加することができる。さらに、接続用材料12が金属の場合には、コンタクトホール11の径を小さくしても、接続部の抵抗が十分低くできるため、表示に有効な部分の面積が広くなり、明るく良好な表示が得られる。

40

【0058】

図9は、既述した第1～第3の実施の形態に係る電気泳動表示素子を表示パネルとして用いた電気泳動表示装置のシステム構成を示すブロック図であり、同図において41はパネルコントローラ、43はソースドライバ、42はゲートドライバ、44は電気泳動表示

50

パネルである。

【0059】

ここで、パネルコントローラ41は、入力される画像データに基づいて、フィールド同期信号、水平同期信号、データ取り込みクロックなどの制御信号、および表示データを生成し、ソースドライバ43、ゲートドライバ42に転送するものであり、ソースドライバ43、ゲートドライバ42は、パネルコントローラ41より受信した制御信号、表示データに従って電気泳動表示パネル44に駆動電圧を出力するものである。そして、電気泳動表示パネル44は、この駆動電圧に応じ表示を行うようになっている。

【0060】

なお、この電気泳動表示パネル44は、第1基板上に一定間隔で配線された不図示の複数のデータライン群と、複数のデータライン群に立体交差して第1基板上に一定間隔で配置された不図示の走査ライン群及び補助容量線群と、複数のデータライン及び走査ラインとの各交差部に対応して一定間隔で配置された複数の画素Gが設けられている。

【0061】

図10は、例えば第2の実施の形態に係る電気泳動表示素子(図6参照)を用いた電気泳動表示パネル44の画素における等価回路を示す図であり、画素45の第1電極12は、アクティブマトリクス駆動表示用のスイッチング素子である薄膜トランジスタ(Thin Film Transistor:以下TFTという)46のドレイン電極に接続され、第2電極7は電圧Vcomである共通電極49に接続されている。なお、全画素の第2電極は共通電極49に接続される。また、走査ラインであるゲートライン47はTFT46のゲート電極、データラインであるソースライン48はTFT46のソース電極に接続される。なお、TFTはn型トランジスタとした。

【0062】

ドレイン電極には着色層の容量である補助容量50が補助容量線51との間に形成されており、全画素の補助容量は、電圧Vcsの補助容量線51に接続される。

【0063】

以下、具体的な駆動方法について説明する。

【0064】

図11に電気泳動表示パネル44のある画素に対する駆動波形を示す。ここで、第2電極7の電位は0Vとする。図11(a)はゲートドライバ42から入力されるゲート信号(走査信号パルス)、図11(b)はソースドライバ43から第1電極12に入力される情報信号パルス、図11(c)は第1電極電位波形と抵抗層電位波形を、図11(d)は光学応答を示している。

【0065】

ここで、駆動期間は、リセット期間、書込み期間、電圧オフ移行期間の3つの期間で構成されている。なお、以下、各期間が2フィールドで構成される場合について説明するが、各期間のフィールド数が異なる場合や2フィールド以上で構成される場合でも同様の効果があり、問題はない。

【0066】

まず、リセット期間において、ゲート信号に同期して、ソースドライバ43よりソースライン48にリセットパルスVr1が印加され、画素(第1電極12)に電圧Vr1が書込まれる。なお、この後のフィールド期間中は電圧が保持される。このとき、第1電極12と第2電極7とが抵抗層9を介して接続されているので、抵抗層9の抵抗と補助容量50で決定される時定数にて第1電極電位が変化する。この第1電極電位変化量は、抵抗層9の抵抗と補助容量50を調整することで、小さくすることができる。

【0067】

ここで、抵抗層電位については、リセット直後、既述した第2の実施の形態と同様に容量分圧で電位Vr1になり、その後、抵抗層9の抵抗分圧に落ち着く。なお、第2の実施の形態と異なるのは、第1電極電位変化に応じて、抵抗層の抵抗分圧も変化している点であるが、隔壁近傍の電界を緩和する効果は第2の実施の形態と同様である。

10

20

30

40

50

【 0 0 6 8 】

リセット期間中の次のフィールドでは、再度、第 1 電極 5 に電圧 V_{r1} が書込まれる。このときの第 1 電極電位変化は小さいので、抵抗層 9 の電位変動も小さい。その後は、前のフィールドと同様に電位降下する。

【 0 0 6 9 】

次に、書込み期間に移るときは、第 1 電極 5 に電圧 V_{w1} が書込まれ、その後、電圧が保持され、電気泳動粒子 4 の移動により表示状態が黒から白へ変わる。このとき、抵抗層 9 の電位は、 V_{r1} から V_{w1} の電位差とほぼ等しい量の電位変化を受けるため、 V_{w1} よりも高くなる。その後、抵抗層 9 の抵抗分圧に落ち着く。次のフィールドの電位変化については、リセット期間中の第 2 フィールドと同様である。

10

【 0 0 7 0 】

次に、電圧オフ移行期間では、第 1 フィールドで画素は V_{s1} が書込まれ、第 2 フィールドで V_{s2} が書込まれる。抵抗層電位は抵抗層 9 の抵抗分圧で決定され、第 1 電極電位の変化に応じて変化する。

【 0 0 7 1 】

ここで、書込み期間直後に電圧を 0 V に変化させると、着色層に溜まった電荷により抵抗層の電位が逆極性になり、逆方向の電場が発生してメモリ性が阻害されることから、本実施の形態においては、 $V_{w1} > V_{s1} > V_{s2}$ の関係を満たしながら電圧を低下させることにより、第 1 電極電位を 0 V に減衰させるまでの時間を、着色層の容量と抵抗層の抵抗で決定される時定数よりも長くするようにしている。

20

【 0 0 7 2 】

着色層の膜厚を $1 \mu\text{m}$ 、着色層の誘電率を 3、画素サイズを $50 \mu\text{m} \times 50 \mu\text{m}$ とすると、抵抗層 9 と第 1 電極 5 で挟まれた着色層部の容量は、コンタクトホール部を除き、1 画素あたり約 0.13 pF である。共通電極と第 1 電極間の抵抗が 10^{12} となるように抵抗層を形成した場合、残留 DC が解消される時定数は約 13 ms となる。ここで、第 1 電極電位を 100 ms の時間で 0 V に減衰させると、逆極性の電場は発生しない。このように第 1 電極電位を 0 V に減衰させるまでの時間を、着色層の容量と抵抗層の抵抗で決定される時定数よりも長くすることにより、逆極性の電場が発生することなく第 1 電極電位と抵抗層電位を 0 V に落とすことができ、書込み期間後の光学応答が変化しないようにすることができる。ここで、実使用上、表示の切り替え速度は 1 秒以下が望ましく、第 1 電極電位の減衰時間も 1 秒以下が望ましい。なお、着色層と抵抗層で決定される時定数が減衰時間を超えない範囲であれば、着色層の膜厚、誘電率、抵抗層の抵抗はどのような値であっても良い。

30

【 0 0 7 3 】

つまり、以上説明した駆動方法によれば、逆方向の電場が発生することなく、隔壁近傍の電界不均一性を改善することができるので、電気泳動表示パネルのメモリ性及びコントラスト、表示品位を格段に向上させることが可能となる。

【 0 0 7 4 】

図 1 2 は、電気泳動表示パネル 4 4 の一画素における他の等価回路を示す図であり、駆動電源線 5 2 と電圧制御 TFT 5 3 とが追加されている。なお、この電圧制御 TFT 5 3 は、画素 TFT 4 6 と同様の n 型トランジスタである。

40

【 0 0 7 5 】

そして、電圧制御 TFT 5 3 のソース電極とドレイン電極には、それぞれ駆動電源線 5 2 と画素 4 5 の第 1 電極が接続されており、ゲート電極には画素 TFT 4 6 のドレイン電極が接続されている。

【 0 0 7 6 】

次に、具体的な駆動方法について説明する。

【 0 0 7 7 】

図 1 3 に電気泳動表示パネル 4 4 のある一画素に対する駆動波形を示す。ここで、第 2 電極の電位は 0 V とする。図 1 3 (a) はゲートドライバから入力されるゲート信号 (走

50

査信号パルス)を、図13(b)はソースドライバから画素に入力される信号線電位(情報信号パルス)を、図13(c)はV_{dd}信号を、図13(d)は第1電極電位波形と抵抗層電位波形を、図13(e)は光学応答を示している。

【0078】

まず、リセット期間において、ゲート信号に同期してソースドライバ43よりパルスV_{t1}が印加され、電圧制御TFT53のゲートに電圧V_{t1}が書込まれる。このとき、第2電極7の電位は0V、駆動電源線52の電圧は-V_{dd}であり、第2電極と駆動電源線間で電位差-V_{dd}を与えていることになる。

【0079】

ここで、電圧制御TFT53のソース・ドレイン間抵抗はゲート電圧で制御され、電圧V_{t1}を印加した場合の抵抗が、第2電極と第1電極間の抵抗層抵抗よりも十分低いとすると、抵抗分圧により第1電極電位は、ほぼ-V_{dd}となり、電気泳動粒子のリセット動作を行うことができる。

【0080】

次のフィールドでは、電圧制御TFT53のゲートに電圧V_{t0}が書込まれ、電圧制御TFT53はオフ状態となる。ここで、この電圧制御TFT53のオフは、電圧制御TFT53のソース・ドレイン間抵抗が抵抗層抵抗よりも高くなることを意味しており、第1電極電位は抵抗分圧の結果、第2電極電位に近づく。

【0081】

その後、次の書込み期間において書込み電圧を液層に印加させるために、駆動電源線の電圧が+V_{dd}に変化するが、電圧制御TFT53がオフであるため第1電極電位は変化しない。

【0082】

次のフィールドでは、電圧制御TFT53のゲートに電圧V_{t2}が書込まれ、このTFTのソース・ドレイン間抵抗が下がる。ここで、抵抗分圧により第1電極電位は、電圧制御TFT53のゲート電圧で制御されることから、所望の階調電圧V_{w1}を得るための電圧V_{t2}を印加すればよい。ここで、電圧V_{t2}がV_{t1}よりも高くなる理由は、電圧制御TFTがn型トランジスタで、正極性の電圧+V_{dd}を書込む条件であり、ソース・ドレイン間抵抗が高いからである。

【0083】

次のフィールドでは、電圧制御TFT53のゲートに電圧V_{t0}が書込まれ、これにより電圧制御TFT53はオフ状態となり、第1電極電位は抵抗分圧の結果、第2電極電位に近づく。

【0084】

このような駆動方法であっても、隔壁近傍の抵抗層電位を抑えることができるので、既述した図12に示すものと同様の効果が得られる。さらに、第1電極に流れる電流を制御する手段である電圧制御TFT53を設けることにより、画素TFT46がオフであっても、安定した電流が第1電極に供給されるので、電位降下が防止され、良好な表示が得られる。

【0085】

図14は、電気泳動表示パネル44の一画素における他の等価回路を示す図であり、図12に示した配線図に、AZ線54とAZB線55、及びn型トランジスタ56、57(MN1とMN2)、容量58、59(C1とC2)が追加されている。

【0086】

以下、具体的な駆動方法について説明する。

【0087】

図15に電気泳動表示パネル44のある一画素に対する駆動波形を示す。ここで、第2電極の電位は0Vとする。図15(a)はゲートドライバから入力されるゲート信号(走査信号パルス)を、図15(b)はソースドライバから画素に入力される信号線電位(情報信号パルス)を、図15(c)はAZ信号を、図15(d)はAZB信号を示している

10

20

30

40

50

【0088】

期間1では、ゲート信号が立ち上がって画素TF T 46がオンになり、画素TF T 46のドレイン電極の電位は、信号線電位V d dと同じになる。その後AZが立ち上がりMN1もオンになる。前のシーケンスにおいてAZ Bがオンであるので、第1電極の電位は、ほぼ第2電極電位(0V)にある。従って、電圧制御TF T 53のゲート・ソース間電圧V g sはマイナスになるので、電圧制御TF T 53はオフ状態が確保される。

【0089】

期間2では、AZが立ち上がってMN1がオンになり、AZ BによりMN2がオフになる。これにより、V d dの電流は電圧制御TF T 53のゲートに回り込み、ゲート・ソース間電圧V g sが電圧制御TF T 53の閾値電圧V t hと等しくなるまで電荷が流れる。V g s = V t hとなった時点で電圧制御TF T 53がオフになる。

【0090】

この後、AZがたち下がって、MN1がオフになると、C1とC2にはV t hが記録される。即ち、C1の電圧差がV d d - V t hであり、C2の電位差もV d d - V t hである。

【0091】

期間3では、信号線にV d a t a分だけ高い信号を入力すると、容量分圧により電圧制御TF Tのゲート電圧が変動する。期間4でAZ Bをオンにすると、第1電極に電流が流れる。

【0092】

このような構成では、電圧制御TF T 53の閾値V t hを補償することができ、このように電圧制御TF T 53の閾値V t hを補償することにより、第1電極に一定の電流を流すことができる。これにより、電圧制御TF T 53の閾値のばらつきに伴う第1電極電位のばらつきを防ぐことができ、所望の階調表示を得ることができる。この結果、電気泳動表示パネルの面内でムラのない均一で良好な表示を得ることが出来る。

【図面の簡単な説明】

【0093】

【図1】本発明の第1の実施の形態に係る電気泳動表示素子の概略構成を示す図。

【図2】上記電気泳動表示素子の画素の構成を示す平面図。

【図3】上記電気泳動表示素子の画素の他の構成を示す平面図。

【図4】上記電気泳動表示素子の駆動波形を示す図。

【図5】上記電気泳動表示素子の駆動状態における等電位線を示す図。

【図6】本発明の第2の実施の形態に係る電気泳動表示素子の概略構成を示す図。

【図7】上記電気泳動表示素子の駆動波形を示す図。

【図8】本発明の第3の実施の形態に係る電気泳動表示素子の概略構成を示す図。

【図9】上記第1～第3の実施の形態に係る電気泳動表示素子を表示パネルとして用いた電気泳動表示装置のシステム構成を示すブロック図。

【図10】電気泳動表示装置の電気泳動表示パネルの一画素における等価回路を示す図。

【図11】上記電気泳動表示パネルの一画素の駆動波形を示す図。

【図12】電気泳動表示装置の電気泳動表示パネルの一画素における他の等価回路を示す図。

【図13】上記電気泳動表示パネルの一画素の駆動波形を示す図。

【図14】電気泳動表示装置の電気泳動表示パネルの一画素における他の等価回路を示す図。

【図15】上記電気泳動表示パネルの一画素の駆動波形を示す図。

【図16】従来の電気泳動表示素子の一画素の断面図。

【図17】上記従来の電気泳動表示素子の駆動状態における等電位線を示す図。

【図18】従来の他の電気泳動表示素子の一画素の断面図。

【符号の説明】

10

20

30

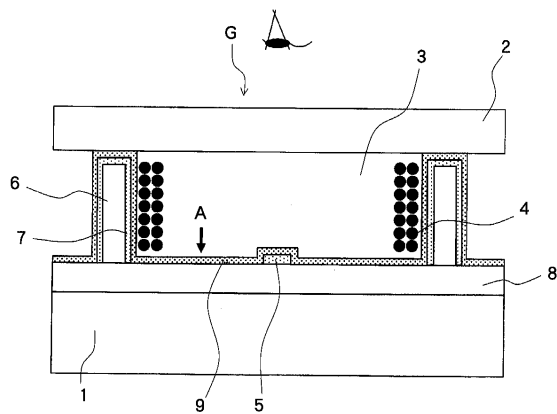
40

50

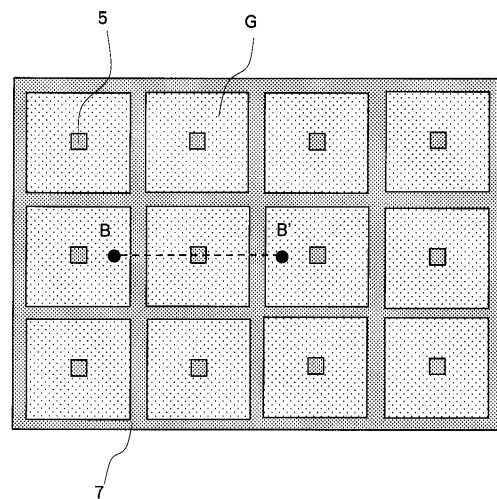
【 0 0 9 4 】

- 1 第 1 基板
 - 2 , 1 2 第 2 基板
 - 3 分散液
 - 4 帯電粒子
 - 5 第 1 電極
 - 6 隔壁
 - 7 第 2 電極
 - 8 表示面形成体
 - 9 抵抗層
 - 10 a 着色層
 - 10 b 着色層
 - 10 c 着色層
 - 11 ・コンタクトホール
 - 13 凹凸部
 - 14 接続用材料
 - 41 パネルコントローラ
 - 44 電気泳動表示パネル
 - 46 画素 T F T
 - 53 電圧制御 T F T
- 10
- 20

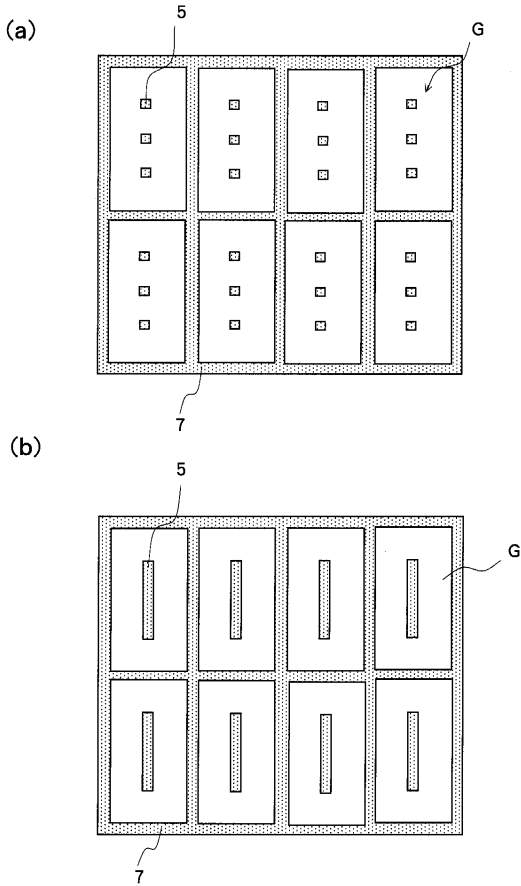
【 図 1 】



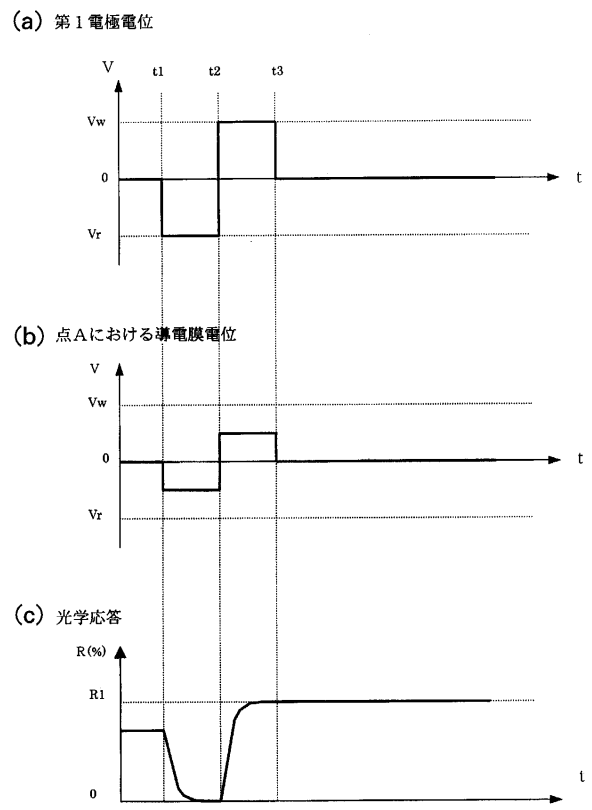
【 図 2 】



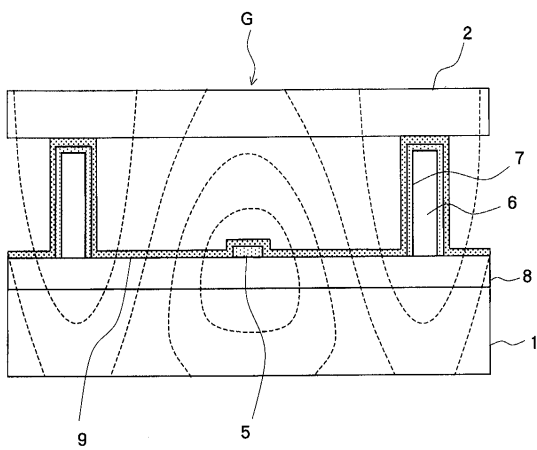
【図3】



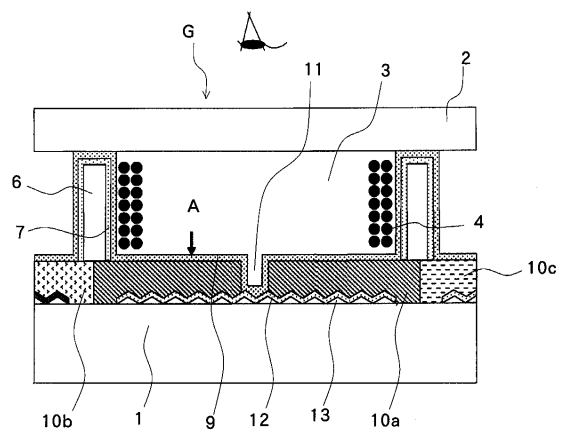
【図4】



【図5】

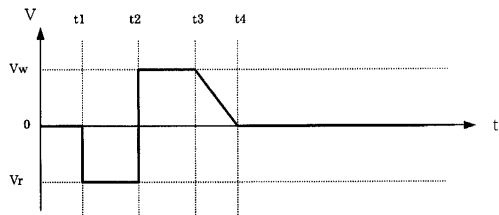


【図6】

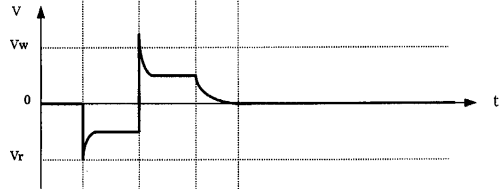


【図7】

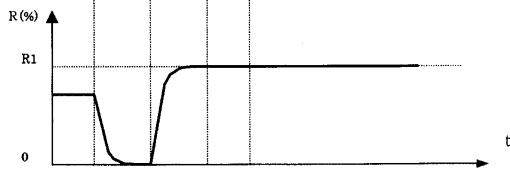
(a) 第1電極電位



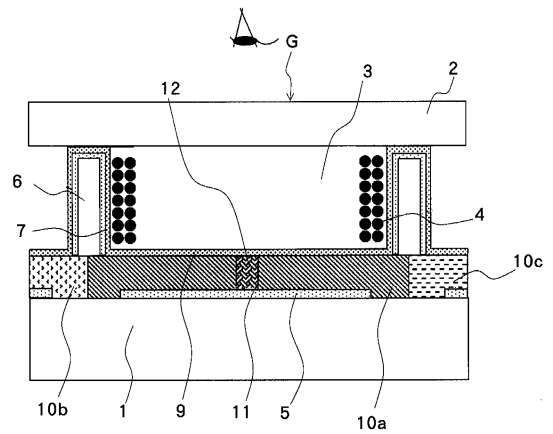
(b) 導電膜電位



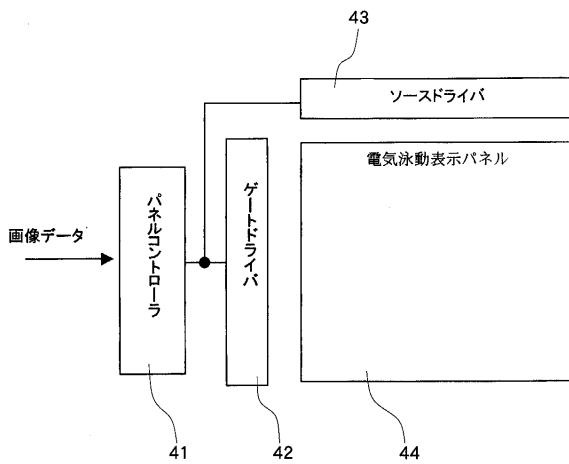
(c) 光学応答



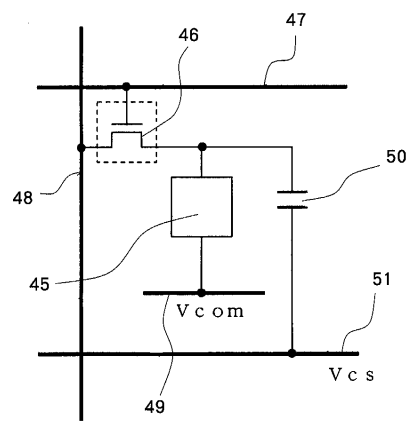
【図8】



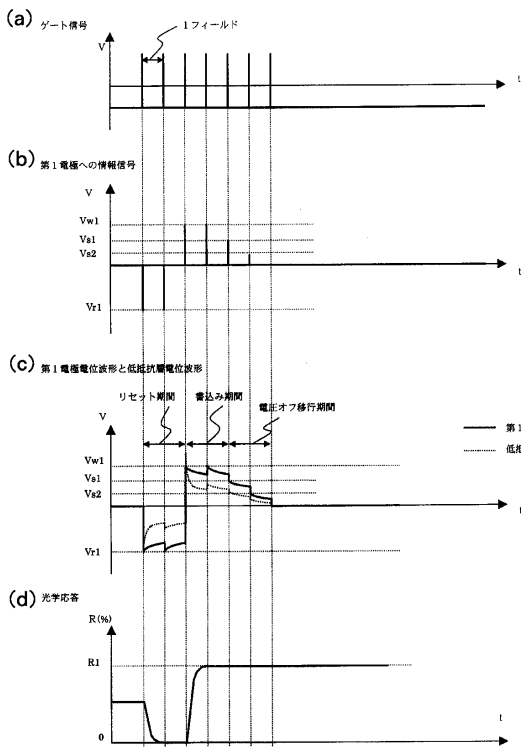
【図9】



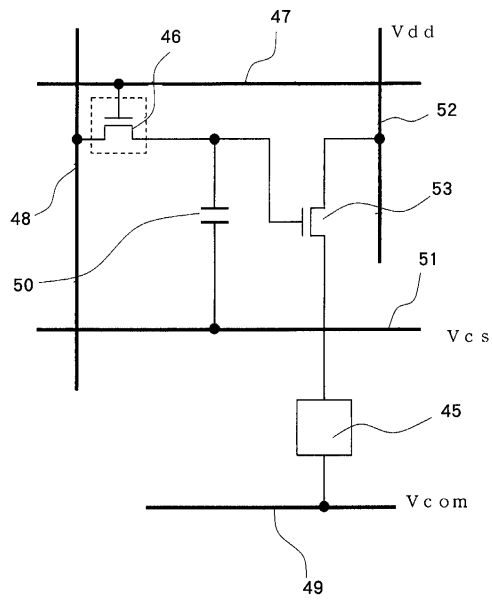
【図10】



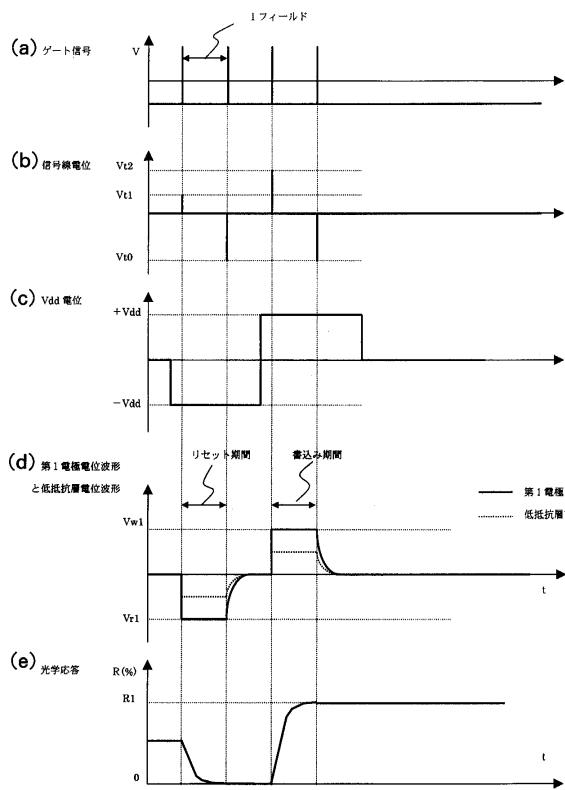
【図11】



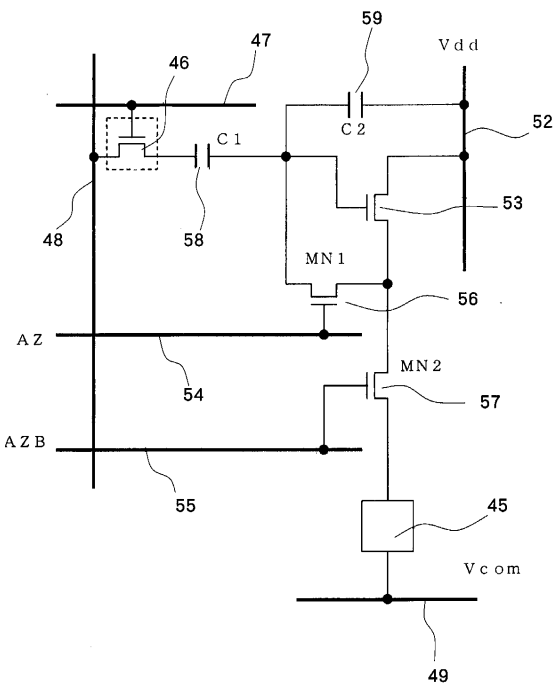
【図12】



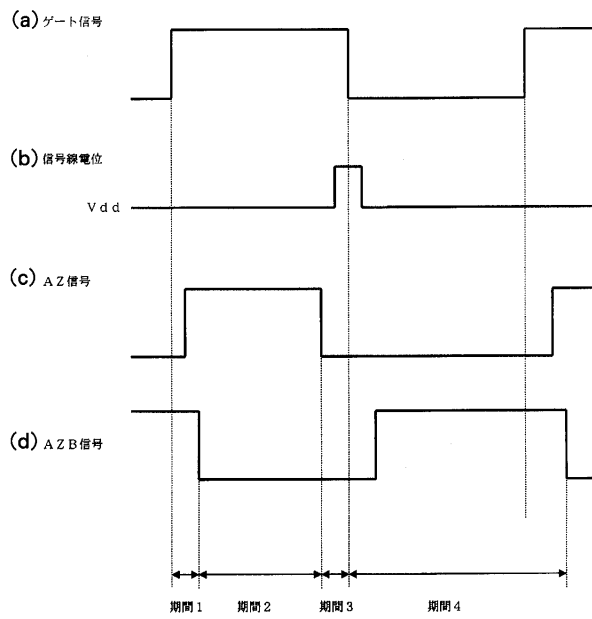
【図13】



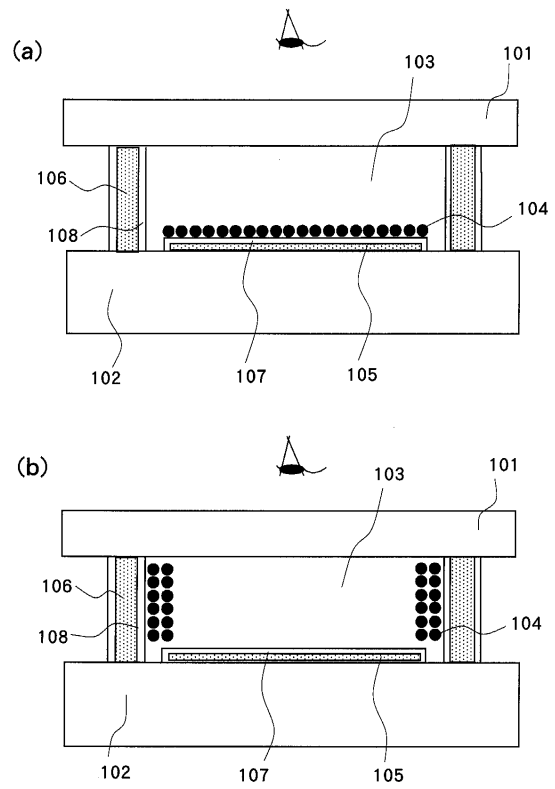
【図14】



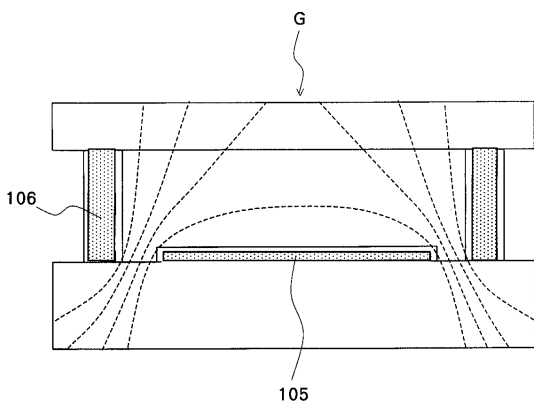
【図15】



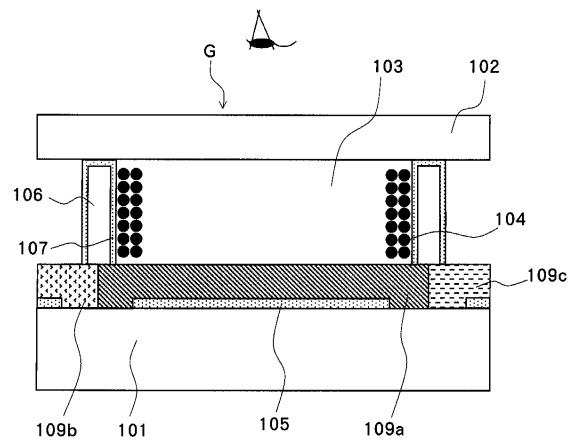
【図16】



【図17】



【図18】



フロントページの続き

- (56)参考文献 特開2005 - 275215 (JP, A)
特開2003 - 270674 (JP, A)
特開2003 - 172953 (JP, A)
特開昭62 - 502147 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F	1 / 167
G09G	3 / 20
G09G	3 / 34