

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3938083号

(P3938083)

(45) 発行日 平成19年6月27日(2007.6.27)

(24) 登録日 平成19年4月6日(2007.4.6)

(51) Int. Cl.	F I
HO2M 3/28 (2006.01)	HO2M 3/28 P
	HO2M 3/28 C
	HO2M 3/28 H

請求項の数 2 (全 15 頁)

(21) 出願番号	特願2003-92527 (P2003-92527)	(73) 特許権者	000002185
(22) 出願日	平成15年3月28日(2003.3.28)		ソニー株式会社
(65) 公開番号	特開2004-304886 (P2004-304886A)		東京都港区港南1丁目7番1号
(43) 公開日	平成16年10月28日(2004.10.28)	(74) 代理人	100086841
審査請求日	平成16年9月29日(2004.9.29)		弁理士 脇 篤夫
		(74) 代理人	100114122
			弁理士 鈴木 伸夫
		(72) 発明者	梅津 浩二
			福島県安達郡本宮町字樋ノ口2番地 ソニー福島株式会社内
		審査官	櫻田 正紀

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

交流電源から直流に変換する整流回路と、
 該整流回路から得られた直流電力をトランスの1次巻線を経由して断続するスイッチング素子と、

上記スイッチング素子の断続によって上記トランスの1次巻線に供給される電力に対応する電力を誘起する2次巻線、及び3次巻線を有し、上記2次巻線から出力された電力を整流・平滑して2次側の負荷回路に供給する電力変換手段と、

上記3次巻線から得られた電力を整流・平滑した電源によって駆動され、上記2次巻線から上記負荷回路に供給される電圧、及び電流を検出する検出手段と、

上記検出手段で検出された信号に基づいて上記2次側に供給される電圧、及び電流を所定値となるように、上記スイッチング素子のオン期間を制御する発振部、及び上記スイッチング素子のオン時間幅を制御するPWM変調部を有する制御回路と、
 を備えたスイッチング電源装置において、

上記制御回路は、

上記3次巻線から得られた直流電圧と基準電圧とを比較する比較手段を具備し、

上記比較手段は、

上記3次巻線から得られた直流電圧の方が上記基準電圧よりも大きいと比較する場合においては、上記検出手段で検出された信号が所定範囲内であるときには上記検出手段からの出力に応じて上記スイッチング素子のオン時間幅を制御し、上記検出手段で検出された

10

20

信号が所定範囲外であるときには上記検出手段からの出力に応じて上記スイッチング素子のオン期間を制御することによって、上記２次側に供給される電圧、及び電流を所定値とし、

上記３次巻線から得られた直流電圧の方が上記基準電圧よりも小さいと比較する場合には、所定電圧に応じて上記スイッチング素子のオン期間を制御する、ことを特徴とするスイッチング電源装置。

【請求項２】

上記３次巻線から得られた直流電圧の方が上記基準電圧よりも大きいと比較する場合には、上記検出手段で検出された信号が所定範囲外であるときには、

上記スイッチング素子のオン時間幅は、上記スイッチング素子のオン期間が長くなるにつれて大きくなるように制御されることを特徴とする請求項１に記載のスイッチング電源装置。

10

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、例えばスイッチング素子によって直流電源を断続し、交番信号を得ると共に、その交番信号を整流・平滑することによって任意の直流電力を得る際に好適なスイッチング電源装置に関するものである。

【０００２】

【従来の技術】

近年、高周波の比較的大きな電流及び電圧に耐えるスイッチング素子、およびデバイスの開発によって、商用電源から比較的容易に直流電力に変換できるスイッチング電源装置が普及している。

20

【０００３】

図７はかかるスイッチング電源の一例をブロック図で示したものである。

この図において、１１は商用電源に接続されるコネクタ、１２はスイッチング電源が発生するノイズを除去する入力フィルター、１３は整流ダイオードによって交流電源を整流して直流電圧（ V_{in} ）を得る整流回路である。

１４は一次巻線 N_1 、２次巻線 N_2 、および３次巻線 N_3 を有しているトランス（ T_1 ）であり、１５はこのトランス（ T_1 ）の２次巻線に誘起される交番電力が整流ダイオード D_3 、および平滑コンデンサ C_2 によって直流の出力電圧（ V_0 ）に変換され供給されている負荷回路（機器装置）である。

30

【０００４】

この負荷回路１５は、２次電池を設け、負荷回路が動作停止状態においては２次電池に充電を行うように動作し、一方負荷回路が動作状態においては負荷回路が動作する為の電力を供給して動作する電子機器（例えば、デジタルカメラ、ビデオカメラ、小型ＴＶ等）がある。

【０００５】

１６、および１７は出力電圧（ V_0 ）及び出力電流（ I_0 ）を検出するためのオペアンプ（ OP_1 ）、（ OP_2 ）、１８は前記オペアンプ１６、１７の検出信号がダイオード D_1 、 D_2 を介して入力されているホットダイオードと、ホットトランジスタからなるホットカプラー（ PH_1 ）であり、前記オペアンプ（ OP_1 ）、（ OP_2 ）の出力が負荷電力を検出する検出手段の信号となり、前記ホットカプラー（ PH_1 ）がホットダイオードからホットトランジスタに伝達されて、制御回路１９の FB 端子に接続されて、スイッチング素子となるトランジスタ Q_1 のオンオフ制御を行う制御信号として供給されている。

40

なお、スイッチング素子 Q_1 は $MOSFET$ によって構成することができる。

また、通常 IC 回路で構成されている制御回路１９には、３次巻線 N_3 に誘起される電力がダイオード D_4 、平滑コンデンサ C_1 からなる整流回路を介して供給されている。

【０００６】

以下、上記したようなスイッチング電源の動作を説明する。

50

前記、交流電源を整流した直流電圧 (V_{in}) から起動抵抗 R_p を介して制御用の IC 回路に微小な起動電流を流し制御回路 19 の電圧 (V_{cc}) が動作領域に移行すると、制御回路 19 から出力される駆動パルスによって、例えば発振周波数が 100 kHz にてトランス (T1) 14 の 1 次巻線 N1 に流れる電流をスイッチング素子 Q1 によって断続する。以下、本電源をフライバック方式の電源として説明すると、例えば、スイッチング素子 Q1 がオンの時に 1 次巻線 N1 に蓄積された電磁エネルギーが、スイッチング素子 Q1 のオフ時にトランス (T1) 14 の 2 次側巻線 (N2) 及び 3 次巻線 (N3) に電力を誘起する。

上記スイッチング電源の出力電圧制御は、2 次側巻線 (N2) から誘起された電圧をダイオード D3, 平滑コンデンサ C2 で整流し、この出力電圧 (V_o) をオペアンプ (OP1) 16 の - 端子に入力するとともに、オペアンプ 16 (OP1) の + 端子には、基準電圧 REF1 が入力されており、上記出力電圧 (V_o) と比較され、基準電圧 REF1 との誤差信号がダイオード D1 を経由してホトカプラ (PH1) 18 に接続される。

そして、上記電圧の誤差信号はホトカプラ (PH1) 18 により 2 次側から 1 次側に伝達され、制御回路 19 の内部に構成されているパルス幅変調回路 (PWM: Pulse width modulation) により 1 次側のスイッチング素子 (Q1) のオン期間を制御して 2 次側への電力を制御する。

結果、前記 2 次側の基準電圧となるオペアンプ 16 の基準電圧 REF1 により設定された出力電圧に制御する。

【0007】

一方、前記負荷回路 15 に流入する出力電流 (I_o) は、低抵抗で構成されている抵抗 R1 を流れ、抵抗 R1 に流れた電流量は電圧変換されて、オペアンプ (OP2) 17 の + 端子に基準電圧 REF2 を介して接続される。

オペアンプ (OP2) 17 の - 端子は 上記基準電圧 REF2 が接続された R1 端子のもう一方の端子に接続されており、この基準電圧 REF2 と前記抵抗 R1 に流れる電流量が比較される。

そして、オペアンプ (OP2) 17 は基準電圧 REF2 で設定される電流量と抵抗 R1 に流れる電流量を比較し、その誤差信号がダイオード D2 を経由してホトカプラ (PH1) 18 に入力される。この出力電流の誤差信号は前記電圧制御時と同様に、出力電流 I_o が基準電圧 REF2 で設定される所定の電流量になるように 1 次側の制御回路 (IC 回路) 19 がスイッチング素子 Q1 の断続比を制御する。

以上のように、オペアンプ (OP1) 16 は、出力電圧 V_o を所定の電圧に制御し、オペアンプ (OP2) 17 は出力電流 I_o を所定の電流となるように制御する検出手段を形成している。

【0008】

以上の動作を基に出力電流 I_o が負荷回路 15 に流れない無負荷時の動作について説明する。

通常、負荷電流 (I_o) が流れている場合は 制御回路 19 { PWM IC 制御回路 } は、ある所定の基本発振周波数、例えば基本周波数である 100kHz で発振を繰り返すように制御され、負荷電力に対応してスイッチング素子 Q1 のオン期間を PWM 制御している。

一方、無負荷時の場合には、後で述べるようにパルス幅が最小のパルス期間で上記基本周波数を低周波側にシフトして低周波発振となるように制御する。このようなタイミングにおけるスイッチング素子 Q1 のベース波形と、コレクタ波形を図 8 の波形で示す。

負荷電流が流れている時は、制御回路 19 (PWM 制御回路) から出力されるスイッチング素子 Q1 のベース波形は、例えば f_1 (100kHz) で発振しているが、最小パルス幅に近い無負荷時になると、発振周波数は減少し、例えば、 f_2 (20kHz) にて発振する。これは、無負荷時においてもオペアンプ 16、17、ホトカプラ 18 等の駆動電力、及び制御回路 19 を動作状態とする駆動電力が必要であり、すなわち、出力電圧を所定の電圧に制御するようにスイッチング素子 Q1 のオン期間は一定でオフ期間を可変制御して、結果的に OFF 期間を可変制御して発振周波数が減少するようにしている。

10

20

30

40

50

【 0 0 0 9 】

【 特許文献 】

特開平 1 0 - 1 4 2 1 7 号公報

特開平 1 0 - 1 4 2 1 7 号公報は、軽負荷時に（負荷の大きさを検出し）P F M（周波数低下）制御を行うという内容であるが、その時のO Nパルス幅、交流入力電圧等については明記されていない。

【 0 0 1 0 】

【 発明が解決しようとする課題 】

以下、このような制御においての問題点を図 9 及び図 1 0 により説明する。

図 9 においては横軸に負荷側の 2 次巻線の電流変化タイミングに対するホトカプラ 1 8 から出力される負荷電力の検出信号（F B 端子電圧）、スイッチング素子 Q 1 コレクタ及びベース電圧波形の変化が示されている。

図 9 において機器が動作状態で 2 次側に M a x 負荷電流（例 2 A）が流れているモードから、機器がスタンバイモードとなる場合を示し、負荷電流が比較的緩やかに減少する場合は、F B 端子電圧も高い電圧値から緩やかに電圧が降下し M i n 負荷動作に変化する。この期間は、電源の電力変換は基本周波数（例 1 0 0 k H z）で動作し、スイッチング素子の O N 時間のみを短くするパルス幅変換動作（P W M 制御）となっている。

【 0 0 1 1 】

次にさらに負荷電流が減少することで、F B 端子電圧も低下していき、この F B 電圧値が周波数可変（V C O）開始電圧（本例では 1 V に設定）レベル以下へと電圧が降下すると、スイッチング素子のスイッチング周波数が低周波へと低下する周波数可変動作となる。また、この時点で 3 次巻線の直流電圧 V 3 も低下を始める。そして、本発明の実施例では無負荷時（待機時）には例えば、発振周波数が 1 . 5 K H z にて無負荷時動作での動作が安定化するようにしている。

【 0 0 1 2 】

次に急激な負荷変動が発生した場合について、図 1 0 の波形を参照して説明する。

上記、機器動作時の M a x 動作時（例 2 A）状態が、機器のパワーオフ等によって急激に負荷電流が減少し、負荷電流ゼロの無負荷時動作になる場合、前記 M a x 負荷電流が流れる事で生じた電圧降下分が、負荷電流ゼロとなると出力電圧に重畳し（負荷電流ゼロとしたポイント）結果、2 次側の電圧が一瞬、制御出力電圧値（V o）以上となって 2 次側への電力変換を一旦停止する。この時の電力変換を制御している信号である F B（フィードバック）電圧値は、図 1 0 にみられるように負荷電流ゼロ時に急激に H レベルから L レベルへ降下すると共に、出力停止電圧レベルより降下することによって電力変換停止（スイッチング周波数停止）が発生する。

すなわち、この時点で電力変換用 I C の出力（スイッチング素子 Q 1 のオンパルス）は発振停止によって O F F 状態となる。

【 0 0 1 3 】

電力変換が停止する事で 3 次巻線電圧（V 3）の電圧も徐々に降下をはじめ、この電圧 V 3 も制御回路 1 9 を構成する I C 動作停止電圧（例えば 9 V）以下まで降下する事となる。

この制御回路用の I C 回路は、I C 動作停止電圧となると前記 F B 電圧が仮に出力停止電圧値より高くなっても動作は停止状態のままとなる。

以上より、制御 I C は動作停止電圧以下となって、再度起動回路による起動開始の動作が開始される。

この起動は、先の図 7 の R p 抵抗により起動電流が制御回路 1 9 に流れ込み、ある時間を経過した後に制御回路 1 9 の I C 回路の動作範囲（動作開始電圧）本実施例では 1 6 V となると、出力電圧の上昇を開始する。この 3 次巻線の整流電圧 V 3 は図 1 0 に示されているように例えば、V 3 = 1 6 V 以上となって I C 動作が開始されるものであり、その時点で初めて 2 次巻線、3 次巻線への電力変換が開始される。

【 0 0 1 4 】

このようなIC回路を使用した制御回路19は以上のような動作特性を有しているので、制御回路19を構成するIC回路の動作が停止して起動開始するまでの時間において、点線で示すように2次側の機器が制御されパワーオンを行った場合は、負荷電流は急激に増加するが、制御回路19は動作停止中であるため電力転送が行われず、結果、点線のように出力電圧V0がこのパワーオン時点で降下し、起動開始後に徐々に上昇する。そのため、この期間は機器の動作も開始できなくなってしまうという問題が発生する。

このように、負荷となっている機器が動作開始する瞬間に電源の出力電圧が降下する場合、機器側のシステムマイコンのリセットエラーや機器に対して不安定な動作を発生させる要因となる。

また近年機器側の消費電流低減化が進み、スタンバイ時においても負荷電流がゼロに近い低消費化機器が商品化されており、スタンバイモードが出力電圧の降下によって動作停止モードとなり、機器の状態を継続して記憶している素子もリセットする事となる。

例えばビデオカメラ等である周期的に録画する場合、録画が一旦終了すると低消費化の為スタンバイ時のようなゼロ電流モードとなると、機器動作はリセットされて録画が継続できない事になってしまう。

本発明は以上のような機器側の起動や停止などの急激な負荷変動に対し安定な出力電圧を供給するスイッチング電源装置を提供するものである。

【0015】

【課題を解決するための手段】

本発明のスイッチング電源はかかる問題点を解消するためになされたもので、交流電源から直流に変換する整流回路と、該整流回路から得られた直流電力をトランスの1次巻線を経由して断続するスイッチング素子と、上記スイッチング素子の断続によって上記トランスの1次巻線に供給される電力に対応する電力を誘起する2次巻線、及び3次巻線を有し、上記2次巻線から出力された電力を整流・平滑して2次側の負荷回路に供給する電力変換手段と、上記3次巻線から得られた電力を整流・平滑した電源によって駆動され、上記2次巻線から上記負荷回路に供給される電圧、及び電流を検出する検出手段と、上記検出手段で検出された信号に基づいて上記2次側に供給される電圧、及び電流を所定値となるように、上記スイッチング素子のオン期間を制御する発振部、及び上記スイッチング素子のオン時間幅を制御するPWM変調部を有する制御回路と、を備えたスイッチング電源装置において、上記制御回路は、

上記3次巻線から得られた直流電圧と基準電圧とを比較する比較手段を具備し、上記比較手段は、上記3次巻線から得られた直流電圧の方が上記基準電圧よりも大きいと比較する場合においては、上記検出手段で検出された信号が所定範囲内であるときには上記検出手段からの出力に応じて上記スイッチング素子のオン時間幅を制御し、上記検出手段で検出された信号が所定範囲外であるときには上記検出手段からの出力に応じて上記スイッチング素子のオン期間を制御することによって、上記2次側に供給される電圧、及び電流を所定値とし、上記3次巻線から得られた直流電圧の方が上記基準電圧よりも小さいと比較する場合においては、所定電圧に応じて上記スイッチング素子のオン期間を制御する、ことを特徴とするものである。

【0016】

【発明の実施の形態】

本発明のスイッチング電源装置の一実施例を図1のブロック回路図として示す。

この図において先に示した図7と同一部分は同一符号とされ詳細な説明を省略する。

すなわち、商用の交流電源のコネクタ11、入力フィルター12、整流回路13を経由して直流電源に変換され(Vin)、例えば発振周波数が100kHzにてトランス(T1)14の1次巻線N1に流れる電流をスイッチング素子Q1が制御し、トランス(T1)14の2次側巻線(N2)及び3次巻線(N3)に電力を誘起する。

上記2次側巻線(N2)から誘起された電圧は、ダイオードD3、コンデンサC2の整流回路で直流電圧源Voに変換され、次段の負荷回路(電子機器装置)15に電力が供給される。

10

20

30

40

50

【0017】

この出力電圧 (V_o) はオペアンプ (OP1) 16の-端子に入力される。

一方オペアンプ (OP1) 16の+端子には基準電圧REF1が入力されており、上記出力電圧 V_o と比較され、基準電圧との誤差信号がダイオードD1を経由してホトカプラ (PH1) 18に接続される。

上記電圧誤差信号はホトカプラ18により2次側から1次側に伝達され、パルス幅変調回路 (PWM: Pulse width modulation) を内蔵している制御回路19により1次側のスイッチング素子 (Q1) のオン期間を制御して、2次側への電力を制御する。

【0018】

一方抵抗R1は出力電流 I_o が負荷回路15に流れる電流量を検出する。抵抗R1に流れた電流量は電圧変換されてオペアンプ (OP2) 17の+端子に基準電圧REF2を経由して入力される。

またオペアンプ (OP2) 17の-端子は上記抵抗R1のもう一方の端子と接続されており、前記抵抗R1に流れる電流量が比較される。

オペアンプ (OP2) 17はREF2の基準電圧で設定される電流量と、R1抵抗に流れる電流量を比較し、その誤差信号がダイオードD2を経由してホトカプラ18に入力される。この出力電流の誤差信号は、前記電圧制御時と同様に出力電流 (I_o) が基準電圧REF2で設定される所定の電流量になるように、1次側の制御回路19 (ICPWM制御回路) がスイッチング素子Q1を制御する。

以上からオペアンプ (OP1) 16は出力電圧 V_o を所定の電圧に制御し、オペアンプ (OP2) 17は出力電流 I_o を所定の電流に制御する検出回路を構成し、ホトカプラ18と共に制御信号の検出手段となる。

【0019】

なお、3次巻線 (N3) から誘起された電圧は、ダイオードD4、平滑コンデンサC1の整流回路を経由して1次側に設けられている制御回路19 (PWM制御IC回路) の動作電圧源として供給されており、スイッチング素子Q1のドライブ用信号として使用されると共に、この制御回路19には特に電源の出力容量が比較的低い電力の場合、スイッチング素子Q1をIC回路内に一体化して形成することができる。

なお、本実施例では制御回路19の内部、または外部に図に示すように、3次巻線の出力電圧 V_3 と基準電圧REF3を比較する電圧比較器20 (OP3) が設けられ、この電圧比較器20の出力によってトランジスタQ2が制御されると共に、このトランジスタQ2を介してFB電圧が制御回路19を形成するIC回路に供給されるようにしている点に特徴がある。

【0020】

以下、ここで出力電流 I_o が負荷回路15に流れ込まない無負荷時の動作について説明する。

先に述べたように、通常、負荷電流が流れている場合は、IC化されている制御回路19 (PWM制御回路) は、ある所定の基本発振周波数 (例えば100kHz) で発振し、PWM制御されたパルス信号を供給しており、一方、無負荷時の場合には、パルス幅を一定にして発振周波数を低周波に減少させる。

以上からオペアンプ (OP1) 16は出力電圧 V_o を所定の電圧に制御し、オペアンプ (OP2) 17は出力電流 I_o を所定の電流に制御する。

また前記3次巻線 (N3) から誘起された電圧は、ダイオードD4、コンデンサC1の整流回路を経由して1次側のPWM制御IC (制御回路19) の動作電圧源、スイッチング素子Q1のドライブ用として使用される。

本発明の実施形態では前記3次巻線電圧 V_3 は、電圧比較器 (OP3) 20の+端子に入力され、電圧比較器 (OP3) 20の-端子は基準電圧源REF3に接続されて V_3 電圧を検出するようにしている。

【0021】

そして3次巻線の整流電圧 V_3 は、基準電圧REF3より高い電圧値の場合に、電圧比較

10

20

30

40

50

器 20 の出力は H レベル状態となりトランジスタ Q 2 を ON 状態にしている。
トランジスタ Q 2 のコレクタは制御用の IC 回路 19 に接続され、トランジスタ Q 2 のエミッタはホットカプラ 18 の 1 次側トランジスタのコレクタに接続されている。
すなわち、電圧比較器 20 は 3 次巻線電圧値 V 3 が 所定の基準電圧値以上ならばトランジスタ Q 2 を ON してホットカプラ 18 の電力制御信号を導通する ON 状態にし、一方 3 次巻線の整流電圧 V 3 が基準電圧値 REF 3 以下となると、トランジスタ Q 2 を ON から OFF 状態に変化させてホットカプラ 18 の信号を OFF 状態に制御する。

【 0 0 2 2 】

制御回路 19 に供給される FB 1 信号は 後で述べるように、負荷電流が Max 負荷のときは、FB 端子電圧は本例では 1 V 以上の高い電圧となって、制御回路 19 で駆動されるスイッチング素子 Q 1 への出力パルス (Q 1 ベース) が最も広くなり、この FB 端子電圧が低下するにつれて 前記スイッチング素子 Q 1 の ON 幅時間が短く制御されるパルス幅制御動作となるように設定されている。

10

【 0 0 2 3 】

更に、本例の場合、例えばこの FB 端子電圧が 1 V (周波数可変開始電圧) 以下となると、オンパルス信号幅を最小パルス幅、例えば 0.5uS の一定のオンパルスとしてスイッチング周波数を徐々に低周波に制御し、この周波数が低下するに伴って、上記最小パルス幅を徐々に長く制御し、最大例えば 1 . 3 u S のパルス幅の信号となってスイッチング素子 Q 1 のオン期間を制御するようにしている。このように制御回路 19 の FB 端子電圧によって、負荷時には基本発振周波数でスイッチングしてパルス幅制御を行い、さらに FB 端子電圧が低下して周波数可変開始電圧以下となると周波数が低下を始め、この FB 端子電圧値が低下することで、上記低周波発振周波数もさらに周波数を下げるように制御される。以上のように本願発明では制御用の FB 端子への制御信号は、負荷回路が接続されている 2 次側の電圧、電流 (ホットカプラの出力) と、制御回路 19 に供給される 3 次巻線電圧 V 3 を所定の基準電圧値 (REF 3) と比較したときのトランジスタ Q 2 の制御信号によって形成されることになる。

20

【 0 0 2 4 】

図 2 には図 1 の 1 次側の制御回路 19 を含む一点鎖線部の機能を有した IC ブロック図の一例を示している。

図 3 には上記図 2 の制御用の IC 回路における動作タイミングを示す。

30

図 2 の回路において図 1 に示されているように交流電源を整流した直流入力電圧 V i n は、定電流回路 C C 1 にて例えば 1 0 0 μ A の定電流で、起動開始時には S W 1 が ON 状態で IC 回路の V c c (端子) ラインに供給される。

この V c c ラインはヒステリシス付のコンパレータ C O P 0 で監視され、例えばこの電圧が 1 6 V になった事で、電圧監視制御回路の V C O N T 1 に信号が入力される。 V C O N T 1 はこの出力信号により、発振回路 O S C 、フリップフロップ回路 F F 2 、出力バッファ回路 B F 1 等の主要な回路を動作状態にする。

【 0 0 2 5 】

ここで 発振回路 O S C が動作状態になると図 3 の波形図に示すような三角波発振が開始され、三角波波形上部をから得られるパルス信号がフリップフロップ回路 F F 2 にトリガパルス T R C として入力される。フリップフロップ回路 F F 2 はトリガパルス T R C が入力される事により、次の段のフリップフロップ回路 F F 1 のセットパルス S をフリップフロップ回路 F F 1 の S 端子に入力する。

40

一方、この IC 回路の FB 端子 (フィードバック) には 図 1 におけるホットカプラ P H 1 (1 8) の出力信号がトランジスタ T 1 を介して接続されており、 2 次側の負荷回路の制御信号が入力される。

2 次側の出力電力を増加するときは、ホットカプラ P H 1 は OFF 状態に近づき結果、FB 端子は電圧が上昇し、逆に 2 次側の出力電力を減少するときは、ホットカプラ P H 1 は ON 状態に近づき FB 端子の電圧は減少する。この様子を図 3 の FB 信号に示す。

【 0 0 2 6 】

50

このFB端子には、先に図1に示したトランジスタQ2がトランジスタT1として接続されており、このトランジスタT1は、図1で示したVccの電圧検出をしている電圧比較器20がオペアンプOP3として接続され、トランジスタT1のVce(導通電圧)をコントロールするようにしている。

このオペアンプOP3の+端子はVcc端子、すなわち3次巻線の整流電圧V3が入力される端子に接続され、-端子には基準電圧REF3(例えば最低動作電圧として8.5V)が入力される。結果、オペアンプOP3の動作は基準電圧REF3とVcc電圧が比較されて、 $Vcc > REF3$ (8.5V)の時には、オペアンプOP3の出力がHレベルとなりトランジスタT1をON状態に近づくように制御する。この条件では前記FB端子に接続されているホトカプラPH1信号は有効となって、2次側からの制御信号でIC回路が動作をする。

10

【0027】

一方オペアンプOP3で $Vcc < REF3$ (8.5V)となると、オペアンプOP3の出力は、前記VccとREF3の電圧差に応じてHレベルからLレベルへと制御される。その結果トランジスタT1は、ON状態から前記電圧差に応じてOFF状態へと変化する。(Vceが大きくなる)

この動作による信号波形の変化のタイミングを図3のFB1信号として示す。これによると、負荷状態ではFB1、FB信号共にHレベル状態において、負荷電流減少により、FB端子電圧が降下する。

次に、Vccの電圧降下においてはVccがREF3(8.5V)以下になると、その電位差に対応してFB端子はLレベル状態のままであるが、FB1端子だけが上記トランジスタT1のVce電圧が大きくなり、電圧が上昇する。

20

これにより負荷電流があたかも増加したような動作状態となる。

このFB信号とFB1信号の電圧差がトランジスタT1のコレクターエミッタ間電圧(Vce)であり、IC回路を動作しているVcc電圧降下に伴ってVce電圧が大きくなり、それはトランジスタT1がOFFする方向を示す。

【0028】

以上のように動作するFB1信号は、周波数を可変する為の回路VC1に入力され、この電圧が所定のレベル以下になるとその出力は発振回路OSCのVOC端子に入力されて、周波数可変を開始する。

30

すなわち、図3のタイミング図に示されているようにFB1信号電圧が降下すると、その電圧はVC1回路によりVCO開始電圧と比較され、その電圧以下となると、発振回路OSCの立上り時間が長くなり、結果、周波数が減少するように制御している。

【0029】

トランジスタT1の出力であるFB1信号は、コンパレータCOP1の+端子に入力され、その-端子の基準電圧REF2(例0.5V)と比較される。

FB1電圧がREF2電圧以下となるとCOP1出力がLowとなって、SW2を經由しフリップフロップ回路FF1とFF2をクリア状態として、図1のスイッチング素子Q1を示すFET1はOFF状態に制御される。

図3のFF1-S信号で、点線のパルス信号部分が上記OFF状態に制御されている部分である。

40

また、FB1信号はRfb1とRfb2により抵抗分割され、分割点電圧信号=FB2とされ、Rs抵抗を經由してコンパレータCOP2の-端子に入力される。そのコンパレータCOP2の+端子にはスイッチング素子を形成するFET1に流れるスイッチング電流Icを、抵抗Rcで電流検出し、Vic電圧源により電圧シフトをされた信号が入力され、このスイッチング電流Icの信号とFB2電圧が比較されてPC1論理回路に入力される。

【0030】

PC1論理回路は、前記コンパレータCOP2の信号と、発振回路OSCからの信号(A点パルス信号)が論理処理され、結果図3のようなフリップフロップ回路FF1のR信号

50

として、FF1のR(リセット)端子に入力される。

以上により、スイッチング素子となるFET1のオンの立ち上がりは、図3より フリップフロップ回路FF1のS信号が入力されて フリップフロップ回路FF1のQ出力がLHとなることでスイッチングFET1がオンパルス期間に制御される。

フリップフロップ回路FF2は フリップフロップ回路FET1の最低ON時間を設定する為の波形整形を行い、フリップフロップ回路FF1のS端子にS信号を入力する。フリップフロップ回路FF1はS信号入力によりQ出力からHレベル信号を出力して、AND1論理回路、バッファ回路BF1を経由し、スイッチングFET1のゲートに入力される。

結果、スイッチングFET1がONしスイッチング電流が流れる。スイッチング電流が流れると、前記抵抗Rcでスイッチング電流が検出され、この信号にVic電圧が重畳されて FB2信号とIC2信号がCOP2で比較される。(図3参照)

このコンパレータCOP2の出力信号はPC1論理回路を経て、フリップフロップ回路FF1のリセットR端子に入力され、前記フリップフロップ回路FF1のQ出力はRパルスでリセットされ、HLと出力する。

このフリップフロップ回路FF1のQ出力がLレベルを出力する事で上記スイッチングFET1がオフに制御される。

【0031】

FB1信号については、Vcc電圧をオペアンプOP3において検出し、トランジスタT1の出力を制御する事で説明したが、このオペアンプOP3の出力は、トランジスタT1を制御する一方で、反転回路IB1回路の出力端子に接続されているスイッチ回路SW2も制御する。

スイッチ回路SW2は、Vcc電圧がREF3(例えば8.5V)以下になることでSW2回路をオープンとしてフリップフロップ回路をクリアされないようにし、FB1端子電圧が基準電圧REF2電圧(0.5V)以下になってもスイッチング素子であるFET1出力をOFF状態にする機能を停止している。

更には、オペアンプOP3の出力は 反転回路IB1で極性反転され、回路図2のトランジスタT2のベース端子にも接続され、前記Vcc電圧が基準電圧REF3(8.5V)以下になることでトランジスタT2がONしてコンパレータCOP2の一端子をLレベル状態にして、結果、コンパレータCOP2の出力をHレベル状態に制御する。(図3参照)

【0032】

尚、フリップフロップ回路FF1はリセット信号が入力されていても、セット信号Sが入力されればS信号の時間はQ端子に出力をするようにした論理回路とする。

したがって、トランジスタT2がONすることで、スイッチング素子であるFET1には、フリップフロップ回路FF1のS信号期間=ON時間が最低のONパルス制御モードにする事ができる。

【0033】

なお、ここで上記トランジスタT2の機能を設けなければ、(T2がOFF状態固定)上記スイッチングFET1のON幅はFB2信号に基づいたON期間で制御されるパルス幅制御も構成できる。

【0034】

以上より、本件発明の実施例による動作をまとめたものが図4に示されている。

この図は横軸にスイッチング周波数の変化、縦軸にIC回路の動作電圧とFB端子電圧の一例を示したもので、この図に基づいてVccとFB電圧による周波数制御方法について説明する。

矢印のAの部分は負荷電流が流れている状態を示しFB端子電圧は例えば、0.8V以上となって、基本周波数は本例では100kHzでの周波数でスイッチングON時間幅を負荷の状態により制御しているPWM制御モードとなっている。

またこのPWM制御モード時の最小ONパルス幅は、例えば0.5usとする。

10

20

30

40

50

矢印Bの領域は負荷電流が減少し、FB端子電圧が周波数制御電圧以下、本例では0.8V以下となると、最低ON期間の状態での周波数制御モードとなりFB端子電圧の減少に応じて周波数が低周波にシフトしていることを示している。

この場合、FB端子電圧により周波数の低下(0.8V以下)が開始されると、この電圧降下に伴って、前記最小ONパルス幅0.5 μ Sを徐々に長くし、例えば、FB端子電圧が本例では0.6Vの最低周波数時点(例えば、600Hz)で1.3 μ Sにまで長くしている。

更には、このときの最小ONパルス幅はAC入力電圧(V_{in})で更に制御し設定する。

例えば上記無負荷状態での最小パルス幅は、AC入力電圧が高い時(AC240V)、すなわち交流電源を整流した入力直流電圧(V_{in})が高い時、前記最小パルス幅を例えば0.3 μ Sとし、AC入力電圧が低い時(AC100V)、同様に入力直流電圧が低い時は前記最小パルス幅を例えば1.3 μ Sとした入力直流電圧によって最小パルス幅を変化するように制御している。

これは、入力電圧によって、前記無負荷時動作時の発振周波数を最適化する事で待機時の電力を最小化できるようにしたものである。(この部分が請求項2の説明となる)

次に、矢印Cの領域では最低周波数を本例では600Hzに設定しており、そして、更にFB端子電圧が低下し、発振停止設定電圧、本例では0.4V以下となってスイッチング素子の動作はOFF状態(発振停止領域)となることを示している。

【0035】

一方、 V_{cc} 電圧については通常運転時は V_{cc} 電圧を8.5V以上の動作点として制御するが、前記説明での過渡的負荷変動で出力電流が瞬間にゼロ電流へ変化するような動作においては、上記発振停止状態となる為 V_{cc} 電圧の低下が発生する。

この V_{cc} 電圧低下は先のオペアンプOP3で検出する。 V_{cc} 制御電圧(本例8.5V以下)を設定して、この電圧値よりも降下した場合には矢印Dの領域に示されているように上記発振停止状態を解除して、周波数制御モードでスイッチング素子の動作を開始する。この場合 V_{cc} 電圧が下がる事によりトランジスタT1のVceが上昇し、発振周波数は最低周波数から徐々に基本周波数(100kHz)へと周波数を高くするように制御する。

この場合についても、周波数が最低周波数から基本周波数へと高く制御する時のスイッチング素子のONパルスは最低周波数時の最低ONパルス幅 例えば

1.3 μ Sから周波数が高くなるに従って短くしていき、基本周波数となって例えば0.5 μ Sになる動作としている。

尚、上記ONパルス幅についてはONパルスを実実施例では0.5 μ Sの固定とする事も可能である。

【0036】

本例では、図2のトランジスタT2を設けることにより、 V_{cc} 電圧が8.0Vと戻ると100kHzの基本周波数となり、また更にFB端子電圧が降下すると、最低ON時間を固定したまま(本例では0.5 μ S)で基本周波数で動作する。

また、トランジスタT2を省略する(又はOFF固定にする)ことにより、基本周波数になりFB端子は更に電圧が降下すると、スイッチング素子のON幅を広げるように制御するPWM制御モードとなる場合の2方式を提案している。

なお、 V_{cc} 電圧が7.5V以下になると、この電圧をIC回路の動作が停止する動作停止電圧U_{VL0}とし図4の領域矢印Eとなる。

【0037】

図5には、起動時と過渡的負荷変動を生じた時の V_{cc} 電圧変動について示す。

更に図6には、上記過渡的負荷変動時の詳細な動作タイミングを示す。

図5において最初にスイッチング電源が起動する起動モードでは、図2に示したSW1がONする事でIC回路の V_{cc} 電圧が徐々に上昇し、例えばこの電圧が16Vになると制御回路19が駆動状態になる。そしてスイッチングが開始され、3次巻線に電圧が誘起され、PWMモード開始時の電圧上昇となって、 V_{cc} 電圧が安定化する。

10

20

30

40

50

この時の基本発振周波数は例えば100kHzとなり、負荷状態によって駆動パルスがPWM変調されるPWM制御モードになる。

【0038】

ここで先に述べたように急激なパワーオフが起きると、過度的負荷変動モードとなって、Vcc電圧が低下し発振停止状態になるが、先に述べたように周波数例えば600Hz以上で発振が継続され、最低オン幅の周波数制御で周波数が高周波側へシフトされる。周波数の上昇は、3次巻線電圧も上昇をさせ、その結果Vcc電圧が8.5V以上になるとIC回路は動作を停止せずに（IC動作停止電圧に電圧が降下すること無く）安定な動作状態を継続させる事ができる。

【0039】

このような経過を図6の負荷電流(I₀)、3次巻線電圧V₃、IC回路停止電圧レベル、FB電圧、発振停止設定レベル、スイッチング素子の出力波形、および2次側出力電圧V₀の波形で説明する。

例えばMAX負荷動作時から過渡的な負荷変動（パワーオフ）が発生すると、FB電圧はHレベルからLレベルへ急激に変化し、この時FB電圧は発振停止電圧レベル値以下となって発振停止をする。但しこの時は3次巻線の整流電圧V₃が時定数を持って減少するのでVcc制御電圧（本例では図4の8.5V）も徐々に減少する。

その後Vcc電圧が上記Vcc制御電圧値（図4のREF3以下）となってVcc制御モードとなり、発振停止状態を解除して動作開始を行う。

以上により発振が再開されVcc電圧は上記Vcc制御電圧以下とならないように周波数制御（VCO制御）して、スイッチング素子をONにする。

更に、FB端子電圧は2次側出力電圧が無負荷時制御電圧に安定化すると、FB端子電圧はLレベルからHレベルへと電圧が上昇し、発振停止電圧以上となってさらにVcc電圧を上昇するように制御される。最終的には待機時の動作状態へと安定化され、前記過渡的負荷変動で生じたVcc電圧降下が解消される。

【0040】

本発明の場合は、図6の点線のタイミングで示すように、前記Vcc制御モードにおいても、負荷回路の機器がパワーオンされたときは、負荷電流が流れる事によってFB電圧も急上昇して、周波数制御の周波数上昇PWM制御へと安定に推移する事ができ、負荷に応じたPWM制御動作状態に移行し、従来の欠点を解消することができることを示している。

【0041】

【発明の効果】

以上説明したように、PWM制御方式スイッチング電源の機器動作中、例えば、負荷電流が流れている状態から急激に機器動作停止状態の負荷電流ゼロ電流へ切替わるような過渡的負荷変動に対しスイッチング動作を停止し、2次側の電圧制御（FB信号）値等が安定化するまでその停止状態が続くことがあり、その場合は1次側制御用の制御回路（IC）の電源電圧源の3次巻線電圧が降下して制御回路のIC動作停止となり、制御回路（IC）が再起動を開始することになるが、本発明はこの発振停止状態になるとIC回路に供給されている動作電圧を検出して、自動的にスイッチング動作が立ち上がるようにしている

ので、時間遅れが生じる起動抵抗による動作状態の回復を回避する事が可能となる。その結果、前記制御回路のIC動作停止及び起動開始期間中に、負荷となる機器の動作開始が開始された場合に生じる2次側出力電圧降下の防止や、1次側制御回路のIC回路の電源電圧安定化を実現できる。

【0042】

この2次側の出力電圧降下は負荷に電子機器が接続されているときは、機器側のシステムマイコンのリセットエラーや機器に対して不安定な動作を発生させる要因となるものであるが、このような機器の誤作動を防止することができる。

また、近年機器側の消費電流低減化が進み、スタンバイ時においても負荷電流がゼロに近い低消費化機器が商品化されており、スタンバイモードが出力電圧の降下によって動作停

10

20

30

40

50

止モードとなり、機器の状態を継続して記憶している素子もリセットされることがあり、例えば、ビデオカメラ等である周期的に録画する場合、録画が一旦終了すると低消費化の為スタンバイ時のようなゼロ電流モードとなると、機器動作はリセットされて録画が継続できないことがある。しかし本発明のスイッチング電源装置を搭載することによって、このような問題点を回避させることができるという効果が生じる。

【図面の簡単な説明】

- 【図 1】 本発明のスイッチング電源装置の一例を示すブロック回路図である。
- 【図 2】 スwitchング素子駆動制御回路 (I C) の位置例を示すブロック回路図を示す。
- 【図 3】 図 2 の各部の動作を示す波形図である。
- 【図 4】 V cc電圧と発振周波数、及び F B 端子電圧の関係を示すグラフである。
- 【図 5】 起動、及び過度的な負荷変動モードにおける V cc電圧の変化を示すグラフである。
- 【図 6】 過度的な負荷変動時に対応する各部の電圧、及び信号の波形図を示す。
- 【図 7】 通常のスイッチング電源の原理図を示すブロック図である。
- 【図 8】 スwitchング素子の駆動パルスと、出力波形図を示す。
- 【図 9】 負荷回路の電流が変化したときの制御信号 F B と、オンパルス幅の関係を示す波形図である。
- 【図 10】 負荷回路のパワーが急激にオフとなったときの各部の波形図である。

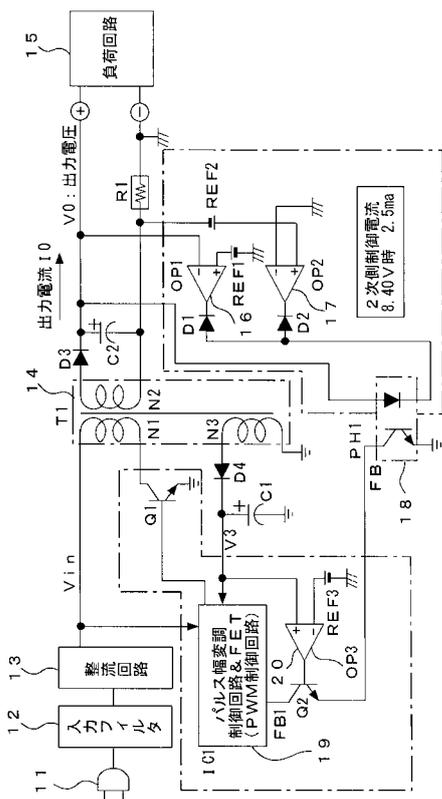
10

【符号の説明】

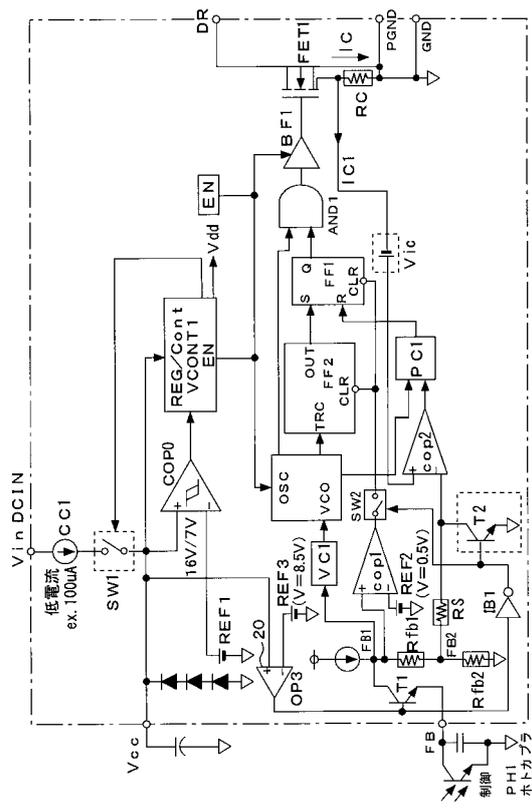
- 11 コンセント、12 入力フィルタ、13 整流回路、14 トランス、15 負荷回路、16 17 オペアンプ、18 ホトカプラ、19 制御回路、20 コンパレータ

20

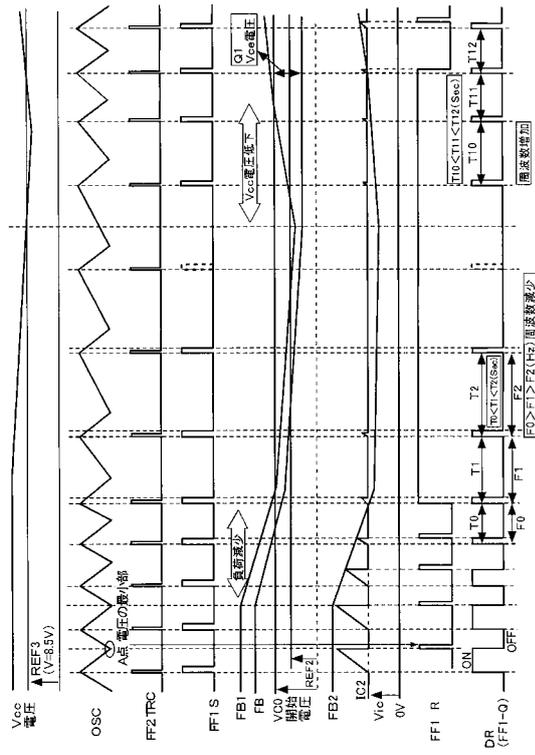
【図 1】



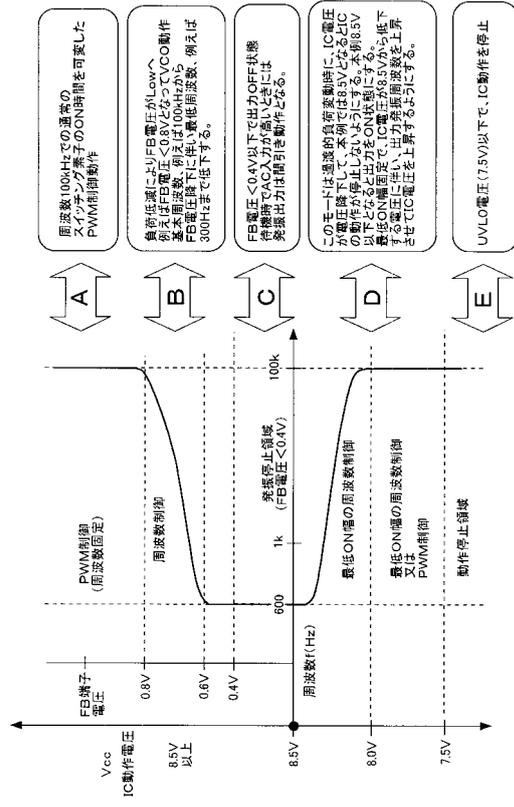
【図 2】



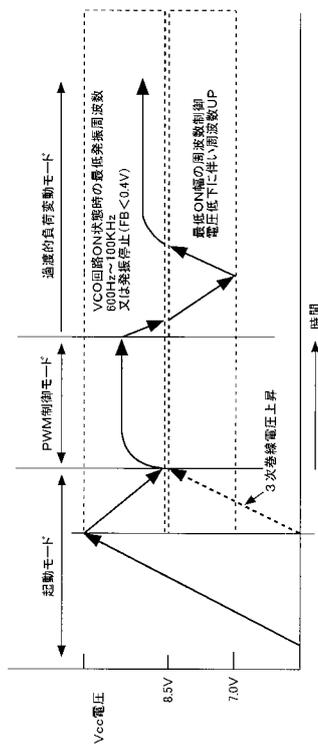
【図 3】



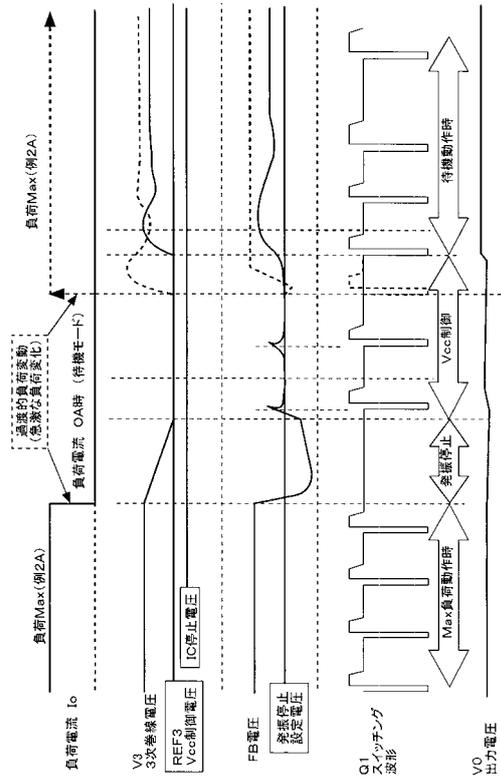
【図 4】



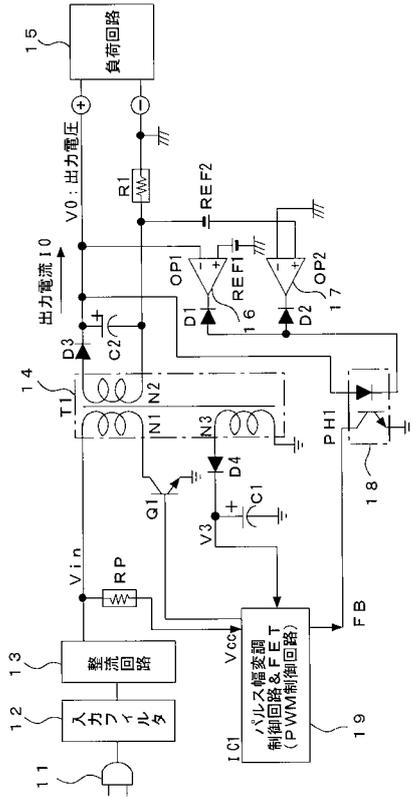
【図 5】



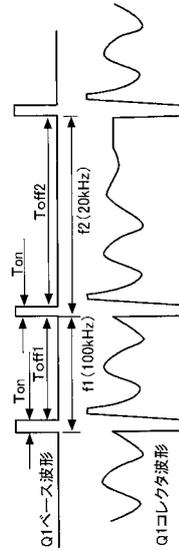
【図 6】



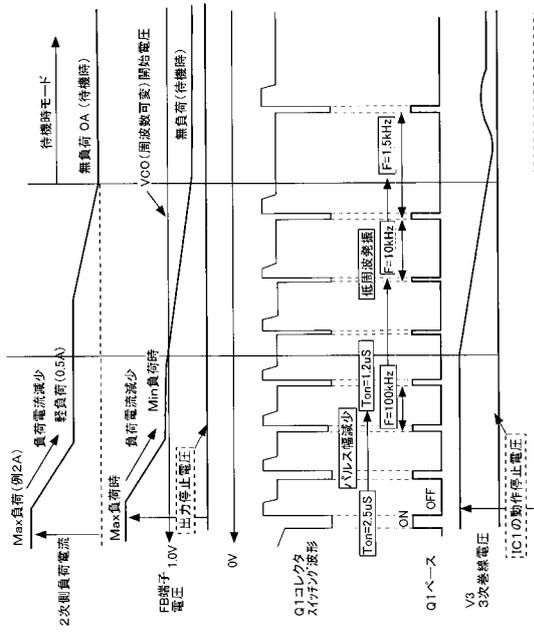
【 図 7 】



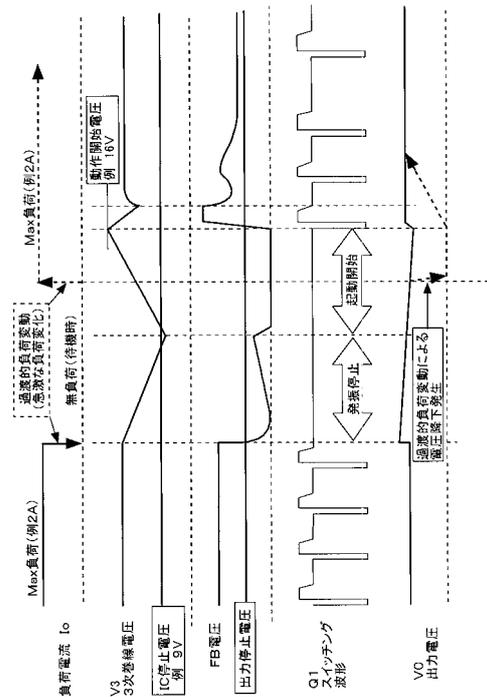
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (56)参考文献 特開平09 - 107678 (JP, A)
特開2001 - 224166 (JP, A)
特開平11 - 224132 (JP, A)
特開2004 - 112992 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/00-3/44