

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6942612号  
(P6942612)

(45) 発行日 令和3年9月29日(2021.9.29)

(24) 登録日 令和3年9月10日(2021.9.10)

(51) Int.Cl.	F I
G 1 1 C 11/405 (2006.01)	G 1 1 C 11/405
G 1 1 C 11/56 (2006.01)	G 1 1 C 11/56 2 5 0
G 1 1 C 7/16 (2006.01)	G 1 1 C 7/16
H O 1 L 21/8242 (2006.01)	H O 1 L 27/108 3 2 1
H O 1 L 27/108 (2006.01)	H O 1 L 29/78 6 1 3 B
請求項の数 7 (全 63 頁) 最終頁に続く	

(21) 出願番号 特願2017-216417 (P2017-216417)  
 (22) 出願日 平成29年11月9日(2017.11.9)  
 (65) 公開番号 特開2018-97907 (P2018-97907A)  
 (43) 公開日 平成30年6月21日(2018.6.21)  
 審査請求日 令和2年8月27日(2020.8.27)  
 (31) 優先権主張番号 特願2016-223892 (P2016-223892)  
 (32) 優先日 平成28年11月17日(2016.11.17)  
 (33) 優先権主張国・地域又は機関  
 日本国(JP)  
 (31) 優先権主張番号 特願2016-223893 (P2016-223893)  
 (32) 優先日 平成28年11月17日(2016.11.17)  
 (33) 優先権主張国・地域又は機関  
 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 黒川 義元  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 堀田 和義  
 (56) 参考文献 特開2015-187903 (JP, A)  
 )  
 米国特許第06141261 (US, A)  
 )

最終頁に続く

(54) 【発明の名称】 記憶装置、半導体ウエハ、電子機器

(57) 【特許請求の範囲】

【請求項1】

メモリセルと、  
 第1回路と、  
 第1信号線と、  
 第2信号線と、  
 第3信号線と、  
 第4信号線と、  
 第1電源線と、  
 第2電源線と、を有し、  
 前記メモリセルは、第1トランジスタと、第2トランジスタと、第1容量素子と、を有し、  
 前記第1回路は、第3トランジスタと、第4トランジスタと、第2容量素子と、を有し、  
 前記第1トランジスタのソースまたはドレインの一方は前記第1信号線に電氣的に接続され、  
 前記第1トランジスタのソースまたはドレインの他方は前記第2トランジスタのゲートに電氣的に接続され、  
 前記第1トランジスタのゲートは前記第2信号線に電氣的に接続され、  
 前記第1トランジスタはチャンネル形成領域に金属酸化物を有し、

前記第2トランジスタのソースまたはドレインの一方は前記第1トランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第2トランジスタのソースまたはドレインの他方は前記第1電源線に電氣的に接続され、

前記第2トランジスタは、nチャネル型トランジスタであり、

前記第1容量素子の第1端子は前記第2トランジスタのゲートに電氣的に接続され、

前記第1容量素子の第2端子は前記第3信号線に電氣的に接続され、

前記第3トランジスタのソースまたはドレインの一方は、前記第1信号線に電氣的に接続され、

前記第3トランジスタのソースまたはドレインの他方は前記第4トランジスタのゲートに電氣的に接続され、

前記第3トランジスタはチャネル形成領域に金属酸化物を有し、

前記第3トランジスタのゲートは、前記第4信号線に電氣的に接続され、

前記第4トランジスタのソースまたはドレインの一方は前記第3トランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第4トランジスタのソースまたはドレインの他方は前記第2電源線に電氣的に接続され、

前記第2容量素子の第1端子は前記第4トランジスタのゲートに電氣的に接続され、

前記第2容量素子の第2端子は前記第2電源線に電氣的に接続され、

前記第4トランジスタはnチャネル型トランジスタであり、

前記第4トランジスタに流れるドレイン電流は、前記第1信号線に流れることを特徴とする記憶装置。

#### 【請求項2】

請求項1において、

前記第1回路はカレントミラー回路を有し、

前記第4トランジスタに流れるドレイン電流は、前記カレントミラー回路を介して、前記第1信号線に流れることを特徴とする記憶装置。

#### 【請求項3】

請求項1または請求項2において、

前記第1回路は、前記メモリセルが格納する第1アナログデータを、第2アナログデータとして格納する機能を有することを特徴とする記憶装置。

#### 【請求項4】

請求項1乃至請求項3の何れか一項において、

D/Aコンバータと、第5トランジスタと、第5信号線と、を有し、

前記D/Aコンバータの出力端子は、前記第5トランジスタのゲートに電氣的に接続され、

前記第5トランジスタに流れるドレイン電流は、前記第5信号線に流れ、

前記第5信号線は、前記第1信号線に電氣的に接続されていることを特徴とする記憶装置。

#### 【請求項5】

請求項1乃至請求項4の何れか一項において、

A/Dコンバータと、第6トランジスタと、第6信号線と、第3電源線と、を有し、

前記第6トランジスタのソースまたはドレインの一方は、前記第6信号線に電氣的に接続され、

前記第6トランジスタのソースまたはドレインの他方は、前記第3電源線に電氣的に接続され、

前記A/Dコンバータの入力端子は、前記第6信号線に電氣的に接続され、

前記第6信号線は前記第1信号線に電氣的に接続されることを特徴とする記憶装置。

#### 【請求項6】

請求項1乃至請求項5のいずれか一項に記載の記憶装置を複数有し、

10

20

30

40

50

分離領域を有する半導体ウエハ。

【請求項 7】

請求項 1 乃至請求項 5 のいずれか一項に記載の記憶装置と、バッテリーと、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、半導体装置、特に記憶装置に関する。

【0002】

また、本発明の一形態は、物、方法、または、製造方法に関する。または、本発明の一形態は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。本発明の一形態は、半導体装置の駆動方法、または、その作製方法に関する。

10

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、電気光学装置、蓄電装置、半導体回路及び電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

半導体記憶装置として、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory)、フラッシュメモリなどが広く使われている。

20

【0005】

SRAMは、書き込み速度及び読み出し速度が早い。しかし、メモリセルを構成するトランジスタの数が多いためメモリセル密度の向上、すなわち、高集積化が困難である。また、静的な消費電力によりデータ保持に要する消費電力が高い。さらに、揮発性記憶装置のため、頻繁に電源電圧の供給を停止して必要な時だけ動作する、所謂ノーマリオフコンピューティングの記憶装置として利用することは困難である。

【0006】

DRAMは、書き込み速度及び読み出し速度が早い。また、メモリセルを構成するトランジスタ数が少ないためメモリセル密度の向上、すなわち、高集積化が可能である。しかし、データ保持にリフレッシュ動作が必要で、消費電力が高い。また、揮発性記憶装置のため、ノーマリオフコンピューティングの記憶装置として利用することは困難である。

30

【0007】

フラッシュメモリは、メモリセルを構成するトランジスタ数が少ないためメモリセル密度の向上、すなわち高集積化が可能である。また、積層構造、所謂3D化により、さらなる高集積化が可能である。さらに、不揮発性記憶装置であるため、データ保持に要する消費電力が低い。しかし、書き込み速度及び読み出し速度が遅い。また、書き込み時に高電圧を必要とするため消費電力が高い。したがって、低消費電力での頻繁なデータ書き込みが困難なため、ノーマリオフコンピューティングの記憶装置として利用することは困難である。

40

【0008】

また、酸化物半導体を用いたトランジスタが注目されている（特許文献1）。酸化物半導体を用いたトランジスタはオフ電流が非常に小さい。そのことを利用して、特許文献2には酸化物半導体トランジスタを用いた不揮発性メモリが開示されている。これらの不揮発性メモリは、データの書き換え可能回数に制限がなく、さらにデータを書き換えるときの消費電力も少ない。

【先行技術文献】

【特許文献】

【0009】

50

【特許文献1】特開2007-123861号公報

【特許文献2】特開2011-151383号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

記憶装置において、メモリセルの密度を大きくする場合、多数のメモリセルをマトリクス状に配置する構成が有効である。この場合、各行ごとに設けられた信号線に接続された全てのメモリセルに対して、データの書き込み（または読み出し）を同時に行う必要がある。各行の全てメモリセルのデータを同時に書き込む（または読み出す）には、大量のビット数の信号を供給する必要がある。特に、メモリセルを積層構造とすることによって多値

10

【0011】

本発明の一形態は、多値のデータを効率よく書き込むことができる記憶装置を提供することを課題の一つとする。また、本発明の一形態は、高集積化されたメモリセルを有する記憶装置を提供することを課題の一つとする。また、本発明の一形態は、積層されたメモリセルを有する記憶装置を提供することを課題の一つとする。また、本発明の一形態は、新規な半導体装置を提供することを課題の一つとする。

【0012】

なお、本発明の一形態は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一つの課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から自ずと明らかになるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

20

【課題を解決するための手段】

【0013】

本発明の一形態は、メモリセルと、第1回路と、第1乃至第4信号線と、第1電源線と、を有する記憶装置である。メモリセルは、第1トランジスタと、第2トランジスタと、第1容量素子と、を有する。第1回路は、第3トランジスタと、第4トランジスタと、第2容量素子と、第2電源線と、を有する。第1トランジスタのソースまたはドレインの一方は第1信号線に電氣的に接続される。第1トランジスタのソースまたはドレインの他方は第2トランジスタのゲートに電氣的に接続される。第1トランジスタのゲートは第2信号線に電氣的に接続される。第1トランジスタはチャネル形成領域に金属酸化物を有する。第2トランジスタのソースまたはドレインの一方は第1トランジスタのソースまたはドレインの一方に電氣的に接続される。第2トランジスタのソースまたはドレインの他方は第1電源線に電氣的に接続される。第1容量素子の第1端子は第2トランジスタのゲートに電氣的に接続される。第1容量素子の第2端子は第3信号線に電氣的に接続される。第3トランジスタのソースまたはドレインの一方は、第1信号線に電氣的に接続される。第3トランジスタのソースまたはドレインの他方は第4トランジスタのゲートに電氣的に接続される。第3トランジスタはチャネル形成領域に金属酸化物を有する。第3トランジスタのゲートは、第4信号線に電氣的に接続される。第4トランジスタのソースまたはドレインの一方は第3トランジスタのソースまたはドレインの一方に電氣的に接続される。第4トランジスタのソースまたはドレインの他方は第2電源線に電氣的に接続される。第2容量素子の第1端子は第4トランジスタのゲートに電氣的に接続される。第2容量素子の第2端子は第2電源線に電氣的に接続される。

30

40

【0014】

上記形態において、第1回路は、メモリセルが格納する第1アナログデータを、第2アナログデータとして格納する機能を有する。

【0015】

上記形態において、記憶装置は、D/Aコンバータと、第5トランジスタと、第5信号線

50

と、を有することが好ましい。D/Aコンバータの出力端子は、第5トランジスタのゲートに電氣的に接続される。第5トランジスタに流れるドレイン電流は、第5信号線に流れる。第5信号線は、第1信号線に電氣的に接続される。

【0016】

上記形態において、第5トランジスタに流れるドレイン電流は、カレントミラー回路を介して、第5信号線に流れることが好ましい。

【0017】

上記形態において、記憶装置は、A/Dコンバータと、第6トランジスタと、第6信号線と、第3電源線と、を有することが好ましい。第6トランジスタのソースまたはドレインの一方は、第6信号線に電氣的に接続される。第6トランジスタのソースまたはドレインの他方は、第3電源線に電氣的に接続される。A/Dコンバータの入力端子は、第6信号線に電氣的に接続される。第6信号線は第1信号線に電氣的に接続される。

10

【0018】

上記形態において、A/Dコンバータは、直列に接続された複数の抵抗素子と、複数の抵抗素子の1つに接続された複数のコンパレータを有する。

【0019】

本発明の一形態は、メモリセルと、第1回路と、第2回路と、第1乃至第4信号線と、第1電源線と、を有する記憶装置である。メモリセルは、第1トランジスタと、第2トランジスタと、第1容量素子と、を有する。第1回路は、第3トランジスタと、第4トランジスタと、第2容量素子と、第2電源線と、を有する。第1トランジスタのソースまたはドレインの一方は第1信号線に電氣的に接続される。第1トランジスタのソースまたはドレインの他方は第2トランジスタのゲートに電氣的に接続される。第1トランジスタのゲートは第2信号線に電氣的に接続される。第1トランジスタはチャンネル形成領域に金属酸化物を有する。第2トランジスタのソースまたはドレインの一方は第1トランジスタのソースまたはドレインの一方に電氣的に接続される。第2トランジスタのソースまたはドレインの他方は第1電源線に電氣的に接続される。第1容量素子の第1端子は第2トランジスタのゲートに電氣的に接続される。第1容量素子の第2端子は第3信号線に電氣的に接続される。第3トランジスタのソースまたはドレインの一方は、第1信号線に電氣的に接続される。第3トランジスタのソースまたはドレインの他方は第4トランジスタのゲートに電氣的に接続される。第3トランジスタはチャンネル形成領域に金属酸化物を有する。第3トランジスタのゲートは、第4信号線に電氣的に接続される。第4トランジスタのソースまたはドレインの一方は第3トランジスタのソースまたはドレインの一方に電氣的に接続される。第4トランジスタのソースまたはドレインの他方は第2電源線に電氣的に接続される。第2容量素子の第1端子は第4トランジスタのゲートに電氣的に接続される。第2容量素子の第2端子は第2電源線に電氣的に接続される。第1回路は、メモリセルが格納する第1アナログデータを、第2アナログデータとして格納する機能を有する。第2回路は、A/Dコンバータと、第5信号線と、を有する。第5信号線は第1信号線と電氣的に接続される。A/Dコンバータは、第5信号線の第3アナログデータをデジタルデータに変換する機能を有する。A/Dコンバータは、コンパレータと、カウンタを有する。

20

30

【0020】

本発明の一形態は、メモリセルと、第1回路と、第2回路と、第1乃至第4信号線と、第1電源線と、を有する記憶装置である。メモリセルは、第1トランジスタと、第2トランジスタと、第1容量素子と、を有する。第1回路は、第3トランジスタと、第4トランジスタと、第2容量素子と、第2電源線と、を有する。第1トランジスタのソースまたはドレインの一方は第1信号線に電氣的に接続される。第1トランジスタのソースまたはドレインの他方は第2トランジスタのゲートに電氣的に接続される。第1トランジスタのゲートは第2信号線に電氣的に接続される。第1トランジスタはチャンネル形成領域に金属酸化物を有する。第2トランジスタのソースまたはドレインの一方は第1トランジスタのソースまたはドレインの一方に電氣的に接続される。第2トランジスタのソースまたはドレインの他方は第1電源線に電氣的に接続される。第1容量素子の第1端子は第2トランジスタ

40

50

タのゲートに電氣的に接続される。第1容量素子の第2端子は第3信号線に電氣的に接続される。第3トランジスタのソースまたはドレインの一方は、第1信号線に電氣的に接続される。第3トランジスタのソースまたはドレインの他方は第4トランジスタのゲートに電氣的に接続される。第3トランジスタはチャンネル形成領域に金属酸化物を有する。第3トランジスタのゲートは、第4信号線に電氣的に接続される。第4トランジスタのソースまたはドレインの一方は第3トランジスタのソースまたはドレインの一方に電氣的に接続される。第4トランジスタのソースまたはドレインの他方は第2電源線に電氣的に接続される。第2容量素子の第1端子は第4トランジスタのゲートに電氣的に接続される。第2容量素子の第2端子は第2電源線に電氣的に接続される。第1回路は、メモリセルが格納する第1アナログデータを、第2アナログデータとして格納する機能を有する。第2回路は、A/Dコンバータと、第5信号線と、を有する。第5信号線は第1信号線と電氣的に接続される。A/Dコンバータは、第5信号線の第3アナログデータをデジタルデータに変換する機能を有する。A/Dコンバータは、コンパレータと、逐次変換レジスタと、D/Aコンバータと、を有する。

10

**【0021】**

本発明の一形態は、メモリセルと、第1回路と、第1乃至第4信号線と、第1電源線と、第2電源線と、を有する記憶装置である。メモリセルは、第1トランジスタと、第2トランジスタと、第1容量素子と、を有する。第1回路は、第3トランジスタと、第4トランジスタと、第2容量素子と、を有する。第1トランジスタのソースまたはドレインの一方は第1信号線に電氣的に接続される。第1トランジスタのソースまたはドレインの他方は第2トランジスタのゲートに電氣的に接続される。第1トランジスタのゲートは第2信号線に電氣的に接続される。第1トランジスタはチャンネル形成領域に金属酸化物を有する。第2トランジスタのソースまたはドレインの一方は第1トランジスタのソースまたはドレインの一方に電氣的に接続され、第2トランジスタのソースまたはドレインの他方は第1電源線に電氣的に接続される。第2トランジスタは、nチャンネル型トランジスタである。第1容量素子の第1端子は第2トランジスタのゲートに電氣的に接続され、第1容量素子の第2端子は第3信号線に電氣的に接続される。第3トランジスタのソースまたはドレインの一方は、第1信号線に電氣的に接続され、第3トランジスタのソースまたはドレインの他方は第4トランジスタのゲートに電氣的に接続される。第3トランジスタはチャンネル形成領域に金属酸化物を有する。第3トランジスタのゲートは、第4信号線に電氣的に接続される。第4トランジスタのソースまたはドレインの一方は第3トランジスタのソースまたはドレインの一方に電氣的に接続され、第4トランジスタのソースまたはドレインの他方は第2電源線に電氣的に接続される。第2容量素子の第1端子は第4トランジスタのゲートに電氣的に接続され、第2容量素子の第2端子は第2電源線に電氣的に接続される。第4トランジスタはnチャンネル型トランジスタである。第4トランジスタに流れるドレイン電流は、第1信号線に流れる。

20

30

**【0022】**

上記形態において、第1回路はカレントミラー回路を有することが好ましい。第4トランジスタに流れるドレイン電流は、カレントミラー回路を介して、第1信号線に流れる。

**【0023】**

上記形態において、第1回路は、メモリセルが格納する第1アナログデータを、第2アナログデータとして格納することができる。

40

**【0024】**

上記形態に記載の記憶装置は、D/Aコンバータと、第5トランジスタと、第5信号線と、を有することが好ましい。D/Aコンバータの出力端子は、第5トランジスタのゲートに電氣的に接続される。第5トランジスタに流れるドレイン電流は、第5信号線に流れる。第5信号線は、第1信号線に電氣的に接続される。

**【0025】**

上記形態に記載の記憶装置は、A/Dコンバータと、第6トランジスタと、第6信号線と、第3電源線と、を有することが好ましい。第6トランジスタのソースまたはドレインの

50

一方は、第 6 信号線に電氣的に接続され、第 6 トランジスタのソースまたはドレインの他方は、第 3 電源線に電氣的に接続される。A / D コンバータの入力端子は、第 6 信号線に電氣的に接続され、第 6 信号線は第 1 信号線に電氣的に接続される。

【 0 0 2 6 】

本発明の一形態は、上記形態に記載の記憶装置を複数有し、分離領域を有する半導体ウエハである。

【 0 0 2 7 】

本発明の一形態は、上記形態に記載の記憶装置と、バッテリーと、を有する電子機器である。

【 発明の効果 】

10

【 0 0 2 8 】

本発明の一形態により、多値のデータを効率よく書き込むことができる記憶装置を提供することができる。また、本発明の一形態により、高集積化されたメモリセルを有する記憶装置を提供することができる。また、本発明の一形態により、積層されたメモリセルを有する記憶装置を提供することができる。また、本発明の一形態により、新規な半導体装置を提供することができる。

【 0 0 2 9 】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一形態は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

20

【 図面の簡単な説明 】

【 0 0 3 0 】

【 図 1 】 記憶装置の構成例を示すブロック図。

【 図 2 】 メモリセルの構成例を示す回路図。

【 図 3 】 メモリセルの構成例を示す回路図。

【 図 4 】 回路 20 の構成例を示すブロック図および回路図。

【 図 5 】 A / D コンバータの構成例を示す回路図。

【 図 6 】 A / D コンバータの構成例を示す回路図およびタイミングチャート。

【 図 7 】 A / D コンバータの構成例を示す回路図およびタイミングチャート。

30

【 図 8 】 選択回路の構成例を示す回路図。

【 図 9 】 記憶装置の動作例を示すタイミングチャート。

【 図 10 】 記憶装置の構成例を示すブロック図。

【 図 11 】 選択回路の構成例を示す回路図。

【 図 12 】 回路 R D の構成例を示す回路図。

【 図 13 】 記憶装置の動作例を示すタイミングチャート。

【 図 14 】 記憶装置の構成例を示す断面図。

【 図 15 】 記憶装置の構成例を示す断面図。

【 図 16 】 トランジスタの構成例を示す上面図および断面図。

【 図 17 】 トランジスタの構成例を示す断面図。

40

【 図 18 】 トランジスタの構成例を示す断面図。

【 図 19 】 金属酸化物の原子数比の範囲を説明する図。

【 図 20 】 トランジスタの構成例を示す上面図および断面図。

【 図 21 】 メモリセルの構成例を示す回路図。

【 図 22 】 記憶装置の構成例を示すブロック図。

【 図 23 】 半導体ウエハの上面図。

【 図 24 】 電子部品の作製工程例を説明するフローチャートおよび斜視模式図。

【 図 25 】 電子機器を示す図。

【 発明を実施するための形態 】

【 0 0 3 1 】

50

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0032】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。

【0033】

なお、本明細書中において、高電源電圧をHレベル（又は $V_{DD}$ ）、低電源電圧をLレベル（又はGND）と呼ぶ場合がある。

10

【0034】

また、本明細書等において、金属酸化物（metal oxide）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductor、または単にOSともいう。）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも1つを有する場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）、略してOSと呼ぶことができる。また、OSTランジスタ、またはOS FETと記載する場合にお

20

【0035】

また、本明細書は、以下の実施の形態を適宜組み合わせることが可能である。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

【0036】

（実施の形態1）

本実施の形態では、本発明の一形態である記憶装置について図1乃至図9を用いて説明を行う。

【0037】

<記憶装置10A>

図1は、記憶装置10Aの構成例を示すブロック図である。記憶装置10Aは、回路20と、選択回路30と、メモリセルアレイ40と、デコーダ50と、デコーダ60と、を有する。

30

【0038】

記憶装置10Aは、入力端子DINからデータが入力され、出力端子DOUTからデータを出力する機能を有する。

【0039】

メモリセルアレイ40は、M行、 $S \times L$ 列のマトリクス状に配置されたメモリセルMEMを有する。なお、Mは2以上の整数、Sは2以上の整数、Lは2以上の整数とする。

40

【0040】

メモリセルMEMは不揮発性メモリである。また、メモリセルMEMはNビット（Nは1以上の整数）のデータを格納することができる。例えば、 $N = 2$ の場合、メモリセルMEMは2ビット（4値 $= 2^2$ ）のデータを格納することができる。例えば、 $N = 8$ の場合、メモリセルMEMは8ビット（256値 $= 2^8$ ）のデータを格納することができる。すなわちメモリセルMEMは、多値データを格納することができる。

【0041】

なお、本明細書において、多値データとは、2値より大きいデータのことを指す。

【0042】

記憶装置10Aは、Sの数だけあるL列毎の組（例えば、第1列乃至第L列、第[（S -

50

1)  $\times L + 1$  ] 列乃至第  $S \times L$  列など) の各々における一の列に対応し、且つ、第 1 行乃至第  $M$  行の一の行に対応するメモリセル  $MEM$  にデータを書き込み、読み出すことができる。すなわち、 $S$  列 1 行に対応するメモリセル  $MEM$  に、同時に、データを書き込み、読み出すことができる。多値データを  $N$  ビットとすると、記憶装置  $10A$  は、同時に  $S \times N$  ビットのデータを書き込み、読み出すことができる。つまり、入力端子  $DIN$ 、出力端子  $DOU$ T において、それぞれ、 $S \times N$  ビットのデータが入力され、出力される。

【0043】

なお、上記の値は一例であり、例えば、入力端子  $DIN$  と出力端子  $DOU$ T を異なるビット数の端子とすることもできる。つまり、第 1 列乃至第  $L'$  列 ~ 第  $[(S' - 1) \times L' + 1]$  列乃至第  $S' \times L'$  列の  $S'$  組の各々における一の列に対応し、且つ、第 1 行乃至第  $M$  行の一の行に対応するメモリセル  $MEM$  にデータを書き込むことができ、第 1 列乃至第  $L''$  列 ~ 第  $[(S'' - 1) \times L'' + 1]$  列乃至第  $S'' \times L''$  列の  $S''$  組の各々における一の列に対応し、且つ、第 1 行乃至第  $M$  行の一の行に対応するメモリセル  $MEM$  からデータを読み出すことができる。すなわち、 $S'$  列 1 行に対応するメモリセル  $MEM$  に、同時に、データを書き込むことができ、 $S''$  列 1 行に対応するメモリセル  $MEM$  から、同時に、データを読み出すことができる。ここで、データを  $N$  ビットとすると、同時に  $S' \times N$  ビットのデータを書き込み、 $S'' \times N$  ビットのデータを読み出すことができる。なお、 $S'$ 、 $L'$ 、 $S''$  および  $L''$  はそれぞれ 2 以上の整数とする。

【0044】

デコーダ 50 は、データが書き込まれるメモリセル  $MEM$  を行単位で選択する機能を有する。デコーダ 50 は、アドレス信号  $WADR$  をデコードし、さらに、制御信号  $WRITE$  に従って、信号線  $WW[1]$  乃至  $WW[M]$  の何れかに選択信号を供給する。デコーダ 50 によって選択された信号線  $WW$  に接続されているメモリセル  $MEM$  は、信号線  $BL[1]$  乃至  $BL[S \times L]$  から供給されるデータが書き込まれる。

【0045】

デコーダ 60 は、データが読み出されるメモリセル  $MEM$  を行単位で選択する機能を有する。デコーダ 60 は、アドレス信号  $RADR$  をデコードし、さらに、制御信号  $READ$  に従って、信号線  $RW[1]$  乃至  $RW[M]$  の何れかに選択信号を供給する。デコーダ 60 によって選択された信号線  $RW$  に接続されているメモリセル  $MEM$  は、信号線  $BL[1]$  乃至  $BL[S \times L]$  へデータを供給する。

【0046】

回路 20 は、入力端子  $DIN$  から供給される  $S \times N$  ビットのデジタルデータを  $S$  個の  $N$  ビットのデジタルデータとし、さらに、 $S$  個の  $N$  ビットのデジタルデータから  $S$  個のアナログ信号を生成し、それぞれ、信号線  $WB[1]$  乃至  $WB[S]$  に供給する機能を有する。

【0047】

また、回路 20 は、信号線  $RB[1]$  乃至  $RB[S]$  から供給される  $S$  個のアナログ信号から、それぞれ  $N$  ビットのデジタルデータを生成し、まとめて  $S \times N$  ビットのデジタルデータとして、出力端子  $DOU$ T から出力する機能を有する。

【0048】

選択回路 30 は、メモリセルアレイ 40 の列を選択する機能を有する。選択回路 30 に選択されたメモリセル  $MEM$  は、データの書き込みおよび読み出し、またはデータの事前読み出しが行われる。

【0049】

選択回路 30 は、信号線  $WS[1]$  乃至  $WS[L]$  に供給される信号に従って、信号線  $WB[1]$  を信号線  $BL[1]$  乃至  $BL[L]$  の何れか一と電氣的に接続し、信号線  $WB[S]$  を信号線  $BL[(S - 1) \times L + 1]$  乃至  $BL[S \times L]$  の何れか一と電氣的に接続し、電源線  $VB[1]$  乃至  $VB[S \times L]$  を後述する電源線  $VL$  と電氣的に接続する。

【0050】

また、選択回路 30 は信号線  $RS[1]$  乃至  $RS[L]$  に供給される信号に従って、信号線  $RB[1]$  を信号線  $BL[1]$  乃至  $BL[L]$  の何れか一と電氣的に接続し、信号線  $R$

10

20

30

40

50

B [ S ] を信号線 B L [ ( S - 1 ) × L + 1 ] 乃至 B L [ S × L ] の何れか一と電氣的に接続し、電源線 V B [ 1 ] 乃至 V B [ S × L ] を後述する電源線 V H と電氣的に接続する。

【 0 0 5 1 】

また、選択回路 3 0 は、信号線 P R E [ 1 ] 乃至 P R E [ L ] に供給される信号に従って、信号線 B L [ 1 ] 乃至 B L [ S × L ] を後述する回路 R D と電氣的に接続し、電源線 V B [ 1 ] 乃至 V B [ S × L ] を後述する電源線 V L と電氣的に接続する。

【 0 0 5 2 】

<メモリセル M E M >

図 2 は、メモリセルアレイ 4 0 の構成例を示す回路図である。図 2 において、メモリセル M E M は、トランジスタ T r 1 と、トランジスタ T r 2 と、容量素子 C 1 を有する。なお、以下において、トランジスタ T r 1 およびトランジスタ T r 2 は、nチャネル型トランジスタとして説明を行う。

10

【 0 0 5 3 】

メモリセル M E M において、トランジスタ T r 1 のゲートは信号線 W W に電氣的に接続され、トランジスタ T r 1 のソースまたはドレインの一方は、信号線 B L に電氣的に接続され、トランジスタ T r 1 のソースまたはドレインの他方は、トランジスタ T r 2 のゲートに電氣的に接続される。トランジスタ T r 2 のソースまたはドレインの一方はトランジスタ T r 1 のソースまたはドレインの一方に電氣的に接続され、トランジスタ T r 2 のソースまたはドレインの他方は電源線 V B に電氣的に接続される。容量素子 C 1 の第 1 端子はトランジスタ T r 2 のゲートに電氣的に接続され、容量素子 C 1 の第 2 端子は信号線 R W に電氣的に接続される。なお、トランジスタ T r 2 のゲートをノード N 1 と呼称する場合もある。

20

【 0 0 5 4 】

メモリセル M E M は N ビットのデータを格納することができる。具体的に言うと、メモリセル M E M はノード N 1 に N ビットのデータに対応する電位を格納することができる。

【 0 0 5 5 】

トランジスタ T r 1 およびトランジスタ T r 2 には、O S トランジスタを用いることができる。特に、トランジスタ T r 1 に O S トランジスタを用いることが好ましい。O S トランジスタはオフ電流が小さく好適である。なお、オフ電流が小さいとは、ソースとドレインとの間の電圧を 1 . 8 V とし、チャンネル幅 1 μ m あたりの規格化されたオフ電流が、室温において  $1 \times 10^{-20}$  A 以下、85 °C において  $1 \times 10^{-18}$  A 以下、又は 125 °C において  $1 \times 10^{-16}$  A 以下、であることをいう。トランジスタ T r 1 に O S トランジスタを用いることで、メモリセル M E M は、ノード N 1 に格納されたデータを長期間保持することができる。すなわち、記憶装置 1 0 A を不揮発性メモリとして動作させることができる。

30

【 0 0 5 6 】

また、同一の信号線 B L および電源線 V B を共有するメモリセル M E M を積層する構成が好ましい。また、同一の信号線 W W および信号線 R W を共有するメモリセル M E M を積層する構成が好ましい。例えば、メモリセル M E M [ 1 , 1 ] 乃至 M E M [ 1 , S × L ] を構成する O S トランジスタを第 1 の層に設け、メモリセル M E M [ 2 , 1 ] 乃至 M E M [ 2 , S × L ] を構成する O S トランジスタを第 2 の層に設け、メモリセル M E M [ M , 1 ] 乃至 M E M [ M , S × L ] を構成する O S トランジスタを第 M の層に設ける構成が可能である。

40

【 0 0 5 7 】

図 3 は、信号線 B L [ 1 ] および電源線 V B [ 1 ] を共有するメモリセル M E M [ 1 , 1 ] 乃至 M E M [ M , 1 ] を積層させた例である。この場合、トランジスタ T r 1 およびトランジスタ T r 2 は、O S トランジスタを用いて形成している。このようにすることで、高集積化されたメモリセルを有する記憶装置を提供することができる。

【 0 0 5 8 】

50

再び図2に説明を戻す。信号線WWにHレベルが与えられると、信号線BLから供給されるデータに対応した第1の電位がノードN1に格納される。このとき、信号線RWは高電位とし、電源線VBは低電位とすることが好ましい。また、トランジスタTr2は飽和領域で動作するものとする。

【0059】

メモリセルMEMは、信号線WWにLレベルが与えられると、トランジスタTr1がオフ状態になり、ノードN1に格納された第1の電位を保持する。トランジスタTr1はオフ電流が小さいため、ノードN1に格納された第1の電位は、トランジスタTr1がオフ状態の間保持される。

【0060】

信号線RWに高電位が与えられると、トランジスタTr2は、第1の電位に対応した電流を信号線BLに供給する。このとき、トランジスタTr2は飽和領域で動作するものとする。

【0061】

記憶装置10Aは、信号線BLに流れる電流値を、ノードN1に格納される電位に変換することで、メモリセルMEMに多値データを書き込む。また、記憶装置10Aは、ノードN1に格納された電位を、信号線BLに流れる電流値に変換することで、メモリセルMEMに書き込まれた多値データを読み出すことができる。すなわち、記憶装置10Aは、信号線BLを流れる電流を介して、多値データの書き込みと読み出しを行う。こうすることで、記憶装置10Aは、信号線BLの寄生容量の影響を受けにくくなり、より高精度に多値データの書き込みと読み出しを行うことができる。

【0062】

<回路20>

図4(A)は、回路20の構成例を示すブロック図である。回路20は、回路21[1]乃至21[S]および、回路22[1]乃至22[S]を有する。

【0063】

入力端子DINから入力されたS×Nビットのデジタルデータは、Nビットごとに分割され、それぞれ回路21[1]乃至21[S]へ分配される。回路21[1]乃至21[S]は、受け取ったNビットのデジタルデータをアナログデータに変換し、それぞれ信号線WB[1]乃至WB[S]に出力する機能を有する。

【0064】

回路22[1]乃至22[S]は、それぞれ信号線RB[1]乃至RB[S]から入力されたアナログデータを、Nビットのデジタルデータに変換し出力する機能を有する。回路22[1]乃至22[S]は合計でS×Nビットのデジタルデータを生成し、出力端子DOUへ出力する機能を有する。

【0065】

なお、本明細書において、アナログデータとは、2値(「1」と「0」、または「High」と「Low」)で表すことのできないデータのことを言う。なお、4値や8値などの多値データをアナログデータと言う場合がある。

【0066】

図4(B)は回路21の具体的な回路構成例を示し、図4(C)は回路22の具体的な回路構成例を示している。

【0067】

なお、本明細書中において、電源線VHは高電位が与えられる電源線を表し、電源線VLは低電位が与えられる電源線を表している。

【0068】

回路21は、トランジスタTr3乃至トランジスタTr5と、D/Aコンバータ23を有する。ここで、トランジスタTr3乃至トランジスタTr5は飽和領域で動作するものとする。D/Aコンバータ23は、抵抗方式、容量方式など公知の構成が適用可能である。

【0069】

10

20

30

40

50

D/Aコンバータ23は、入力端子DINから供給される $S \times N$ ビットのデータのうち、 $N$ ビットのデジタルデータをアナログデータに変換し、これをトランジスタTr3のゲート電位として出力する。トランジスタTr3は当該ゲート電位に対応したドレイン電流をトランジスタTr4に供給する。トランジスタTr4とトランジスタTr5はカレントミラー回路を構成しているため、トランジスタTr4に流れる電流は信号線WBに供給される。すなわち、回路21は、入力端子DINから供給される $N$ ビットのデジタルデータに対応した電流を、信号線WBに供給する機能を有する。

【0070】

回路22は、トランジスタTr6、A/Dコンバータ24を有する。トランジスタTr6は信号線RBIASから供給されるバイアス電圧により、定電流源として機能する。A/Dコンバータ24は、信号線RBの電位(アナログデータ)を、 $N$ ビットのデジタルデータとして、出力端子DOUTへ出力する機能を有する。

10

【0071】

< A/Dコンバータ24 >

次にA/Dコンバータ24の具体的な回路構成例(A/Dコンバータ24a、24b、24c)について、図5乃至図7を用いて説明を行う。

【0072】

[ A/Dコンバータ24a ]

図5に示すA/Dコンバータ24aは、抵抗素子25[1]乃至25[ $2^N$ ]と、コンパレータ26[1]乃至26[ $2^N - 1$ ]と、エンコーダ27を有する。

20

【0073】

抵抗素子25[1]乃至25[ $2^N$ ]は、電源線ADHと電源線ADLの間の電圧を抵抗分割して $2^N - 1$ 個の基準電位を生成する。なお、電源線ADHには高電位が与えられ、電源線ADLには低電位が与えられる。

【0074】

コンパレータ26の一方の入力端子に先述の基準電位の $1$ が供給され、他方の入力端子に信号線RBの電位(アナログデータ)が供給される。当該電位の方が基準電位より高い場合、コンパレータ26の出力はHレベルとなり、その他の場合、コンパレータ26の出力はLレベルとなる。

【0075】

エンコーダ27は、コンパレータ26[1]乃至26[ $2^N - 1$ ]の出力をエンコードすることで、出力端子DOUTから $N$ ビットのデータを出力する。

30

【0076】

A/Dコンバータ24aは、処理速度が速く、高速にA/D変換を行うことができる。

【0077】

また、A/Dコンバータ24aは、 $N$ ビット以下の多値データを扱うこともできる。その結果、記憶装置10Aは、1ビットから $N$ ビットまで、可変的に多値データを扱うことができる。

【0078】

[ A/Dコンバータ24b ]

図6(A)に示すA/Dコンバータ24bは、コンパレータ80、ラッチ81と、AND回路82と、カウンタ83から構成される。A/Dコンバータ24bは、シングルスロープ型のA/Dコンバータである。また、ラッチ81とAND回路82はクロックゲーティング回路であり、カウンタ83の動作を安定させる機能を有する。

40

【0079】

以下、図6(B)に示すタイミングチャートを用いて、A/Dコンバータ24bの動作例について説明を行う。なお、コンパレータ80の一方の入力端子に信号RAMP、他方の入力端子に信号線RBのアナログ電位を供給する。

【0080】

時刻T31乃至時刻T40において、信号RAMPとして供給する電位を次第に大きくし

50

ながら、信号CLK（クロック信号）を入力する。カウンタ83は、入力される信号GCLK（ゲートクロック信号）のパルス数を計数する。なお、時刻T31において、信号RST（リセット信号）をHレベルとすることで、出力端子DOUTはLレベルを出力する。

【0081】

時刻T31乃至時刻T36において、信号RAMPの電位より信号線RBの電位の方が高い。したがって、コンパレータ80が出力する信号CMPはHレベルで、カウンタ83の計数値は、信号GCLK（または信号CLK）のパルスが立ち上がるタイミングで1つずつ増加していく。出力端子DOUTにはカウンタ83の計数値（デジタルデータ）が出力される。

10

【0082】

時刻T36乃至時刻T37において、信号RAMPの電位が信号線RBの電位を上回る。したがって、信号CMPはLレベルとなる。

【0083】

時刻T37以降、ラッチ81とAND回路82で構成したクロックゲーティング回路により、信号GCLKは停止する。したがって、カウンタ83の計数値は増加しない。出力端子DOUTには、時刻T37以前の計数値が出力される。

【0084】

時刻T40以降、それまでのカウンタ83の計数値を、A/D変換の結果とすることで、A/Dコンバータ24bは、Nビットのデジタルデータを出力することができる。

20

【0085】

A/Dコンバータ24bは、A/Dコンバータ24aのようなフラッシュ型のA/Dコンバータに比べて回路規模を小さくすることができる。また、扱う多値データのビット数が大きくなっても、回路規模を一定に保つことができる。メモリセルMEMの集積度が高くなると、回路22[1]乃至22[S]に割りあてられる面積は小さくなる。A/Dコンバータ24bは、メモリセルMEMの集積度が高くても、回路22[1]乃至22[S]に含めることができる。

【0086】

また、A/Dコンバータ24bは、図6(B)における信号RAMPの電位増加率を調整することで、扱う多値データのビット数を変更することができる。例えば、扱う多値データのビット数が大きい場合は、長時間かけて信号RAMPの電位を増加させればよい。例えば、扱う多値データのビット数が小さい場合は、短時間で信号RAMPの電位を増加させればよい。その結果、記憶装置10Aは、扱う多値データのビット数を任意に選択することができる。

30

【0087】

[A/Dコンバータ24c]

図7(A)に示すA/Dコンバータ24cは、コンパレータ71、SAR（逐次変換レジスタ）72、D/Aコンバータ73から構成される。SAR72はN個のレジスタ74[N:1]を有し、各レジスタ74の出力端子は、ビットごとに、出力端子DOUT[N:1]に対応する。

40

【0088】

レジスタ74[N:1]は、リセット信号である信号RSTがHレベルのときにリセットされる（レジスタ74の出力QがLレベルとなる）。また、レジスタ74[N:1]は、セット信号である信号SET[N:1]がHレベルのときにセットされる（レジスタ74[N:1]の出力QがHレベルとなる）。また、レジスタ74[N:1]は、クロック信号である信号CLK[N:1]のパルスが立ち上がるときに入力Dの値が格納され出力Qとなる。

【0089】

レジスタ74[N:1]から出力された信号は、D/Aコンバータ73で信号DACOUT（アナログ電位）となり、コンパレータ71の一方の入力端子に入力される。また、コ

50

ンパレータ71の他方の入力端子には信号線RBの電位が入力される。コンパレータ71の出力端子は、レジスタ74[N:1]の入力端子となる。

【0090】

なお、信号SET[N]をレジスタ74[N]のセット信号、及び、レジスタ74[N-1]乃至74[1]のリセット信号として共通化する構成が可能である。また、信号SET[N-1]を、レジスタ74[N-1]のセット信号、及び、レジスタ74[N]のクロック信号として共通化する構成が可能である。以下、同様に、信号SET[1]を、レジスタ74[1]のセット信号、及び、レジスタ74[2]のクロック信号として共通化する構成が可能である。

【0091】

以下、図7(B)に示すタイミングチャートを用いて、A/Dコンバータ24cの動作例を説明する。

【0092】

時刻T31において、信号RSTをHレベルとして、レジスタ74[N:1]をリセットする。このとき、SAR72の出力はデータ“000...00”となる。

【0093】

時刻T32において、信号SET[N]をHレベルとする。このとき、レジスタ74[N]はセットされ、SAR72の出力はデータ“100...00”となる。また、信号DACOUTの電位は、データ“100...00”に対応した第1電位となる。コンパレータ71で第1電位と信号線RBの電位を比較する。ここでは、信号線RBの電位の方が第1電位より高いものとする。すなわち、コンパレータ71から出力される信号CMPがHレベルとなる。

【0094】

時刻T33において、信号CLK[N]、信号SET[N-1]をHレベルとする。このとき、レジスタ74[N]は信号CMPのHレベルを格納し、レジスタ74[N-1]はセットされ、SAR72の出力はデータ“110...00”となる。また、信号DACOUTの電位は、データ“110...00”に対応した第2電位となる。コンパレータ71で第2電位と信号線RBの電位を比較する。ここでは、信号線RBの電位の方が第2電位より低いものとする。すなわち、信号CMPがLレベルとなる。以下、同様の動作を繰り返す。

【0095】

時刻T36において、信号CLK[2]、信号SET[1]をHレベルとする。このとき、レジスタ74[2]は信号CMPのLレベルを格納し、レジスタ74[1]はセットされ、SAR72の出力はデータ“100...01”となる。また、信号DACOUTの電位は、データ“100...01”に対応した第3電位となる。コンパレータ71で第3電位と信号線RBの電位を比較する。ここでは、信号線RBの電位の方が第3電位より高いものとする。すなわち、信号CMPがHレベルとなる。

【0096】

時刻T37において、信号CLK[1]をHレベルとする。このとき、レジスタ74[1]は信号CMPのHレベルを格納し、SAR72の出力はデータ“100...01”となる。

【0097】

時刻T38以降において、SAR72の出力をA/Dコンバータ24cの出力とすることで、出力端子DOUTからNビットのデジタルデータ“100...01”が取得できる。

【0098】

A/Dコンバータ24cは、扱う多値データのビット数(N)が大きい場合、Nに比例して回路規模が大きくなる。そのため、 $N^2$ に比例して回路規模が大きくなるA/Dコンバータ24aと比較すると、多値データのビット数が大きい場合、回路規模を相対的に小さくすることができる。メモリセルMEMの集積度が高くなると、回路22[1]乃至22

10

20

30

40

50

[ S ]に割りあてられる面積は小さくなる。A / Dコンバータ24cは、メモリセルMEMの集積度が高くても、回路22[ 1 ]乃至22[ S ]に含めることができる。

【 0 0 9 9 】

また、A / Dコンバータ24cは、Nビット以下の多値データも扱うことができる。その結果、記憶装置10Aは、扱う多値データのビット数を1ビットからNビットの範囲で任意に選択することができる。

【 0 1 0 0 】

< 選択回路30 >

図8は、選択回路30の回路構成例を示す。図8は、信号線WB[ 1 ]乃至信号線WB[ S ]のうち信号線WB[ 1 ]と、信号線RB[ 1 ]乃至RB[ S ]のうち信号線RB[ 1 ]と、信号線BL[ 1 ]乃至BL[ S × L ]のうち信号線BL[ 1 ]乃至BL[ L ]と、に対応した部分を示す。他の信号線WB[ 2 ]乃至WB[ S ]と、信号線RB[ 2 ]乃至RB[ S ]と、信号線BL[ L + 1 ]乃至BL[ S × L ]と、に対応した部分も同様な構成である。

10

【 0 1 0 1 】

選択回路30は、トランジスタTr9[ 1 ]乃至Tr9[ L ]と、トランジスタTr10[ 1 ]乃至Tr10[ L ]と、トランジスタTr11[ 1 ]乃至Tr11[ L ]と、トランジスタTr12[ 1 ]乃至Tr12[ L ]と、トランジスタTr13[ 1 ]乃至Tr13[ L ]と、トランジスタTr14[ 1 ]乃至Tr14[ L ]と、回路RD[ 1 ]乃至回路RD[ L ]と、を有する。

20

【 0 1 0 2 】

信号線WS[ 1 ]乃至WS[ L ]に選択信号を与えることで、トランジスタTr9[ 1 ]乃至Tr9[ L ]のオン・オフを制御し、信号線WB[ 1 ]と信号線BL[ 1 ]乃至BL[ L ]との導通・非導通を切り替えることができる。

【 0 1 0 3 】

信号線WS[ 1 ]乃至WS[ L ]に選択信号を与えることで、トランジスタTr10[ 1 ]乃至Tr10[ L ]のオン・オフを制御し、電源線VLと電源線VB[ 1 ]乃至VB[ L ]との導通・非導通を切り替えることができる。

【 0 1 0 4 】

信号線RS[ 1 ]乃至RS[ L ]に選択信号を与えることで、トランジスタTr11[ 1 ]乃至Tr11[ L ]のオン・オフを制御し、信号線RB[ 1 ]と信号線BL[ 1 ]乃至BL[ L ]との導通・非導通を切り替えることができる。

30

【 0 1 0 5 】

信号線RS[ 1 ]乃至RS[ L ]に選択信号を与えることで、トランジスタTr12[ 1 ]乃至Tr12[ L ]のオン・オフを制御し、電源線VHと電源線VB[ 1 ]乃至VB[ L ]との導通・非導通を切り替えることができる。

【 0 1 0 6 】

信号線PRE[ 1 ]乃至PRE[ L ]に選択信号を与えることで、トランジスタTr13[ 1 ]乃至Tr13[ L ]のオン・オフを制御し、回路RD[ 1 ]乃至RD[ L ]と信号線BL[ 1 ]乃至BL[ L ]との導通・非導通を切り替えることができる。

40

【 0 1 0 7 】

信号線PRE[ 1 ]乃至PRE[ L ]に選択信号を与えることで、トランジスタTr14[ 1 ]乃至Tr14[ L ]のオン・オフを制御し、電源線VLと電源線VB[ 1 ]乃至VB[ L ]との導通・非導通を切り替えることができる。

【 0 1 0 8 】

回路RDは、トランジスタTr7と、トランジスタTr8と、容量素子C2を有する。トランジスタTr7はnチャネル型トランジスタ、トランジスタTr8はpチャネル型トランジスタとする。また、トランジスタTr8は飽和領域で動作するものとする。

【 0 1 0 9 】

トランジスタTr7のゲートは信号線PRに電氣的に接続され、トランジスタTr7のソ

50

ースまたはドレインの一方は、トランジスタTr13を介して、信号線BLに電氣的に接続され、トランジスタTr7のソースまたはドレインの他方はトランジスタTr8のゲートに電氣的に接続される。トランジスタTr8のソースまたはドレインの一方はトランジスタTr7のソースまたはドレインの一方に電氣的に接続され、トランジスタTr8のソースまたはドレインの他方は電源線VHに電氣的に接続される。容量素子C2の第1端子は、トランジスタTr7のソースまたはドレインの他方に電氣的に接続され、容量素子C2の第2端子は、電源線VHに電氣的に接続される。

【0110】

回路RDは、信号線PRをHレベルとすることで、信号線BLに流れる電流に対応した電位が容量素子C2に格納される。

10

【0111】

トランジスタTr7は、OSTランジスタを用いることが好ましい。トランジスタTr7にOSTランジスタを用いることで、回路RDは、容量素子C2に格納されたデータを長期間保持することができる。

【0112】

<タイミングチャート>

図9は、記憶装置10Aの動作の一例を示すタイミングチャートである。時刻T01乃至時刻T13はメモリセルMEMにデータを書き込む動作に相当し、時刻T21乃至時刻T27はメモリセルMEMからデータを読み出す動作に相当する。なお、ここでは、第1列乃至第L列に配置されたメモリセルMEMの動作について説明するが、他の列に配置されたメモリセルMEMの動作についても、同様に説明することができる。

20

【0113】

時刻T01乃至時刻T02において、信号線PR、PRE[1]乃至PRE[L]をHレベルとし、信号線RW[1]を高電位とする。このとき、信号線BL[1]乃至BL[L]のそれぞれにおいて、第1行のメモリセルMEMに格納されたデータに対応する第1の電流が流れる。その後、回路RD[1]乃至RD[L]の容量素子C2に、第1の電流を流し得る電位が設定される。

【0114】

時刻T02乃至時刻T03において、信号線WS[1]、WW[1]、PRE[2]乃至PRE[L]をHレベル、信号線PRE[1]、PRをLレベル、信号線RW[1]を高電位とする。このとき、回路21[1]で生成されたデータD11に対応した第2の電流が、信号線WB[1]に供給される。第2の電流は信号線BL[1]に供給される。一方、信号線BL[2]乃至BL[L]には、回路RD[2]乃至RD[L]から先述の第1の電流が供給される。ここで、メモリセルMEM[1,1]には第2の電流を流し得る電位が容量素子C1に格納される。また、メモリセルMEM[1,2]乃至MEM[1,L]には第1の電流を流し得る電位が容量素子C1に格納される。つまりメモリセルMEM[1,1]にはデータD11に対応した電位が格納され、メモリセルMEM[1,2]乃至MEM[1,L]には、時刻T02で書き込まれていたデータに対応した電位が格納される。従って、メモリセルMEM[1,1]乃至MEM[1,L]のうち、メモリセルMEM[1,1]のデータのみ更新することができる。

30

40

【0115】

以下、同様に、時刻T03乃至時刻T05において、メモリセルMEM[1,L]にデータD1Lに対応した電位が格納され、時刻T05乃至時刻T07において、メモリセルMEM[2,1]にデータD21に対応した電位が格納され、時刻T07乃至時刻T09において、メモリセルMEM[2,L]にデータD2Lに対応した電位が格納され、時刻T09乃至時刻T11において、メモリセルMEM[M,1]にデータDM1に対応した電位が格納され、時刻T11乃至時刻T13において、メモリセルMEM[M,L]にデータDMLに対応した電位が格納される。

【0116】

時刻T21乃至時刻T22において、信号線RS[1]をHレベル、信号線RW[1]を

50

高電位とする。このとき、メモリセルMEM[1、1]のトランジスタTr2と回路22[1]のトランジスタTr6は、トランジスタTr6を電流源とするソースフォロア回路を構成し、メモリセルMEM[1、1]のデータに対応した電位、すなわち、データD11に対応した電位(アナログデータ)は、信号線RB[1]に出力される。当該電位をA/Dコンバータ24でデジタルデータに変換し、出力端子DOUTからデータD11を出力することができる。

【0117】

以下、同様に、時刻T22乃至時刻T23において、メモリセルMEM[1、L]のデータD1L、時刻T23乃至時刻T24において、メモリセルMEM[2、1]のデータD21、時刻T24乃至時刻T25において、メモリセルMEM[2、L]のデータD2L、時刻T25乃至時刻T26において、メモリセルMEM[M、1]のデータDM1、時刻T26乃至時刻T27において、メモリセルMEM[M、L]のデータDML、を取得することができる。

10

【0118】

上述のように、記憶装置10Aは、書き込み(あるいは読み出し)の対象となるメモリセルを選択することで、同じ行に接続された全てのメモリセルを同時に書き込む(あるいは読み出す)場合よりも、効率的にデータの書き込み(あるいは読み出し)を行うことができる。その結果、記憶装置10Aは、高集積化されたメモリセルに対して、効率的にデータのやり取りを行うことができる。また、記憶装置10Aは、高集積化されたメモリセルを有することで、チップ1つあたりの記憶容量を大きくすることができる。その結果、記憶装置の1ビットあたりの価格を低く抑えることができる。

20

【0119】

以上、記憶装置10Aを上記構成とすることで、多値のデータを記憶することが可能な記憶装置を提供することができる。また、高集積化されたメモリセルを有する記憶装置を提供することができる。また、積層されたメモリセルを有する記憶装置を提供することができる。

【0120】

(実施の形態2)

本実施の形態では、本発明の一形態である記憶装置について図10乃至図13を用いて説明を行う。

30

【0121】

<記憶装置10B>

図10は、記憶装置10Bの構成例を示すブロック図である。記憶装置10Bは、回路20と、選択回路30と、メモリセルアレイ40と、デコーダ50と、デコーダ60と、を有する。

【0122】

図10に示す記憶装置10Bは、図1に示す記憶装置10Aと比較して、選択回路30が異なる。図10は選択回路30に信号線PRと信号線PRBが接続されている点で図1と異なる。記憶装置10Bのその他の構成要素(回路20、メモリセルアレイ40、デコーダ50およびデコーダ60)は記憶装置10Aと同一であり、これらの詳細は実施の形態1の記載を参照すればよい。

40

【0123】

図11は、記憶装置10Bが有する選択回路30の回路構成例を示す。図11は、信号線WB[1]乃至WB[S]のうち信号線WB[1]と、信号線RB[1]乃至RB[S]のうち信号線RB[1]と、信号線BL[1]乃至BL[S×L]のうち信号線BL[1]乃至BL[L]と、に対応した部分を示す。他の信号線WB[2]乃至WB[S]と、信号線RB[2]乃至RB[S]と、信号線BL[L+1]乃至BL[S×L]と、に対応した部分も同様な構成である。

【0124】

選択回路30は、トランジスタTr9[1]乃至Tr9[L]と、トランジスタTr10

50

[ 1 ]乃至Tr 1 0 [ L ]と、トランジスタTr 1 1 [ 1 ]乃至Tr 1 1 [ L ]と、トランジスタTr 1 2 [ 1 ]乃至Tr 1 2 [ L ]と、トランジスタTr 1 3 [ 1 ]乃至Tr 1 3 [ L ]と、トランジスタTr 1 4 [ 1 ]乃至Tr 1 4 [ L ]と、回路RD [ 1 ]乃至RD [ L ]と、を有する。

【 0 1 2 5 】

信号線WS [ 1 ]乃至WS [ L ]に選択信号を与えることで、トランジスタTr 9 [ 1 ]乃至Tr 9 [ L ]のオン・オフを制御し、信号線WBと信号線BL [ 1 ]乃至BL [ L ]との導通・非導通を切り替えることができる。

【 0 1 2 6 】

信号線WS [ 1 ]乃至WS [ L ]に選択信号を与えることで、トランジスタTr 1 0 [ 1 ]乃至Tr 1 0 [ L ]のオン・オフを制御し、電源線VLと電源線VB [ 1 ]乃至VB [ L ]との導通・非導通を切り替えることができる。

10

【 0 1 2 7 】

信号線RS [ 1 ]乃至RS [ L ]に選択信号を与えることで、トランジスタTr 1 1 [ 1 ]乃至Tr 1 1 [ L ]のオン・オフを制御し、信号線RBと信号線BL [ 1 ]乃至BL [ L ]との導通・非導通を切り替えることができる。

【 0 1 2 8 】

信号線RS [ 1 ]乃至RS [ L ]に選択信号を与えることで、トランジスタTr 1 2 [ 1 ]乃至Tr 1 2 [ L ]のオン・オフを制御し、電源線VHと電源線VB [ 1 ]乃至VB [ L ]との導通・非導通を切り替えることができる。

20

【 0 1 2 9 】

信号線PRE [ 1 ]乃至PRE [ L ]に選択信号を与えることで、トランジスタTr 1 3 [ 1 ]乃至Tr 1 3 [ L ]のオン・オフを制御し、回路RD [ 1 ]乃至RD [ L ]と信号線BL [ 1 ]乃至BL [ L ]との導通・非導通を切り替えることができる。

【 0 1 3 0 】

信号線PRE [ 1 ]乃至PRE [ L ]に選択信号を与えることで、トランジスタTr 1 4 [ 1 ]乃至Tr 1 4 [ L ]のオン・オフを制御し、電源線VLと電源線VB [ 1 ]乃至VB [ L ]との導通・非導通を切り替えることができる。

【 0 1 3 1 】

記憶装置10Bが有する回路RDの構成例を図12に示す。回路RDは、トランジスタTr 7と、トランジスタTr 8と、トランジスタTr 1 5と、トランジスタTr 1 6と、トランジスタTr 1 7と、トランジスタTr 1 8と、容量素子C 2と、を有する。トランジスタTr 7およびトランジスタTr 8はnチャネル型トランジスタとし、トランジスタTr 1 5乃至トランジスタTr 1 8はpチャネル型トランジスタとする。また、トランジスタTr 8、トランジスタTr 1 5及びトランジスタTr 1 6は飽和領域で動作するものとする。

30

【 0 1 3 2 】

トランジスタTr 1 5のゲートはトランジスタTr 1 6のゲートに電氣的に接続され、トランジスタTr 1 5のソースまたはドレインの一方は信号線BLに電氣的に接続され、トランジスタTr 1 5のソースまたはドレインの他方は電源線VHに電氣的に接続される。トランジスタTr 1 6のソースまたはドレインの一方は、トランジスタTr 8のソースまたはドレインの一方に電氣的に接続され、トランジスタTr 1 6のソースまたはドレインの他方は電源線VHに電氣的に接続される。トランジスタTr 8のゲートは容量素子C 2の第1端子に電氣的に接続され、トランジスタTr 8のソースまたはドレインの他方は電源線VLに電氣的に接続される。容量素子C 2の第2端子は電源線VLに電氣的に接続される。

40

【 0 1 3 3 】

トランジスタTr 1 5のゲートは、トランジスタTr 1 7を介して、トランジスタTr 1 5のソースまたはドレインの一方に電氣的に接続され、トランジスタTr 1 6のゲートは、トランジスタTr 1 8を介して、トランジスタTr 1 6のソースまたはドレインの一方

50

に電氣的に接続される。トランジスタTr 8のゲートは、トランジスタTr 7を介して、トランジスタTr 8のソースまたはドレインの一方に電氣的に接続される。

【0134】

トランジスタTr 17のゲートは信号線PRBに電氣的に接続され、トランジスタTr 18のゲートは信号線PRに電氣的に接続され、トランジスタTr 7のゲートは信号線PRに電氣的に接続される。

【0135】

トランジスタTr 7のゲートは信号線PRに電氣的に接続され、トランジスタTr 7のソースまたはドレインの一方は、トランジスタTr 8のゲートに電氣的に接続され、トランジスタTr 7のソースまたはドレインの他方は、トランジスタTr 8のソースまたはドレインの一方に電氣的に接続される。トランジスタTr 8のゲートは容量素子C 2の第1端子に電氣的に接続され、トランジスタTr 8のソースまたはドレインの一方は、トランジスタTr 16のソースまたはドレインの一方に電氣的に接続され、トランジスタTr 8のソースまたはドレインの他方は電源線VLに電氣的に接続される。容量素子C 2の第2端子は電源線VLに電氣的に接続される。

10

【0136】

回路RDは、信号線PRをHレベル、信号線PRBをLレベルとすることで、トランジスタTr 17およびトランジスタTr 7がオン、トランジスタTr 18がオフになる。トランジスタTr 15およびトランジスタTr 16はカレントミラー回路として機能し、信号線BLに流れる電流に対応した電位が容量素子C 2に格納される。すなわち、容量素子C 2にデータが書き込まれる。

20

【0137】

回路RDは、信号線PRをLレベル、信号線PRBをHレベルとすることで、トランジスタTr 17およびトランジスタTr 7がオフ、トランジスタTr 18がオンになる。容量素子C 2に格納した電位に応じてトランジスタTr 8にドレイン電流が流れる。また、トランジスタTr 15およびトランジスタTr 16はカレントミラー回路として機能し、トランジスタTr 8を流れるドレイン電流が信号線BLに供給される。すなわち、容量素子C 2が格納しているデータが読み出される。

【0138】

トランジスタTr 7は、OSトランジスタを用いることが好ましい。トランジスタTr 7にOSトランジスタを用いることで、回路RDは、容量素子C 2に格納されたデータを長期間保持することができる。

30

【0139】

図2に示すメモリセルMEMは容量素子C 1にnチャネル型のトランジスタTr 1とnチャネル型のトランジスタTr 2が接続されている。また、図8に示す回路RDは容量素子C 2にnチャネル型のトランジスタTr 7とpチャネル型のトランジスタTr 8が接続され、図12に示す回路RDは容量素子C 2にnチャネル型のトランジスタTr 7とnチャネル型のトランジスタTr 8が接続されている。つまり、メモリセルMEMと図12に示す回路RDは、1つの容量素子に2つのnチャネル型トランジスタが接続されている点で共通している。

40

【0140】

図12に示す回路RDは、メモリセルMEMとトランジスタサイズ(チャネル長、チャネル幅)を同一とすることで、閾値やゲインをメモリセルMEMに近い値にすることができる。つまり、図12に示す回路RDは、図8に示す回路RDよりも、メモリセルMEMに格納されたデータをより正確にコピーして記憶することができる。

【0141】

<タイミングチャート>

図13は、記憶装置10Bの動作の一例を示すタイミングチャートである。時刻T 0 1乃至時刻T 1 3はメモリセルMEMにデータを書き込む動作に相当し、時刻T 2 1乃至時刻T 2 7はメモリセルMEMからデータを読み出す動作に相当する。なお、ここでは、第1

50

列乃至第L列に配置されたメモリセルMEMの動作について説明するが、他の列に配置されたメモリセルMEMの動作についても、同様に説明することができる。

【0142】

時刻T01乃至時刻T02において、信号線PR、PRE[1]乃至PRE[L]をHレベルとし、信号線PRBをLレベルとし、信号線RW[1]を高電位とする。このとき、信号線BL[1]乃至BL[L]のそれぞれにおいて、第1行のメモリセルMEMに格納されたデータに対応する第1の電流が流れる。その後、回路RD[1]乃至RD[L]の容量素子C2に、第1の電流を流し得る電位が設定される。

【0143】

時刻T02乃至時刻T03において、信号線PRB、WS[1]、WW[1]、PRE[2]乃至PRE[L]をHレベル、信号線PR、PRE[1]をLレベル、信号線RW[1]を高電位とする。このとき、回路21[1]で生成されたデータD11に対応した第2の電流が、信号線WB[1]に供給される。第2の電流は信号線BL[1]に供給される。一方、信号線BL[2]乃至BL[L]には、回路RD[2]乃至RD[L]から先述の第1の電流が供給される。ここで、メモリセルMEM[1、1]には第2の電流を流し得る電位が容量素子C1に格納される。また、メモリセルMEM[1、2]乃至MEM[1、L]には第1の電流を流し得る電位が容量素子C1に格納される。つまりメモリセルMEM[1、1]にはデータD11に対応した電位が格納され、メモリセルMEM[1、2]乃至MEM[1、L]には、時刻T02で書き込まれていたデータに対応した電位が格納される。従って、メモリセルMEM[1、1]乃至MEM[1、L]のうち、メモリセルMEM[1、1]のデータのみ更新することができる。

【0144】

以下、同様に、時刻T03乃至時刻T05において、メモリセルMEM[1、L]にデータD1Lに対応した電位が格納され、時刻T05乃至時刻T07において、メモリセルMEM[2、1]にデータD21に対応した電位が格納され、時刻T07乃至時刻T09において、メモリセルMEM[2、L]にデータD2Lに対応した電位が格納され、時刻T09乃至時刻T11において、メモリセルMEM[M、1]にデータDM1に対応した電位が格納され、時刻T11乃至時刻T13において、メモリセルMEM[M、L]にデータDMLに対応した電位が格納される。

【0145】

時刻T21乃至時刻T22において、信号線PR、RS[1]をHレベル、信号線PRBをLレベル、信号線RW[1]を高電位とする。このとき、メモリセルMEM[1、1]のトランジスタTr2と回路22[1]のトランジスタTr6は、トランジスタTr6を電流源とするソースフォロア回路を構成し、メモリセルMEM[1、1]のデータに対応した電位、すなわち、データD11に対応した電位(アナログデータ)は、信号線RB[1]に出力される。当該電位をA/Dコンバータ24でデジタルデータに変換し、出力端子DOUからデータD11を出力することができる。

【0146】

以下、同様に、時刻T22乃至時刻T23において、メモリセルMEM[1、L]のデータD1L、時刻T23乃至時刻T24において、メモリセルMEM[2、1]のデータD21、時刻T24乃至時刻T25において、メモリセルMEM[2、L]のデータD2L、時刻T25乃至時刻T26において、メモリセルMEM[M、1]のデータDM1、時刻T26乃至時刻T27において、メモリセルMEM[M、L]のデータDML、を取得することができる。

【0147】

なお、時刻T13以降、信号線PRE[1]乃至PRE[L]が全てLレベルのとき、すなわち、回路RDの書き込みも読み出しも行っていないとき、信号線PRをHレベル、信号線PRBをLレベルとすることで、回路RDにて、トランジスタTr15のゲート電位はトランジスタTr15がオフとなる電位に固定され、トランジスタTr16もオフとなる。また、容量素子C2に設定される電位はトランジスタTr8をオフにする。したがっ

10

20

30

40

50

て、回路RDにおける消費電力を低減することができる。

【0148】

上述のように、記憶装置10Bは、書き込み（あるいは読み出し）の対象となるメモリセルを選択することで、同じ行に接続された全てのメモリセルを同時に書き込む（あるいは読み出す）場合よりも、効率的にデータの書き込み（あるいは読み出し）を行うことができる。その結果、記憶装置10Bは、高集積化されたメモリセルに対して、効率的にデータのやり取りを行うことができる。また、記憶装置10Bは、高集積化されたメモリセルを有することで、チップ1つあたりの記憶容量を大きくすることができる。その結果、記憶装置の1ビットあたりの価格を低く抑えることができる。

【0149】

以上、記憶装置10Bを上記構成とすることで、多値のデータを記憶することが可能な記憶装置を提供することができる。また、高集積化されたメモリセルを有する記憶装置を提供することができる。また、積層されたメモリセルを有する記憶装置を提供することができる。

【0150】

（実施の形態3）

本実施の形態では、上記実施の形態に記載の記憶装置10Aおよび記憶装置10B（以下、まとめて記憶装置10と記載）の一形態を、図14および図15を用いて説明する。

【0151】

<記憶装置10の断面構造>

図14は記憶装置10の一例を示す断面模式図である。記憶装置10は、トランジスタ300と、トランジスタ200、および容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

【0152】

トランジスタ200はチャンネル形成領域に酸化物半導体を有するOSトランジスタである。OSトランジスタは微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。OSトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

【0153】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

【0154】

トランジスタ300は、pチャンネル型、あるいはnチャンネル型のいずれでもよい。

【0155】

半導体領域313のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。

【0156】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

10

20

30

40

50

## 【0157】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

## 【0158】

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

10

## 【0159】

図14に示すトランジスタ300はチャンネルが形成される半導体領域313(基板311の一部)が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

## 【0160】

なお、図14に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

20

## 【0161】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

## 【0162】

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

## 【0163】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP)法等を用いた平坦化処理により平坦化されていてもよい。

30

## 【0164】

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

## 【0165】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

40

## 【0166】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、50 から500 の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$  以下、好ましくは  $5 \times 10^{15} \text{ atoms/cm}^2$

50

以下であればよい。

【0167】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0168】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

10

【0169】

各プラグ、および配線（導電体328、および導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

20

【0170】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図14において、絶縁体350、絶縁体352、絶縁体354、絶縁体360、絶縁体362、絶縁体364、絶縁体370、絶縁体372、絶縁体374、絶縁体380、絶縁体382および絶縁体384が順に積層して設けられている。また、これら絶縁体には、導電体356、導電体366、導電体376および導電体386が形成されている。これら導電体は、プラグ、または配線としての機能を有する。なおこれら導電体は、導電体328、および導電体330と同様の材料を用いて設けることができる。

30

【0171】

なお、絶縁体350、絶縁体360、絶縁体370および絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356、導電体366、導電体376および導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。例えば、絶縁体350と導電体356についてみた場合、絶縁体350が有する開口部に導電体356が形成されることで、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。他の絶縁体と導電体についても同じことが言える。

【0172】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。

40

【0173】

絶縁体384上には絶縁体214および絶縁体216が積層して設けられている。絶縁体214および絶縁体216のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0174】

例えば、絶縁体214には、例えば、基板311またはトランジスタ300を設ける領域などから、トランジスタ200を設ける領域に、水素や不純物が拡散しないようなバリア

50

性を有する膜を用いることが好ましい。従って、絶縁体 3 2 4 と同様の材料を用いることができる。

【 0 1 7 5 】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 2 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 2 0 0 と、トランジスタ 3 0 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【 0 1 7 6 】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 2 1 4 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

10

【 0 1 7 7 】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 2 0 0 への混入を防止することができる。また、トランジスタ 2 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 2 0 0 に対する保護膜として用いることに適している。

【 0 1 7 8 】

また、例えば、絶縁体 2 1 6 には、絶縁体 3 2 0 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 2 1 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

20

【 0 1 7 9 】

また、絶縁体 2 1 4 および絶縁体 2 1 6 には、導電体 2 1 8、及びトランジスタ 2 0 0 を構成する導電体（例えばバックゲートとして機能する電極）等が埋め込まれている。導電体 2 1 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

【 0 1 8 0 】

導電体 2 1 8 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、酸素、水素、および水に対するバリア性を有する層で、完全に分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

30

【 0 1 8 1 】

絶縁体 2 1 6 の上方には、トランジスタ 2 0 0 が設けられている。なお、トランジスタ 2 0 0 としては、OSトランジスタを用いればよい。トランジスタ 2 0 0 の詳細は後述する実施の形態 4 で説明を行う。

【 0 1 8 2 】

トランジスタ 2 0 0 の上方には、絶縁体 2 8 0 を設ける。絶縁体 2 8 0 には、過剰酸素領域が形成されていることが好ましい。特に、トランジスタ 2 0 0 に酸化物半導体を用いる場合、トランジスタ 2 0 0 近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ 2 0 0 が有する金属酸化物 4 0 6 の酸素欠損を低減することで、信頼性を向上させることができる。また、トランジスタ 2 0 0 を覆う絶縁体 2 8 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。なお、絶縁体 2 8 0 は、トランジスタ 2 0 0 の上部に形成される絶縁体 2 2 5 に接して設けられる。

40

【 0 1 8 3 】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が  $1.0 \times 10^{18} \text{ atoms/cm}^3$  以上、好ましくは  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上である酸化物膜である。なお、上記TD

50

S分析時における膜の表面温度としては100以上700以下、または100以上500以下の範囲が好ましい。

【0184】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0185】

絶縁体280上に、絶縁体282を設ける構成にしてもよい。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。また、例えば、絶縁体282をスパッタリング法によって、酸素を含むプラズマを用いて成膜すると該酸化物の下地層となる絶縁体280へ酸素を添加することができる。

10

【0186】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

20

【0187】

また、絶縁体282上には、絶縁体286が設けられている。絶縁体286は、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体286として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0188】

また、絶縁体220、絶縁体222、絶縁体224、絶縁体225、絶縁体280、絶縁体282、および絶縁体286には、導電体246、および導電体248等が埋め込まれている。

30

【0189】

導電体246、および導電体248は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0190】

続いて、トランジスタ200の上方には、容量素子100が設けられている。容量素子100は、導電体110と、導電体120、および絶縁体130とを有する。

【0191】

また、導電体246、および導電体248上に、導電体112を設けてもよい。なお、導電体112、および導電体110は、同時に形成することができる。

【0192】

導電体112、および導電体110には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

40

【0193】

図14では、導電体112、および導電体110は単層構造を示したが、当該構成に限定

50

されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0194】

また、導電体112、および導電体110上に、容量素子100の誘電体として、絶縁体130を設ける。絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

【0195】

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子100は、絶縁体130を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

【0196】

絶縁体130上に、導電体110と重畳するように、導電体120を設ける。なお、導電体120は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu(銅)やAl(アルミニウム)等を用いればよい。

【0197】

導電体120、および絶縁体130上には、絶縁体150が設けられている。絶縁体150は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体150は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0198】

以上が構成例についての説明である。本構成を用いることで、OSトランジスタを用いた記憶装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、OSトランジスタを用いた記憶装置において、消費電力を低減することができる。または、OSトランジスタを用いた記憶装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された記憶装置を生産性良く提供することができる。

【0199】

<記憶装置10の変形例1>

また、本実施の形態の変形例の一例を、図15に示す。

【0200】

図15は、図14のトランジスタ200をトランジスタ201に置き替えた場合の断面模式図である。トランジスタ200と同様、トランジスタ201はOSトランジスタである。なお、トランジスタ201の詳細は後述する実施の形態4で説明を行う。

【0201】

図15のその他の構成例の詳細は、図14の記載を参酌すればよい。

【0202】

(実施の形態4)

本実施の形態では、実施の形態3に示すトランジスタ200およびトランジスタ201の詳細について、図16乃至図20を用いて説明を行う。

【0203】

<<トランジスタ200>>

まず、図14に示すトランジスタ200の詳細について説明を行う。

【0204】

図16(A)は、トランジスタ200を有する半導体装置の上面図である。また、図16(B)は、図16(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジス

10

20

30

40

50

タ 200 のチャンネル長方向の断面図でもある。また、図 16 ( C ) は、図 16 ( A ) に A 3 - A 4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャンネル幅方向の断面図でもある。図 16 ( A ) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

#### 【 0205 】

図 16 ( A ) から ( C ) に示すように、トランジスタ 200 は、基板 ( 図示せず ) の上に配置された絶縁体 224 と、絶縁体 224 の上に配置された金属酸化物 406 a と、金属酸化物 406 a の上面の少なくとも一部に接して配置された金属酸化物 406 b と、金属酸化物 406 b の上に配置された絶縁体 412 と、絶縁体 412 の上に配置された導電体 404 a と、導電体 404 a の上に配置された導電体 404 b と、導電体 404 b の上に配置された絶縁体 419 と、絶縁体 412、導電体 404 a、および導電体 404 b、および絶縁体 419 の側面に接して配置された絶縁体 418 と、金属酸化物 406 b の上面に接し、かつ絶縁体 418 の側面に接して配置された絶縁体 225 と、を有する。ここで、図 16 ( B ) に示すように、絶縁体 418 の上面は、絶縁体 419 の上面と略一致することが好ましい。また、絶縁体 225 は、絶縁体 419、導電体 404、絶縁体 418、および金属酸化物 406 を覆って設けられることが好ましい。

10

#### 【 0206 】

以下において、金属酸化物 406 a と金属酸化物 406 b をまとめて金属酸化物 406 という場合がある。なお、トランジスタ 200 では、金属酸化物 406 a および金属酸化物 406 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、金属酸化物 406 b のみを設ける構成にしてもよい。また、導電体 404 a と導電体 404 b をまとめて導電体 404 という場合がある。なお、トランジスタ 200 では、導電体 404 a および導電体 404 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 404 b のみを設ける構成にしてもよい。

20

#### 【 0207 】

導電体 440 は、絶縁体 384 の開口の内壁に接して導電体 440 a が形成され、さらに内側に導電体 440 b が形成されている。ここで、導電体 440 a および導電体 440 b の上面の高さと、絶縁体 384 の上面の高さは同程度にできる。なお、トランジスタ 200 では、導電体 440 a および導電体 440 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 440 b のみを設ける構成にしてもよい。

30

#### 【 0208 】

導電体 310 は、絶縁体 214 および絶縁体 216 の開口の内壁に接して導電体 310 a が形成され、さらに内側に導電体 310 b が形成されている。よって、導電体 310 a は導電体 440 b に接する構成が好ましい。ここで、導電体 310 a および導電体 310 b の上面の高さと、絶縁体 216 の上面の高さは同程度にできる。なお、トランジスタ 200 では、導電体 310 a および導電体 310 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 310 b のみを設ける構成にしてもよい。

#### 【 0209 】

導電体 404 は、トップゲートとして機能でき、導電体 310 は、バックゲートとして機能できる。バックゲートの電位は、トップゲートと同電位としてもよいし、接地電位や、任意の電位としてもよい。また、バックゲートの電位をトップゲートと連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

40

#### 【 0210 】

導電体 440 は、導電体 404 と同様にチャンネル幅方向に延伸されており、導電体 310、すなわちバックゲートに電位を印加する配線として機能する。ここで、バックゲートの配線として機能する導電体 440 の上に積層して、絶縁体 214 および絶縁体 216 に埋め込まれた導電体 310 を設けることにより、導電体 440 と導電体 404 の間に絶縁体 214 および絶縁体 216 などが設けられ、導電体 440 と導電体 404 の間の寄生容量

50

を低減し、絶縁耐圧を高めることができる。導電体 4 4 0 と導電体 4 0 4 の間の寄生容量を低減することで、トランジスタのスイッチング速度を向上させ、高い周波数特性を有するトランジスタにすることができる。また、導電体 4 4 0 と導電体 4 0 4 の間の絶縁耐圧を高めることで、トランジスタ 2 0 0 の信頼性を向上させることができる。よって、絶縁体 2 1 4 および絶縁体 2 1 6 の膜厚を大きくすることが好ましい。なお、導電体 4 4 0 の延伸方向はこれに限られず、例えば、トランジスタ 2 0 0 のチャンネル長方向に延伸されてもよい。

#### 【 0 2 1 1 】

ここで、導電体 3 1 0 a および導電体 4 4 0 a は、水または水素などの不純物の透過を抑制する機能を有する（透過しにくい）導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。これにより、下層から水素、水などの不純物が導電体 4 4 0 および導電体 3 1 0 を通じて上層に拡散するのを抑制することができる。なお、導電体 3 1 0 a および導電体 4 4 0 a は、水素原子、水素分子、水分子、酸素原子、酸素分子、窒素原子、窒素分子、酸化窒素分子（ $N_2O$ 、 $NO$ 、 $NO_2$  など）、銅原子などの不純物または、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の透過を抑制する機能を有することが好ましい。また、以下において、不純物の透過を抑制する機能を有する導電性材料について記載する場合も同様である。導電体 3 1 0 a および導電体 4 4 0 a が酸素の透過を抑制する機能を持つことにより、導電体 3 1 0 b および導電体 4 4 0 b が酸化して導電率が低下することを防ぐことができる。

#### 【 0 2 1 2 】

また、導電体 3 1 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体 3 1 0 b は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

#### 【 0 2 1 3 】

また、導電体 4 4 0 b は、配線として機能するため、導電体 3 1 0 b より導電性が高い導電体を用いることが好ましく、例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、図示しないが、導電体 4 4 0 b は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

#### 【 0 2 1 4 】

絶縁体 2 1 4 は、下層から水または水素などの不純物がトランジスタに混入するのを防ぐバリア絶縁膜として機能できる。絶縁体 2 1 4 は、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体 2 1 4 として窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体 2 1 4 より上層に拡散するのを抑制することができる。なお、絶縁体 2 1 4 は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ $N_2O$ 、 $NO$ 、 $NO_2$  など）、銅原子などの不純物の少なくとも一の透過を抑制する機能を有することが好ましい。また、以下において、不純物の透過を抑制する機能を有する絶縁性材料について記載する場合も同様である。

#### 【 0 2 1 5 】

また、絶縁体 2 1 4 は、酸素（例えば、酸素原子または酸素分子など）の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。これにより、絶縁体 2 2 4 などに含まれる酸素が下方拡散するのを抑制することができる。

#### 【 0 2 1 6 】

また、導電体 4 4 0 の上に導電体 3 1 0 を積層して設ける構成にすることにより、導電体 4 4 0 と導電体 3 1 0 の間に絶縁体 2 1 4 を設けることができる。ここで、導電体 4 4 0 b に銅など拡散しやすい金属を用いても、絶縁体 2 1 4 として窒化シリコンなどを設けることにより、当該金属が絶縁体 2 1 4 より上の層に拡散するのを防ぐことができる。

#### 【 0 2 1 7 】

また、絶縁体 2 2 2 は、水または水素などの不純物、および酸素の透過を抑制する機能を

10

20

30

40

50

有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体222より下層から水素、水などの不純物が絶縁体222より上層に拡散するのを抑制することができる。さらに、絶縁体224などに含まれる酸素が下方拡散するのを抑制することができる。

#### 【0218】

また、絶縁体224中の水、水素または窒素酸化物などの不純物濃度が低減されていることが好ましい。例えば、絶縁体224の水素の脱離量は、昇温脱離ガス分析法(TDS(Thermal Desorption Spectroscopy))において、50から500の範囲において、水素分子に換算した脱離量が、絶縁体224の面積当りに換算して、 $2 \times 10^{15}$  molecules/cm<sup>2</sup>以下、好ましくは $1 \times 10^{15}$  molecules/cm<sup>2</sup>以下、より好ましくは $5 \times 10^{14}$  molecules/cm<sup>2</sup>以下であればよい。また、絶縁体224は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

10

#### 【0219】

絶縁体412は、第1のゲート絶縁膜として機能でき、絶縁体220、絶縁体222、および絶縁体224は、第2のゲート絶縁膜として機能できる。なお、トランジスタ200では、絶縁体220、絶縁体222、および絶縁体224を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体220、絶縁体222、および絶縁体224のうちいずれか2層を積層した構造にしてもよいし、いずれか1層を用いる構造にしてもよい。

20

#### 【0220】

金属酸化物406は、酸化物半導体として機能する金属酸化物を用いることが好ましい。金属酸化物としては、エネルギーギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

#### 【0221】

金属酸化物を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置が提供できる。また、金属酸化物は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

30

#### 【0222】

金属酸化物406は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

#### 【0223】

ここでは、金属酸化物406が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはズなどとす。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

40

#### 【0224】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物(metal oxide)と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物(metal oxynitride)と呼称してもよい。

#### 【0225】

ここで、金属酸化物406aに用いる金属酸化物において、構成元素中の元素Mの原子数

50

比が、金属酸化物406bに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、金属酸化物406aに用いる金属酸化物において、Inに対する元素Mの原子数比が、金属酸化物406bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、金属酸化物406bに用いる金属酸化物において、元素Mに対するInの原子数比が、金属酸化物406aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

#### 【0226】

以上のような金属酸化物を金属酸化物406aとして用いて、金属酸化物406aの伝導帯下端のエネルギーが、金属酸化物406bの伝導帯下端のエネルギーが低い領域における、伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、金属酸化物406aの電子親和力が、金属酸化物406bの伝導帯下端のエネルギーが低い領域における電子親和力より小さいことが好ましい。

10

#### 【0227】

ここで、金属酸化物406aおよび金属酸化物406bにおいて、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようにするためには、金属酸化物406aと金属酸化物406bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

#### 【0228】

具体的には、金属酸化物406aと金属酸化物406bが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、金属酸化物406bがIn-Ga-Zn酸化物の場合、金属酸化物406aとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

20

#### 【0229】

このとき、キャリアの主たる経路は金属酸化物406bに形成されるナローギャップ部分となる。金属酸化物406aと金属酸化物406bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

#### 【0230】

また、金属酸化物406は、領域426a、領域426b、および領域426cを有する。領域426aは、図16(B)に示すように、領域426bと領域426cに挟まれる。領域426bおよび領域426cは、絶縁体225の成膜により低抵抗化された領域であり、領域426aより導電性が高い領域となる。領域426bおよび領域426cは、絶縁体225の成膜雰囲気に含まれる、水素または窒素などの不純物元素が添加される。これにより、金属酸化物406bの絶縁体225と重なる領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。

30

#### 【0231】

よって、領域426bおよび領域426cは、領域426aより、水素および窒素の少なくとも一方の濃度が大きくなることが好ましい。水素または窒素の濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)などを用いて測定すればよい。ここで、領域426aの水素または窒素の濃度としては、金属酸化物406bの絶縁体412と重なる領域の中央近傍(例えば、金属酸化物406bの絶縁体412のチャンネル長方向の両側面からの距離が概略等しい部分)の水素または窒素の濃度を測定すればよい。

40

#### 【0232】

なお、領域426bおよび領域426cは、酸素欠損を形成する元素、または酸素欠損と結合する元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域426bおよび領域426cは、上記元素の一つまたは

50

複数を含む構成にすればよい。

【0233】

また、金属酸化物406aは、領域426bおよび領域426cにおいて、元素Mに対するInの原子数比が、金属酸化物406bの元素Mに対するInの原子数比と同程度になることが好ましい。言い換えると、金属酸化物406aは、領域426bおよび領域426cにおける元素Mに対するInの原子数比が、領域426aにおける元素Mに対するInの原子数比より大きいことが好ましい。ここで、金属酸化物406は、インジウムの含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。このような構成にすることにより、トランジスタ200の作製工程において、金属酸化物406bの膜厚が薄くなり、金属酸化物406bの電気抵抗が大きくなった場合でも、領域426bおよび領域426cにおいて、金属酸化物406aが十分低抵抗化されており、金属酸化物406の領域426bおよび領域426cはソース領域およびドレイン領域として機能させることができる。

10

【0234】

図16(B)に示す領域426a近傍の拡大図を、図17(A)に示す。図17(A)に示すように、領域426bおよび領域426cは、金属酸化物406の少なくとも絶縁体225と重なる領域に形成される。ここで、金属酸化物406bの領域426bおよび領域426cの一方は、ソース領域として機能でき、他方はドレイン領域として機能できる。また、金属酸化物406bの領域426aはチャンネル形成領域として機能できる。

【0235】

なお、図16(B)および図17(A)では、領域426a、領域426b、および領域426cが、金属酸化物406bおよび金属酸化物406aに形成されているが、これらの領域は少なくとも金属酸化物406bに形成されていればよい。また、図16(B)などでは、領域426aと領域426bの境界、および領域426aと領域426cの境界を金属酸化物406の上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域426bおよび領域426cが金属酸化物406bの表面近傍では導電体404側に張り出し、金属酸化物406aの下面近傍では、絶縁体225側に後退する形状になる場合がある。

20

【0236】

トランジスタ200では、図17(A)に示すように、領域426bおよび領域426cが、金属酸化物406の絶縁体225と接する領域と、絶縁体418、および絶縁体412の両端部近傍と重なる領域に形成される。このとき、領域426bおよび領域426cの導電体404と重なる部分は、所謂オーバーラップ領域(Lov領域ともいう)として機能する。Lov領域を有する構造とすることで、金属酸化物406のチャンネル形成領域と、ソース領域およびドレイン領域との間に高抵抗領域が形成されないため、トランジスタのオン電流および移動度を大きくすることができる。

30

【0237】

ただし、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図17(B)に示すように、領域426bおよび領域426cが、金属酸化物406の絶縁体225および絶縁体418と重なる領域に形成される構成にしてもよい。なお、図17(B)に示す構成を別言すると、導電体404のチャンネル長方向の幅と、領域426aとの幅と、が概略一致している構成である。図17(B)に示す構成とすることで、ソース領域およびドレイン領域との間に高抵抗領域が形成されないため、トランジスタのオン電流を大きくすることができる。また、図17(B)に示す構成とすることで、チャンネル長方向において、ソース領域およびドレイン領域と、ゲートとが重ならないため、不要な容量が形成されるのを抑制することができる。

40

【0238】

このように、領域426bおよび領域426cの範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

50

## 【0239】

絶縁体412は、金属酸化物406bの上面に接して配置されることが好ましい。絶縁体412は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。このような絶縁体412を金属酸化物406bの上面に接して設けることにより、金属酸化物406bに効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体412中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体412の膜厚は、1nm以上20nm以下とするのが好ましく、例えば、1nm程度の膜厚にすればよい。

## 【0240】

絶縁体412は酸素を含むことが好ましい。例えば、昇温脱離ガス分光法分析(TDS分析)にて、100以上700以下または100以上500以下の表面温度の範囲で、酸素分子の脱離量を絶縁体412の面積当りに換算して、 $1 \times 10^{14}$  molecules/cm<sup>2</sup>以上、好ましくは $2 \times 10^{14}$  molecules/cm<sup>2</sup>以上、より好ましくは $4 \times 10^{14}$  molecules/cm<sup>2</sup>以上であればよい。

10

## 【0241】

絶縁体412、導電体404、および絶縁体419は、金属酸化物406bと重なる領域を有する。また、絶縁体412、導電体404a、導電体404b、および絶縁体419の側面は略一致することが好ましい。

## 【0242】

導電体404aとして、導電性酸化物を用いることが好ましい。例えば、金属酸化物406aまたは金属酸化物406bとして用いることができる金属酸化物を用いることができる。特に、In-Ga-Zn系酸化物のうち、導電性が高い、金属の原子数比が[In]:[Ga]:[Zn]=4:2:3から4.1、およびその近傍値のものを用いることが好ましい。このような導電体404aを設けることで、導電体404bへの酸素の透過を抑制し、酸化によって導電体404bの電気抵抗値が増加することを防ぐことができる。

20

## 【0243】

また、このような導電性酸化物を、スパッタリング法を用いて成膜することで、絶縁体412に酸素を添加し、金属酸化物406bに酸素を供給することが可能となる。これにより、金属酸化物406の領域426aの酸素欠損を低減することができる。

## 【0244】

導電体404bは、例えばタングステンなどの金属を用いることができる。また、導電体404bとして、導電体404aに窒素などの不純物を添加して導電体404aの導電性を向上できる導電体を用いてもよい。例えば導電体404bは、窒化チタンなどを用いることが好ましい。また、導電体404bを、窒化チタンなどの金属窒化物と、その上にタングステンなどの金属を積層した構造にしてもよい。

30

## 【0245】

ここで、ゲート電極の機能を有する導電体404が、絶縁体412を介して、金属酸化物406bの領域426a近傍の上面及びチャンネル幅方向の側面を覆うように設けられる。従って、ゲート電極としての機能を有する導電体404の電界によって、金属酸化物406bの領域426a近傍の上面及びチャンネル幅方向の側面を電氣的に取り囲むことができる。導電体404の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel(s-channel)構造とよぶ。そのため、金属酸化物406bの領域426a近傍の上面及びチャンネル幅方向の側面にチャンネルを形成することができるので、ソース-ドレイン間に大電流を流すことができ、導通時の電流(オン電流)を大きくすることができる。また、金属酸化物406bの領域426a近傍の上面及びチャンネル幅方向の側面が、導電体404の電界によって取り囲まれていることから、非導通時のリーク電流(オフ電流)を小さくすることができる。

40

## 【0246】

導電体404bの上に絶縁体419が配置されることが好ましい。また、絶縁体419、導電体404a、導電体404b、および絶縁体412の側面は略一致することが好まし

50

い。絶縁体419は、原子層堆積(ALD: Atomic Layer Deposition)法を用いて成膜することが好ましい。これにより、絶縁体419の膜厚を1nm以上20nm以下程度、好ましくは5nm以上510nm以下程度で成膜することができる。ここで、絶縁体419は、絶縁体418と同様に、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。

#### 【0247】

このような絶縁体419を設けることにより、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体419と絶縁体418で導電体404の上面と側面を覆うことができる。これにより、導電体404を介して、水または水素などの不純物が金属酸化物406に混入することを防ぐことができる。このように、絶縁体418と絶縁体419はゲートを保護するゲートキャップとしての機能を有する。

10

#### 【0248】

絶縁体418は、絶縁体412、導電体404、および絶縁体419の側面に接して設けられる。また、絶縁体418の上面は、絶縁体419の上面に略一致することが好ましい。絶縁体418は、ALD法を用いて成膜することが好ましい。これにより、絶縁体418の膜厚を1nm以上20nm以下程度、好ましくは1nm以上3nm以下程度、例えば1nmで成膜することができる。

#### 【0249】

上記の通り、金属酸化物406の領域426bおよび領域426cは、絶縁体225の成膜で添加された不純物元素によって形成される。トランジスタが微細化され、チャンネル長が10nm乃至30nm程度に形成されている場合、ソース領域またはドレイン領域に含まれる不純物元素が拡散し、ソース領域とドレイン領域が電氣的に導通する恐れがある。これに対して、本実施の形態に示すように、絶縁体418を形成することにより、金属酸化物406の絶縁体225と接する領域どうし間の距離を大きくすることができるので、ソース領域とドレイン領域が電氣的に導通することを防ぐことができる。さらに、ALD法を用いて、絶縁体418を形成することで、微細化されたチャンネル長と同程度以下の膜厚にし、必要以上にソース領域とドレイン領域の距離が広がって、抵抗が増大することをふせぐことができる。

20

#### 【0250】

ここで、絶縁体418は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体412中の酸素が外部に拡散することを防ぐことができる。また、絶縁体412の端部などから金属酸化物406に水素、水などの不純物が浸入するのを抑制することができる。

30

#### 【0251】

絶縁体418は、ALD法を用いて絶縁膜を成膜してから、異方性エッチングを行って、当該絶縁膜のうち、絶縁体412、導電体404、および絶縁体419の側面に接する部分を残存させて形成することが好ましい。これにより、上記のように膜厚の薄い絶縁体を容易に形成することができる。また、このとき、導電体404の上に、絶縁体419を設けておくことで、当該異方性エッチングで絶縁体419が一部除去されても、絶縁体418の絶縁体412および導電体404に接する部分を十分残存させることができる。

40

#### 【0252】

絶縁体225は、絶縁体419、絶縁体418、金属酸化物406および絶縁体224を覆って設けられる。ここで、絶縁体225は、絶縁体419および絶縁体418の上面に接し、かつ絶縁体418の側面に接して設けられる。絶縁体225は、上述の通り、水素または窒素などの不純物を金属酸化物406に添加して、領域426bおよび領域426cを形成する。このため、絶縁体225は、水素および窒素の少なくとも一方を有することが好ましい。

#### 【0253】

50

また、絶縁体 2 2 5 は、金属酸化物 4 0 6 b の上面に加えて、金属酸化物 4 0 6 b の側面および金属酸化物 4 0 6 a の側面に接して設けられることが好ましい。これにより、領域 4 2 6 b および領域 4 2 6 c において、金属酸化物 4 0 6 b の側面および金属酸化物 4 0 6 a の側面まで低抵抗化することができる。

#### 【 0 2 5 4 】

また、絶縁体 2 2 5 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体 2 2 5 として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。このような絶縁体 2 2 5 を形成することで、絶縁体 2 2 5 を透過して酸素が浸入し、領域 4 2 6 b および領域 4 2 6 c の酸素欠損に酸素を供給して、キャリア密度が低下するのを防ぐことができる。また、絶縁体 2 2 5 を透過して水または水素などの不純物が浸入し、領域 4 2 6 b および領域 4 2 6 c が過剰に領域 4 2 6 a 側に拡張するのを防ぐことができる。

10

#### 【 0 2 5 5 】

絶縁体 2 2 5 の上に絶縁体 2 8 0 を設けることが好ましい。絶縁体 2 8 0 は、絶縁体 2 2 4 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

#### 【 0 2 5 6 】

絶縁体 2 8 0 および絶縁体 2 2 5 に形成された開口に導電体 4 5 0 a および導電体 4 5 1 a と、導電体 4 5 0 b および導電体 4 5 1 b と、が配置される。導電体 4 5 0 a および導電体 4 5 1 a と、導電体 4 5 0 b および導電体 4 5 1 b と、は、導電体 4 0 4 を挟んで対向して設けられることが好ましい。

20

#### 【 0 2 5 7 】

ここで、絶縁体 2 8 0 および絶縁体 2 2 5 の開口の内壁に接して導電体 4 5 0 a が形成され、さらに内側に導電体 4 5 1 a が形成されている。当該開口の底部の少なくとも一部には金属酸化物 4 0 6 の領域 4 2 6 b が位置しており、導電体 4 5 0 a は領域 4 2 6 b と接する。同様に、絶縁体 2 8 0 および絶縁体 2 2 5 の開口の内壁に接して導電体 4 5 0 b が形成され、さらに内側に導電体 4 5 1 b が形成されている。当該開口の底部の少なくとも一部には金属酸化物 4 0 6 の領域 4 2 6 c が位置しており、導電体 4 5 0 b は領域 4 2 6 c と接する。

30

#### 【 0 2 5 8 】

ここで、図 1 6 ( A ) に A 5 - A 6 の一点鎖線で示す部位の断面図を図 1 8 ( A ) に示す。なお、図 1 8 ( A ) では、導電体 4 5 0 b および導電体 4 5 1 b の断面図を示すが、導電体 4 5 0 a および導電体 4 5 1 a の構造も同様である。

#### 【 0 2 5 9 】

図 1 6 ( B ) および図 1 8 ( A ) に示すように、導電体 4 5 0 b は、少なくとも金属酸化物 4 0 6 の上面と接し、さらに金属酸化物 4 0 6 の側面と接することが好ましい。特に、図 1 8 ( A ) に示すように、導電体 4 5 0 b は、金属酸化物 4 0 6 のチャンネル幅方向の A 5 側の側面および A 6 側の側面双方、または一方と接することが好ましい。また、図 1 6 ( B ) に示すように、導電体 4 5 0 b が、金属酸化物 4 0 6 のチャンネル長方向の A 2 側の側面と接する構成にしてもよい。このように、導電体 4 5 0 b が金属酸化物 4 0 6 の上面に加えて、金属酸化物 4 0 6 の側面と接する構成にすることにより、導電体 4 5 0 b と金属酸化物 4 0 6 のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 4 5 0 b と金属酸化物 4 0 6 の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。なお、導電体 4 5 0 a および導電体 4 5 1 a についても上記と同様のことが言える。

40

#### 【 0 2 6 0 】

ここで、導電体 4 5 0 a はトランジスタ 2 0 0 のソース領域およびドレイン領域の一方として機能する領域 4 2 6 b と接しており、導電体 4 5 0 b はトランジスタ 2 0 0 のソース

50

領域およびドレイン領域の他方として機能する領域426cと接している。よって、導電体450aおよび導電体451aはソース電極およびドレイン電極の一方として機能でき、導電体450bおよび導電体451bはソース電極およびドレイン電極の他方として機能できる。領域426bおよび領域426cは低抵抗化されているので、導電体450aと領域426bの接触抵抗、および導電体450bと領域426cの接触抵抗を低減し、トランジスタ200のオン電流を大きくすることができる。

#### 【0261】

ここで、導電体450aおよび導電体450bは、導電体310aなどと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。これにより、絶縁体280より上層から水素、水などの不純物が導電体451aおよび導電体451bを通じて金属酸化物406に混入するのを抑制することができる。

10

#### 【0262】

また、導電体451aおよび導電体451bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体451aおよび導電体451bは積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

#### 【0263】

なお、図16(B)および図18(A)では、導電体450aおよび導電体450bが、金属酸化物406aおよび金属酸化物406bの両方と接しているが、これに限られず、例えば、金属酸化物406bのみと接する構成にしてもよい。また、導電体450a、導電体451a、導電体450b、および導電体451bの上面の高さは同程度にできる。また、トランジスタ200では、導電体450aと導電体451aを積層にし、導電体450bと導電体451bを積層にする構成について示しているが、本発明はこれに限られるものではない。例えば、導電体451aと導電体451bのみを設ける構成にしてもよい。

20

#### 【0264】

また、図16(B)および図18(A)では、絶縁体224が、導電体450aおよび導電体450bが設けられる開口の底部になっているが、本実施の形態はこれに限られるものではない。図18(B)に示すように、絶縁体222が、導電体450aおよび導電体450bが設けられる開口の底部になる場合もある。図16(B)および図18(A)に示す場合は、導電体450b(導電体450a)が、絶縁体224、金属酸化物406a、金属酸化物406b、絶縁体225、および絶縁体280と接する。図18(B)に示す場合では、導電体450b(導電体450a)が、絶縁体222、絶縁体224、金属酸化物406a、金属酸化物406b、絶縁体225、および絶縁体280と接する。

30

#### 【0265】

次に、トランジスタ200の構成材料について説明する。

#### 【0266】

<基板>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板(イットリア安定化ジルコニア基板など)、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI(Silicon On Insulator)基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体

40

50

基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0267】

また、基板として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、5 μm以上700 μm以下、好ましくは10 μm以上500 μm以下、さらに好ましくは15 μm以上300 μm以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

10

【0268】

可とう性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはこれらの繊維などを用いることができる。可とう性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3} / K$ 以下、 $5 \times 10^{-5} / K$ 以下、または $1 \times 10^{-5} / K$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板として好適である。

20

【0269】

<絶縁体>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

30

【0270】

トランジスタを、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。例えば、絶縁体222、絶縁体214として、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【0271】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

40

【0272】

また、例えば、絶縁体222および絶縁体214としては、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。なお、絶縁体222および絶縁体214は、酸化アルミニウムまたは酸化ハフニウムなどを有することが好ましい。

【0273】

絶縁体384、絶縁体216、絶縁体220、絶縁体224および絶縁体412としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ラン

50

タン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 384、絶縁体 216、絶縁体 220、絶縁体 224 および絶縁体 412 としては、酸化シリコン、酸化窒化シリコンまたは、窒化シリコンを有することが好ましい。

【0274】

絶縁体 220、絶縁体 222、絶縁体 224、および/または絶縁体 412 は、比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁体 220、絶縁体 222、絶縁体 224、および/または絶縁体 412 は、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを有することが好ましい。または、絶縁体 220、絶縁体 222、絶縁体 224、および/または絶縁体 412 は、酸化シリコンまたは酸化窒化シリコンと、比誘電率の高い絶縁体と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。例えば、絶縁体 224 および絶縁体 412 において、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムを金属酸化物 406 と接する構造とすることで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコンが、金属酸化物 406 に混入することを抑制することができる。また、例えば、絶縁体 224 および絶縁体 412 において、酸化シリコンまたは酸化窒化シリコンを金属酸化物 406 と接する構造とすることで、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

【0275】

絶縁体 384、絶縁体 216、および絶縁体 280 は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体 384、絶縁体 216、および絶縁体 280 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体 384、絶縁体 216、および絶縁体 280 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【0276】

絶縁体 418 および絶縁体 419 としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体 418 および絶縁体 419 としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

【0277】

<導電体>

導電体 404 a、導電体 404 b、導電体 310 a、導電体 310 b、導電体 450 a、導電体 450 b、導電体 451 a および導電体 451 b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる

10

20

30

40

50

。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0278】

また、上記導電体、特に導電体404a、導電体310a、導電体450a、および導電体450bとして、金属酸化物406に適用可能な金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いてもよい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、金属酸化物406に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

10

【0279】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

20

【0280】

なお、トランジスタのチャンネル形成領域に酸化物を用いる場合は、ゲート電極として前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャンネル形成領域側に設けるとよい。酸素を含む導電性材料をチャンネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャンネル形成領域に供給されやすくなる。

【0281】

<金属酸化物406に適用可能な金属酸化物>

以下に、本発明に係る金属酸化物406について説明する。金属酸化物406として、酸化物半導体として機能する金属酸化物を用いることが好ましい。

30

【0282】

金属酸化物406は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0283】

ここで、金属酸化物406が、インジウム、元素M及び亜鉛を有する場合を考える。なお、金属酸化物406が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を [In]、[M]、および[Zn]とする。

40

【0284】

以下に、図19(A)、図19(B)、および図19(C)を用いて、金属酸化物406が有するインジウム、元素Mおよび亜鉛の原子数比の好ましい範囲について説明する。なお、図19(A)、図19(B)、および図19(C)には、酸素の原子数比については記載しない。

【0285】

図19(A)、図19(B)、および図19(C)において、破線は、[In] : [M] : [Zn] = (1 + ) : (1 - ) : 1の原子数比(-1 1)となるライン、[In] : [M] : [Zn] = (1 + ) : (1 - ) : 2の原子数比となるライン、[I

50

$n$ ] : [M] : [Zn] = (1 + ) : (1 - ) : 3の原子数比となるライン、[In] : [M] : [Zn] = (1 + ) : (1 - ) : 4の原子数比となるライン、および [In] : [M] : [Zn] = (1 + ) : (1 - ) : 5の原子数比となるラインを表す。

【0286】

また、一点鎖線は、[In] : [M] : [Zn] = 5 : 1 : の原子数比 ( 0 ) となるライン、[In] : [M] : [Zn] = 2 : 1 : の原子数比となるライン、[In] : [M] : [Zn] = 1 : 1 : の原子数比となるライン、[In] : [M] : [Zn] = 1 : 2 : の原子数比となるライン、[In] : [M] : [Zn] = 1 : 3 : の原子数比となるライン、および [In] : [M] : [Zn] = 1 : 4 : の原子数比となるラインを表す。

10

【0287】

また、図19(A)、図19(B)、および図19(C)に示す、[In] : [M] : [Zn] = 0 : 2 : 1の原子数比、およびその近傍値の金属酸化物は、スピネル型の結晶構造をとりやすい。

【0288】

また、金属酸化物中に複数の相が共存する場合がある(二相共存、三相共存など)。例えば、原子数比が [In] : [M] : [Zn] = 0 : 2 : 1の近傍値である場合、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、原子数比が [In] : [M] : [Zn] = 1 : 0 : 0の近傍値である場合、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。金属酸化物中に複数の相が共存する場合、異なる結晶構造の間において、結晶粒界が形成される場合がある。

20

【0289】

図19(A)に示す領域Aは、金属酸化物406が有する、インジウム、元素M、および亜鉛の原子数比の好ましい範囲の一例について示している。

【0290】

金属酸化物は、インジウムの含有率を高くすることで、金属酸化物のキャリア移動度(電子移動度)を高くすることができる。従って、インジウムの含有率が高い金属酸化物はインジウムの含有率が低い金属酸化物と比較してキャリア移動度が高くなる。

【0291】

一方、金属酸化物中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、原子数比が [In] : [M] : [Zn] = 0 : 1 : 0、およびその近傍値である場合(例えば図19(C)に示す領域C)は、絶縁性が高くなる。

30

【0292】

例えば、金属酸化物406bに用いる金属酸化物は、キャリア移動度が高い、図19(A)の領域Aで示される原子数比を有することが好ましい。金属酸化物406bに用いる金属酸化物は、例えば In : Ga : Zn = 4 : 2 : 3 から 4 . 1、およびその近傍値程度になるようにすればよい。一方、金属酸化物406aに用いる金属酸化物は、絶縁性が比較的高い、図19(C)の領域Cで示される原子数比を有することが好ましい。金属酸化物406aに用いる金属酸化物は、例えば In : Ga : Zn = 1 : 3 : 4 程度になるようにすればよい。

40

【0293】

特に、図19(B)に示す領域Bでは、領域Aの中でも、キャリア移動度が高く、信頼性が高い優れた金属酸化物が得られる。

【0294】

なお、領域Bは、[In] : [M] : [Zn] = 4 : 2 : 3 から 4 . 1、およびその近傍値を含む。近傍値には、例えば、[In] : [M] : [Zn] = 5 : 3 : 4 が含まれる。また、領域Bは、[In] : [M] : [Zn] = 5 : 1 : 6、およびその近傍値、および [In] : [M] : [Zn] = 5 : 1 : 7、およびその近傍値を含む。

【0295】

50

また、金属酸化物406として、In-M-Zn酸化物を用いる場合、スパッタリングターゲットとしては、多結晶のIn-M-Zn酸化物を含むターゲットを用いると好ましい。なお、成膜される金属酸化物の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。例えば、金属酸化物406に用いるスパッタリングターゲットの組成がIn:Ga:Zn=4:2:4.1[原子数比]の場合、成膜される金属酸化物の組成は、In:Ga:Zn=4:2:3[原子数比]の近傍となる場合がある。また、金属酸化物406に用いるスパッタリングターゲットの組成がIn:Ga:Zn=5:1:7[原子数比]の場合、成膜される金属酸化物の組成は、In:Ga:Zn=5:1:6[原子数比]の近傍となる場合がある。

【0296】

なお、金属酸化物が有する性質は、原子数比によって一義的に定まらない。同じ原子数比であっても、形成条件により、金属酸化物の性質が異なる場合がある。例えば、金属酸化物406をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。また、成膜時の基板温度によっては、ターゲットの[Zn]よりも、膜の[Zn]が小さくなる場合がある。従って、図示する領域は、金属酸化物が特定の特性を有する傾向がある原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

【0297】

<金属酸化物の構成>

以下では、OSTランジスタに用いることができるCAC(Cloud-Aligned Composite)-OSの構成について説明する。

【0298】

なお、本明細書等において、CAAC(c-axis aligned crystal)、及びCAC(Cloud-Aligned Composite)と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

【0299】

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、ランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子(またはホール)を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0300】

また、CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0301】

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

【0302】

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxide

10

20

30

40

50

d e は、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記 C A C - O S または C A C - m e t a l o x i d e をトランジスタのチャネル領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

【0303】

すなわち、C A C - O S または C A C - m e t a l o x i d e は、マトリックス複合材 ( m a t r i x c o m p o s i t e )、または金属マトリックス複合材 ( m e t a l m a t r i x c o m p o s i t e ) と呼称することもできる。

10

【0304】

< 金属酸化物の構造 >

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、C A A C - O S ( c - a x i s a l i g n e d c r y s t a l l i n e o x i d e s e m i c o n d u c t o r )、多結晶酸化物半導体、n c - O S ( n a n o c r y s t a l l i n e o x i d e s e m i c o n d u c t o r )、擬似非晶質酸化物半導体 ( a - l i k e O S : a m o r p h o u s - l i k e o x i d e s e m i c o n d u c t o r ) および非晶質酸化物半導体

20

【0305】

C A A C - O S は、c 軸配向性を有し、かつ a - b 面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0306】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、C A A C - O S において、歪み近傍においても、明確な結晶粒界 ( グレインバウンダリーともいう ) を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、C A A C - O S が、a - b 面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

30

【0307】

また、C A A C - O S は、インジウム、および酸素を有する層 ( 以下、I n 層 ) と、元素 M、亜鉛、および酸素を有する層 ( 以下、( M , Z n ) 層 ) とが積層した、層状の結晶構造 ( 層状構造ともいう ) を有する傾向がある。なお、インジウムと元素 M は、互いに置換可能であり、( M , Z n ) 層の元素 M がインジウムと置換した場合、( I n , M , Z n ) 層と表すこともできる。また、I n 層のインジウムが元素 M と置換した場合、( I n , M ) 層と表すこともできる。

40

【0308】

C A A C - O S は結晶性の高い酸化物半導体である。一方、C A A C - O S は、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、C A A C - O S は不純物や欠陥 ( 酸素欠損など ) の少ない酸化物半導体ともいえる。従って、C A A C - O S を有する酸化物半導体は、物理的性質が安定する。そのため、C A A C - O S を有する酸化物半導体は熱に強く、信頼性が高い。

【0309】

n c - O S は、微小な領域 ( 例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3

50

nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0310】

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

【0311】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

10

【0312】

<金属酸化物を有するトランジスタ>

続いて、上記金属酸化物をトランジスタに用いる場合について説明する。

【0313】

なお、上記金属酸化物をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0314】

また、トランジスタには、金属酸化物406bの領域426aにおけるキャリア密度の低いことが好ましい。金属酸化物のキャリア密度を低くする場合には、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。例えば、金属酸化物406bの領域426aにおけるキャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

20

【0315】

また、高純度真性または実質的に高純度真性である金属酸化物は、欠陥準位密度が低いいため、トラップ準位密度も低くなる場合がある。

【0316】

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

30

【0317】

従って、トランジスタの電気特性を安定にするためには、金属酸化物406bの領域426a中の不純物濃度を低減することが有効である。また、金属酸化物406bの領域426a中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

40

【0318】

<不純物>

ここで、金属酸化物中における各不純物の影響について説明する。

【0319】

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物406bの領域426aにおけるシリコンや炭素の濃度(SIMSにより得られる濃度)を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

【0320】

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成

50

し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物406bの領域426aにおいて、アルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物406bの領域426a中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0321】

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやす。この結果、金属酸化物406bの領域426aに窒素が含まれているトランジスタはノーマリーオン特性となりやすい。従って、金属酸化物406bの領域426aにおいて、窒素はできる限り低減されていることが好ましい、例えば、金属酸化物406bの領域426a中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0322】

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、金属酸化物406bの領域426aに水素が多く含まれているトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物406bの領域426a中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

【0323】

金属酸化物406bの領域426a中の不純物を十分に低減することで、トランジスタに安定した電気特性を付与することができる。

【0324】

<<トランジスタ201>>

次に、図15に示すトランジスタ201の詳細について説明を行う。

【0325】

図20(A)は、トランジスタ201を有する半導体装置の上面図である。また、図20(B)は、図20(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ201のチャネル長方向の断面図でもある。また、図20(C)は、図20(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ201のチャネル幅方向の断面図でもある。図20(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、トランジスタ201の構成要素のうち、トランジスタ200と共通のものについては、符号を同じくする。

【0326】

図20(A)から(C)に示すように、トランジスタ201は、基板(図示せず)の上に配置された絶縁体224と、絶縁体224の上に配置された金属酸化物406aと、金属酸化物406aの上面の少なくとも一部に接して配置された金属酸化物406bと、金属酸化物406bの上面の少なくとも一部に接して配置された導電体452aおよび導電体452bと、金属酸化物406bの上面の少なくとも一部に接し且つ導電体452aおよび導電体452bの上に配置された金属酸化物406cと、金属酸化物406cの上に配置された絶縁体413と、絶縁体413の上に配置された導電体405aと、導電体405aの上に配置された導電体405bと、導電体405bの上に配置された絶縁体420と、を有する。

## 【0327】

導電体405（導電体405aおよび導電体405b）は、トップゲートとして機能でき、導電体310は、バックゲートとして機能できる。バックゲートの電位は、トップゲートと同電位としてもよいし、接地電位や、任意の電位としてもよい。また、バックゲートの電位をトップゲートと連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

## 【0328】

導電体405aは、図16の導電体404aと同様の材料を用いて設けることができる。導電体405bは、図16の導電体404bと同様の材料を用いて設けることができる。

## 【0329】

導電体452aはソース電極またはドレイン電極の一方としての機能を有し、導電体452bはソース電極またはドレイン電極の他方としての機能を有する。

## 【0330】

導電体452a、452bは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を用いることができる。また、図では単層構造を示したが、2層以上の積層構造としてもよい。また、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

## 【0331】

トランジスタ201において、チャンネルは金属酸化物406bに形成されることが好ましい。そのため、金属酸化物406cは金属酸化物406bよりも絶縁性が比較的高い材料を用いることが好ましい。金属酸化物406cは、金属酸化物406aと同様の材料を用いればよい。

## 【0332】

トランジスタ201は、金属酸化物406cを設けることで、トランジスタ201を埋め込みチャンネル型のトランジスタとすることができる。また、導電体452aおよび導電体452bの端部の酸化を防ぐことができる。また、導電体405と導電体452a（または導電体405と導電体452b）との間のリーク電流を防ぐことができる。なお、金属酸化物406cは、場合によっては省略してもよい。

## 【0333】

絶縁体420は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体420として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

## 【0334】

トランジスタ201に、絶縁体420を設けることで、導電体405が酸化することを防ぐことができる。また、水または水素などの不純物が、金属酸化物406へ侵入することを防ぐことができる。

## 【0335】

トランジスタ201は、トランジスタ200と比べて、金属酸化物406bと電極（ソース電極またはドレイン電極）との接触面積を大きくすることができる。また、図16に示す領域426bおよび領域426cを作製する工程が不要になる。そのため、トランジスタ201は、トランジスタ200よりもオン電流を大きくすることができる。また製造工程を簡略化することができる。

## 【0336】

トランジスタ201のその他の構成要素の詳細は、トランジスタ200の記載を参照すればよい。

## 【0337】

（実施の形態5）

10

20

30

40

50

本実施の形態では、本発明の一形態である記憶装置について図 2 1 及び図 2 2 を用いて説明を行う。

【 0 3 3 8 】

<メモリセル 6 0 0 の構成例>

図 2 1 ( A ) に示すメモリセル 6 0 0 は、信号線 S 1 と、ワード線 W L と、トランジスタ 6 0 1 と、トランジスタ 6 0 2 と、容量素子 6 0 3 と、から構成されている。トランジスタ 6 0 1 は、酸化物半導体以外の材料を用いて形成されており、トランジスタ 6 0 2 は O S トランジスタを用いることが好ましい。ここで、トランジスタ 6 0 2 は、実施の形態 4 に示すトランジスタ 2 0 0 またはトランジスタ 2 0 1 と同様の構成とするのが好ましい。また、トランジスタ 6 0 1 は、実施の形態 3 に示すトランジスタ 3 0 0 と同様の構成とするのが好ましい。また、メモリセル 6 0 0 は、ソース線 S L 及びビット線 B 1 と電氣的に接続されており、トランジスタ (他のメモリセルを構成するものも含む。 ) を介して、ソース線 S L 及びビット線 B 1 と電氣的に接続されていてもよい。

10

【 0 3 3 9 】

ここで、トランジスタ 6 0 1 のゲート電極と、トランジスタ 6 0 2 のソース電極またはドレイン電極の一方と、容量素子 6 0 3 の電極の一方とは、電氣的に接続されている。また、ソース線 S L と、トランジスタ 6 0 1 のソース電極とは、電氣的に接続され、ビット線 B 1 と、トランジスタ 6 0 1 のドレイン電極とは、電氣的に接続され、信号線 S 1 と、トランジスタ 6 0 2 のゲート電極とは、電氣的に接続され、ワード線 W L と、トランジスタ 6 0 2 のソース電極またはドレイン電極の他方と、容量素子 6 0 3 の電極の他方とは、電氣的に接続されている。なお、ソース線 S L と、トランジスタ 6 0 1 のソース電極とは、トランジスタ (他のメモリセルを構成するものも含む。 ) を介して接続されていてもよい。また、ビット線 B 1 と、トランジスタ 6 0 1 のドレイン電極とは、トランジスタ (他のメモリセルを構成するものも含む。 ) を介して接続されていてもよい。

20

【 0 3 4 0 】

<記憶装置 1 1 の構成例>

図 2 2 に、 $m \times n$  ビットの記憶容量を有する記憶装置 1 1 のブロック回路図を示す。ここでは一例として、メモリセル 6 0 0 が直列に接続された N A N D 型の半導体装置を示す。

【 0 3 4 1 】

本発明の一態様に係る半導体装置は、 $m$  本のワード線 W L と、 $n$  本のビット線 B 1 及び信号線 S 1 と、2 本の選択線 S E L ( 1 )、S E L ( 2 ) と、複数のメモリセル 6 0 0 ( 1、1 ) 乃至 6 0 0 (  $m$ 、 $n$  ) が縦  $m$  個 ( 行 )  $\times$  横  $n$  個 ( 列 ) (  $m$ 、 $n$  は 2 以上の整数 ) のマトリクス状に配置されたメモリセルアレイ 6 1 0 と、選択線 S E L ( 1 ) に沿って、ビット線 B 1 ( 1 ) 乃至 B 1 (  $n$  ) とメモリセル 6 0 0 ( 1、1 ) 乃至 6 0 0 ( 1、 $n$  ) の間に配置されたトランジスタ 6 1 5 ( 1、1 ) 乃至 6 1 5 ( 1、 $n$  ) と、選択線 S E L ( 2 ) に沿って、ソース線 S L ( 1 ) 乃至 S L (  $n$  ) とメモリセル 6 0 0 (  $m$ 、1 ) 乃至 6 0 0 (  $m$ 、 $n$  ) の間に配置されたトランジスタ 6 1 5 ( 2、1 ) 乃至 6 1 5 ( 2、 $n$  ) と、ビット線及び信号線の駆動回路 6 1 1 と、ワード線の駆動回路 6 1 3 と、読み出し回路 6 1 2 といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

30

40

【 0 3 4 2 】

メモリセル 6 0 0 (  $i$ 、 $j$  ) (  $i$  は 1 以上  $m$  以下の整数、 $j$  は 1 以上  $n$  以下の整数 ) は、信号線 S 1 (  $j$  ) 及びワード線 W L (  $i$  ) にそれぞれ接続されている。また、メモリセル 6 0 0 (  $i_1$ 、 $j$  ) (  $i_1$  は 2 以上、 $m$  以下の整数 ) が有するトランジスタ 6 0 1 のドレイン電極は、メモリセル 6 0 0 (  $i_1 - 1$ 、 $j$  ) が有するトランジスタ 6 0 1 のソース電極に接続される。メモリセル 6 0 0 ( 1、 $j$  ) が有するトランジスタ 6 0 1 のドレイン電極は、トランジスタ 6 1 5 ( 1、 $j$  ) のソース電極に接続され、メモリセル 6 0 0 (  $m$ 、 $j$  ) が有するトランジスタ 6 0 1 のソース電極は、トランジスタ 6 1 5 ( 2、 $j$  ) のドレイン電極に接続される。トランジスタ 6 1 5 ( 1、 $j$  ) のドレイン電極はビット線 B 1 (  $j$  ) に接続され、トランジスタ 6 1 5 ( 2、 $j$  ) のソース電極はソース線 S L (  $j$  ) に接

50



$m, j$ ) のトランジスタ 601 をオン状態とする。次に、第 1 行のメモリセル 600 ( $1, j$ ) から順にワード線  $W L$  の電位  $V W L$  を所定の電位とすることで、上述のデータの書き込みを行う。第  $m$  行のメモリセル 600 ( $m, j$ ) までデータの書き込みが終了したら、選択線  $S E L (2)$  の電位を  $V 0$  として、トランジスタ 615 ( $2, j$ ) をオフ状態とする。これにより、第  $j$  列のメモリセルのトランジスタ 601 のソース電極の電位を約  $V 0$  としながらデータの書き込みを行うことができる。また、他の配線については、上述のデータの書き込みと同様にすればよい。なお、第 1 行目から第  $m$  行目の順番でデータを書き込む方法について説明したが、これに限られることなく、ビット線  $B 1 (1)$  乃至  $B 1 (n)$  の電位を  $V 0$  とし、選択線  $S E L (1)$  の電位を  $V 1$  としてトランジスタ 615 ( $1, j$ ) をオン状態として、第  $m$  行目から第 1 行目の順番でデータの書き込みを行っても良い。

10

## 【0350】

一方、単結晶半導体基板の上にトランジスタを形成した場合など、半導体装置が基板電位を有する場合には、基板電位を  $0 V$  として上述のデータの書き込みを行えばよい。

## 【0351】

第  $i$  行のメモリセル 600 ( $i, 1$ ) 乃至 600 ( $i, n$ ) の読み出しも、ワード線  $W L$  の電位  $V W L$  を所定の電位とすることにより行われる。第  $i$  行のメモリセル 600 ( $i, 1$ ) 乃至 600 ( $i, n$ ) の読み出しを行う場合は、選択線  $S E L (1)$ 、 $S E L (2)$  の電位を  $V 1$ 、信号線  $S 1 (1)$  乃至  $S 1 (n)$  の電位を  $V 0$ 、ソース線  $S L (1)$  乃至  $S L (n)$  の電位  $V s$  を  $V 0$ 、ビット線  $B 1 (1)$  乃至  $B 1 (n)$  に接続されている読み出し回路 612 を動作状態とする。これにより、トランジスタ 615 ( $1, 1$ ) 乃至 615 ( $2, n$ ) をオン状態とし、全てのメモリセルのトランジスタ 602 をオフ状態とする。

20

## 【0352】

そして、ワード線  $W L (i)$  の電位を  $V r\_1$ 、第  $i$  行以外のワード線  $W L$  の電位を  $V r\_0$  とする。このとき、第  $i$  行以外のメモリセルのトランジスタ 601 はオン状態となる。その結果、第  $i$  行のメモリセルのトランジスタ 601 がオン状態かオフ状態かでメモリセル列の抵抗状態が決まる。第  $i$  行のメモリセルのうち、データ "0" を有するメモリセルでは、トランジスタ 601 はオフ状態となり、メモリセル列が高抵抗状態になる。一方、第  $i$  行のメモリセルのうち、データ "1" を有するメモリセルでは、トランジスタ 601 がオン状態となり、メモリセル列が低抵抗状態になる。その結果、読み出し回路 612 は、メモリセル列の抵抗状態の違いから、データ "0"、"1" を読み出すことができる。

30

## 【0353】

次に、書き込みの際のワード線  $W L$  の電位  $V w\_0$ 、 $V w\_1$ 、および、読み出しの際のワード線  $W L$  の電位  $V r\_0$ 、 $V r\_1$  の決定方法について説明する。

## 【0354】

トランジスタ 601 の状態を決めるノード A の電位  $V A$  は、トランジスタ 601 のゲート-ソース (ドレイン) 間の容量  $C G S$  と、容量素子 603 の容量  $C S$  に依存する。 $V A$  は、書き込み時のワード線  $W L$  の電位  $V W L (書)$ 、及び、読み出し時のワード線  $W L$  の電位  $V W L (読)$  を用いて、次のように表すことができる。

40

$$V A = (C G S \cdot V W L (書) + C S \cdot V W L (読)) / (C G S + C S)$$

## 【0355】

読み出しが選択状態にあるメモリセル 600 においては、 $V W L (読) = V r\_1$  であり、読み出しが非選択状態にあるメモリセル 600 においては、 $V W L (読) = V r\_0$  である。また、データ "1" 書き込み時は  $V W L (書) = V w\_1$  であり、データ "0" 書き込み時は  $V W L (書) = V w\_0$  である。つまり、各状態におけるノード A の電位は、次のように表すことができる。

読み出しが選択状態、データ "1"

$$V A = (C G S \cdot V w\_1 + C S \cdot V r\_1) / (C G S + C S)$$

50

読み出しが選択状態、データ " 0 "

$$V A = ( C G S \cdot V w \_ 0 + C S \cdot V r \_ 1 ) / ( C G S + C S )$$

読み出しが非選択状態、データ " 1 "

$$V A = ( C G S \cdot V w \_ 1 + C S \cdot V r \_ 0 ) / ( C G S + C S )$$

読み出しが非選択状態、データ " 0 "

$$V A = ( C G S \cdot V w \_ 0 + C S \cdot V r \_ 0 ) / ( C G S + C S )$$

【 0 3 5 6 】

読み出しが選択状態にある場合であって、データ " 1 " が書き込まれている場合には、トランジスタ 6 0 1 はオン状態となることが望ましく、ノード A の電位 V A はトランジスタ 6 0 1 のしきい値電圧 V t h を上回ることが望ましい。つまり、以下の式を満たすことが望ましい。

$$( C G S \cdot V w \_ 1 + C S \cdot V r \_ 1 ) / ( C G S + C S ) > V t h$$

【 0 3 5 7 】

読み出しが選択状態にある場合であって、データ " 0 " が書き込まれている場合には、トランジスタ 6 0 1 はオフ状態となることが望ましく、ノード A の電位 V A はトランジスタ 6 0 1 のしきい値電圧 V t h を下回ることが望ましい。つまり、以下の式を満たすことが望ましい。

$$( C G S \cdot V w \_ 0 + C S \cdot V r \_ 1 ) / ( C G S + C S ) < V t h$$

【 0 3 5 8 】

読み出しが非選択状態にある場合には、データ " 1 " またはデータ " 0 " のいずれが書き込まれている場合であっても、トランジスタ 6 0 1 はオン状態となる必要があるため、ノード A の電位 V A はトランジスタ 6 0 1 のしきい値電圧 V t h を上回ることが条件となる。つまり、以下の式を満たす必要がある。

$$( C G S \cdot V w \_ 1 + C S \cdot V r \_ 0 ) / ( C G S + C S ) > V t h$$

$$( C G S \cdot V w \_ 0 + C S \cdot V r \_ 0 ) / ( C G S + C S ) > V t h$$

【 0 3 5 9 】

上述の関係を満たすように V w \\_ 0、V w \\_ 1、V r \\_ 0、V r \\_ 1、などを決定することで、半導体装置を動作させることができる。例えば、トランジスタ 6 0 1 のしきい値電圧 V t h = 0 . 3 ( V )、C G S / C S = 1 の場合には、V 0 = 0 ( V )、V 1 = 2 ( V )、V w \\_ 0 = 0 ( V )、V w \\_ 1 = 2 ( V )、V r \\_ 0 = 2 ( V )、V r \\_ 1 = 0 ( V ) とすることができる。なお、これらの電位は一例に過ぎず、上記の条件を満たす範囲で適宜変更することが可能である。

【 0 3 6 0 】

ここで、C G S / C S < < 1 の条件では、ノード A とワード線 W L が強く結合することになるため、トランジスタ 6 0 2 のオン状態・オフ状態に関わらず、ワード線 W L の電位とノード A の電位は同程度となる。このため、トランジスタ 6 0 2 をオンにして書き込みを行っても、ノード A が蓄積できる電荷は僅かであるから、データ " 0 " とデータ " 1 " の差は小さいものになってしまう。

【 0 3 6 1 】

具体的には、選択したワード線 W L の電位を V r \\_ 1 として上述した読み出しを行う場合、データ " 0 "、データ " 1 " のいずれを書き込んだ場合であっても、メモリセルのノード A の電位は下降し、トランジスタ 6 0 1 がオフ状態となってしまう。その結果、データを読み出すことが困難になる。

【 0 3 6 2 】

一方、C G S / C S > > 1 の条件では、ノード A とワード線 W L の結合は弱いため、ワード線 W L の電位を変化させてもノード A の電位はほとんど変化しない。このため、トランジスタ 6 0 1 のオン状態・オフ状態を制御することが可能なノード A の電位は非常に限られたものとなり、トランジスタ 6 0 1 のオン状態・オフ状態を制御することが困難になる。

【 0 3 6 3 】

10

20

30

40

50

具体的には、非選択のワード線WLの電位を $V_{r\_0}$ として上述した読み出しを行う場合、メモリセルのノードAの電位はほとんど上がらず、データ"0"のトランジスタ601はオフ状態となってしまう。その結果、データを読み出すことが困難になる。

【0364】

このように、CGSとCSの大きさによってはその動作が困難になる場合があるから、これらの決定に関しては留意が必要である。なお、 $V_{w\_0} = 0 (V)$ 、 $V_{w\_1} = V_{dd}$ 、 $V_{r\_0} = 0 (V)$ 、 $V_{r\_1} = V_{dd}$ とする場合には、CGS/CSが $V_{th} / (V_{dd} - V_{th})$ 以上 $(V_{dd} - V_{th}) / V_{th}$ 以下の間にあれば、十分に動作させることが可能である。

【0365】

なお、データ"1"とデータ"0"は便宜上の区別に過ぎないから、入れ替えて用いても構わない。また、V0として接地電位GNDなどを採用し、V1として電源電位Vddなどを採用しても良い。

【0366】

OSトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0367】

また、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速動作も容易に実現しうる。また、フラッシュメモリなどにおいて必要とされる情報を消去するための動作が不要であるというメリットもある。

【0368】

<メモリセル620の構成例>

次に、メモリセル600とは異なるメモリセルの一形態を図21(B)に示す。図21(B)に示すメモリセル620は、信号線S1と、ワード線WLと、トランジスタ621と、トランジスタ622と、容量素子623とから構成されている。トランジスタ621は、酸化物半導体以外の材料を用いて形成されており、トランジスタ622はOSトランジスタを用いることが好ましい。ここで、トランジスタ621は、実施の形態3に示すトランジスタ300と同様の構成とするのが好ましい。また、トランジスタ622は、実施の形態4に示すトランジスタ200またはトランジスタ201と同様の構成とするのが好ましい。また、メモリセル620は、ソース線SL及びビット線B1と電気的に接続されており、トランジスタ(他のメモリセルを構成するものも含む)を介して、ソース線SL及びビット線B1と電気的に接続されている。

【0369】

ここで、トランジスタ621のゲート電極と、トランジスタ622のソース電極またはドレイン電極の一方と、容量素子623の電極の一方とは、電気的に接続されている。また、ソース線SLと、トランジスタ621のソース電極とは、電気的に接続され、ビット線B1と、トランジスタ621のドレイン電極とは、電気的に接続され、信号線S1と、トランジスタ622のソース電極またはドレイン電極の他方とは、電気的に接続され、ワード線WLと、トランジスタ622のゲート電極と、容量素子623の電極の他方とは、電気的に接続されている。なお、ソース線SLと、トランジスタ621のソース電極とは、トランジスタ(他のメモリセルを構成するものも含む。)を介して接続されている。また、ビット線B1と、トランジスタ621のドレイン電極とは、トランジスタ(他のメモリセルを構成するものも含む。)を介して接続されている。

【0370】

<メモリセル620の動作>

次に、メモリセル620の動作について具体的に説明する。

## 【0371】

メモリセル620への書き込みを行う場合は、トランジスタ621のソース電極またはドレイン電極の電位を $V_0$ （任意の電位、例えば0V）、ワード線WLの電位を $V_1$ （任意の電位、例えば2V）とする。このとき、トランジスタ622はオン状態となる。

## 【0372】

この状態で、信号線S1の電位 $V_{S1}$ を所定の電位とすることにより、データの書き込みが行われる。例えば、データ"1"を書き込む場合には、信号線S1の電位を $V_{w\_1}$ とし、データ"0"を書き込む場合には、信号線S1の電位を $V_{w\_0}$ とする。なお、書き込み終了にあたっては、信号線S1の電位が変化する前に、ワード線WLの電位を $V_0$ として、トランジスタ622をオフ状態にする。

10

## 【0373】

トランジスタ621のゲート電極に接続されるノード（以下、ノードA）には、書き込み時の信号線S1の電位に応じた電荷 $Q_A$ が蓄積され、これによってデータが格納されることになる。ここで、トランジスタ622のオフ電流が極めて小さい、あるいは実質0であることから、書き込まれたデータは長時間にわたって保持される。

## 【0374】

メモリセル620の読み出しは、ワード線WLの電位 $V_{WL}$ を所定の電位とすることにより行われる。例えば、読み出しを行うメモリセル620は、ワード線WLの電位を $V_{r\_1}$ とし、読み出しを行わないメモリセル620は、ワード線WLの電位を $V_{r\_0}$ とする。いずれの場合も信号線S1の電位を $V_1$ とする。

20

## 【0375】

書き込み時の信号線S1の電位 $V_{w\_1}$ 、 $V_{w\_0}$ 、及び、読み出し時のワード線WLの電位 $V_{r\_1}$ 、 $V_{r\_0}$ は、ワード線WLの電位を $V_{r\_1}$ としたときに、データ"1"が格納されたメモリセルのトランジスタ621がオン状態となり、データ"0"が格納されたメモリセルのトランジスタ621がオフ状態となるように設定する。また、トランジスタ622がオフ状態となるように設定する。さらに、ワード線WLの電位を $V_{r\_0}$ としたときに、データ"0"、データ"1"のいずれが格納されたかに関わらず、メモリセルのトランジスタ621がオン状態となり、かつ、トランジスタ622がオフ状態となるように設定する。

## 【0376】

メモリセル620を用いてNAND型の不揮発性メモリを構成する場合には、上述のような関係の電位を用いることで、読み出し動作を行うことができる。つまり、読み出しが選択されたメモリセルでは格納されたデータによって抵抗状態を異ならせることが可能であり、メモリセル列の他のメモリセルでは格納されたデータにかかわらず低抵抗状態とすることができる。その結果、ビット線B1の抵抗状態の違いを検出する読み出し回路を用いて、メモリセルのデータを読み出すことができる。

30

## 【0377】

なお、データ"1"とデータ"0"は便宜上の区別に過ぎないから、入れ替えて用いても構わない。また、 $V_0$ として接地電位GNDなどを採用し、 $V_1$ として電源電位 $V_{dd}$ などを採用しても良い。

40

## 【0378】

なお、本実施の形態において示したメモリセル620を用いる場合にも、マトリクス状の半導体装置を実現することができる。マトリクス状の半導体装置は、先の実施の形態で示した構成と同様な回路を用い、駆動回路や読み出し回路、書き込み回路を信号線の構成にあわせて適宜構成することで実現できる。なお、メモリセル620を用いる場合には、読み出しおよび書き込みは、いずれも行ごとに行う構成とする。

## 【0379】

（実施の形態6）

本実施の形態では、上記実施の形態の記憶装置を有する半導体装置の一形態を、図23、および図24を用いて説明する。

50

## 【0380】

<半導体ウエハ、チップ>

図23(A)は、ダイシング処理が行なわれる前の基板711の上面図を示している。基板711としては、例えば、半導体基板(「半導体ウエハ」ともいう。)を用いることができる。基板711上には、複数の回路領域712が設けられている。回路領域712には、本発明の一態様に係る半導体装置などを設けることができる。

## 【0381】

複数の回路領域712は、それぞれが分離領域713に囲まれている。分離領域713と重なる位置に分離線(「ダイシングライン」ともいう。)714が設定される。分離線714に沿って基板711を切断することで、回路領域712を含むチップ715を基板711から切り出すことができる。図23(B)にチップ715の拡大図を示す。

10

## 【0382】

また、分離領域713に導電層、半導体層などを設けてもよい。分離領域713に導電層、半導体層などを設けることで、ダイシング工程時に生じるESDを緩和し、ダイシング工程に起因する歩留まりの低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に供給しながら行なう。分離領域713に導電層、半導体層などを設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

## 【0383】

<電子部品>

チップ715を用いた電子部品の一例について、図24(A)および図24(B)を用いて説明する。なお、電子部品は、半導体パッケージ、またはIC用パッケージともいう。電子部品は、端子取り出し方向、端子の形状などに応じて、複数の規格、名称などが存在する。

20

## 【0384】

電子部品は、組み立て工程(後工程)において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

## 【0385】

図24(A)に示すフローチャートを用いて、後工程について説明する。前工程において基板711に本発明の一態様に係る半導体装置などを形成した後、基板711の裏面(半導体装置などが形成されていない面)を研削する「裏面研削工程」を行なう(ステップS721)。研削により基板711を薄くすることで、電子部品の小型化を図ることができる。

30

## 【0386】

次に、基板711を複数のチップ715に分離する「ダイシング工程」を行う(ステップS722)。そして、分離したチップ715を個々のリードフレーム上に接合する「ダイボンディング工程」を行う(ステップS723)。ダイボンディング工程におけるチップ715とリードフレームとの接合は、樹脂による接合、またはテープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップ715を接合してもよい。

40

## 【0387】

次いで、リードフレームのリードとチップ715上の電極とを、金属の細線(ワイヤー)で電氣的に接続する「ワイヤーボンディング工程」を行う(ステップS724)。金属の細線には、銀線、金線などを用いることができる。また、ワイヤーボンディングは、例えば、ボールボンディング、またはウェッジボンディングを用いることができる。

## 【0388】

ワイヤーボンディングされたチップ715は、エポキシ樹脂などで封止される「封止工程(モールド工程)」が施される(ステップS725)。封止工程を行うことで電子部品の内部が樹脂で充填され、チップ715とリードを接続するワイヤーを機械的な外力から保

50

護することができ、また水分、埃などによる特性の劣化（信頼性の低下）を低減することができる。

【0389】

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップS726）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう（ステップS727）。

【0390】

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップS728）。そして外観形状の良否、動作不良の有無などを調べる「検査工程」（ステップS729）を経て、電子部品が完成する。

10

【0391】

また、完成した電子部品の斜視模式図を図24（B）に示す。図24（B）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図24（B）に示す電子部品750は、リード755およびチップ715を有する。電子部品750は、チップ715を複数有していてもよい。

【0392】

図24（B）に示す電子部品750は、例えばプリント基板752に実装される。このような電子部品750が複数組み合わせられて、それぞれがプリント基板752上で電気的に接続されることで電子部品が実装された基板（実装基板754）が完成する。完成した実装基板754は、電子機器などに用いられる。

20

【0393】

（実施の形態7）

<電子機器>

上記実施の形態に示す記憶装置は、様々な電子機器に用いることができる。図25に、記憶装置10を用いた電子機器の具体例を示す。

【0394】

図25（A）は、自動車の一例を示す外観図である。自動車2980は、車体2981、車輪2982、ダッシュボード2983、およびライト2984等を有する。また、自動車2980は、アンテナ、バッテリーなどを備える。

30

【0395】

図25（B）に示す情報端末2910は、筐体2911、表示部2912、マイク2917、スピーカ部2914、カメラ2913、外部接続部2916、および操作スイッチ2915等を有する。表示部2912には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末2910は、筐体2911の内側にアンテナ、バッテリーなどを備える。情報端末2910は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

【0396】

図25（C）に示すノート型パーソナルコンピュータ2920は、筐体2921、表示部2922、キーボード2923、およびポインティングデバイス2924等を有する。また、ノート型パーソナルコンピュータ2920は、筐体2921の内側にアンテナ、バッテリーなどを備える。

40

【0397】

図25（D）に示すビデオカメラ2940は、筐体2941、筐体2942、表示部2943、操作スイッチ2944、レンズ2945、および接続部2946等を有する。操作スイッチ2944およびレンズ2945は筐体2941に設けられており、表示部2943は筐体2942に設けられている。また、ビデオカメラ2940は、筐体2941の内側にアンテナ、バッテリーなどを備える。そして、筐体2941と筐体2942は、接続部2946により接続されており、筐体2941と筐体2942の間の角度は、接続部29

50

46により変えることが可能な構造となっている。筐体2941に対する筐体2942の角度によって、表示部2943に表示される画像の向きの変更や、画像の表示/非表示の切り換えを行うことができる。

【0398】

図25(E)にバングル型の情報端末の一例を示す。情報端末2950は、筐体2951、および表示部2952等を有する。また、情報端末2950は、筐体2951の内側にアンテナ、バッテリーなどを備える。表示部2952は、曲面を有する筐体2951に支持されている。表示部2952には、可撓性基板を用いた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い情報端末2950を提供することができる。

【0399】

図25(F)に腕時計型の情報端末の一例を示す。情報端末2960は、筐体2961、表示部2962、バンド2963、バックル2964、操作スイッチ2965、入出力端子2966などを備える。また、情報端末2960は、筐体2961の内側にアンテナ、バッテリーなどを備える。情報端末2960は、携帯電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

【0400】

表示部2962の表示面は湾曲しており、湾曲した表示面に沿って表示を行うことができる。また、表示部2962はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部2962に表示されたアイコン2967に触れることで、アプリケーションを起動することができる。操作スイッチ2965は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行及び解除、省電力モードの実行及び解除など、様々な機能を持たせることができる。例えば、情報端末2960に組み込まれたオペレーティングシステムにより、操作スイッチ2965の機能を設定することもできる。

【0401】

また、情報端末2960は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、情報端末2960は入出力端子2966を備え、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また入出力端子2966を介して充電を行うこともできる。なお、充電動作は入出力端子2966を介さずに無線給電により行ってもよい。

【0402】

例えば、上記実施の形態に示す記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

【0403】

本明細書において、特に断りがない場合、オン電流とは、トランジスタがオン状態にあるときのドレイン電流をいう。オン状態(オンと略す場合もある)とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧( $V_G$ )がしきい値電圧( $V_{th}$ )以上の状態、pチャネル型トランジスタでは、 $V_G$ が $V_{th}$ 以下の状態をいう。例えば、nチャネル型のトランジスタのオン電流とは、 $V_G$ が $V_{th}$ 以上のときのドレイン電流を言う。また、トランジスタのオン電流は、ドレインとソースの間の電圧( $V_D$ )に依存する場合がある。

【0404】

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態にあるときのドレイン電流をいう。オフ状態(オフと略す場合もある)とは、特に断りがない場合、nチャネル型トランジスタでは、 $V_G$ が $V_{th}$ よりも低い状態、pチャネル型トランジスタでは、 $V_G$ が $V_{th}$ よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、 $V_G$ が $V_{th}$ よりも低いときのドレイン電流を言う。トランジスタのオ

10

20

30

40

50

フ電流は、 $V_G$  に依存する場合がある。従って、トランジスタのオフ電流が  $10^{-21}$  A 未満である、とは、トランジスタのオフ電流が  $10^{-21}$  A 未満となる  $V_G$  の値が存在することを言う場合がある。

【0405】

また、トランジスタのオフ電流は、 $V_D$  に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 $V_D$  の絶対値が 0.1 V、0.8 V、1 V、1.2 V、1.8 V、2.5 V、3 V、3.3 V、10 V、12 V、16 V、または 20 V におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等において使用される  $V_D$  におけるオフ電流を表す場合がある。

【0406】

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソースまたはドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソースまたはドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

【0407】

本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等

【0408】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0409】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さず、XとYとが、接続されている場合である。

【0410】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

【符号の説明】

【0411】

B1 ビット線、BL 信号線、C1 容量素子、C2 容量素子、D1L データ、D2L データ、D11 データ、D21 データ、DM1 データ、DML データ、MEM メモリセル、N1 ノード、PR 信号線、PRB 信号線、PRE 信号線、RB 信号線、RBIAS 信号線、RD 回路、RS 信号線、RW 信号線、S1 信号線、T01 時刻、T02 時刻、T03 時刻、T05 時刻、T07 時刻、T09 時刻、T11 時刻、T13 時刻、T21 時刻、T22 時刻、T23 時刻、T24 時刻、T25 時刻、T26 時刻、T27 時刻、T31 時刻、T32 時刻、T33 時刻、T36 時刻、T37 時刻、T38 時刻、T40 時刻、Tr1 トランジスタ、Tr2 トランジスタ、Tr3 トランジスタ、Tr4 トランジスタ、Tr5 トランジスタ、Tr6 トランジスタ、Tr7 トラン

10

20

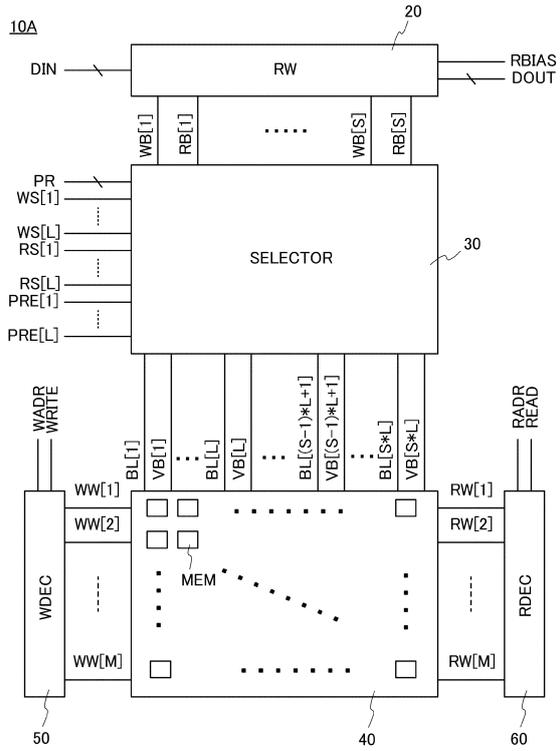
30

40

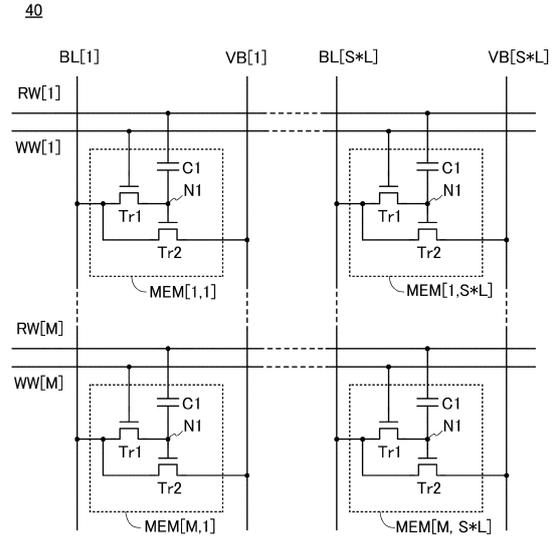
50

ジスタ、Tr 8 トランジスタ、Tr 9 トランジスタ、Tr 10 トランジスタ、  
 Tr 11 トランジスタ、Tr 12 トランジスタ、Tr 13 トランジスタ、  
 Tr 14 トランジスタ、Tr 15 トランジスタ、Tr 16 トランジスタ、Tr  
 17 トランジスタ、Tr 18 トランジスタ、V 0 電位、V 1 電位、V  
 A 電位、V s 電位、V r\_0 電位、V r\_1 電位、V S 1 電位、V  
 w\_0 電位、V w\_1 電位、V W L 電位、W B 信号線、W S 信号線  
 、W W 信号線、1 0 記憶装置、1 0 A 記憶装置、1 0 B 記憶装置、1 1  
 記憶装置、2 0 回路、2 1 回路、2 2 回路、2 3 D / A コンバータ  
 、2 4 A / D コンバータ、2 4 a A / D コンバータ、2 4 b A / D コンバー  
 タ、2 4 c A / D コンバータ、2 5 抵抗素子、2 6 コンパレータ、2 7 10  
 エンコーダ、3 0 選択回路、4 0 メモリセルアレイ、5 0 デコーダ、6 0  
 デコーダ、7 1 コンパレータ、7 3 D / A コンバータ、7 4 レジスタ、8  
 0 コンパレータ、8 1 ラッチ、8 2 AND 回路、8 3 カウンタ、1 0 0  
 容量素子、1 1 0 導電体、1 1 2 導電体、1 2 0 導電体、1 3 0 絶  
 縁体、1 5 0 絶縁体、2 0 0 トランジスタ、2 0 1 トランジスタ、2 1 4  
 絶縁体、2 1 6 絶縁体、2 1 8 導電体、2 2 0 絶縁体、2 2 2 絶縁体  
 、2 2 4 絶縁体、2 2 5 絶縁体、2 4 6 導電体、2 4 8 導電体、2 8 0  
 絶縁体、2 8 2 絶縁体、2 8 6 絶縁体、3 0 0 トランジスタ、3 1 0  
 導電体、3 1 0 a 導電体、3 1 0 b 導電体、3 1 1 基板、3 1 3 半導  
 体領域、3 1 4 a 低抵抗領域、3 1 4 b 低抵抗領域、3 1 5 絶縁体、3 1 6 20  
 導電体、3 2 0 絶縁体、3 2 2 絶縁体、3 2 4 絶縁体、3 2 6 絶縁  
 体、3 2 8 導電体、3 3 0 導電体、3 5 0 絶縁体、3 5 2 絶縁体、3 5  
 4 絶縁体、3 5 6 導電体、3 6 0 絶縁体、3 6 2 絶縁体、3 6 4 絶  
 縁体、3 6 6 導電体、3 7 0 絶縁体、3 7 2 絶縁体、3 7 4 絶縁体、3  
 7 6 導電体、3 8 0 絶縁体、3 8 2 絶縁体、3 8 4 絶縁体、3 8 6  
 導電体、4 0 4 導電体、4 0 4 a 導電体、4 0 4 b 導電体、4 0 5 導電  
 体、4 0 5 a 導電体、4 0 5 b 導電体、4 0 6 金属酸化物、4 0 6 a 金  
 属酸化物、4 0 6 b 金属酸化物、4 0 6 c 金属酸化物、4 1 2 絶縁体、4 1  
 3 絶縁体、4 1 8 絶縁体、4 1 9 絶縁体、4 2 0 絶縁体、4 2 6 a  
 領域、4 2 6 b 領域、4 2 6 c 領域、4 4 0 導電体、4 4 0 a 導電体、 30  
 4 4 0 b 導電体、4 5 0 a 導電体、4 5 0 b 導電体、4 5 1 a 導電体、  
 4 5 1 b 導電体、4 5 2 a 導電体、4 5 2 b 導電体、6 0 0 メモリセル  
 、6 0 1 トランジスタ、6 0 2 トランジスタ、6 0 3 容量素子、6 1 0  
 メモリセルアレイ、6 1 1 駆動回路、6 1 2 回路、6 1 3 駆動回路、6 1 5  
 トランジスタ、6 2 0 メモリセル、6 2 1 トランジスタ、6 2 2 トラン  
 ジスタ、6 2 3 容量素子、7 1 1 基板、7 1 2 回路領域、7 1 3 分離領  
 域、7 1 4 分離線、7 1 5 チップ、7 5 0 電子部品、7 5 2 プリント基  
 板、7 5 4 実装基板、7 5 5 リード、2 9 1 0 情報端末、2 9 1 1 筐体  
 、2 9 1 2 表示部、2 9 1 3 カメラ、2 9 1 4 スピーカ部、2 9 1 5 操  
 作スイッチ、2 9 1 6 外部接続部、2 9 1 7 マイク、2 9 2 0 ノート型パー 40  
 ソナルコンピュータ、2 9 2 1 筐体、2 9 2 2 表示部、2 9 2 3 キーボード  
 、2 9 2 4 ポインティングデバイス、2 9 4 0 ビデオカメラ、2 9 4 1 筐体  
 、2 9 4 2 筐体、2 9 4 3 表示部、2 9 4 4 操作スイッチ、2 9 4 5 レ  
 ンズ、2 9 4 6 接続部、2 9 5 0 情報端末、2 9 5 1 筐体、2 9 5 2 表  
 示部、2 9 6 0 情報端末、2 9 6 1 筐体、2 9 6 2 表示部、2 9 6 3 パ  
 ンド、2 9 6 4 バックル、2 9 6 5 操作スイッチ、2 9 6 6 入出力端子、2  
 9 6 7 アイコン、2 9 8 0 自動車、2 9 8 1 車体、2 9 8 2 車輪、2 9  
 8 3 ダッシュボード、2 9 8 4 ライト

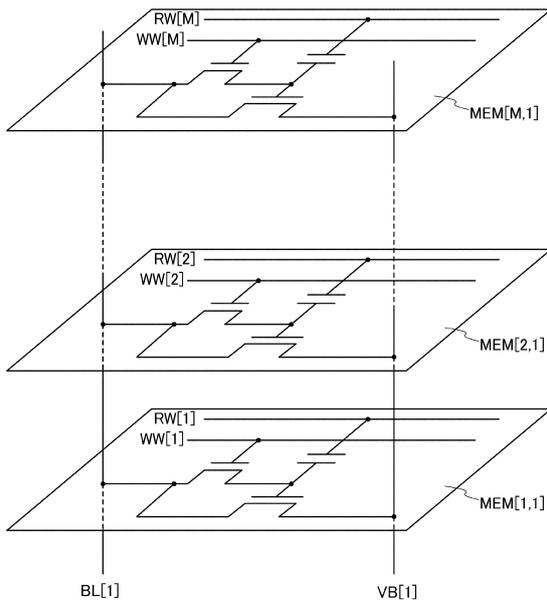
【 図 1 】



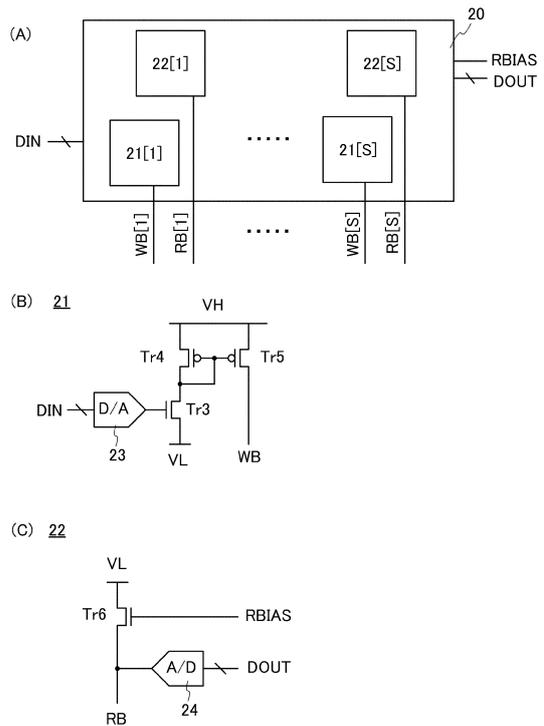
【 図 2 】



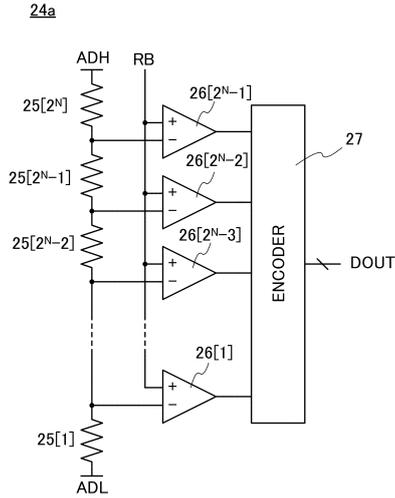
【 図 3 】



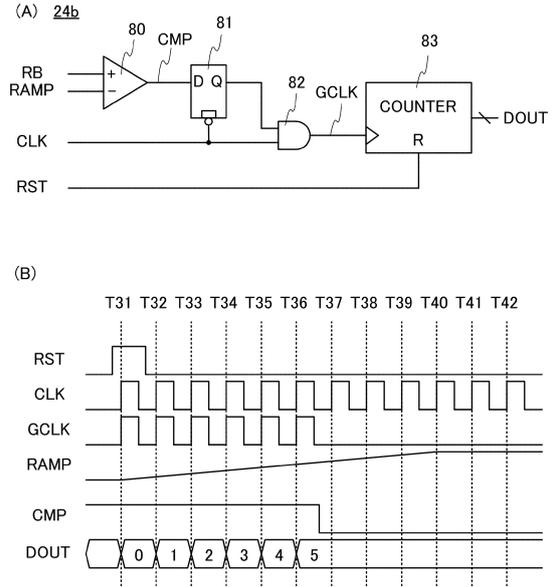
【 図 4 】



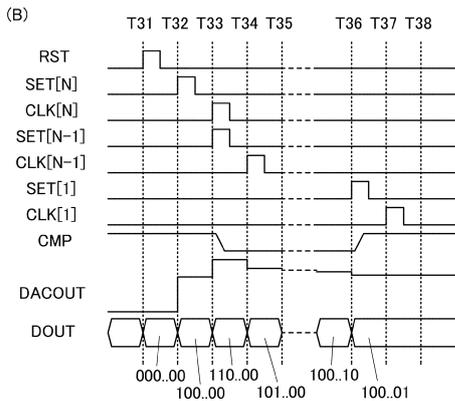
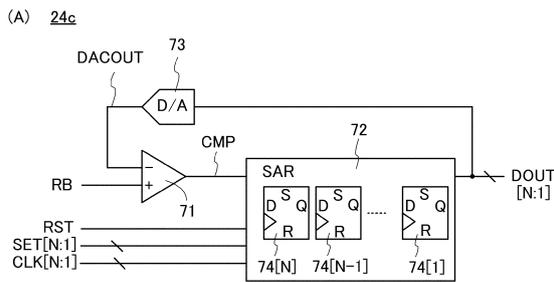
【 図 5 】



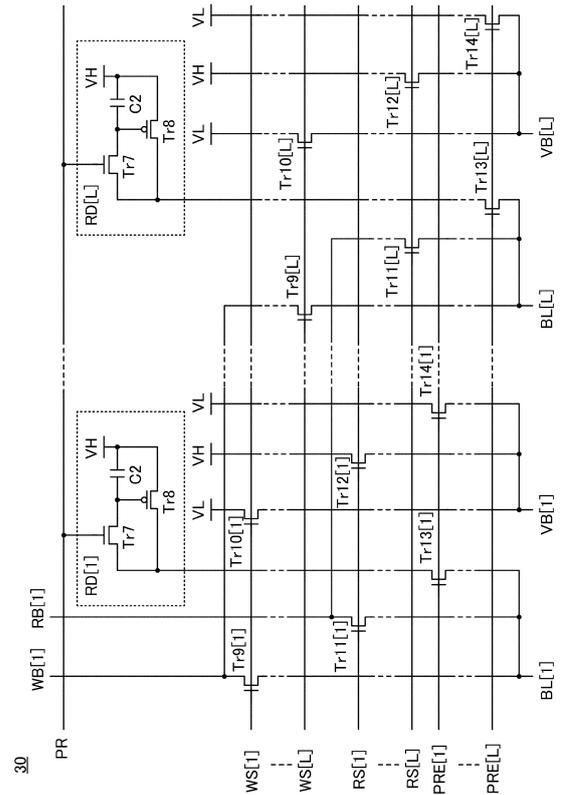
【 図 6 】



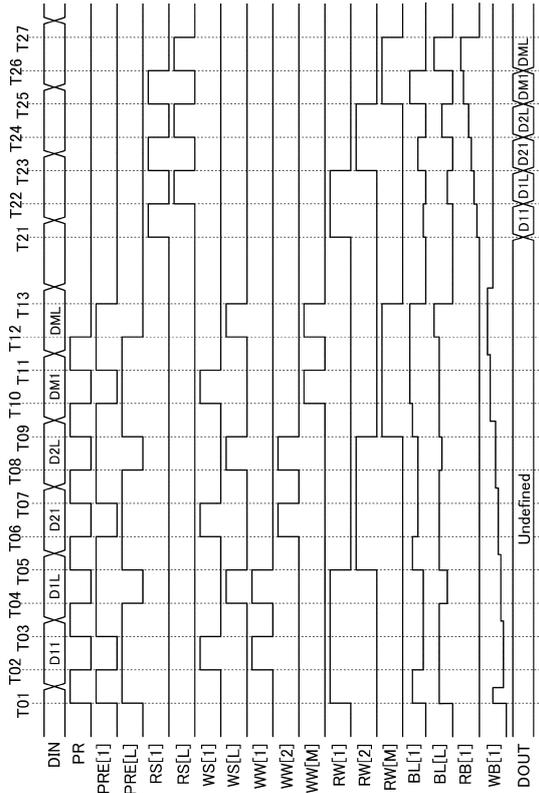
【 図 7 】



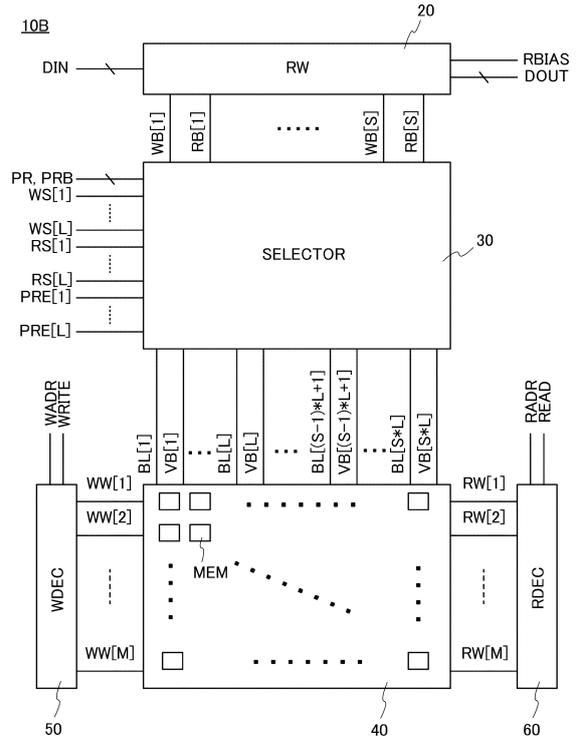
【 図 8 】



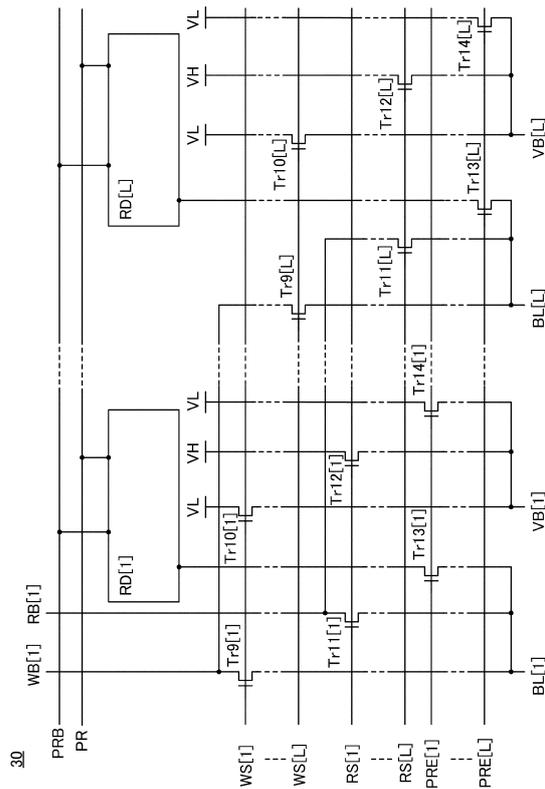
【 図 9 】



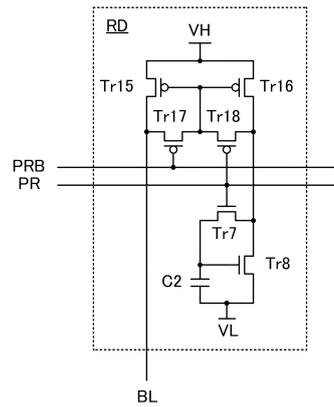
【 図 10 】



【 図 11 】

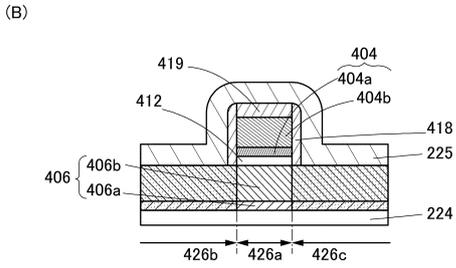
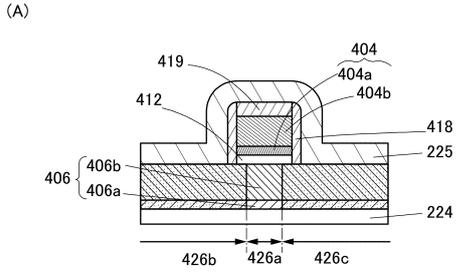


【 図 12 】

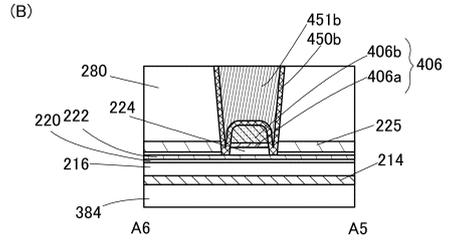
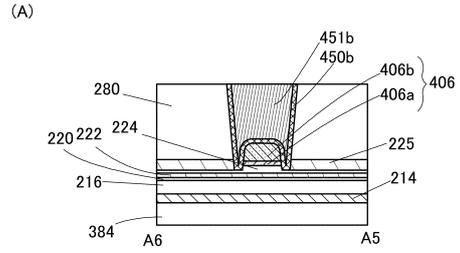




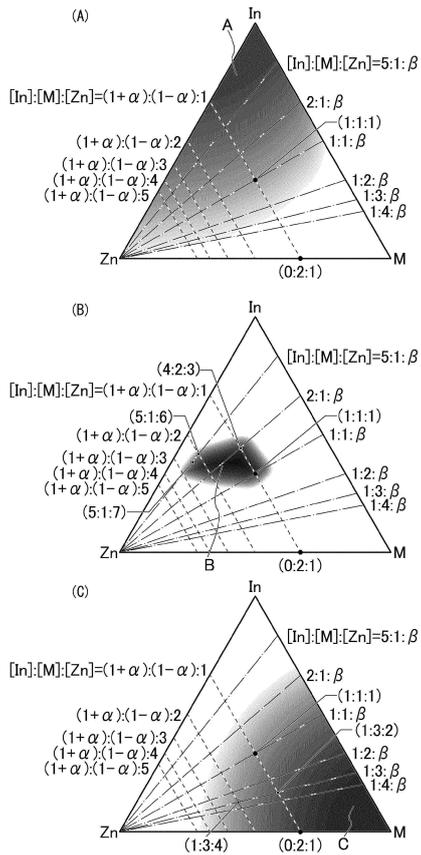
【 図 17 】



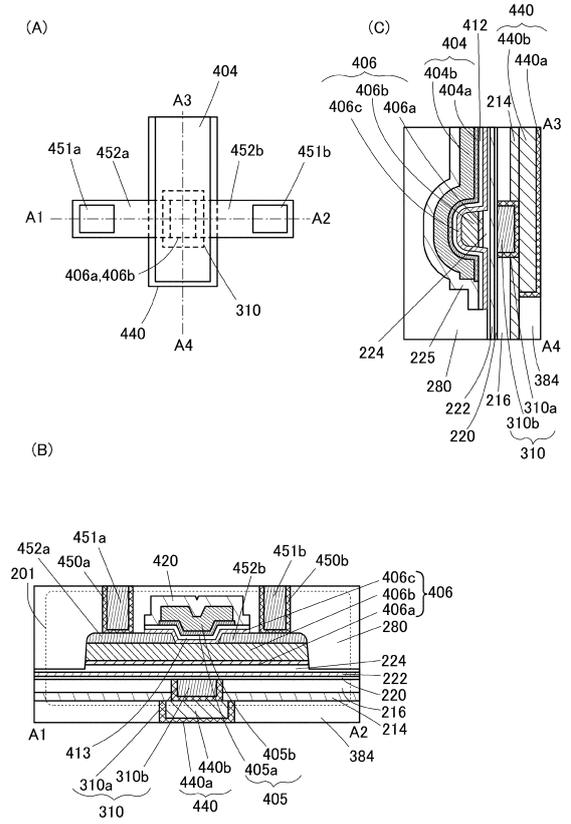
【 図 18 】



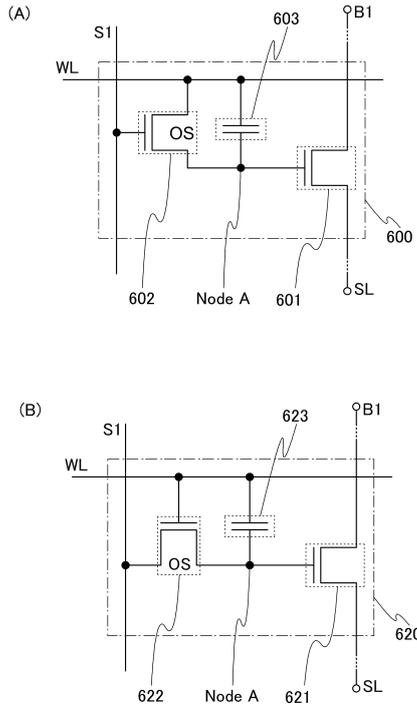
【 図 19 】



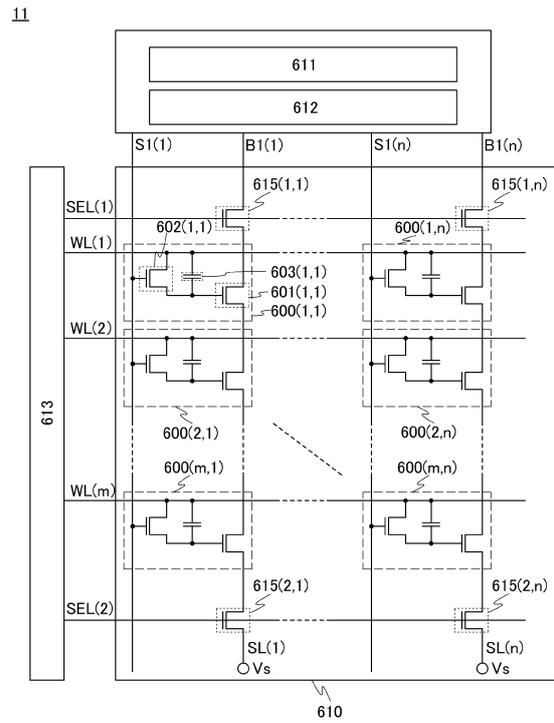
【 図 20 】



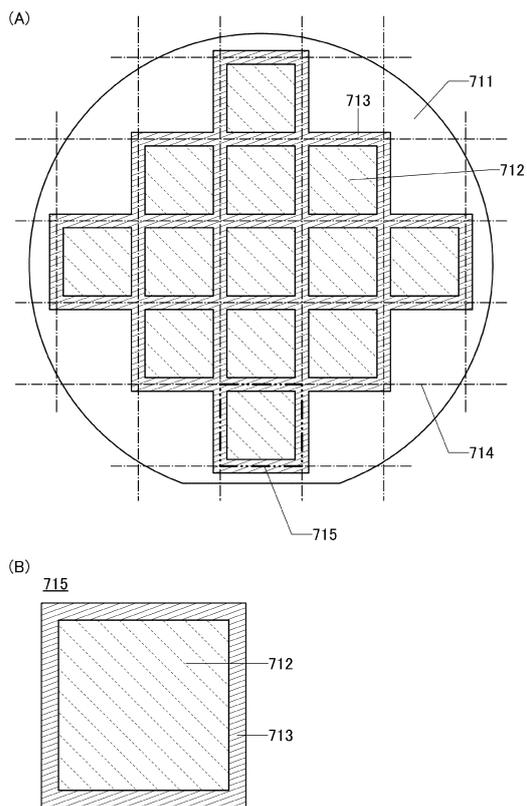
【図 2 1】



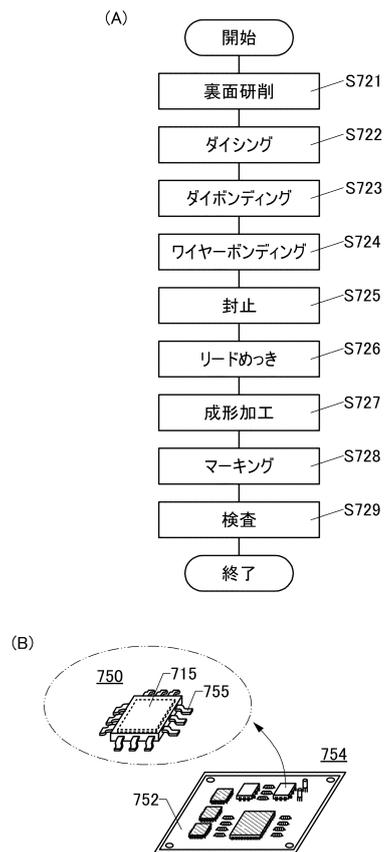
【図 2 2】



【図 2 3】

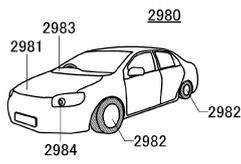


【図 2 4】

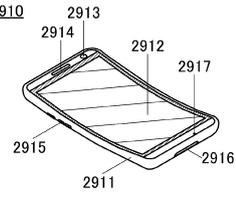


【 25 】

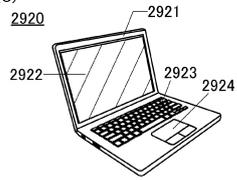
(A)



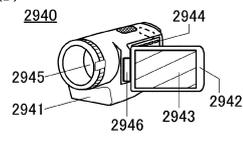
(B)



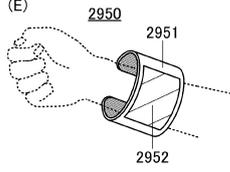
(C)



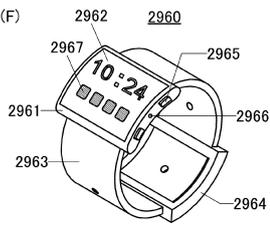
(D)



(E)



(F)



---

フロントページの続き

(51) Int.Cl. F I  
H 0 1 L 29/78 (2006.01) H 0 1 L 29/78 6 1 8 B

(31)優先権主張番号 特願2016-223896(P2016-223896)

(32)優先日 平成28年11月17日(2016.11.17)

(33)優先権主張国・地域又は機関  
日本国(JP)

(31)優先権主張番号 特願2016-242091(P2016-242091)

(32)優先日 平成28年12月14日(2016.12.14)

(33)優先権主張国・地域又は機関  
日本国(JP)

(58)調査した分野(Int.Cl. , D B名)

G 1 1 C 1 1 / 4 0 5

G 1 1 C 7 / 1 6

G 1 1 C 1 1 / 5 6

H 0 1 L 2 1 / 8 2 4 2

H 0 1 L 2 9 / 7 8 6