



(12)发明专利申请

(10)申请公布号 CN 111510657 A

(43)申请公布日 2020. 08. 07

(21)申请号 201911307936.8

G01S 7/04(2006.01)

(22)申请日 2019.12.18

(71)申请人 中国船舶重工集团公司第七〇九研究所

地址 430205 湖北省武汉市东湖新技术开发区凤凰产业园藏龙北路1号

(72)发明人 郭浩 万凯 童文滔 付念

(74)专利代理机构 武汉河山金堂专利事务所 (普通合伙) 42212

代理人 胡清堂

(51) Int. Cl.

H04N 5/92(2006.01)

H04N 5/907(2006.01)

H04N 5/268(2006.01)

G01S 7/06(2006.01)

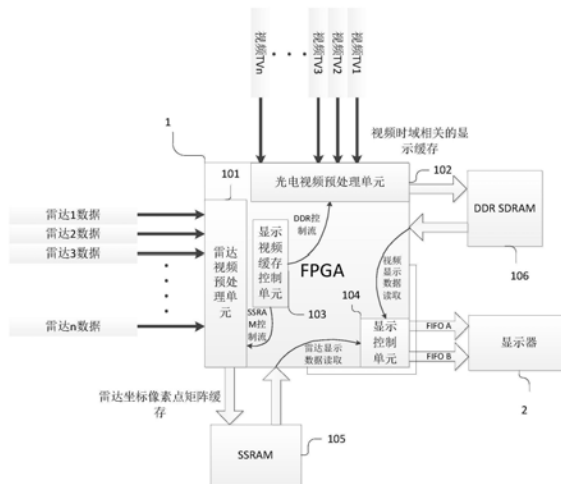
权利要求书3页 说明书8页 附图4页

(54)发明名称

基于FPGA的多路雷达、光电视频综合显示方法及系统

(57)摘要

本发明涉及雷达视频与光电视频显示技术领域,尤其涉及一种基于FPGA的多路雷达、光电视频综合显示方法及系统。所述方法包括获取全部需要显示的雷达视频数据、光电视频数据;对雷达视频数据、光电视频数据进行视频缓存前的预处理;控制预处理好的光电视频数据、雷达视频数据的读写过程;SSRAM和DDR SDRAM分别对雷达视频数据的像素点坐标系矩阵、光电视频数据像素点进行存储;完成雷达视频数据、光电视频数据按照视频窗口布局进行综合显示;所述系统包括数据预处理单元、视频缓存控制单元、异构存储器、显示控制单元和显示器;本发明实施例通过所述系统执行上述方法,采用一组SSRAM缓存多组雷达视频数据,一组DDR SDRAM缓存多路光电视频,提高了硬件显示缓存的利用率。



1. 一种基于FPGA的多路雷达、光电视频综合显示方法,其特征在于,包括以下步骤:

S1,获取全部需要显示的雷达视频数据、光电视频数据;所述雷达视频数据包括:雷达回波值、方位、主脉冲;所述光电视频数据为BT656或BT1120视频格式;

S2,根据具体显示参数对所述雷达视频数据、光电视频数据进行视频缓存前的预处理;具体包括:完成所述雷达视频数据回波处理及根据所述雷达视频数据方位信息仰角以及雷达视频数据在显示器上直角坐标的位置范围完成坐标系变换;根据所述光电视频数据开窗大小与视频源分辨率的比例关系完成缓存前的缩放处理;

S3,控制所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵的读过程与写过程;具体包括:

根据开窗信号时序与所述光电视频各自时序的时域关系,通过DDR控制流控制所述光电视频数据像素点的读过程与写过程;根据显示行、场时序与所述雷达视频数据各自时序的时域关系,通过SSRAM控制流控制所述雷达视频数据的像素点坐标系矩阵的读过程与写过程;

S4,对所述雷达视频数据的像素点坐标系矩阵、光电视频数据像素点分别存储到一组SSRAM和一组DDR SDRAM;

S5,完成所述雷达视频数据、光电视频数据按照视频窗口布局进行综合显示;具体包括:根据所述显示行、场时序与开窗信号时序,将所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵归一化输出至显示器显示。

2. 根据权利要求1所述的一种基于FPGA的多路雷达、光电视频综合显示方法,其特征在于,所述步骤S3中控制所述雷达视频数据的像素点坐标系矩阵的读过程与写过程具体包括:

S311,通过FIFO缓存接收需要显示的所述雷达视频数据的雷达回波进行处理;所述FIFO缓存的状态与所述雷达视频数据在显示行、场时序上的先后顺序线性相关;

S312,判断所述显示行、场信号跳变状态,触发读信号进入所述雷达视频数据的像素点坐标系矩阵的读过程;所述雷达视频数据的像素点坐标系矩阵的读过程结束随即触发写信号;

S313,判断所述FIFO缓存写入的计数状态,进入所述雷达视频数据的像素点坐标系矩阵的写过程;具体包括:所述计数状态不同,则按照所述显示行、场时序上优先的雷达视频数据的像素点坐标系矩阵开始写过程;所述计数状态相同,则按照P显→B显→E显的顺序开始所述雷达视频数据的像素点坐标系矩阵写过程;

S314,完成当前所述雷达视频数据的像素点坐标系矩阵的写过程;同时监听读信号,随时进入所述雷达视频数据的像素点坐标系矩阵读的读过程,并至读过程结束后继续当前写过程;

S315,重复S312至S314步骤,完成全部所述雷达视频数据的像素点坐标系矩阵的读过程与写过程。

3. 根据权利要求1所述的一种基于FPGA的多路雷达、光电视频综合显示方法,其特征在于,所述步骤S3中控制所述光电视频数据像素点的读过程与写过程具体包括:

S321,通过乒乓FIFO缓存接收需要开窗显示的所述光电视频数据进行处理;

S322,判断开窗信号时序跳变状态,触发读信号进入所述光电视频数据像素点的读过

程;无读信号或所述光电视频数据像素点的读过程结束,随即进入所述光电视频数据像素点的写过程判断;

S323,根据所述光电视频数据相互之间的显示行、场时序决定写触发的顺序,随即进入所述光电视频数据像素点写过程;

S324,完成当前所述光电视频数据像素点写过程;同时监听所述开窗信号时序跳变状态来触发读信号,随时进入所述光电视频数据像素点读过程,并至读过程结束后继续当前写过程;

S325,重复S322至S324步骤,完成全部所述光电视频数据像素点读过程与写过程。

4.根据权利要求1所述的一种基于FPGA的多路雷达、光电视频综合显示方法,其特征在于,所述步骤S5具体包括:当所述行、场时序有效时,按照显示行有效信号,将存储的全部所述雷达视频数据的像素点坐标系矩阵通过第一FIFO输出显示;当开窗信号时序有效时,将存储的全部所述光电视频数据像素点通过第二FIFO输出显示。

5.根据权利要求4所述的一种基于FPGA的多路雷达、光电视频综合显示方法,其特征在于,所述第一FIFO写入时钟为SSRAM器件的时钟SSRAMclk,第二FIFO写入时钟为DDR SDRAM器件的时钟DDRclk;所述第一FIFO和第二FIFO的读取时钟均为显示用的像素点时钟SCLK;用所述像素点时钟SCLK读取第二FIFO的所述光电视频数据像素点,叠加在相同所述显示行、场时序内第一FIFO中读取的所述雷达视频数据的像素点坐标系矩阵之上。

6.一种基于FPGA的多路雷达、光电视频综合显示系统,其特征在于,包括:

雷达视频预处理单元(101)和光电视频处理单元(102),分别获取全部需要显示雷达视频数据、光电视频数据;所述雷达视频数据包括:雷达回波值、方位、主脉冲;所述光电视频数据为BT656或BT1120视频格式;对所述雷达视频数据、光电视频数据具体显示参数进行视频缓存前的预处理;具体包括:所述雷达视频预处理单元(101),完成所述雷达视频数据回波处理及根据所述雷达视频数据方位信息仰角以及雷达视频数据在显示器上直角坐标的位置范围完成坐标系变换;所述光电视频处理单元(102),根据所述光电视频数据开窗大小与视频源分辨率的比例关系完成缓存前的缩放处理;

显示视频缓存控制单元(103),控制所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵的读过程与写过程;具体包括:根据开窗信号时序与所述光电视频各自时序的时域关系,通过DDR控制流控制所述光电视频数据像素点的读过程与写过程;根据显示行、场时序与所述雷达视频数据各自时序的时域关系,通过SSRAM控制流控制多路所述雷达视频数据的像素点坐标系矩阵的读过程与写过程;

SSRAM(105)和DDR SDRAM(106),组成异构存储器,分别对所述雷达视频数据的像素点坐标系矩阵、光电视频数据像素点进行存储;所述SSRAM(105)和DDR SDRAM(106)均为单组;

显示控制单元(104),完成所述雷达视频数据、光电视频数据按照视频窗口布局进行综合显示;具体包括:根据所述显示行、场时序与开窗信号时序,将多路所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵归一化输出至显示器(2)显示。

7.根据权利要求6所述的一种基于FPGA的多路雷达、光电视频综合显示系统,其特征在于,所述显示视频缓存控制单元,控制所述雷达视频数据的像素点坐标系矩阵的读过程与写过程具体包括:

通过FIFO缓存接收需要显示的所述雷达视频数据的雷达回波进行处理;所述FIFO缓存

的状态与所述雷达视频数据在显示行场时序上的先后顺序关系线性相关；

判断所述显示行、场信号跳变状态，触发读信号进入所述雷达视频数据的像素点坐标系矩阵的读过程；所述雷达视频数据的像素点坐标系矩阵的读过程结束，随即触发写信号；

判断所述FIFO缓存写入的计数状态，进入所述雷达视频数据的像素点坐标系矩阵的写过程；具体包括：所述计数状态不同，则按照所述显示行、场时序上优先满足所述计数状态的雷达视频数据的像素点坐标系矩阵开始写过程；所述计数状态相同，则按照P显→B显→E显的顺序开始所述雷达视频数据的像素点坐标系矩阵写过程；

完成当前所述雷达视频数据的像素点坐标系矩阵的写过程；同时监听读信号，随时进入所述雷达视频数据的像素点坐标系矩阵读的读过程，并至读过程结束后继续当前写过程；

重复上述步骤，完成全部所述雷达视频数据的像素点坐标系矩阵的读过程与写过程。

8. 根据权利要求6所述的一种基于FPGA的多路雷达、光电视频综合显示系统，其特征在于，所述显示视频缓存控制单元，控制所述光电视频数据像素点的读过程与写过程具体包括：

通过乒乓FIFO缓存接收需要开窗显示的多路所述光电视频数据进行处理；

判断开窗信号时序跳变状态，触发读信号进入所述光电视频数据像素点的读过程；无读信号或所述光电视频数据像素点的读过程结束，随即进入所述光电视频数据像素点的写过程判断；

根据所述光电视频数据相互之间的显示行、场时序决定写触发的顺序，随即进入所述光电视频数据像素点写过程；

完成当前所述光电视频数据像素点写过程；同时监听所述开窗信号时序跳变状态来触发读信号，随时进入所述光电视频数据像素点读过程，并至读过程结束后继续当前写过程；

重复上述步骤，完成全部所述光电视频数据像素点读过程与写过程。

9. 根据权利要求6所述的一种基于FPGA的多路雷达、光电视频综合显示系统，其特征在于，所述显示控制单元具体包括：当所述行、场时序有效时，按照显示行有效信号，将存储的全部所述雷达视频数据的像素点坐标系矩阵通过第一FIFO输出显示；当开窗信号时序有效时，将存储的全部所述光电视频数据像素点通过第二FIFO输出显示。

10. 根据权利要求9所述的一种基于FPGA的多路雷达、光电视频综合显示系统，其特征在于，所述第一FIFO写入时钟为SSRAM器件的时钟SSRAMclk，第二FIFO写入时钟为DDR器件的时钟DDRclk；所述第一FIFO和第二FIFO的读取时钟均为显示用的像素点时钟SCLK；用所述像素点时钟SCLK读取第二FIFO的所述光电视频数据像素点，叠加在相同所述显示行、场时序内第一FIFO中读取的所述雷达视频数据的像素点坐标系矩阵之上。

基于FPGA的多路雷达、光电视频综合显示方法及系统

技术领域

[0001] 本发明涉及雷达视频与光电视频显示技术领域,尤其涉及一种基于FPGA的多路雷达、光电视频综合显示方法及系统。

背景技术

[0002] 雷达是对海、对空等长距离目标探测的最有效的技术手段,雷达在探测到目标后形成可见的雷达视频,是获取探测信息的最直观有效的方式。随着计算机及信息技术的发展,通过光电传感器和雷达相结合,形成多元目标、环境综合视频信息,来互相弥补彼此在目标探测、监控等方面的不足。

[0003] 雷达视频综合显示终端的形式主要有以下两种。一种是利用FPGA、DSP、ASIC或者ARM等嵌入式硬件平台来实现的,其显示内存可以由多种类型的存储器件来充当;另一种是利用CPU+GPU计算平台通过软件编程来实现的,其显示内存主要有GPU显卡的内存来充当。目前由FPGA、DSP、ARM等硬件平台实现的显示终端,多采用SDRAM(同步动态随机存取内存)、SSRAM(同步静态随机存储器)、DDR SDRAM(双倍速率同步动态随机存储器)等存储器件来完成显示内存的功能,多路雷达与光电视频多采用多组存储器件完成缓存功能。

[0004] 现有技术的不足之处在于:

[0005] 1、第一种方式由多种类型的存储器件完成多路视频的缓存功能,多个硬件显示缓存的利用率低,同屏显示的雷达视频、光电视频路数越多,存储器件越多,则嵌入式硬件平台的体积、功耗越大,造成系统资源浪费;

[0006] 2、第二种方式显示内存主要由GPU显卡的内存完成缓存功能,依托操作系统、GPU显卡驱动需适配不同的操作系统、占用系统资源、影响系统性能、可移植性差,功耗高。

发明内容

[0007] 本发明提供一种基于FPGA的多路雷达、光电视频综合显示方法及系统,保证多路多坐标模式雷达视频与多路光电视频的综合显示输出情况下,进一步提高了硬件显示缓存的利用率,减少系统功耗,提高系统性能。

[0008] 一方面,本发明实施例提供一种基于FPGA的多路雷达、光电视频综合显示方法,包括以下步骤:

[0009] S1,获取全部需要显示的雷达视频数据、光电视频数据;所述雷达视频数据包括:雷达回波值、方位、主脉冲;所述光电视频数据为BT656或BT1120视频格式;

[0010] S2,根据具体显示参数对所述雷达视频数据、光电视频数据进行视频缓存前的预处理;具体包括:完成所述雷达视频数据回波处理及根据所述雷达视频数据方位信息仰角以及雷达视频数据在显示器上直角坐标的位置范围完成坐标系变换;根据所述光电视频数据开窗大小与视频源分辨率的比例关系完成缓存前的缩放处理;

[0011] S3,控制所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵的读过程与写过程;具体包括:

[0012] 根据开窗信号时序与所述光电视频各自时序的时域关系,通过DDR控制流控制所述光电视频数据像素点的读过程与写过程;根据显示行、场时序与所述雷达视频数据各自时序的时域关系,通过SSRAM控制流控制所述雷达视频数据的像素点坐标系矩阵的读过程与写过程;

[0013] S4,对所述雷达视频数据的像素点坐标系矩阵、光电视频数据像素点分别存储到一组SSRAM和一组DDR SDRAM;

[0014] S5,完成所述雷达视频数据、光电视频数据按照视频窗口布局进行综合显示;具体包括:根据所述显示行、场时序与开窗信号时序,将多路所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵归一化输出至显示器显示。

[0015] 另一方面,本发明实施例提供一种基于FPGA的多路雷达、光电视频综合显示系统,包括:

[0016] 雷达视频预处理单元和光电视频处理单元,分别获取全部需要显示的雷达视频数据、光电视频数据;所述雷达视频数据包括:雷达回波值、方位、主脉冲;所述光电视频数据为BT656或BT1120视频格式;根据具体显示参数对多路所述雷达视频数据、光电视频数据进行视频缓存前的预处理;具体包括:所述雷达视频预处理单元,完成所述雷达视频数据回波处理及根据所述雷达视频数据方位信息仰角以及雷达视频数据在显示器上直角坐标的位置范围完成坐标系变换;所述光电视频处理单元,根据所述光电视频数据开窗大小与视频源分辨率的比例关系完成缓存前的缩放处理;

[0017] 显示视频缓存控制单元,控制所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵的读过程与写过程;具体包括:根据开窗信号时序与所述光电视频各自时序的时域关系,通过DDR控制流控制多路所述光电视频数据像素点的读过程与写过程;根据显示行、场时序与所述雷达视频数据各自时序的时域关系,通过SSRAM控制流控制多路所述雷达视频数据的像素点坐标系矩阵的读过程与写过程;

[0018] SSRAM和DDR SDRAM,组成异构存储器,分别对多路所述雷达视频数据的像素点坐标系矩阵、光电视频数据像素点进行存储;所述SSRAM和DDR SDRAM均为单组;

[0019] 显示控制单元,完成所述雷达视频数据、光电视频数据按照视频窗口布局进行综合显示;具体包括:根据所述显示行、场时序与开窗信号时序,将所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵归一化输出至显示器显示。

[0020] 本发明实施例提供一种基于FPGA的多路雷达、光电视频综合显示方法及系统,控制单组SSRAM缓存多组雷达视频数据和单组DDR SDRAM缓存多路光电视频,分别控制缓存数据读取和写入,并完成多路多坐标模式雷达视频与多路光电视频的归一化显示输出,可提高硬件显示缓存的利用率,节约系统资源;减少系统功耗,提高系统性能。

附图说明

[0021] 为了更清楚地说明本发明的技术方案,下面将对本发明技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0022] 图1为本发明实施例一种基于FPGA的多路雷达、光电视频综合显示方法流程示意

图；

- [0023] 图2为本发明实施例DDR SDRAM缓存和SSRAM缓存控制方法流程示意图；
- [0024] 图3为本发明实施DDR SDRAM缓存和SSRAM缓存控制方法中时序相关状态图；
- [0025] 图4为本发明实施多路雷达、光电视频综合显示方案图；
- [0026] 图5为本发明实施一种基于FPGA的多路雷达、光电视频综合显示系统结构示意图；
- [0027] 附图标记：
- [0028] FPGA-1 雷达视频预处理单元-101 光电视频预处理单元-102
- [0029] 显示视频缓存控制单元 显示控制单元-104 SSRAM-105
- [0030] DDR SDRAM-106 显示器-2。

具体实施方式

[0031] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0032] 图1为本发明实施例一种基于FPGA的多路雷达、光电视频综合显示方法流程示意图；包括以下步骤：

[0033] S1,获取全部需要显示的雷达视频数据、光电视频数据；所述雷达视频数据包括：雷达回波值、方位、主脉冲；所述光电视频数据为BT656或BT1120视频格式；

[0034] S2,对所述雷达视频数据、光电视频数据具体显示参数进行视频缓存前的预处理；具体包括：完成所述雷达视频数据回波处理及根据所述雷达视频数据方位信息仰角以及雷达视频数据在显示器上直角坐标的位置范围完成坐标系变换；根据所述光电视频数据开窗大小与视频源分辨率的比例关系完成缓存前的缩放处理；

[0035] S3,控制所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵的读过程与写过程；具体包括：

[0036] 根据开窗信号时序与所述光电视频各自时序的时域关系，通过DDR控制流控制所述光电视频数据像素点的读过程与写过程；根据显示行、场时序与所述雷达视频数据各自时序的时域关系，通过SSRAM控制流控制多路所述雷达视频数据的像素点坐标系矩阵的读过程与写过程；

[0037] S4,对所述雷达视频数据的像素点坐标系矩阵、光电视频数据像素点分别存储到一组SSRAM和一组DDR SDRAM；

[0038] S5,完成所述雷达视频数据、光电视频数据按照视频窗口布局进行综合显示；具体包括：根据所述显示行、场时序与开窗信号时序，将所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵归一化输出至显示器显示。

[0039] 具体地，同步获取显示的雷达视频数据，如雷达1数据、雷达2数据、雷达3数据……雷达n数据多路雷达视频数据和视频TV1、视频TV2、视频TV3……视频TVn多路光电视频数据；光电视频数据是由前端光电传感器获取的视频数据；选择需要显示的某几路雷达视频数据和某几路光电视频数据，根据显示器视频TV开窗位置、窗口大小以及雷达视频显示坐标模式、显示区域等具体显示参数进行视频缓存前的信号处理；完成雷达数据回波处理及

根据雷达视频显示的坐标模式完成坐标转换;根据光电视频开窗大小与视频源分辨率的比例关系完成缓存前的缩放处理;根据显示器视频TV的开窗显示信号时序与多路光电视频各自时序的时域关系,通过DDR控制流控制多路光电视频像素点的读过程与写过程;根据显示行、场时序与所述雷达视频数据各自时序的时域关系,通过SSRAM控制流控制多路所述雷达视频数据的像素点坐标系矩阵的读过程与写过程;将多路所述雷达视频数据的像素点坐标系矩阵和多路光电视频像素点分别存储在一组SSRAM缓存和一组DDR SDRAM缓存中;根据显示行、场时序与开窗信号时序,将多路所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵归一化输出至显示器显示;显示行、场时序为全局控制时序,视频开窗信号时序、多路多源视频数据自身的时序关系为局部控制时序;视频开窗信号时序控制光电视频数据像素点读取,按照视频TV开窗大小的行数和列数读取视频数据;全局时序控制雷达视频数据的像素点坐标系矩阵读取,按照显示分辨率的行和列读取数据,并结合视频开窗信号时序做归一化显示处理;同时局部时序在全局时序的条件下进行多路多源视频的异构存储器缓存控制。需要说明的是SSRAM内存存储的雷达视频数据的像素点坐标系矩阵具有按照雷达坐标系矩阵与显示像素点一一对应的关系;根据包含在显示行、场时域内的电视TV开窗信号时序局部读取DDR SDRAM内的光电视频像素点。

[0040] 本发明实施例提供一种基于FPGA的多路雷达、光电视频综合显示方法,控制单组SSRAM缓存多组雷达视频数据和单组DDR SDRAM缓存多路光电视频,分别控制缓存数据读取和写入,并完成多路多坐标模式雷达视频与多路光电视频的归一化显示输出,大大提高了硬件显示缓存的利用率,节约系统资源。

[0041] 进一步地,图2为本发明实施例DDR SDRAM缓存和SSRAM缓存控制方法流程示意图;图3为本发明实施例DDR SDRAM缓存和SSRAM缓存控制方法中时序相关状态图;如图2、图3所示,所述步骤S3中控制所述雷达视频数据的像素点坐标系矩阵的读过程与写过程具体包括:

[0042] S311,通过FIFO缓存接收需要显示的所述雷达视频数据的雷达回波进行处理;所述FIFO缓存的状态与所述雷达视频数据在显示行场时序上的先后顺序关系线性相关;

[0043] S312,判断所述显示行、场信号跳变状态,触发读信号进入所述雷达视频数据的像素点坐标系矩阵的读过程;所述雷达视频数据的像素点坐标系矩阵的读过程结束随即触发写信号;

[0044] S313,判断所述FIFO缓存写入的计数状态,进入所述雷达视频数据的像素点坐标系矩阵的写过程;具体包括:所述计数状态不同,则按照所述显示行、场时序上优先满足所述计数状态的雷达视频数据的像素点坐标系矩阵开始写过程;所述计数状态相同,则按照P显->B显->E显的顺序开始所述雷达视频数据的像素点坐标系矩阵写过程;

[0045] S314,完成当前所述雷达视频数据的像素点坐标系矩阵的写过程;同时监听读信号,随时进入所述雷达视频数据的像素点坐标系矩阵读的读过程,并至读过程结束后继续当前写过程;

[0046] S315,重复S312至S314步骤,完成全部所述雷达视频数据的像素点坐标系矩阵的读过程与写过程。

[0047] 具体地,步骤S311,依据综合视频显示输出优先级高的原则,由显示行、场时序跳变状态触发SSRAM缓存数据读信号,保证在显示行、场时序数据有效期间输出雷达视频数据

的像素点坐标系矩阵。判断显示行、场时序,若满足触发要求为Y,执行“读触发”步骤随即进入“读过程”,执行步骤S312,判断为N则执行步骤S313。

[0048] 步骤S312,根据显示行、场时序从SSRAM中按照行、列地址数值 $addr_r$ 和 $addr_c$ 读取数据:在SSRAM写时钟SSRAMclk下 $addr_c$ 递加($addr_c \leq addr_c + 1$)、 $addr_c$ 累计到显示分辨率列地址最大值Hmax时,行地址递加1($addr_r \leq addr_r + 1$),照此顺序逐列、逐行读取SSRAM缓存内的雷达视频数据的像素点坐标系矩阵。当 $addr_c = Hmax$ 时 $addr_c$ 归零 $addr_c = 0$ 或者显示行、场时序跳变来临时 $addr_r$ 和 $addr_c$ 同时归零 $addr_r = 0$ 、 $addr_c = 0$,并判断“读结束”为Y,执行“写触发”过程,否则,判断“读结束”为N,继续执行步骤S312;“读过程”时序上与SSRAM器件在其时钟频率CLKssram下读取完一行像素的时间一致,“读过程”结束后,随即触发SSRAM写信号,执行步骤S313。

[0049] 步骤S313,根据FIFO写入数据的计数状态,选择显示行、场时序先后顺序优先的雷达数据开始“写过程”,若FIFO写入计数状态相同,则按按P显→B显→E显的顺序开始“写过程”。

[0050] 步骤S314,完成当前雷达视频数据的像素点坐标系矩阵的“写过程”;同时监听读信号;监听判断显示行、场时序,若满足触发要求为Y,执行“读触发”步骤随即进入“读过程”;“读过程”结束后继续完成当前雷达视频数据的像素点坐标系矩阵的“写过程”;判断为N则转至步骤S315。

[0051] 步骤S315,重复S312至S314步骤,完成全部所述雷达视频数据的像素点坐标系矩阵的读过程与写过程;写入SSRAM的雷达视频数据是经过极坐标到显示直角转换后的数据,是根据当前雷达视频显示的坐标模式进行坐标转换完成的;并根据雷达显示区域形成写入SSRAM的地址,若P显中心点坐标为 (X_p, Y_p) ,雷达半径为 R_p ,则坐标矩阵是行列值限定在 $(X_p - R_p, Y_p - R_p)$ 至 $(X_p + R_p, Y_p + R_p)$ 内得圆形区域,若B显的中心点坐标为 (X_b, Y_b) ,显示范围为 $B_x * B_y$ 大小的区域,则其坐标矩阵是行列值限定在 $(X_b - B_x/2, Y_b - B_y/2)$ 至 $(X_b + B_x/2, Y_b + B_y/2)$ 的矩形区域,若E显的中心点坐标为 (X_e, Y_e) ,显示范围为 $E_x * E_y$ 大小的区域,则其坐标矩阵是行列值限定在 $(X_e - E_x/2, Y_e - E_y/2)$ 至 $(X_e + E_x/2, Y_e + E_y/2)$ 的矩形区域。如该主脉冲下所有雷达视频数据像素点数据为N,则每缓存一个点缓存计数SSRAMcount加1,SSRAMcount \leq SSRAMcount+1,SSRAMcount $=$ N时,判断当前“写过程”结束为Y则跳转执行步骤S311,若判断当前“写过程”为N,则跳转执行步骤S314。

[0052] 所述步骤S3中控制所述光视频数据像素点的读过程与写过程具体包括:

[0053] S321,通过乒乓FIFO缓存接收需要开窗显示的多路所述光视频数据进行处理;

[0054] S322,判断开窗信号时序跳变状态,触发读信号进入所述光视频数据像素点的读过程;无读信号或所述光视频数据像素点的读过程结束,随即进入所述光视频数据像素点的写过程判断;

[0055] S323,根据所述光视频数据相互之间的显示行、场时序决定写触发的顺序,随即进入所述光视频数据像素点写过程;

[0056] S324,完成当前所述光视频数据像素点写过程;同时监听所述开窗信号时序跳变状态来触发读信号,随时进入所述光视频数据像素点读过程,并至读过程结束后继续当前写过程;

[0057] S325,重复S322至S324步骤,完成全部所述光视频数据像素点读过程与写过程。

[0058] 具体地,步骤S321依据综合视频显示输出优先级高的原则,由视频TV开窗信号时序跳变状态触发DDR SDRAM缓存数据读信号,保证在显示行、场时序有效期间,视频TV窗口内光电视频的正常输出显示;显示行、场时序满足触发要求判断为Y,则产生“读触发”执行步骤S322,若判断为N则执行步骤S323。

[0059] 步骤S322,进入“读过程”,若开窗大小为 $X_{tv} * Y_{tv}$,从TV窗口的开窗时序的跳变沿开始,从DDR SDRAM缓存中读取相应TV窗口视频数据,读出的数据计数 $TV_count \leq TV_count + 8$;当 $TV_count = X_{tv}$ 时,判断“读结束”为Y,跳转至“写触发”过程,执行步骤S323;若“读过程”结束,判断为N则继续执行步骤S322;“读过程”时序上与DDR SDRAM器件在其时钟频率 CLK_{ddr} 下读取完一行开窗视频像素的时间 $Read_en$ 一致,若读信号或“读过程”结束后随即进入“写过程”判断状态。

[0060] 步骤S323,根据光电视频数据的显示行、场时序先后,顺序优先的光电视频数据进入“写过程”;若光电视频数据显示行、场时序同步,则按照开窗信号在行场中的时序关系进行数据的“写过程”。

[0061] 步骤S324,“写过程”执行的同时,监听所述开窗信号时序跳变状态来触发读信号;若有显示行、场时序跳变信号,判断为Y,则产生“读触发”执行“读过程”步骤S322;若判断为N,则继续完成当前所述光电视频数据像素点“写过程”至,跳转至步骤S325。

[0062] 步骤S325,重复步骤S321至S324,完成全部所述光电视频数据像素点读过程与写过程;将光电视频数据像素点,根据缩放后的显示行、场时序写入DDR SDRAM中;具体地,根据开窗大小,在DDR SDRAM中开辟大小为 $X_{tv} * Y_{tv}$ 的缓存范围,当显示行、场时序跳变来临时,行地址 $DDR_{tvaddrY}$ 以每次加1的速度开始递加 $DDR_{tvaddrY} \leq DDR_{tvaddrY} + 1$,同时在接下来的显示行、场时序有效期间,列地址 $DDR_{tvaddrX}$ 按照DDR SDRAM写时钟 DDR_{clk} 的时钟频率开始递加 $DDR_{tvaddrX} \leq DDR_{tvaddrX} + 8$;当显示行、场时序跳变来临时, $DDR_{tvaddrX}$ 数值和 $DDR_{tvaddrY}$ 数值同时归零 $DDR_{tvaddrX} = 0$, $DDR_{tvaddrY} = 0$ 或当 $DDR_{tvaddrX} = X_{tv}$ 时, $DDR_{tvaddrX}$ 数值归零 $DDR_{tvaddrX} = 0$,并判断当前行“写过程”结束为Y,跳转至步骤S321;若当前行“写过程”判断为N,则跳转至步骤S322。

[0063] 进一步地,所述步骤S5具体包括:当所述行、场时序有效时,按照显示行有效信号,将存储的全部所述雷达视频数据的像素点坐标系矩阵通过第一FIFO输出显示;当开窗信号时序有效时,将存储的全部所述光电视频数据像素点通过第二FIFO输出显示。在本发明实施例中第一FIFO为FIFO A,第二FIFO为FIFO B;FIFO A与FIFO B的作用为处理跨时钟域信号;

[0064] 进一步地,所述第一FIFO写入时钟为SSRAM器件的时钟 $SSRAM_{clk}$,第二FIFO写入时钟为DDR器件的时钟 DDR_{clk} ;所述第一FIFO和第二FIFO的读取时钟均为显示用的像素点时钟SCLK;用所述像素点时钟SCLK读取第二FIFO的所述光电视频数据像素点,叠加在相同所述显示行、场时序内第一FIFO中读取的所述雷达视频数据的像素点坐标系矩阵之上。结合图3,在显示行HBLANK与场VBLANK时序下按照像素点时钟SCLK对FIFO A进行数据读取,进行雷达视频数据的显示;视频开窗信号时序包含在HBLANK与VBLANK时序内,当视频开窗信号时序有效期间,用SCLK读取FIFO B的数据,叠加在相同时序内FIFO A中读取的视频数据之上,实现多路雷达视频数据和多路光电视频数据的综合输出显示;图4为本发明实施多路雷达、光电视频综合显示方案图;如图4所示形成的显示效果。

[0065] 本发明实施例提供一种基于FPGA的多路雷达、光电视频综合显示方法,控制单组SSRAM缓存多组雷达视频数据和单组DDR SDRAM缓存多路光电视频,分别控制缓存数据读取和写入,并完成多路多坐标模式雷达视频与多路光电视频的归一化显示输出,大大提高了硬件显示缓存的利用率,节约系统资源;减少系统功耗,提高系统性能。

[0066] 基于上述实施例,图5为本发明实施一种基于FPGA的多路雷达、光电视频综合显示系统结构示意图;包括:

[0067] 雷达视频预处理单元101和光电视频处理单元102,分别获取全部需要显示的雷达视频数据、光电视频数据;所述雷达视频数据包括:雷达回波值、方位、主脉冲;所述光电视频数据为BT656或BT1120视频格式;对所述雷达视频数据、光电视频数据具体显示参数进行视频缓存前的预处理;具体包括:所述雷达视频预处理单元101,完成所述雷达视频数据回波处理及根据所述雷达视频数据方位信息仰角以及雷达视频数据在显示器上直角坐标的位置范围完成坐标系变换;所述光电视频处理单元102,根据所述光电视频数据开窗大小与视频源分辨率的比例关系完成缓存前的缩放处理;

[0068] 显示视频缓存控制单元103,控制所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵的读过程与写过程;具体包括:根据开窗信号时序与所述光电视频各自时序的时域关系,通过DDR控制流控制所述光电视频数据像素点的读过程与写过程;根据显示行、场时序与所述雷达视频数据各自时序的时域关系,通过SSRAM控制流控制所述雷达视频数据的像素点坐标系矩阵的读过程与写过程;

[0069] SSRAM105和DDR SDRAM106,组成异构存储器,分别对多路所述雷达视频数据的像素点坐标系矩阵、光电视频数据像素点进行存储;所述SSRAM105和DDR SDRAM106均为单组;

[0070] 显示控制单元104,完成所述雷达视频数据、光电视频数据按照视频窗口布局进行综合显示;具体包括:根据所述显示行、场时序与开窗信号时序,将多路所述光电视频数据像素点、雷达视频数据的像素点坐标系矩阵归一化输出至显示器2显示。

[0071] 多路雷达视频数据、光电视频数据发送到FPGA1内部,FPGA1内部有多个功能模块,包括雷达视频预处理单元101和光电视频处理单元102完成对多路雷达视频数据、光电视频数据的预处理,显示视频缓存控制单元103分别通过SSRAM控制流和DDR控制流控制读取SSRAM105和DDR SDRAM106缓存区内的雷达视频数据的像素点坐标系矩阵和光电视频数据像素点并写入由一组SSRAM105和一组DDR SDRAM106组成的异构存储器进行存储;显示控制单元104,分别读取SSRAM105和DDR SDRAM106内存数据,对其进行归一化处理后发送至显示器2进行显示。

[0072] 本发明实施例提供一种基于FPGA的多路雷达、光电视频综合显示系统执行上述方法,控制单组SSRAM缓存多组雷达视频数据和单组DDR SDRAM缓存多路光电视频,分别控制缓存数据读取和写入,并完成多路多坐标模式雷达视频与多路光电视频的归一化显示输出,大大提高了硬件显示缓存的利用率,节约系统资源;减少系统功耗,提高系统性能。

[0073] 以上所描述的装置实施例仅仅是示意性的,其中所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部模块来实现本实施例方案的目的。本领域普通技术人员在不付出创造性的劳动的情况下,即可以理解并实施。

[0074] 通过以上的实施方式的描述,本领域的技术人员可以清楚地了解到各实施方式可借助软件加必需的通用硬件平台的方式来实现,当然也可以通过硬件。基于这样的理解,上述技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品可以存储在计算机可读存储介质中,如ROM/RAM、磁碟、光盘等,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行各个实施例或者实施例的某些部分所述的方法。

[0075] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

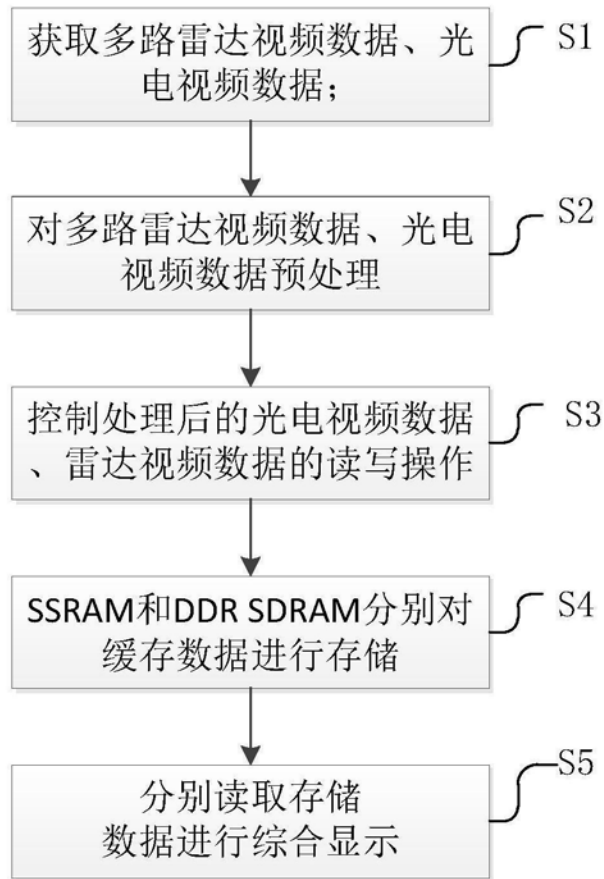


图1

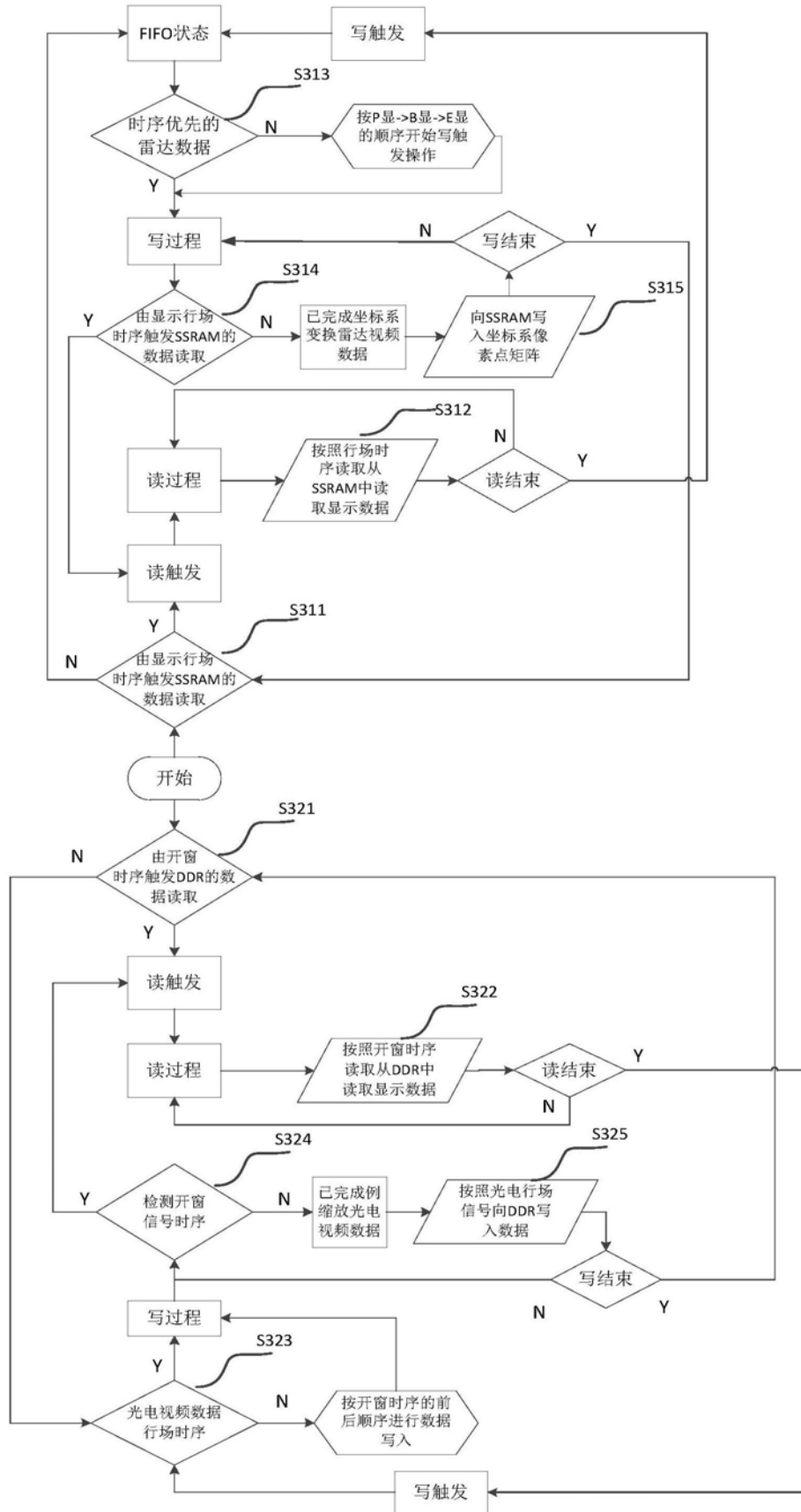


图2

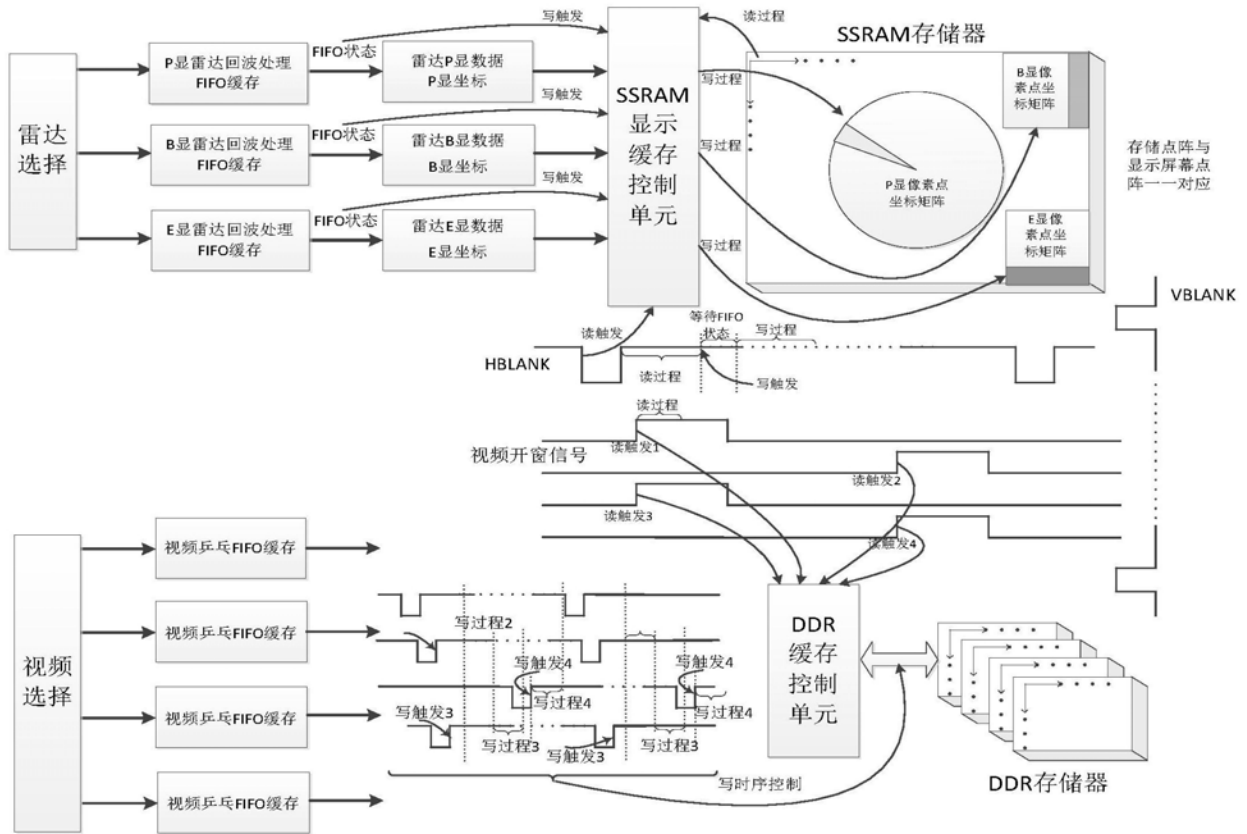


图3

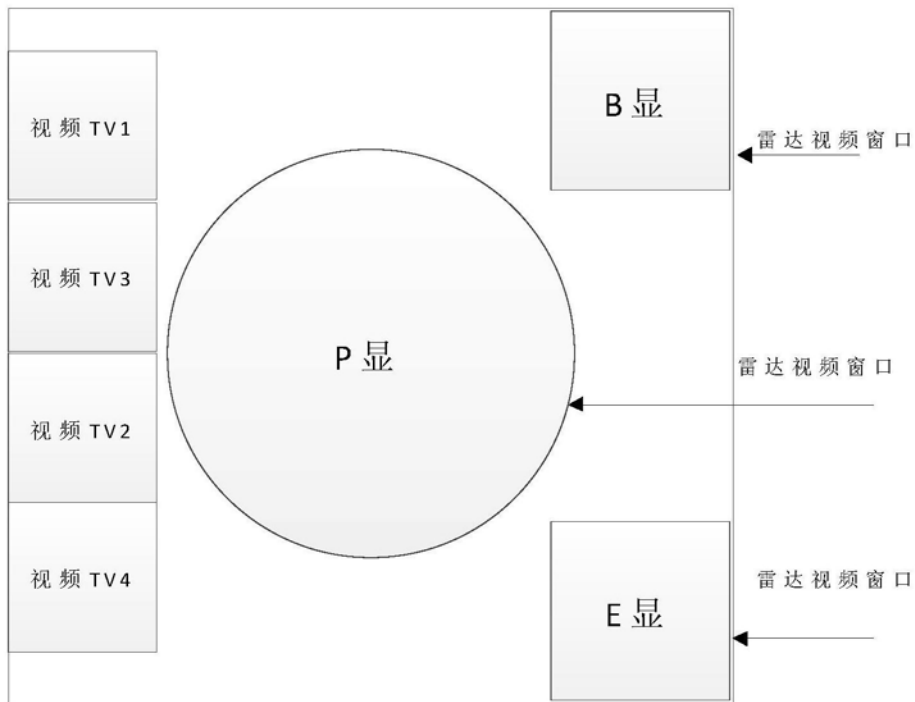


图4

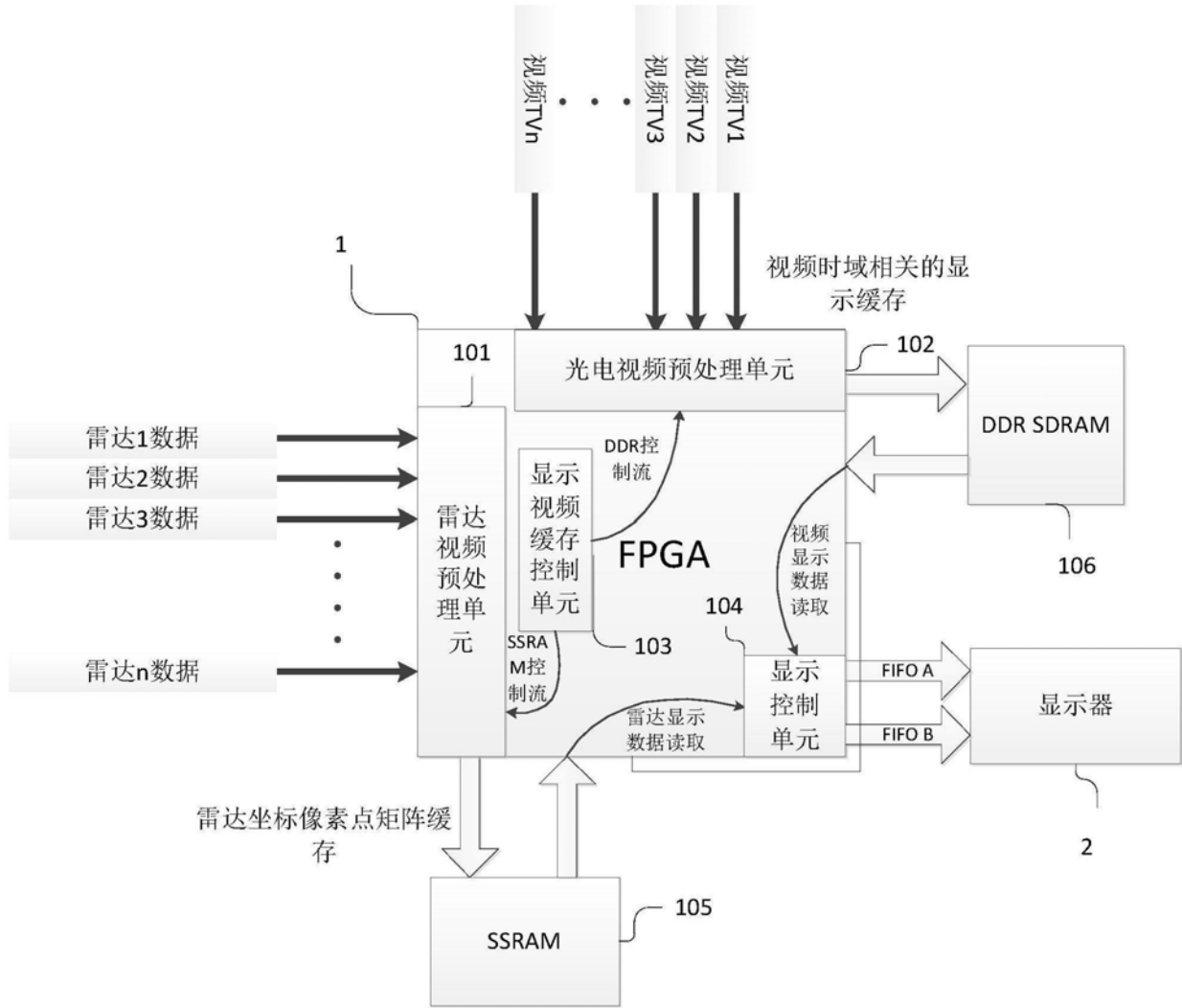


图5