



# (12)发明专利申请

(10)申请公布号 CN 107564877 A

(43)申请公布日 2018.01.09

(21)申请号 201610504287.0

(22)申请日 2016.06.30

(71)申请人 华邦电子股份有限公司

地址 中国台湾台中市大雅区科雅一路8号

(72)发明人 陈育民

(74)专利代理机构 北京同立钧成知识产权代理

有限公司 11205

代理人 马雯雯 臧建明

(51) Int. Cl.

H01L 23/488(2006.01)

H01L 23/498(2006.01)

H01L 21/48(2006.01)

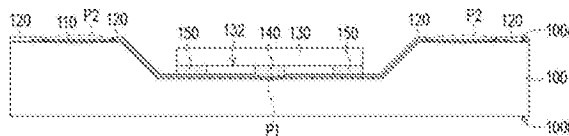
权利要求书2页 说明书8页 附图10页

## (54)发明名称

半导体元件封装体及半导体元件封装制程

## (57)摘要

本发明涉及一种半导体元件封装体及半导体元件封装制程,包括下列步骤。首先,以三维列印方式在具有一凹槽的一载板上形成一图案化导电层以及覆盖图案化导电层的一防焊层,其中图案化导电层与防焊层自凹槽内延伸至凹槽外,而部分的图案化导电层被防焊层所暴露。接着,将至少一半导体元件设置于凹槽内的图案化导电层上,并使半导体元件与图案化导电层电性连接。本发明技术方案通过三维列印方式可在具有凹槽的载板上轻易地制作出图案化导电层及防焊层,可有效地降低三维封装的制程复杂度。可在载板的凹槽内形成连接线路,有助于降低半导体元件封装体的整体厚度。



1. 一种半导体元件封装制程,包括:

以三维列印方式在具有一凹槽的一载板上形成一图案化导电层以及覆盖所述图案化导电层的一防焊层,其中所述图案化导电层与所述防焊层自所述凹槽内延伸至所述凹槽外,而部分的所述图案化导电层被所述防焊层所暴露;以及

将至少一半导体元件设置于所述凹槽内的所述图案化导电层上,并使所述至少一半导体元件与所述图案化导电层电性连接。

2. 根据权利要求1所述的半导体元件封装制程,其中所述载板的形成方法包括:

提供一介电核心层;以及

在所述介电核心层上形成所述凹槽。

3. 根据权利要求1所述的半导体元件封装制程,其中所述载板的形成方法包括:

提供一导电核心层;

在所述导电核心层上形成所述凹槽;以及

形成一包覆所述导电核心层的介电层。

4. 根据权利要求1所述的半导体元件封装制程,其中所述图案化导电层包括自凹槽内延伸至凹槽外的多条导线,而各条导线分别包括:

一第一接垫,分布于所述凹槽内;

一第二接垫,分布于所述凹槽外;以及

一导电迹线,自凹槽内延伸至所述凹槽外以连接于所述第一接垫与所述第二接垫之间,其中所述多个第一接垫与所述多个第二接垫被所述防焊层所暴露,且所述至少一半导体元件与所述多个第一接垫电性连接。

5. 根据权利要求1所述的半导体元件封装制程,其中所述至少一半导体元件通过多个导电凸块与所述图案化导电层电性连接。

6. 根据权利要求5所述的半导体元件封装制程,还包括:

在所述至少一半导体元件与所述载板之间形成一底填材料,以包覆所述多个导电凸块。

7. 根据权利要求1所述的半导体元件封装制程,其中所述至少一半导体元件与所述图案化导电层电性连接的方法包括:

将所述至少一半导体元件设置于所述凹槽内的所述图案化导电层上,并使所述至少一半导体元件的一背面朝向所述载板;

在所述凹槽内形成一延伸结构,所述延伸结构具有一布线表面,所述布线表面衔接所述至少一半导体元件的一有源表面与所述凹槽的一底面;以及

以三维列印方式在所述有源表面、所述布线表面以及所述底面上形成多条连接线路,其中所述多条连接线路电性连接于所述至少一半导体元件与所述凹槽内的所述图案化导电层之间。

8. 根据权利要求1所述的半导体元件封装制程,其中所述至少一半导体元件包括一第一半导体元件与一第二半导体元件,而所述第一半导体元件、第二半导体元件与所述图案化导电层电性连接的方法包括:

将所述第一半导体元件、第二半导体元件堆叠在所述凹槽内的所述图案化导电层上,并使所述第一半导体元件的一第一背面及第二半导体元件的一第二背面朝向所述载板;

在所述凹槽内形成一第一延伸结构与一第二延伸结构,其中所述第一延伸结构具有一第一布线表面,所述第二延伸结构具有一第二布线表面,而所述第一布线表面衔接所述第一半导体元件的一第一有源表面与所述凹槽的一底面,且所述第二布线表面衔接所述第二半导体元件的一第二有源表面与所述第一有源表面;以及

以三维列印方式在所述第二有源表面、所述第二布线表面、所述第一有源表面、所述第一布线表面以及所述底面上形成多条连接线路,以使所述多条连接线路电性连接于所述第一半导体元件、第二半导体元件与所述凹槽内的所述图案化导电层之间。

9. 根据权利要求1所述的半导体元件封装制程,还包括:

在所述凹槽内形成一封装材料以包覆所述至少一半导体元件。

10. 根据权利要求9所述的半导体元件封装制程,其中所述封装材料填平所述凹槽。

11. 根据权利要求9所述的半导体元件封装制程,还包括:

在所述封装材料以及所述凹槽以外的所述载板上形成与所述图案化导电层电性连接的一外部线路。

12. 根据权利要求1所述的半导体元件封装制程,还包括:

在所述凹槽以外的所述载板上形成与所述图案化导电层电性连接的一外部线路。

13. 一种半导体元件封装体,包括:

一载板,具有一凹槽;

一图案化导电层;

一防焊层,覆盖所述图案化导电层,其中所述图案化导电层与所述防焊层自所述凹槽内延伸至所述凹槽外,而部分的所述图案化导电层被所述防焊层所暴露;

一第一半导体元件,配置于所述凹槽内的所述图案化导电层上,其中所述第一半导体元件具有朝向所述载板的一第一背面以及与所述第一背面相对的一第一有源表面;

一第一延伸结构,配置于所述凹槽的一底面上,所述第一延伸结构具有一第一布线表面,且所述第一布线表面衔接所述第一有源表面与所述底面;以及

多条连接线路,配置于所述第一有源表面、所述第一布线表面以及所述底面,以电性连接于所述第一半导体元件与所述凹槽内的所述图案化导电层之间。

14. 根据权利要求13所述的半导体元件封装体,其中所述第一布线表面包括一平面或一曲面。

15. 根据权利要求13所述的半导体元件封装体,还包括:

一第二半导体元件,堆叠在所述第一有源表面上,其中所述第二半导体元件具有朝向所述载板的一第二背面以及与所述第二背面相对的一第二有源表面;以及

一第二延伸结构,配置于所述第一有源表面上,所述第二延伸结构具有一第二布线表面,且所述第二布线表面衔接所述第二有源表面与所述第一有源表面,其中所述多条连接线路还配置于所述第二有源表面与所述第二布线表面上,且所述多条连接线路电性还连接于所述第一半导体元件与所述第二半导体元件之间。

16. 根据权利要求15所述的半导体元件封装体,其中所述第二布线表面包括一平面或一曲面。

## 半导体元件封装体及半导体元件封装制程

### 技术领域

[0001] 本发明是有关于一种封装技术,且特别是有关于一种半导体元件封装体及半导体元件封装制程。

### 背景技术

[0002] 随着电子科技的不断演进,更人性化、功能性更复杂的电子产品不断推陈出新,各种电子产品无不朝向轻量化与薄型化的趋势发展。电子产品内部的半导体元件的重量及体积决定了电子产品本身的重量及体积,因此,目前半导体元件(例如积体电路)的制造、封装同样朝向轻量化与薄型化发展。一般常见的半导体元件封装方式包括小型外引脚封装(Small Outline Package,SOP)、方形扁平封装(Quad Flat Package,QFP)、球格阵列(Ball Grid Array,BGA)封装等。不论是何种型式的半导体元件封装,都是以能够达到更小的厚度、更小的体积及更少的重量为目标。除了达成轻量化与薄型化的目的外,封装成本、制程复杂度、封装良率等也是此领域的研发人员关注的议题。

### 发明内容

[0003] 本发明提供一种半导体元件封装体及半导体元件封装制程。

[0004] 本发明的半导体元件封装制程,其包括下列步骤。以三维列印方式在具有一凹槽的一载板上形成一图案化导电层以及覆盖图案化导电层的一防焊层,其中图案化导电层与防焊层自凹槽内延伸至凹槽外,而部分的图案化导电层被防焊层所暴露。接着,将至少一半半导体元件设置于凹槽内的图案化导电层上,并使至少一半半导体元件与图案化导电层电性连接。

[0005] 在本发明的一实施例中,上述的载板的形成方法包括:提供一介电核心层,并且在介电核心层上形成凹槽。

[0006] 在本发明的一实施例中,上述的载板的形成方法包括:提供一导电核心层;在导电核心层上形成凹槽;以及形成一包覆导电核心层的介电层。

[0007] 在本发明的一实施例中,上述的图案化导电层包括自凹槽内延伸至凹槽外的多条导线,而各条导线分别包括一第一接垫、一第二接垫以及一导电迹线,第一接垫分布于凹槽内,第二接垫分布于凹槽外,且导电迹线自凹槽内延伸至凹槽外以连接于第一接垫与第二接垫之间。此外,前述的第一接垫与第二接垫被防焊层所暴露,且半导体元件与第一接垫电性连接。

[0008] 在本发明的一实施例中,上述的半导体元件通过多个导电凸块与图案化导电层电性连接。

[0009] 在本发明的一实施例中,上述的半导体元件封装制程可进一步包括:在半导体元件与载板之间形成一底填材料以包覆凸块。

[0010] 在本发明的一实施例中,上述的半导体元件与所述图案化导电层电性连接的方法包括:将半导体元件设置于凹槽内的图案化导电层上,并使半导体元件的一背面朝向载板;

在凹槽内形成一延伸结构,此延伸结构具有一布线表面,此布线表面衔接半导体元件的一有源表面与凹槽的一底面;以及以三维列印方式在有源表面、布线表面以及底面上形成多条连接线路,其中连接线路电性连接于半导体元件与凹槽内的图案化导电层之间。

[0011] 在本发明的一实施例中,上述的半导体元件包括一第一半导体元件与一第二半导体元件,而第一、第二半导体元件与图案化导电层电性连接的方法包括:将第一、第二半导体元件堆叠在凹槽内的图案化导电层上,并使第一半导体元件的一第一背面及第二半导体元件的一第二背面朝向载板;在凹槽内形成一第一延伸结构与一第二延伸结构,其中第一延伸结构具有一第一布线表面,第二延伸结构具有一第二布线表面,而第一布线表面衔接第一半导体元件的一第一有源表面与凹槽的一底面,且第二布线表面衔接第二半导体元件的一第二有源表面与第一有源表面;以及以三维列印方式在第二有源表面、第二布线表面、第一有源表面、第一布线表面以及底面上形成多条连接线路,以使连接线路电性连接于第一、第二半导体元件与凹槽内的图案化导电层之间。

[0012] 在本发明的一实施例中,上述的半导体元件封装制程可进一步包括:在凹槽内形成一封装材料以包覆半导体元件。

[0013] 在本发明的一实施例中,上述的封装材料填平凹槽。

[0014] 在本发明的一实施例中,上述的半导体元件封装制程可进一步包括:在封装材料以及凹槽以外的载板上形成与图案化导电层电性连接的一外部线路。

[0015] 在本发明的一实施例中,上述的半导体元件封装制程可进一步包括:在凹槽以外的载板上形成与图案化导电层电性连接的一外部线路。

[0016] 本发明的一种半导体元件封装体,其包括一载板、一图案化导电层、一防焊层、一第一半导体元件、一第一延伸结构以及多条连接线路。载板具有一凹槽,防焊层覆盖图案化导电层,图案化导电层与防焊层自凹槽内延伸至凹槽外,而部分的图案化导电层被防焊层所暴露。第一半导体元件配置于凹槽内的图案化导电层上,其中第一半导体元件具有朝向载板的一第一背面以及与第一背面相对的一第一有源表面。第一延伸结构配置于凹槽的一底面上,第一延伸结构具有一第一布线表面,且第一布线表面衔接第一有源表面与底面。连接线路配置于第一有源表面、第一布线表面以及底面,以电性连接于第一半导体元件与凹槽内的图案化导电层之间。

[0017] 在本发明的一实施例中,上述的第一布线表面包括一平面或一曲面。

[0018] 在本发明的一实施例中,上述的导体元件封装体可进一步包括一第二半导体元件以及一第二延伸结构。第二半导体元件堆叠在第一有源表面上,其中第二半导体元件具有朝向载板的一第二背面以及与第二背面相对的一第二有源表面。第二延伸结构配置于第一有源表面上,此第二延伸结构具有一第二布线表面,且第二布线表面衔接第二有源表面与第一有源表面。连接线路可进一步配置于第二有源表面与第二布线表面上,且连接线路电性还连接于第一半导体元件与第二半导体元件之间。

[0019] 在本发明的一实施例中,上述的第二布线表面包括一平面或一曲面。

[0020] 基于上述,本申请案的实施例通过三维列印方式可于具有凹槽的载板上轻易地制作出图案化导电层及防焊层,以三维列印方式所制作出的图案化导电层及防焊层可有效地降低封装的制程复杂度。

[0021] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详

细说明如下。

### 附图说明

- [0022] 图1A至图1F是依照本发明第一实施例的半导体元件封装制程的示意图；
- [0023] 图1G与图1H分别为图1B与图1C的上视示意图；
- [0024] 图1I与图1J是依照本发明第一实施例的另一种半导体元件封装体的示意图；
- [0025] 图2与图3是依照本发明第二实施例的半导体元件封装体的示意图；
- [0026] 图4与图5是依照本发明第三实施例的半导体元件封装体的示意图；
- [0027] 图6A至图6D是依照本发明第四实施例的半导体元件封装制程的示意图；
- [0028] 图7A至图7E是依照本发明第五实施例的半导体元件封装制程的示意图。
- [0029] 附图标记说明：
- [0030] 100、100'、200：载板；
- [0031] 100a：第一绝缘表面；
- [0032] 100b：第二绝缘表面；
- [0033] 102、202：凹槽；
- [0034] 110、210：图案化导电层；
- [0035] 120、220：防焊层；
- [0036] 130、130a、230、250：半导体元件；
- [0037] 132：有源表面；
- [0038] 140：导电凸块；
- [0039] 150：支撑凸块；
- [0040] 160：底填材料；
- [0041] 170：表面处理层；
- [0042] 172：线路层；
- [0043] 180、180a、270：封装材料；
- [0044] 190、190a：焊球；
- [0045] 232：第一有源表面；
- [0046] 234：第一焊垫；
- [0047] 236：第一背面；
- [0048] 240：第一延伸结构；
- [0049] 242：第一布线表面；
- [0050] 252：第二有源表面；
- [0051] 254：第二焊垫；
- [0052] 256：第二背面；
- [0053] 260：第二延伸结构；
- [0054] 262：第二布线表面；
- [0055] B：底面；
- [0056] C1、C2：连接线路；
- [0057] E、E'：外部线路；

- [0058] CL:导线;
- [0059] P1:第一接垫;
- [0060] P2:第二接垫;
- [0061] T:导电迹线;
- [0062] PKG、PKG'、PKG''、PKG1、PKG2:半导体元件封装体;
- [0063] W:光学窗;
- [0064] P:被动元件。

## 具体实施方式

### [0065] 第一实施例

[0066] 图1A至图1F是依照本发明第一实施例的一种半导体元件封装制程的示意图,而图1G与图1H分别为图1B与图1C的上视示意图。

[0067] 首先,请参照图1A,提供一载板100,此载板100具有一第一绝缘表面100a、一与第一绝缘表面100a相对的第二绝缘表面100b以及一位于第一绝缘表面100a上的凹槽102。在一实施例中,载板100可以是一介电核心层,且此介电核心层(dielectric core layer)的其中一表面上形成有凹槽102。举例而言,介电核心层的材质例如为塑胶、陶瓷、玻璃等介电材料所制成。在另一实施例中,载板100可以是一导电核心层(conductive core layer),此导电核心层的其中一表面上形成凹槽102,且具有凹槽102的导电核心层被一层或多层介电层(未示出)所包覆,以使后续形成的图案化导电层能够与导电核心层电性绝缘。前述了导电核心层例如是以铜或其他导热效果良好的导电材料所制成。承上述,由介电核心层所制作而成的载板100以及由表面包覆有介电层的导电核心层所制作而成的载板100皆为绝缘载板。

[0068] 接着,请参照图1B与图1G,以三维列印方式在具有凹槽102的载板100上形成一图案化导电层110。在本实施例中,图案化导电层110分布于载板100的第一绝缘表面100a上,且图案化导电层110自凹槽102内延伸至凹槽102外。如图1G所示,本实施例的图案化导电层110包括自凹槽102内延伸至凹槽102外的多条导线CL,而各条导线CL分别包括一第一接垫P1、一第二接垫P2以及一导电迹线T,第一接垫P1分布于凹槽102内,第二接垫P2分布于凹槽102外,且导电迹线T自凹槽102内延伸至凹槽102外以连接于对应的第一接垫P1与第二接垫P2之间。在本实施例中,导线CL的数量以及布局可视实际需求而更动。

[0069] 以图1G为例,各条导线CL彼此之间例如是相互绝缘的,各条导线CL的第一接垫P1集中排列于凹槽102的中央区域,而各条导线CL的第二接垫P2则分散排列于凹槽102的两侧,且第一接垫P1的排列间距通常小于第二接垫P2的排列间距。在本实施例中,导线CL所构成的图案化导电层110可视为一种扇出线路(fan-out circuit)。

[0070] 请参照图1C与图1H,在完成图案化导电层110的列印之后,接着以三维列印方式在具有凹槽102的载板100上形成防焊层120。在本实施例中,防焊层120分布于载板100的第一绝缘表面100a上,且防焊层120自凹槽102内延伸至凹槽102外。如图1H所示,本实施例的防焊层120覆盖住图案化导电层110以及载板100的第一绝缘表面100a以保护导线CL,且防焊层120具有多个对应于第一接垫P1与第二接垫P2的开口以将第一接垫P1与第二接垫P2暴露。

[0071] 请参照图1D,将至少一半导体元件130设置于凹槽102内的图案化导电层110上,并使半导体元件130与图案化导电层110的第一接垫P1电性连接。在本实施例中,半导体元件130例如具有多个焊垫(bonding pads),且半导体元件130的焊垫可依据实际设计需求而排列。在本实施例中,半导体元件130的焊垫例如是集中排列于半导体元件130的有源表面132上,焊垫例如是排列成一行或多列。在其他实施例中,半导体元件130的焊垫可以是均匀分布于半导体元件130的有源表面132上或是靠近半导体元件130的有源表面132的边缘分布。值得注意的是,在本实施例中,第一接垫P1的排列需与半导体元件130的焊垫的排列(包含位置与排列间距等)相对应。换言之,随着不同的封装对象(即,焊垫排列方式不同的半导体元件130),载板100上的图案化导电层110当可作适度的更动。

[0072] 在本实施例中,如图1D所示,半导体元件130可以通过多个导电凸块140与图案化导电层110电性连接。更具体而言,半导体元件130为具有导电凸块140的覆晶芯片,且半导体元件130是以其有源表面132面向载板100并与第一接垫P1接合。在一实施例中,当半导体元件130的焊垫是集中排列于半导体元件130的有源表面132上时,为了使半导体元件130与第一接垫P1之间的接合能够更为顺利进行,可在图案化导电层110与半导体元件130的有源表面132的边缘之间设计支撑凸块150以使半导体元件130不至于发生歪斜。前述的导电凸块140与支撑凸块150采用同一凸块制程(bumping process)进行制作。换言之,导电凸块140与支撑凸块150的材质相同。在其他可行的实施例中,支撑凸块150可使用非导电材质制成,且支撑凸块150无须与导电凸块140一并制作。

[0073] 值得注意的是,若半导体元件130与图案化导电层110之间的导电凸块140能够稳定地支撑住半导体元件130以使半导体元件130在与图案化导电层110接合过程中不至于发生歪斜,在此情况下,支撑凸块150可以被省略。举例而言,当半导体元件130的焊垫是均匀分布于半导体元件130的有源表面132上或是靠近半导体元件130的有源表面132的边缘分布时,半导体元件130与第一接垫P1之间的接合过程可以不需要支撑凸块150的辅助。

[0074] 在半导体元件130与载板100上的图案化导电层110完成电性连接之后,半导体元件130的封装便已初步完成。

[0075] 请参照图1E,在完成半导体元件130与图案化导电层110的接合之后,接着,在半导体元件130与载板100之间形成一底填材料160以包覆导电凸块140。在本实施例中,底填材料160可用以保护半导体元件130、导电凸块140以及图案化导电层110。再者,当半导体元件130与图案化导电层110之间因热膨胀系数的差异(CTE mismatch)而导致剪应力(shear stress)产生时,导电凸块140会因剪应力而出现疲乏或断裂等问题,此时,底填材料160可以减缓导电凸块140所遭受到的剪应力,进而达到保护导电凸块140的目的。举例而言,底填材料160例如是具有良好导热效果及绝缘效果的介电材料,底填材料160的材质例如是环氧树脂(epoxy)。

[0076] 如图1E所示,在完成半导体元件130与图案化导电层110的接合之后,可选择性地于第二接垫P2上形成表面处理层170,其中表面处理层170为导体层,且与第二接垫P2电性连接。在本实施例中,表面处理层170除了覆盖住第二接垫P2之外,表面处理层170可进一步覆盖住防焊层120的部分区域,以达到保护第二接垫P2的功用。值得注意的是,本实施例不限定前述的底填材料160与表面处理层170的制作顺序。

[0077] 请参照图1F,在完成底填材料160的制作之后,接着将一封装材料180填入载板100



的凹槽102中,以包覆位于凹槽102内的半导体元件130以及底填材料160。在本实施例中,封装材料180填平凹槽102,封装材料180具有平坦的上表面,且封装材料180的上表面可略高于载板100的第一绝缘表面100a。在其他可行的实施例中,封装材料180的上表面可略低于载板100的第一绝缘表面100a,或者与载板100的第一绝缘表面100a切齐。

[0078] 此外,如图1F所示,在完成底填材料160的制作之后,接着于凹槽102以外的载板100上形成与图案化导电层110电性连接的一焊球190。在本实施例中,焊球190例如是通过表面处理层170与第二接垫P2电性连接,且与第二接垫P2电性连接的表面处理层170以及焊球190可被视为外部线路E。值得注意的是,本实施例不限定前述的封装材料180与焊球190的制作顺序。

[0079] 图1I与图1J是依照本发明第一实施例的另一种半导体元件封装体的示意图。请参照图1I,图1I中的半导体元件封装体PKG'与图1F中的半导体元件封装体PKG类似,惟二者差异之处在于:图1I中的半导体元件封装体PKG'不具有底填材料160,而是以封装材料180a填入于半导体元件130与载板100之间以包覆导电凸块140,此外,封装材料180a更进一步包覆位于凹槽102内的半导体元件130。换言之,图1I中的封装材料180a取代了图1F中的封装材料180a与底填材料160。

[0080] 请参照图1J,图1J中的半导体元件封装体PKG''与图1I中的半导体元件封装体PKG'类似,惟二者差异之处在于:图1J中的外部线路E'除了包括与第二接垫P2电性连接的表面处理层170以及焊球190之外,外部线路E'进一步包括一位于封装材料180a上的线路层172以及位于线路层172上的焊球190a,且线路层172与焊球190a也电性连接于第二焊垫254。换言之,图1J中的外部线路E'除位于凹槽102以外的载板100上外,更进一步形成于填满凹槽102的封装材料180a上,因此,可增加设置焊球190a的空间弹性。

[0081] 第二实施例

[0082] 图2与图3是依照本发明第二实施例的半导体元件封装体的示意图。为了实现多个半导体元件封装体的堆叠,半导体元件封装体PKG'、PKG''中的图案化导电层110可进一步延伸至载板100的第二绝缘表面100b上。

[0083] 如图2所示,通过图案化导电层110的连接,两个半导体元件封装体PKG'可相互堆叠。类似地,如图3所示,通过图案化导电层110的连接,半导体元件封装体PKG'可堆叠在半导体元件封装体PKG''之上。值得注意的是,本实施例不限定所使用的半导体元件封装体的型态,也即,半导体元件封装体PKG、PKG'、PKG''皆可用以堆叠,且半导体元件封装体的堆叠数量也不限。

[0084] 第三实施例

[0085] 图4与图5是依照本发明第三实施例的半导体元件封装体的示意图。请参照图4,本实施例的半导体元件封装体PKG1与第一实施例的半导体元件封装体PKG'类似,惟二者差异之处在于:所使用的半导体元件130a的型态以及载板100'的结构。

[0086] 在本实施例的半导体元件封装体PKG1中,所使用的半导体元件130a为光学半导体元件,例如感光元件、发光元件、指纹辨识元件等。为了使半导体元件130a能够接收到半导体元件封装体PKG1外的光线,或者使半导体元件130a所发出的光线能够传递到半导体元件封装体PKG1外,本实施例中所使用的载板100'具有一个光学窗(optical window)W,且此光学窗W允许光线的穿透。在本实施例中,前述的光学窗W可由嵌于载板100'中的玻璃基材、塑

胶基材或其他透光基材。

[0087] 请参照图5,半导体元件封装体PKG2与前述的半导体元件封装体PKG1类似,惟二者差异之处在于:半导体元件封装体PKG2进一步包括至少一个位于凹槽102内的被动元件P或前述的其他电子元件,且被动元件P或其他电子元件被封装材料180a所包覆。值得注意的是,在半导体元件封装体PKG2中,依据实际的设计需求,被动元件P或前述的其他电子元件可通过图案化导电层110与半导体元件130a电性连接。

[0088] 通过适当的图案化导电层110的设计,前述第一至第三实施例所描述的不同形态的半导体元件封装体PKG、PKG'、PKG"可相互堆叠,以构成所需的堆叠型封装体。

[0089] 第四实施例

[0090] 图6A至图6D是依照本发明第四实施例的半导体元件封装制程的示意图。请参照图6A,首先,提供具有凹槽202的载板200,并以三维列印方式在具有凹槽202的载板200上形成图案化导电层210以及防焊层220。前述的载板200、图案化导电层210以及防焊层220的制作与第一实施例雷同,故于此不再重述。

[0091] 请参照图6B,将第一半导体元件230设置于凹槽202内的图案化导电层210上,并使第一半导体元件230的第一背面236朝向载板200。换言之,第一半导体元件230是以其第一有源表面232朝上的方式配置于载板200的凹槽202内,且第一半导体元件230具有分布于第一有源表面232上的多个第一焊垫234。接着,在凹槽202内形成第一延伸结构240,此第一延伸结构240具有一第一布线表面242,且此第一布线表面242衔接第一半导体元件230的第一有源表面232与凹槽202的底面B。在本实施例中,第一布线表面242例如是一倾斜于底面B的平面。在其他可行的实施例中,第一布线表面242可以是一曲面。

[0092] 如图6B所示,第一延伸结构240例如是形成于防焊层220上,并且紧邻于第一半导体元件230的其中一侧壁,因此第一延伸结构240可以很平顺地衔接于第一半导体元件230的第一有源表面232与凹槽202的底面B之间。在本实施例中,第一延伸结构240的材质例如是环氧树脂(epoxy)或其他类似的介电材料,且第一延伸结构240例如是通过三维列印的方式形成于防焊层220上。

[0093] 请参照图6C,以三维列印方式在第一有源表面232、第一布线表面242以及底面B上形成多条连接线路C1,其中连接线路C1是电性连接于第一半导体元件230的第一焊垫234与凹槽202内的图案化导电层210之间。在本实施例中,以三维列印方式制作的连接线路C1可以稳定地形成在第一延伸结构240的第一布线表面242上。相较于传统具有一定弧高的焊线(bonding wires),本实施例的连接线路C1有利于缩减封装体的整体厚度。

[0094] 请参照图6D,在完成连接线路C1的制作之后,接着将封装材料270填入于凹槽202中,以包覆第一半导体元件230、第一延伸结构240以及连接线路C1。在本实施例中,封装材料270填平凹槽202,且封装材料270例如具有平坦的上表面。

[0095] 第五实施例

[0096] 图7A至图7E是依照本发明第五实施例的半导体元件封装制程的示意图。请参照图7A与图7B,首先,提供具有凹槽202的载板200,并以三维列印方式在具有凹槽202的载板200上形成图案化导电层210以及防焊层220。接着,在凹槽202内设置第一半导体元件230并且形成第一延伸结构240。前述的载板200、图案化导电层210、防焊层220、第一半导体元件230并且形成第一延伸结构240与第四实施例雷同,故于此不再重述。

[0097] 请参照图7C,将第二半导体元件250以其第二背面256朝向载板200的方式设置于凹槽202内,以使第二半导体元件250堆叠在第一半导体元件230的第一有源表面232上,其中第一半导体元件230的第一焊垫234未被第二半导体元件250所覆盖。换言之,第二半导体元件250是以其第二有源表面252朝上的方式配置于载板200的凹槽202内,且第二半导体元件250具有分布于第二有源表面252上的多个第二焊垫254。接着,在凹槽202内形成一第二延伸结构260,此第二延伸结构260具有一第二布线表面262,且此第二布线表面262衔接第二半导体元件250的第二有源表面252与第一半导体元件230的第一有源表面232。在本实施例中,第二布线表面262例如是一倾斜于底面B的平面。在其他可行的实施例中,第二布线表面262可以是一曲面。

[0098] 前述的第二延伸结构260例如是形成于第一半导体元件230的第一有源表面232上,并且紧邻于第二半导体元件250的其中一侧壁,因此第二延伸结构260可以很平顺地衔接于第一半导体元件230的第一有源表面232与第二半导体元件250的第二有源表面252之间。在本实施例中,第二延伸结构260的材质例如是环氧树脂(epoxy)或其他类似的介电材料,且第二延伸结构260例如是通过三维列印的方式形成于第一有源表面232上。

[0099] 请参照图7D,以三维列印方式在第二有源表面252、第二布线表面262、第一有源表面232、第一布线表面242以及底面B上形成多条连接线路C2,其中连接线路C2是电性连接于第二半导体元件250的第二焊垫254、第一半导体元件230的第一焊垫234以及凹槽202内的图案化导电层210之间。在本实施例中,以三维列印方式制作的连接线路C2可以稳定地形成在第二延伸结构260的第二布线表面262上。相较于传统具有一定弧高的焊线,本实施例的连接线路C2有利于缩减封装体的整体厚度。

[0100] 请参照图7E,在完成连接线路C2的制作之后,接着将封装材料270填入于凹槽202中,以包覆第一半导体元件230、第一延伸结构240、第二半导体元件250、第二延伸结构260以及连接线路C2。在本实施例中,封装材料270填平凹槽202,且封装材料270例如具有平坦的上表面。

[0101] 在第四、第五实施例中,为了使封装体之间具有堆叠的可能性,图案化导电层210可选择性地进一步延伸至载板200的另一表面上。此处,图案化导电层210的设计则与图2或图3中的图案化导电层110类似,而外部线路例如是分布于封装材料270上以及凹槽202以外的载板200上(类似于图1J中的外部线路E'),或者仅分布于凹槽202以外的载板200上(类似于图1I中的外部线路E)。

[0102] 综上所述,本发明的实施例通过三维列印方式可于具有凹槽的载板上轻易地制作出图案化导电层及防焊层,以三维列印方式所制作出的图案化导电层及防焊层可有效地降低三维封装的制程复杂度。在部分实施例中,通过三维列印方式可于载板的凹槽内形成连接线路,有助于降低半导体元件封装体的整体厚度。

[0103] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

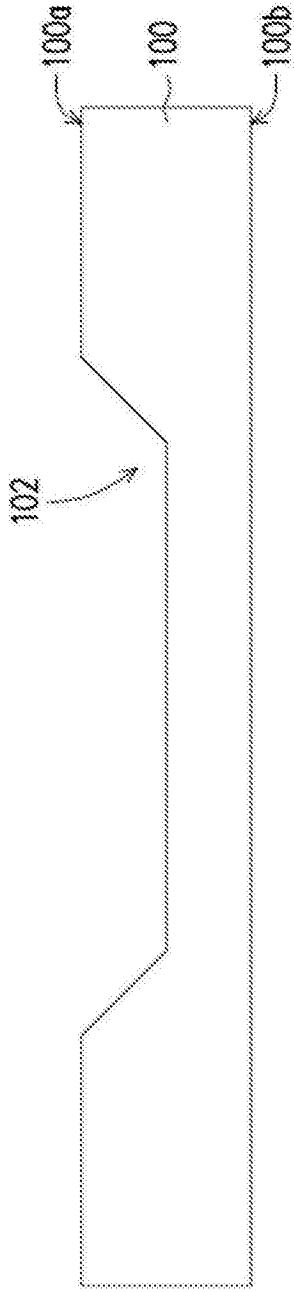


图1A

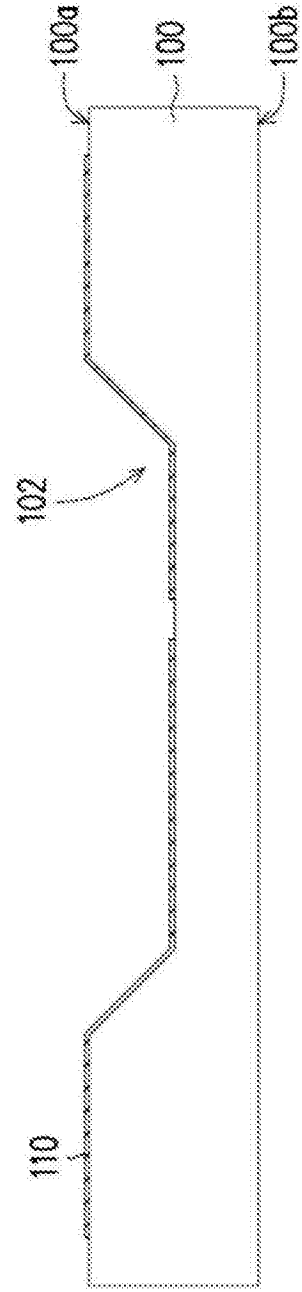


图1B

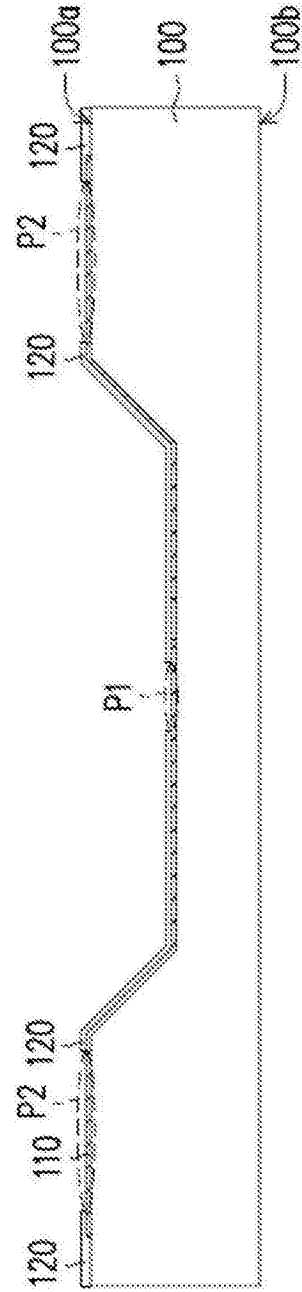


图1C

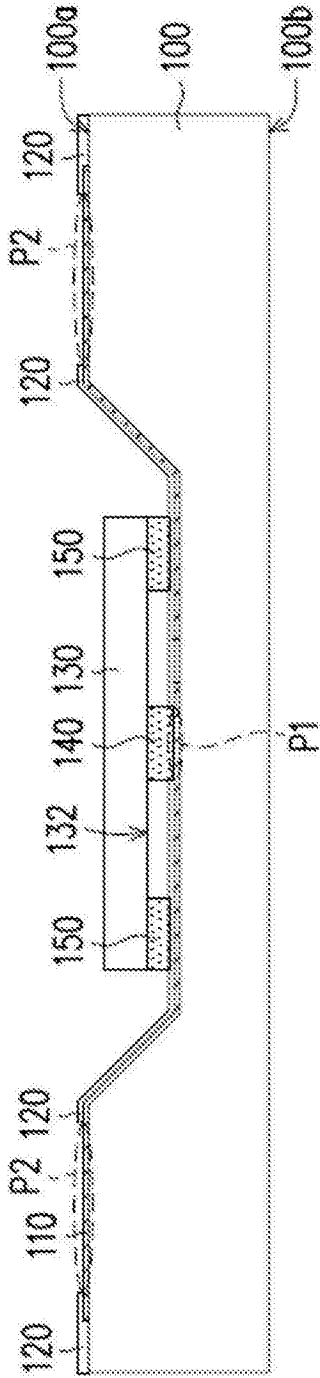


图1D

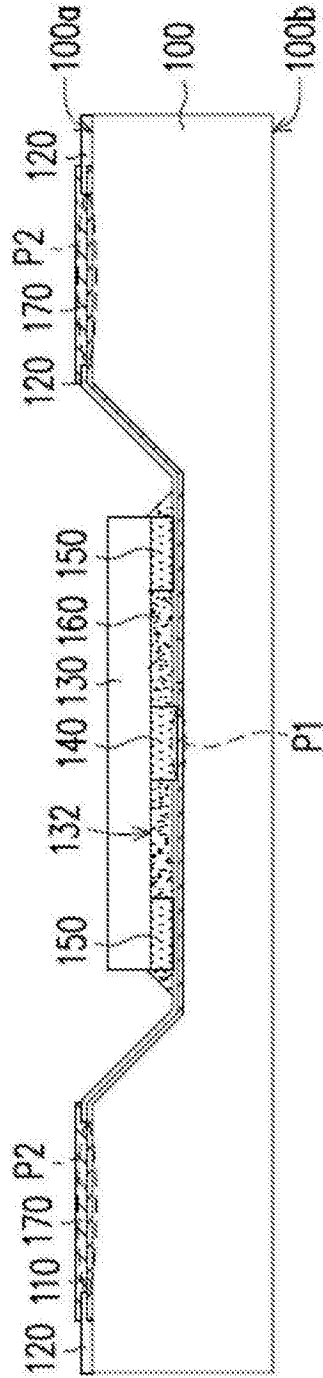


图1E

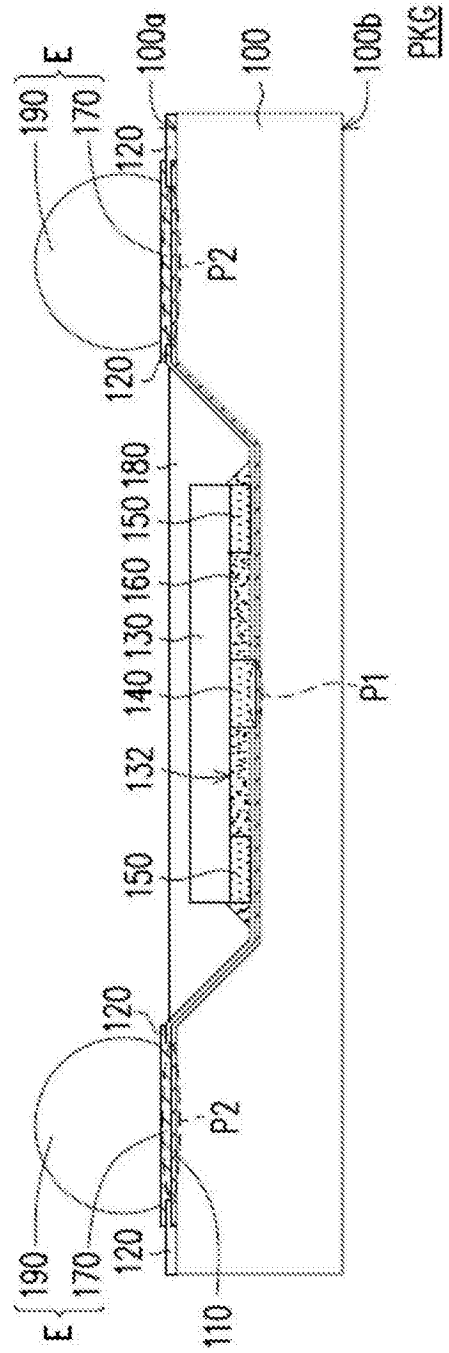


图1F

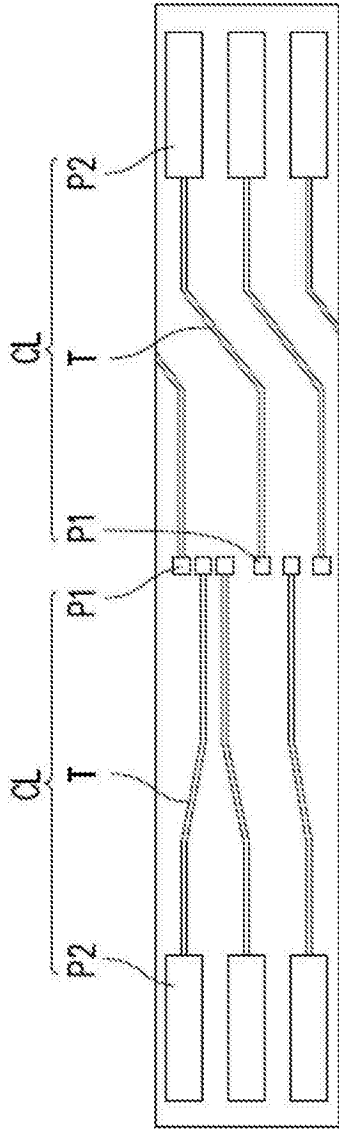


图1G

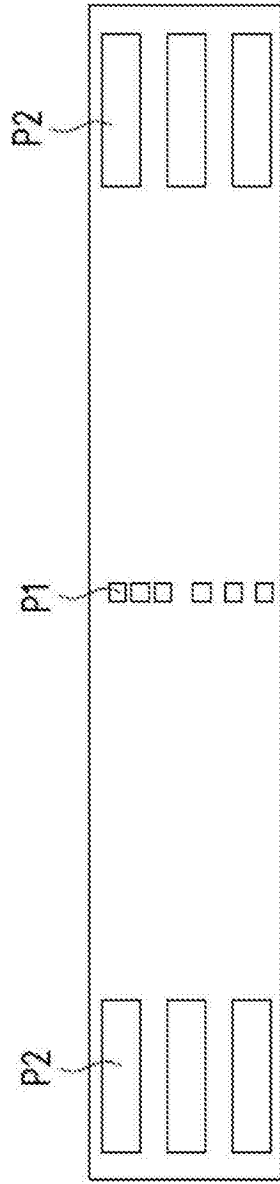


图1H

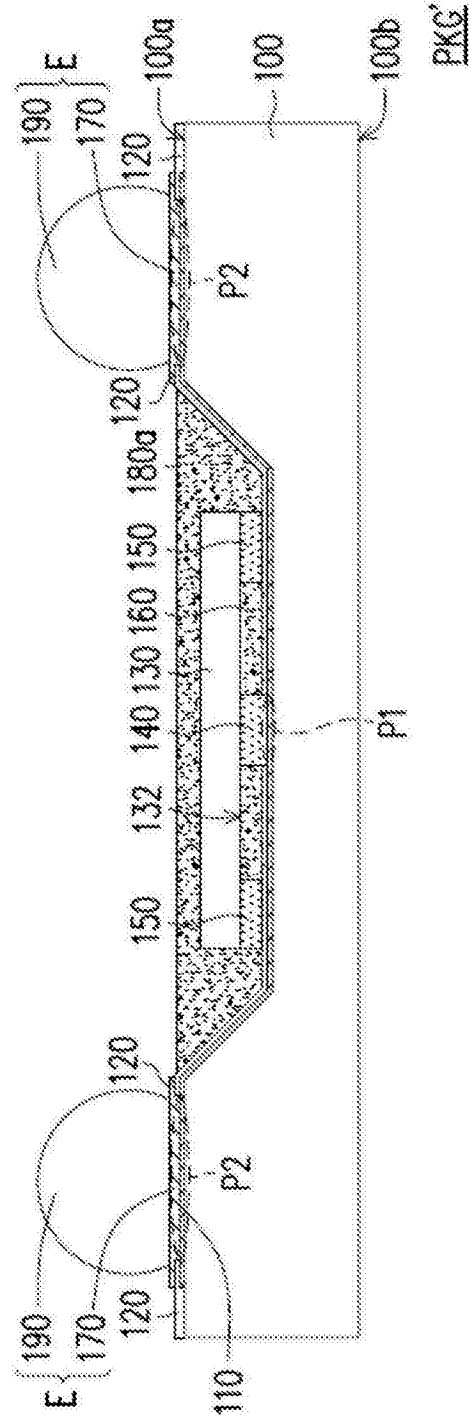


图1I

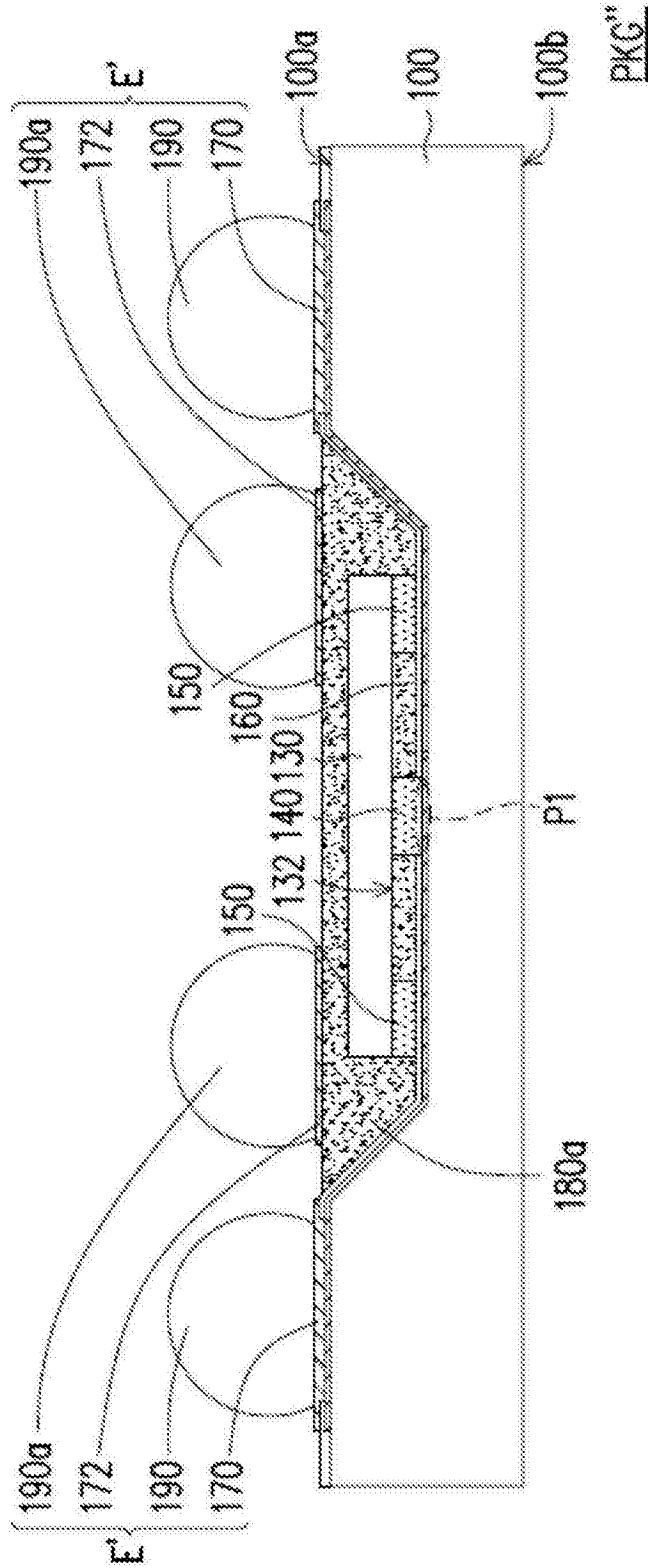


图1J

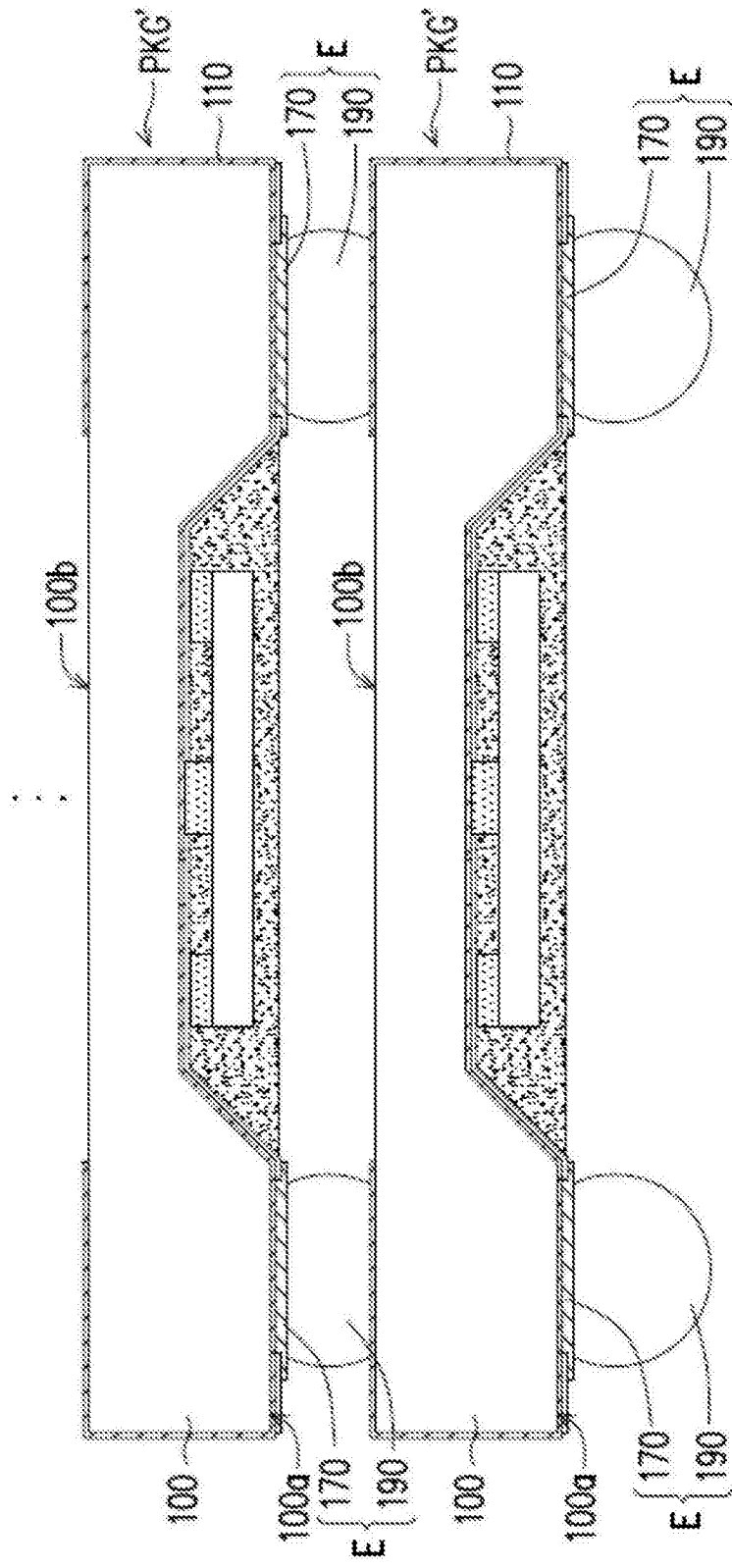


图2



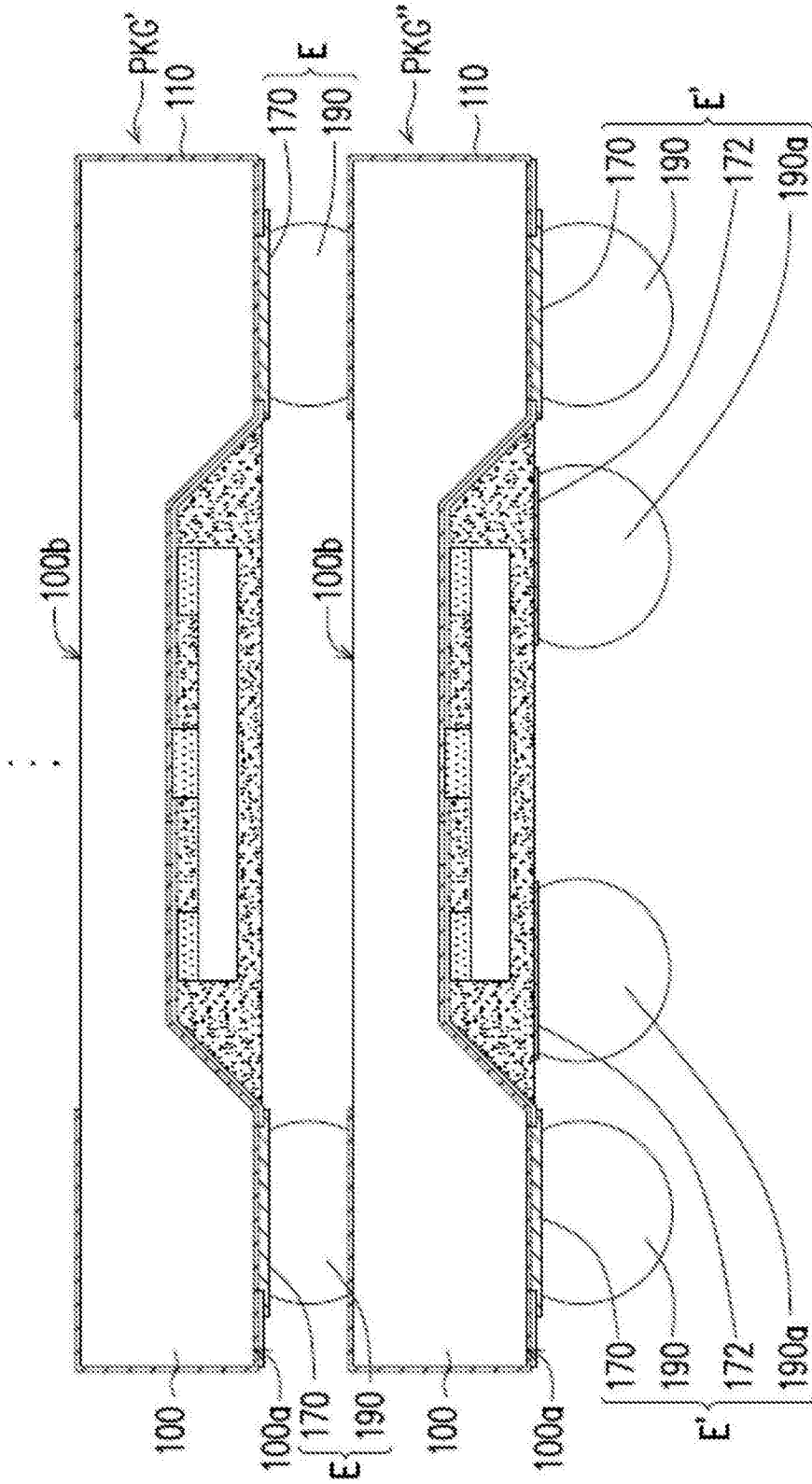


图3

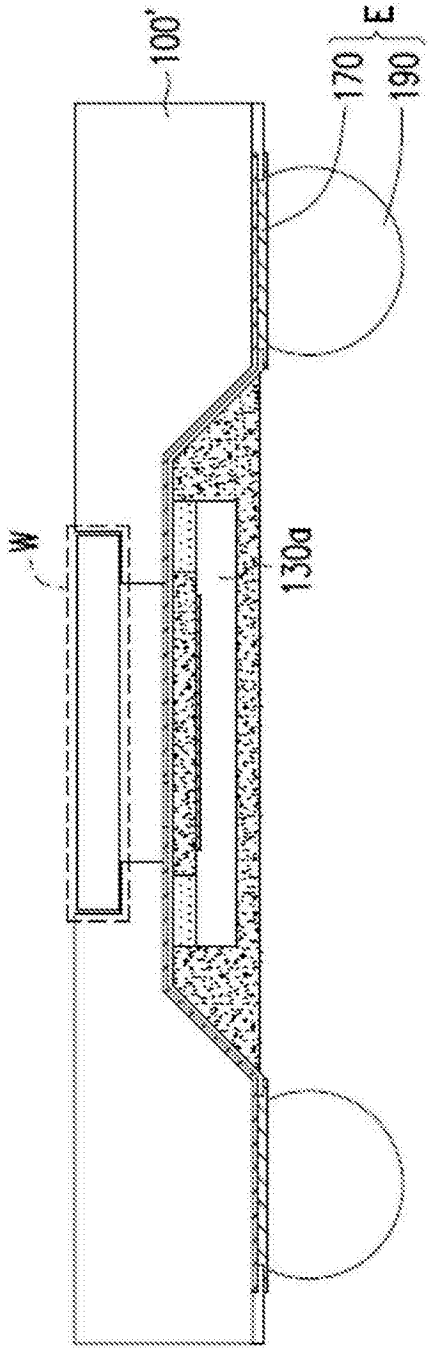


图4

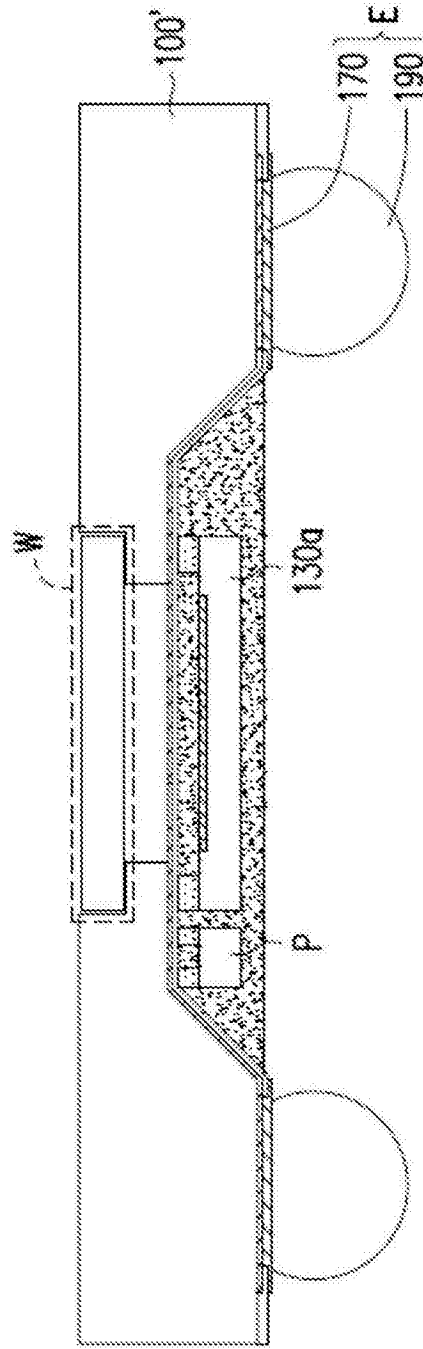


图5

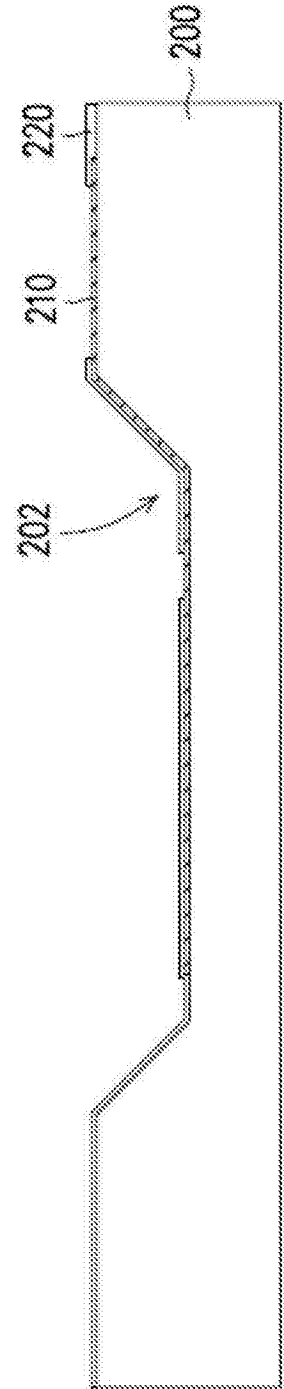


图6A

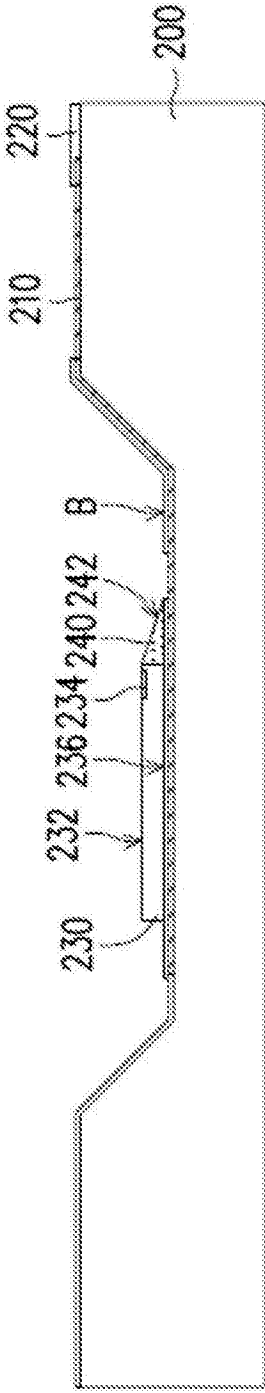


图6B

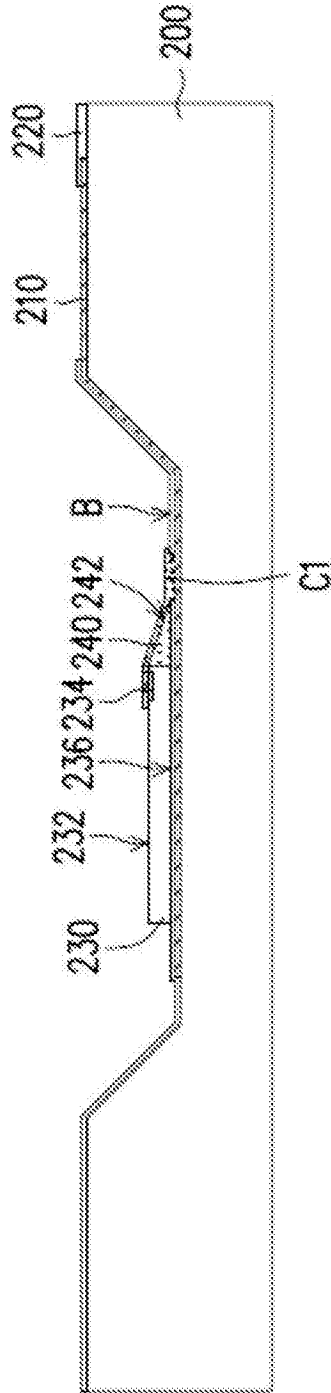


图6C

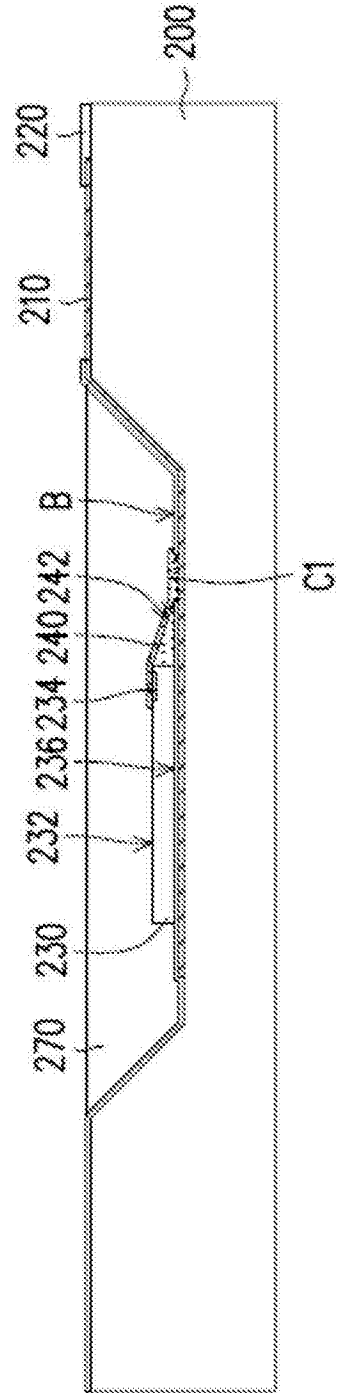


图6D

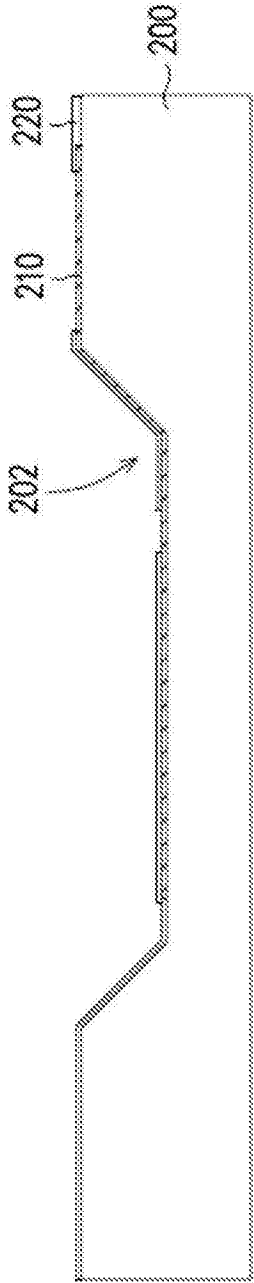


图7A

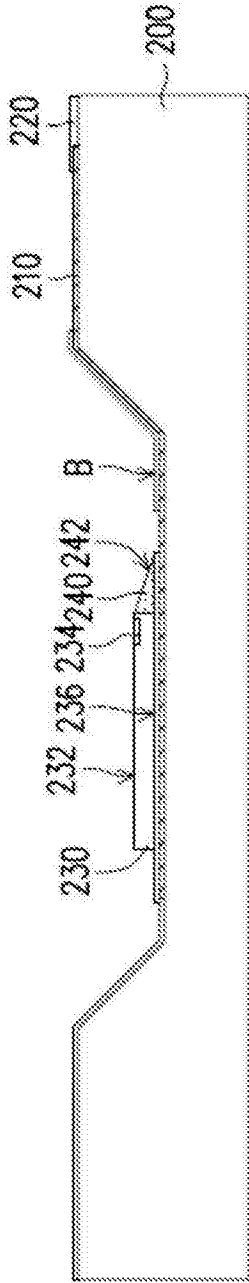


图7B

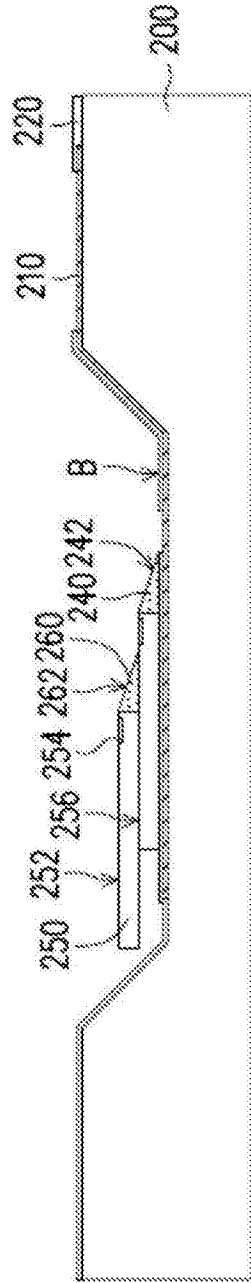


图7C

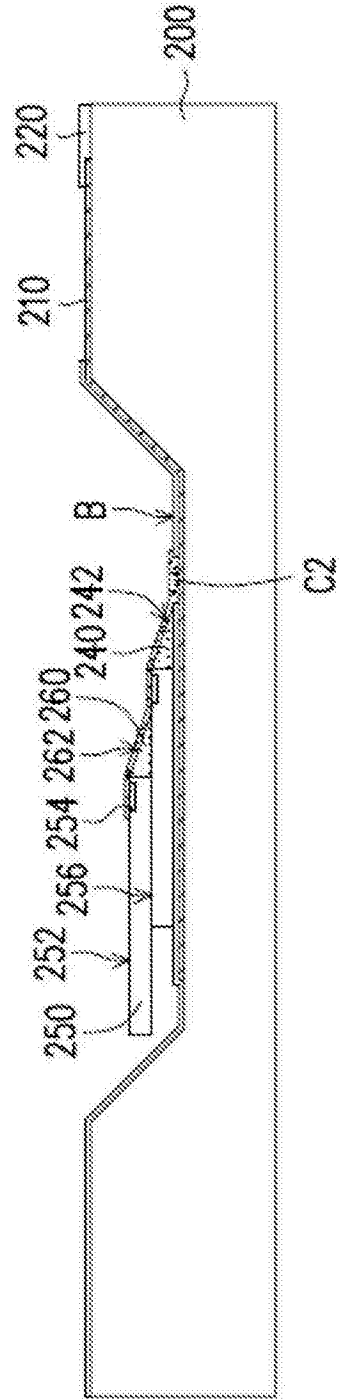


图7D

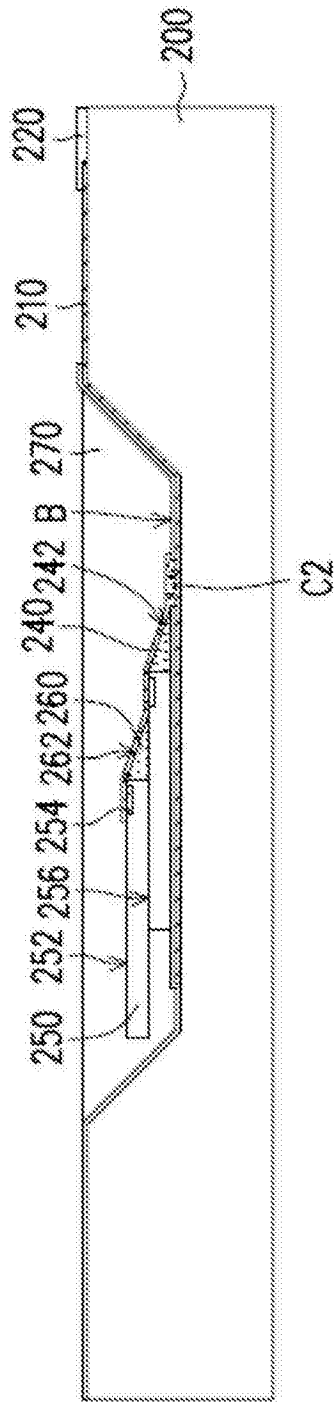


图7E