



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I664727 B

(45) 公告日：中華民國 108 (2019) 年 07 月 01 日

(21) 申請案號：107121298 (22) 申請日：中華民國 107 (2018) 年 06 月 21 日

(51) Int. Cl. : H01L29/41 (2006.01) H01L29/778 (2006.01)

H01L21/28 (2006.01) H01L21/336 (2006.01)

(71) 申請人：世界先進積體電路股份有限公司 (中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣新竹科學工業園區園區三路 123 號

(72) 發明人：李家豪 LEE, CHIA HAO (TW)；洪章响 HUNG, CHANG XIANG (TW)；庫馬 馬 洛宜 KUMAR, MANOJ (IN)；廖志成 LIAO, CHIH CHERNG (TW)

(74) 代理人：洪澄文

(56) 參考文獻：

TW 201511261A

TW 201633538A

TW 201703260A

US 2015/0179782A1

審查人員：陳英豪

申請專利範圍項數：19 項 圖式數：2 共 34 頁

(54) 名稱

半導體裝置及其製造方法

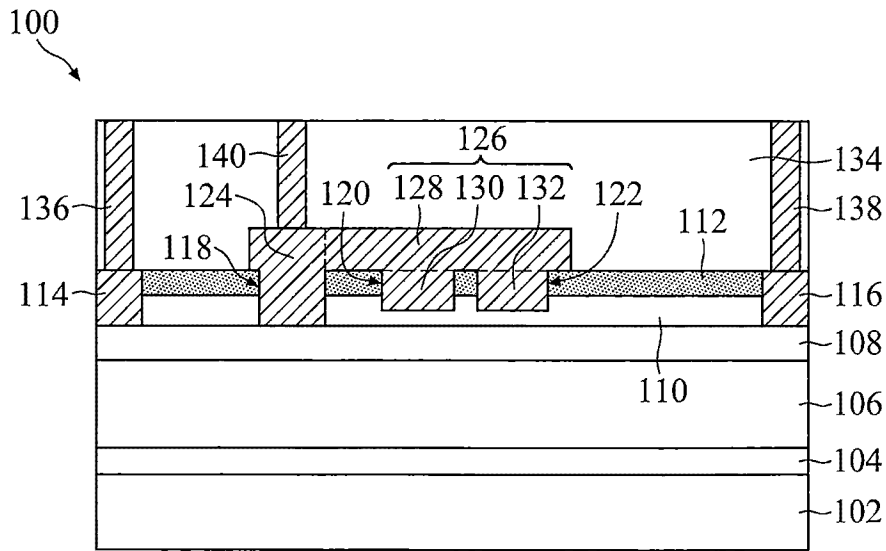
SEMICONDUCTOR DEVICES AND METHODS FOR FABRICATING THE SAME

(57) 摘要

一種半導體裝置，包含設置於基底上的化合物半導體層，以及設置於化合物半導體層上保護層。源極電極、汲極電極和閘極電極穿過保護層且設置於化合物半導體層上。此半導體裝置還包含閘極場板，其連接閘極電極且設置於保護層介於閘極電極與汲極電極之間的部分上。閘極場板具有延伸至保護層中的延伸部。

A semiconductor device includes a compound semiconductor layer disposed over a substrate, a protection layer disposed over the compound semiconductor layer, and a source electrode, a drain electrode and a gate electrode penetrating the protection layer and disposed over the compound semiconductor layer. The semiconductor device also includes a gate field plate connecting the gate electrode and disposed over a portion of the protection layer between the gate electrode and the drain electrode. The gate field plate has an extension portion extending into the protection layer.

指定代表圖：



第1H圖

符號簡單說明：

- 100 . . . 半導體裝置
- 102 . . . 基底
- 104 . . . 緩衝層
- 106 . . . 氮化鎵半導體層
- 108 . . . 氮化鎵鋁半導體層
- 110 . . . 第一保護層
- 112 . . . 第二保護層
- 114 . . . 源極電極
- 116 . . . 汲極電極
- 118 . . . 第一凹陷
- 120 . . . 第二凹陷
- 122 . . . 第三凹陷
- 124 . . . 閘極電極
- 126 . . . 閘極場板
- 128 . . . 連接部
- 130 . . . 第一延伸部
- 132 . . . 第二延伸部
- 134 . . . 層間介電層
- 136 . . . 源極接觸件
- 138 . . . 汲極接觸件
- 140 . . . 閘極接觸件

發明專利說明書

【發明名稱】 半導體裝置及其製造方法

Semiconductor devices and methods for fabricating
the same

【技術領域】

【0001】 本發明實施例是有關於半導體裝置，且特別是有關於具有場板的半導體裝置及其製造方法。

【先前技術】

【0002】 氮化鎵系(GaN-based)半導體材料具有許多優秀的材料特性，例如高抗熱性、寬能隙(band-gap)、高電子飽和速率。因此，氮化鎵系半導體材料適合應用於高速與高溫的操作環境。近年來，氮化鎵系半導體材料已廣泛地應用於發光二極體(light emitting diode, LED)元件、高頻率元件，例如具有異質界面結構的高電子遷移率電晶體(high electron mobility transistor, HEMT)。

【0003】 場板通常設置於半導體裝置的高電場區，其用於降低高電場區的峰值電場(peak electric field)，其中一種場板是電性連接至閘極的場板(即閘極場板)，其可降低閘極在汲極側上的電場強度。因此，閘極場板可提升半導體裝置的崩潰電壓(breakdown voltage)，以容許半導體裝置應用於高電壓操作。

【0004】 隨著氮化鎵系半導體材料的發展，這些使用氮化鎵系半導體材料的半導體裝置應用於更嚴苛工作環境中，例如更高頻、更高溫或更高電壓。因此，具有氮化鎵系半導體材料的半導體裝置之製程條件也面臨許多新的挑戰。

【發明內容】

【0005】 本發明的一些實施例提供半導體裝置，此半導體裝置化合物半導體層設置於基底之上，保護層設置於化合物半導體層之上，以及源極電極、汲極電極和閘極電極穿過保護層且設置於化合物半導體層之上。此半導體裝置還包含閘極場板，其連接閘極電極且設置於保護層介於閘極電極與汲極電極之間的部分之上。閘極場板具有延伸至保護層中的延伸部。

【0006】 本發明的一些實施例提供半導體裝置的製造方法，此方法包含在基底之上形成化合物半導體層，在化合物半導體層之上形成第一保護層，穿過保護層形成源極電極、汲極電極和閘極電極於化合物半導體層之上，以及在保護層介於閘極電極與汲極電極之間的部分之上形成閘極場板，以連接閘極電極，其中閘極場板具有延伸至保護層中的延伸部。

【圖式簡單說明】

【0007】 藉由以下詳細描述和範例配合所附圖式，可以更加理解本發明實施例。為了使圖式清楚顯示，圖式中各個不同的元件可能未依照比例繪製，其中：

第1A至1H圖是根據本發明的一些實施例，說明形成半導體裝置在各個不同階段的剖面示意圖。

第2A至2H圖是根據本發明的另一些實施例，說明形成半導體裝置在各個不同階段的剖面示意圖。

【實施方式】

【0008】 以下揭露提供了許多的實施例或範例，用於實施所提供的半導體裝置之不同元件。各元件和其配置的具體範例

描述如下，以簡化本發明實施例之說明。當然，這些僅僅是範例，並非用以限定本發明實施例。舉例而言，敘述中若提及第一元件形成在第二元件之上，可能包含第一和第二元件直接接觸的實施例，也可能包含額外的元件形成在第一和第二元件之間，使得它們不直接接觸的實施例。此外，本發明實施例可能不同的範例中重複參考數字及/或字母。如此重複是為了簡明和清楚，而非用以表示所討論的不同實施例之間的關係。

【0009】 以下描述實施例的一些變化。在不同圖式和說明的實施例中，相似的元件符號被用來標明相似的元件。可以理解的是，在方法的前、中、後可以提供額外的步驟，且一些敘述的步驟可為了該方法的其他實施例被取代或刪除。

【0010】 本發明實施例提供了半導體裝置及其製造方法，特別適用於高電子遷移率電晶體(HEMT)。由於閘極電極與汲極電極之間的高電場強度，可能導致位於閘極電極之汲極側附近的材料層被擊穿(punch through)。為了減緩閘極電極在靠近汲極電極之側邊的電場梯度，本發明實施例利用形成閘極場板具有延伸至保護層中的延伸部，其可減緩閘極電極在靠近汲極電極之側邊的電場梯度，以提升半導體裝置的崩潰電壓(breakdown voltage)，進而提升半導體裝置的效能。

【0011】 第1A至1H圖是根據本發明的一些實施例，說明形成第1H圖所示的半導體裝置100在各個不同階段的剖面示意圖。請參考第1A圖，提供基底102。接著，在基底102之上形成緩衝層104，在緩衝層104上形成氮化鎵(GaN)半導體層106，並且在氮化鎵半導體層106上形成氮化鎵鋁($Al_xGa_{1-x}N$ ，其中

$0 < x < 1$) 半導體層 108。在一些實施例中，在基底 102 與緩衝層 104 之間可形成晶種層(未顯示)。

【0012】 在一些實施例中，基底 102 可以是摻雜的(例如以 p 型或 n 型摻雜物進行摻雜)或未摻雜的半導體基底，例如矽基底、矽鍺基底、砷化鎵基底或類似半導體基底。在一些實施例中，基底 102 可以是半導體位於絕緣體之上的基底，例如絕緣層上覆矽(silicon on insulator, SOI)基底。在一些實施例中，基底 102 可以是玻璃基底或陶瓷基底，例如碳化矽(SiC)基底、氮化鋁(AlN)基底或藍寶石(Sapphire)基底。

【0013】 晶種層的材料可以是氮化鋁(AlN)、氧化鋁(Al_2O_3)、氮化鋁鎵(AlGaN)、碳化矽(SiC)、鋁(Al)或前述之組合所形成，且晶種層可為單一或多層結構。晶種層可由磊晶成長製程形成，例如金屬有機化學氣相沉積(metal organic chemical vapor deposition, MOCVD)、氫化物氣相磊晶法(hydride vapor phase epitaxy, HVPE)、分子束磊晶法(molecular beam epitaxy, MBE)、前述之組合或類似方法。

【0014】 緩衝層 104 可減緩後續形成於緩衝層 104 上方的氮化鎵半導體層 106 的應變(strain)，以防止缺陷形成於上方的氮化鎵半導體層 106 中，應變是由氮化鎵半導體層 106 與基底 102 之間的不匹配造成。在一些實施例中，緩衝層 104 的材料可以是 AlN、GaN、 $Al_xGa_{1-x}N$ (其中 $0 < x < 1$)、前述之組合或類似材料。緩衝層 104 可由磊晶成長製程形成，例如金屬有機化學氣相沉積(MOCVD)、氫化物氣相磊晶法(HVPE)、分子束磊晶法(MBE)、前述之組合或類似方法。儘管在如第 1A 圖所示的實施

例中，緩衝層104為單層結構，然而緩衝層104也可以是多層結構。此外，在一些實施例中，緩衝層104的材料是由晶種層的材料和磊晶製程時通入的氣體所決定。

【0015】 二維電子氣 (two-dimensional electron gas, 2DEG)(未顯示)形成於氮化鎵半導體層106與氮化鎵鋁半導體層108之間的異質界面上。如第1H圖所示的半導體裝置100是利用二維電子氣(2DEG)作為導電載子的高電子遷移率電晶體 (high electron mobility transistor, HEMT)。在一些實施例中，氮化鎵半導體層106和氮化鎵鋁半導體層108中沒有摻雜物。在一些其他實施例中，氮化鎵半導體層106和氮化鎵鋁半導體層108可具有摻雜物，例如n型摻雜物或p型摻雜物。氮化鎵半導體層104和氮化鎵鋁半導體層106可由磊晶成長製程形成，例如金屬有機化學氣相沉積 (MOCVD)、氮化物氣相磊晶法 (HVPE)、分子束磊晶法 (MBE)、前述之組合或類似方法。

【0016】 繼續參考第1A圖，在氮化鎵鋁半導體層108之上形成第一保護層110。在第一保護層110之上形成第二保護層112。在一些實施例中，第一保護層110和第二保護層112的材料可以是絕緣材料或介電材料，例如氧化矽 (SiO_2)、氮化矽 (SiN)、氮氧化矽 (SiON)、氧化鋁 (Al_2O_3)、氮化鋁 (AlN)、氧化鎂 (MgO)、氮化鎂 (Mg_3N_2)、氧化鋅 (ZnO)、氧化鈦 (TiO_2)或前述之組合。第一保護層110和第二保護層112用以防止下方的氮化鎵鋁半導體層108產生漏電流至後續形成的源極電極114、汲極電極116和閘極電極124(顯示於第1G圖)。可透過化學氣相沉積 (CVD)、電漿輔助化學氣相沉積 (plasma enhanced CVD, PECVD)、原

子層沉積(atomic layer deposition, ALD)或類似方法形成第一保護層110和第二保護層112。

【0017】 在一些實施例中，第二保護層112的材料不同於第一保護層110的材料。舉例而言，下方的第一保護層110可選用例如透過熱成長的高品質氧化物膜，例如氧化矽膜，上方的第二保護層112可選用相對於第一保護層110具有高蝕刻選擇性的介電材料，例如氮化矽。

【0018】 儘管在第1A圖所示的實施例中，在氮化鎵鋁半導體層108之上形成了兩層保護層110和112，然而在其他實施例中，也可形成一層或大於兩層的保護層於氮化鎵鋁半導體層108之上。

【0019】 請參考第1B圖，在氮化鎵鋁半導體層108之上形成源極電極114和汲極電極116，源極電極114和汲極電極116穿過第二保護層112和第一保護層110，以接觸氮化鎵鋁半導體層108。在一些實施例中，源極電極114和汲極電極116的材料可以是導電材料，例如金屬材料或半導體材料。金屬材料可以是金(Au)、鎳(Ni)、鉑(Pt)、鈀(Pd)、銱(Ir)、鈦(Ti)、鉻(Cr)、鎢(W)、鋁(Al)、銅(Cu)、類似材料、前述之組合或前述之多層。半導體材料可以是摻雜的多晶矽、多晶鍺或類似材料。形成源極電極114和汲極電極116的步驟可包含透過蝕刻製程形成用於源極電極114和汲極電極116的開口(未顯示)，這些開口穿過第二保護層112和第一保護層110，且暴露出氮化鎵鋁半導體層108的上表面，沉積導電材料層(未顯示)於第二保護層112之上且填入這些開口中，以及對導電材料層執行圖案化製程，以形

成源極電極 114 和汲極電極 116。形成源極電極 114 和汲極電極 116 的沉積製程可以是原子層沉積 (ALD)、化學氣相沉積 (CVD)、物理氣相沉積 (physical vapor deposition, PVD)、濺鍍或類似製程。

【0020】 請參考第 1C 圖，在第二保護層 112 之上形成第一圖案化遮罩層 150。第一圖案化遮罩層 150 具有第一開口 152，第一開口 152 暴露出第二保護層 112 之上表面之預定形成閘極電極 124 (顯示於第 1G 圖) 的區域。在一些實施例中，第一圖案化遮罩層 150 可以是圖案化光阻層或圖案化硬遮罩 (hard mask) 層。

【0021】 接著，通過第一圖案化遮罩層 150 的第一開口 152 對第二保護層 112 和第一保護層 110 執行蝕刻製程。如第 1D 圖所示，在蝕刻製程之後，在第二保護層 112 和第一保護層 110 中形成第一凹陷 118。第一凹陷 118 穿過第二保護層 112 和第一保護層 110，以暴露出氮化鎵鋁半導體層 108 的上表面。在一些實施例中，蝕刻製程可以是乾式蝕刻製程、濕式蝕刻製程或前述之組合。乾式蝕刻製程可以是，例如反應性離子蝕刻 (reactive ion etch, RIE)、電子迴旋共振式 (electron cyclotron resonance, ERC) 蝕刻、感應耦合式電漿 (inductively-coupled plasma, ICP) 蝕刻或類似乾式蝕刻製程。蝕刻製程可以針對第二保護層 112 和第一保護層 110 的材料選用適當的蝕刻劑。舉例而言，在第二保護層 112 是氮化矽且第一保護層 110 是氧化矽實施例中，可先以熱磷酸 (phosphoric acid) 移除第二保護層 112 被開口 152 暴露出來的部分，直到第一保護層 110 的上表面暴露出來，接著以稀

釋的氫氟酸(dilute hydrofluoric, dHf)移除第一保護層110被開口152暴露出來的部分。

【0022】 接著，移除在第二保護層112之上的第一圖案化遮罩層150。在一些實施例中，可使用灰化(ash)製程或剝離製程移除第一圖案化遮罩層150。

【0023】 請參考第1E圖，在第二保護層112之上形成第二圖案化遮罩層160。第二圖案化遮罩層160具有第二開口162和第三開口164暴露出第二保護層112之上表面的一些區域，這些區域預定形成閘極場板126的延伸部130和132(顯示於第1G圖)。在一些實施例中，第二圖案化遮罩層160可以是圖案化光阻層或圖案化硬遮罩(hard mask)層。

【0024】 接著，通過第二圖案化遮罩層160的第二開口162和第三開口164對第二保護層112和第一保護層110執行蝕刻製程。如第1F圖所示，在蝕刻製程之後，在第二保護層112和第一保護層110中形成第二凹陷120和第三凹陷122。第二凹陷120和第三凹陷122穿過第二保護層112，且延伸至第一保護層110中。第二凹陷120和第三凹陷122並未穿過第一保護層110，所以第一保護層110在第二凹陷120和第三凹陷122正下方的部分仍留在氮化鎵鋁半導體層108上。在一些實施例中，蝕刻製程可包含針對第二保護層112的主蝕刻步驟，以形成第二凹陷120和第三凹陷122於第二保護層112中，並且包含過蝕刻步驟，以將第二凹陷120和第三凹陷122延伸至第一保護層110中。舉例而言，在對第二保護層112的主蝕刻結束之後，可不將基底102移除蝕刻設備，而接續執行對第一保護層的過蝕刻持續一段時

之多層。半導體材料可以是摻雜的多晶矽、多晶鍺或類似材料。導電材料層可由原子層沉積(ALD)、化學氣相沉積(CVD)、物理氣相沉積(PVD)、濺鍍(sputter)或類似製程形成。

【0028】 請參考第1H圖，在第二保護層112之上形成層間介電層(inter layer dielectric layer, ILD layer)134，層間介電層134覆蓋閘極電極124、閘極場板126、源極電極114和汲極電極116。接著，在層間介電層134中形成與源極電極114連接的源極接觸件136、與汲極電極116連接的汲極接觸件138和與閘極電極124連接閘極接觸件140。在形成包含層間介電層134、源極接觸件136、汲極接觸件138和閘極接觸件140的內連線結構之後，形成了半導體裝置100。

【0029】 在一些實施例中，層間介電層134的材料可以是氧化矽、氮化矽、氮氧化矽或氧化鋁、類似材料、前述之組合或前述之多層。可透過化學氣相沉積(CVD)、電漿輔助化學氣相沉積(PECVD)、原子層沉積(ALD)或類似方法形成層間介電層134。

【0030】 在一些實施例中，源極接觸件136、汲極接觸件138和閘極接觸件140的材料可以是金屬材料，例如金(Au)、鎳(Ni)、鉑(Pt)、鈀(Pd)、銱(Ir)、鈦(Ti)、鉻(Cr)、鎢(W)、鋁(Al)、銅(Cu)、前述之組合或前述之多層。形成源極接觸件136、汲極接觸件138和閘極接觸件140的步驟可包含透過圖案化製程形成各自對應於源極電極114、汲極電極116和閘極電極124的開口(未顯示)，其穿過層間介電層134且各自暴露出源極電極114、汲極電極116和閘極電極124，沉積金屬材料(未顯示)於層

間介電層 134 上且填入開口，以及執行例如化學機械研磨 (chemical mechanical polish, CMP) 的平坦化製程，移除金屬材料在層間介電層 130 上方的部分。

【0031】 在第 1H 圖所示的實施例中，半導體裝置 100 包含基底 102 和依序堆疊於基底 102 之上的緩衝層 104、氮化鎵半導體層 106 和氮化鎵鋁半導體層 108。半導體裝置 100 還包含第一保護層 110 設置於氮化鎵鋁半導體層 108 之上，第二保護層 112 設置於第一保護層 110 之上，以及源極電極 114、汲極電極 116 和閘極電極 124 穿過第二保護層 112 和第一保護層 110，並且接觸氮化鎵鋁半導體層 108。

【0032】 半導體裝置 100 還包含連接閘極電極 124 的閘極場板 126，閘極場板 126 具有連接部 128 連接閘極電極 124，以及第一延伸部 130 和第二延伸部 132 延伸至第二保護層 112 和第一保護層 110 中。連接部 128 位於第二保護層 112 之上，且從閘極電極 124 朝向汲極電極 116 延伸。第一延伸部 130 和第二延伸部 132 介於閘極電極 124 與汲極電極 116 之間，並且第一延伸部 130 和第二延伸部 132 與氮化鎵鋁半導體層 108 的上表面被第一保護層 110 所隔開。

【0033】 一般而言，當施加操作電壓於閘極電極與汲極電極時，由於閘極電極與汲極電極之間的高電場強度，可能導致位於閘極電極之汲極側附近的材料層被擊穿 (punch through)，尤其在閘極電極的角落處。值得注意的是，在本發明實施例中，閘極電極 124 與汲極電極 116 之間具有與閘極電極 124 連接閘極場板 126，其可以減緩閘極電極 124 在靠近汲極電極 116 之側

邊的電場梯度。再者，由於閘極場板126具有第一延伸部130和第二延伸部132延伸至第二保護層112和第一保護層110中，所以在連接部128下方的電場分布會集中至延伸部130和132，這可進一步減緩閘極電極124在靠近汲極電極116之側邊的電場梯度。因此，本發明實施例利用閘極場板，其具有延伸至保護層中的延伸部，以提升半導體裝置的崩潰電壓(breakdown voltage)，進而提升半導體裝置100的效能。

【0034】 儘管在第1H圖所示的實施例中，閘極場板126具有兩個延伸部130和132介於閘極電極124與汲極電極116之間，然而，在其他實施例中，閘極場板126可具有一個或二個以上的延伸部介於閘極電極124與汲極電極116之間，以減緩閘極電極124在靠近汲極電極116之側邊的電場梯度。此外，第一延伸部130和第二延伸部132的寬度以及第一延伸部130和第二延伸部132之間間距可取決於設計需求，未侷限於第1H圖的實施例。

【0035】 此外，由於閘極場板126的第一延伸部130和第二延伸部132穿過第二保護層112且延伸至第一保護層110中，所以靠近氮化鎵鋁半導體層108的第一延伸部130和第二延伸部132有助於半導體裝置100傳導操作期間產生的熱能，以提升半導體裝置100的效能。

【0036】 第2A-2H圖是根據本發明的另一些實施例，顯示第2H圖所示的半導體裝置200在各個不同階段的剖面示意圖，其中相同於前述第1A-1H圖的實施例的部件係使用相同的標號並省略其說明。第2A-2H圖所示之實施例與前述第1A-1H圖之實

施例的差別在於第2A-2H圖的半導體裝置200還包含摻雜的化合物半導體區塊109介於氮化鎵綠半導體層108與閘極電極124之間。

【0037】 請參考第2A圖，提供基底102。接著，在基底102之上依序形成緩衝層104、氮化鎵半導體層106以及氮化鎵鋁半導體層108。接著，在氮化鎵鋁半導體層108之上形成摻雜的化合物半導體區塊109。摻雜的化合物半導體區塊109可以是如圖所示的長方形，也可以是其他形狀，例如梯形。此外，摻雜的化合物半導體區塊109的上表面也可以不是平坦的。

【0038】 在後續製程中，閘極電極124(顯示於第2G圖)將形成於摻雜的化合物半導體區塊109上。藉由設置摻雜的化合物半導體區塊109於閘極電極124與氮化鎵鋁半導體層108之間可抑制閘極電極124下方的二維電子氣(2DEG)產生，以達成半導體裝置的常關狀態。在一些實施例中，摻雜的化合物半導體區塊109的材料可以是以p型摻雜或n型摻雜的Ga₂N。形成摻雜的化合物半導體區塊109的步驟可包含透過磊晶成長製程在氮化鎵鋁半導體層108上沉積摻雜的化合物半導體層(未顯示)，對摻雜的化合物半導體層執行圖案化製程，以形成摻雜的化合物半導體區塊109對應於預定形成閘極電極124的位置。

【0039】 繼續參考第2A圖，在氮化鎵鋁半導體層108之上形成第一保護層110，第一保護層110順應性地(conformally)延伸於摻雜的化合物半導體區塊109的側壁和上表面。接著，在第一保護層110之上形成第二保護層112。第一保護層110和第二保護層112順應摻雜的化合物半導體區塊109的側壁和頂面形

成，使得第一保護層110和第二保護層112各自具有在摻雜的化合物半導體區塊109的正上方的水平部分。在一些實施例中，第二保護層112的材料不同於第一保護層110的材料。

【0040】 請參考第2B圖，在氮化鎵鋁半導體層108之上形成源極電極114和汲極電極116，源極電極114和汲極電極116穿過第二保護層112和第一保護層110，以接觸氮化鎵鋁半導體層108。

【0041】 接著，對第二保護層112執行平坦化製程，例如化學機械研磨(CMP)。如第2C圖所示，在平坦化製程之後，移除了第二保護層112在摻雜的化合物半導體區塊109正上方的水平部分。第一保護層110在摻雜的化合物半導體區塊109的正上方的水平部分從第二保護層112暴露出來，並且第一保護層110之暴露出的水平部分的上表面與第二保護層112的上表面共平面。

【0042】 請參考第2D圖，在第二保護層112和第一保護層之暴露出的水平部分之上形成第三圖案化遮罩層170。第三圖案化遮罩層170具有第三開口172、第四開口174和第五開口176，第三開口172對應於第一保護層110之暴露出的水平部分。第四開口174和第五開口176暴露出第二保護層112之上表面的一些區域，這些區域預定形成閘極場板126的延伸部130和132(顯示於第2G圖)。在一些實施例中，第三圖案化遮罩層170的材料與形成方法可與前述第1C圖的第一圖案化遮罩層150相同或相似。

【0043】 接著，通過第三圖案化遮罩層170的第三開口172

對第一保護層110執行蝕刻製程。詳細而言，在此實施例中，蝕刻製程可使用蝕刻劑，其相較於第二保護層112，對第一保護層110具有高蝕刻速率。由於第二保護層112相對於第一保護層110具有高蝕刻選擇性，所以蝕刻劑幾乎不會蝕刻第二保護層112從第三圖案化遮罩層170之第四開口174和第五開口176暴露出來的部分。

【0044】 如第2E圖所示，在蝕刻製程之後，在第一保護層110中形成第一凹陷118，且第一凹陷118暴露出摻雜的化合物半導體區塊109的上表面。由於第三圖案化遮罩層170的第三開口172對應於第一保護層110的水平部分，所以第一凹陷118僅穿過第一保護層110，而未穿過第二保護層112。

【0045】 接著，通過第三圖案化遮罩層170的第四開口174和第五開口176對第二保護層112和第一保護層110執行蝕刻製程。詳細而言，在此實施例中，摻雜的化合物半導體區塊109相對於第二保護層112和第一保護層110具有高蝕刻選擇性，所以蝕刻劑幾乎不會蝕刻摻雜的化合物半導體區塊109從第三圖案化遮罩層170之第三開口172暴露出來的部分。再者，在此實施例中，蝕刻製程可包含針對第二保護層112的主蝕刻步驟，以及對第一保護層110的過蝕刻步驟。

【0046】 如第2F圖所示，在蝕刻製程之後，在第二保護層112和第一保護層110中形成第二凹陷120和第三凹陷122。第二凹陷120和第三凹陷122穿過第二保護層112，且延伸至第一保護層110中。第二凹陷120和第三凹陷122並未穿過第一保護層110，所以第一保護層110在第二凹陷120和第三凹陷122正下方

的部分仍留在氮化鎵鋁半導體層108上。

【0047】 接著，移除在第一保護層110和第二保護層112上的第三圖案化遮罩層170。

【0048】 請參考第2G圖，在第一保護層110和第二保護層112之上形成閘極電極124以及與閘極電極124連接的閘極場板126。閘極電極124填入第一凹陷118中，並且接觸摻雜的化合物半導體區塊109。閘極場板126具有連接閘極電極124的連接部128，以及分別填入第二凹陷120與第三凹陷122中的第一延伸部130和第二延伸部132。連接部128位於第二保護層112之上表面介於閘極電極124與汲極電極116之間的區域之上。

【0049】 請參考第2H圖，在第一保護層110和第二保護層112之上形成層間介電層134，層間介電層134覆蓋閘極電極124、閘極場板126、源極電極114和汲極電極116。接著，在層間介電層134中形成與源極電極114連接的源極接觸件136、與汲極電極116連接的汲極接觸件138和與閘極電極124連接閘極接觸件140。在形成包含層間介電層134、源極接觸件136、汲極接觸件138和閘極接觸件140的內連線結構之後，形成了半導體裝置200。

【0050】 在第2H圖所示的實施例中，半導體裝置200包含基底102和依序堆疊於基底102之上的緩衝層104、氮化鎵半導體層106、氮化鎵鋁半導體層108和摻雜的化合物半導體區塊109。半導體裝置200還包含第一保護層110設置於氮化鎵鋁半導體層108之上且圍繞摻雜的化合物半導體區塊109的側壁，以及第二保護層112設置於第一保護層110之上，其中第二保護層112

不位於摻雜的化合物半導體區塊109的正上方。半導體裝置200還包含源極電極114以及汲極電極116穿過第二保護層112和第一保護層110，並且接觸氮化鎵鋁半導體層108。

【0051】 半導體裝置200還包含穿過第一保護層110且接觸摻雜的化合物半導體區塊109的閘極電極124，以及連接閘極電極124的閘極場板126。閘極場板126具有連接部128連接閘極電極124，以及第一延伸部130和第二延伸部132延伸至第二保護層112和第一保護層110中。連接部128位於第二保護層112之上，從閘極電極124朝向汲極電極116延伸。第一延伸部130和第二延伸部132介於閘極電極124與汲極電極116之間，並且第一延伸部130和第二延伸部132與氮化鎵鋁半導體層108的上表面被第一保護層110所隔開。

【0052】 在第2A-2H圖所示的實施例中，用於形成閘極電極124和閘極場板126的第一凹陷118、第二凹陷120和第三凹陷122係藉由相同圖案化遮罩層170形成，所以可節省一次形成凹陷的圖案化製程，使得半導體裝置的製造效率得以提升。

【0053】 綜上所述，本發明實施例利用閘極場板具有延伸至保護層中的延伸部，其可減緩閘極電極在靠近汲極電極之側邊的電場梯度，以提升半導體裝置的崩潰電壓 (breakdown voltage)，進而提升半導體裝置的效能。

【0054】 以上概述數個實施例，以便在本發明所屬技術領域中具有通常知識者可以更理解本發明實施例的觀點。在本發明所屬技術領域中具有通常知識者應該理解，他們能以本發明實施例為基礎，設計或修改其他製程和結構，以達到與在此介

紹的實施例相同之目的及/或優勢。在本發明所屬技術領域中具有通常知識者也應該理解到，此類等效的製程和結構並無悖離本發明的精神與範圍，且他們能在不違背本發明之精神和範圍之下，做各式各樣的改變、取代和替換。

【符號說明】

【0055】

- 100、200~半導體裝置；
- 102~基底；
- 104~緩衝層；
- 106~氮化鎵半導體層；
- 108~氮化鎵鋁半導體層；
- 109~摻雜的化合物半導體區塊；
- 110~第一保護層；
- 112~第二保護層；
- 114~源極電極；
- 116~汲極電極；
- 118~第一凹陷；
- 120~第二凹陷；
- 122~第三凹陷；
- 124~閘極電極；
- 126~閘極場板；
- 128~連接部；
- 130~第一延伸部；
- 132~第二延伸部；

- 134~層間介電層；
- 136~源極接觸件；
- 138~汲極接觸件；
- 140~閘極接觸件；
- 150~第一圖案化遮罩層；
- 152~第一開口；
- 160~第二圖案化遮罩層；
- 162~第二開口；
- 164~第三開口；
- 170~第三圖案化遮罩層；
- 172~第四開口；
- 174~第五開口；
- 176~第六開口。

I664727

發明摘要

【發明名稱】 半導體裝置及其製造方法

Semiconductor devices and methods for fabricating
the same

【中文】

一種半導體裝置，包含設置於基底上的化合物半導體層，以及設置於化合物半導體層上保護層。源極電極、汲極電極和閘極電極穿過保護層且設置於化合物半導體層上。此半導體裝置還包含閘極場板，其連接閘極電極且設置於保護層介於閘極電極與汲極電極之間的部分上。閘極場板具有延伸至保護層中的延伸部。

【英文】

A semiconductor device includes a compound semiconductor layer disposed over a substrate, a protection layer disposed over the compound semiconductor layer, and a source electrode, a drain electrode and a gate electrode penetrating the protection layer and disposed over the compound semiconductor layer. The semiconductor device also includes a gate field plate connecting the gate electrode and disposed over a portion of the protection layer between the gate electrode and the drain electrode. The gate field plate has an extension portion extending into the protection layer.

【代表圖】

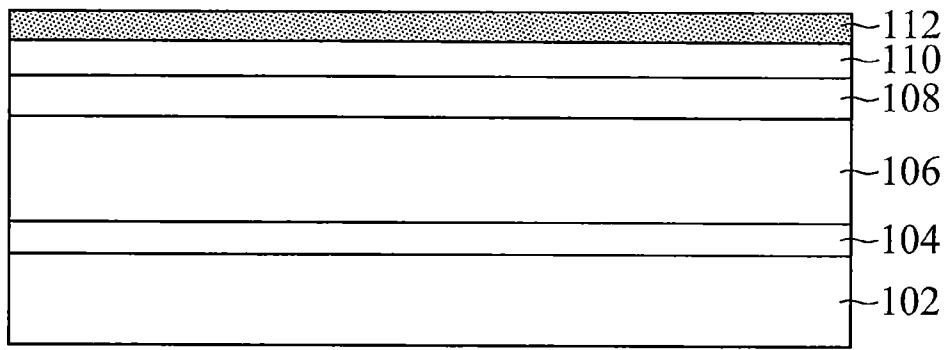
【本案指定代表圖】：第(1H)圖

【本代表圖之符號簡單說明】：

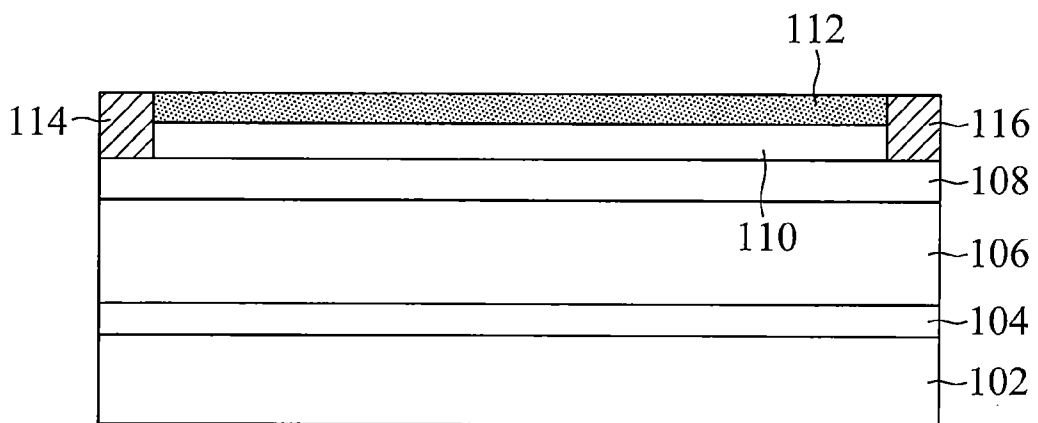
- 100~半導體裝置；
- 102~基底；
- 104~緩衝層；
- 106~氮化鎵半導體層；
- 108~氮化鎵鋁半導體層；
- 110~第一保護層；
- 112~第二保護層；
- 114~源極電極；
- 116~汲極電極；
- 118~第一凹陷；
- 120~第二凹陷；
- 122~第三凹陷；
- 124~閘極電極；
- 126~閘極場板；
- 128~連接部；
- 130~第一延伸部；
- 132~第二延伸部；
- 134~層間介電層；
- 136~源極接觸件；
- 138~汲極接觸件；
- 140~閘極接觸件。

【本案若有化學式時，請揭露最能顯示發明特徵的化學式】：無。

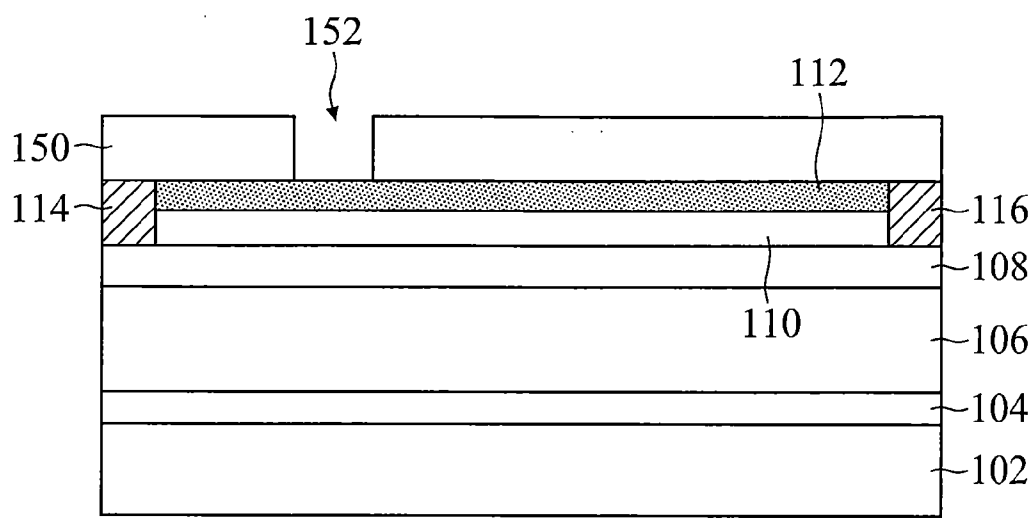
圖式



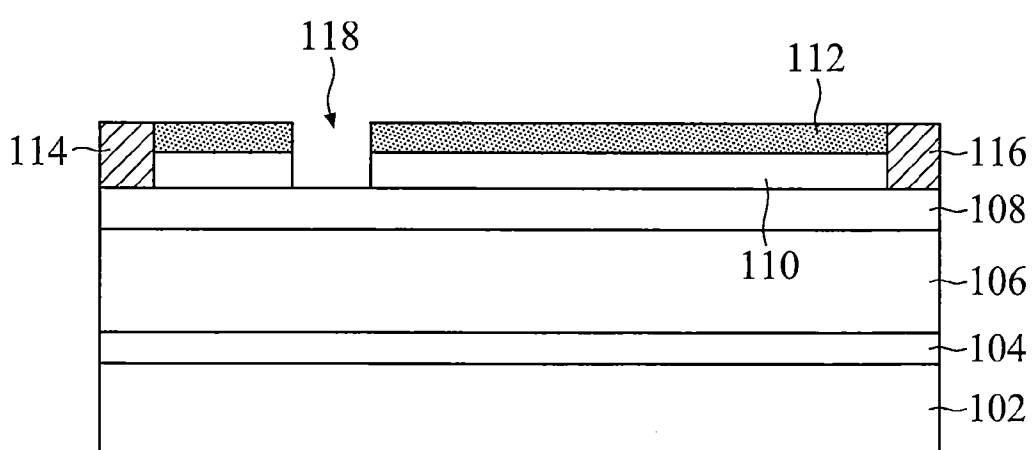
第 1A 圖



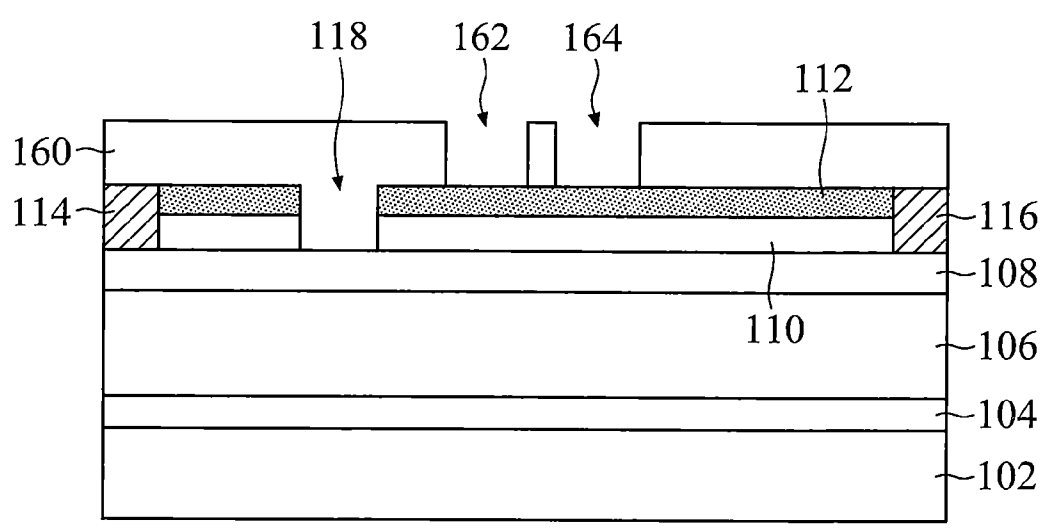
第 1B 圖



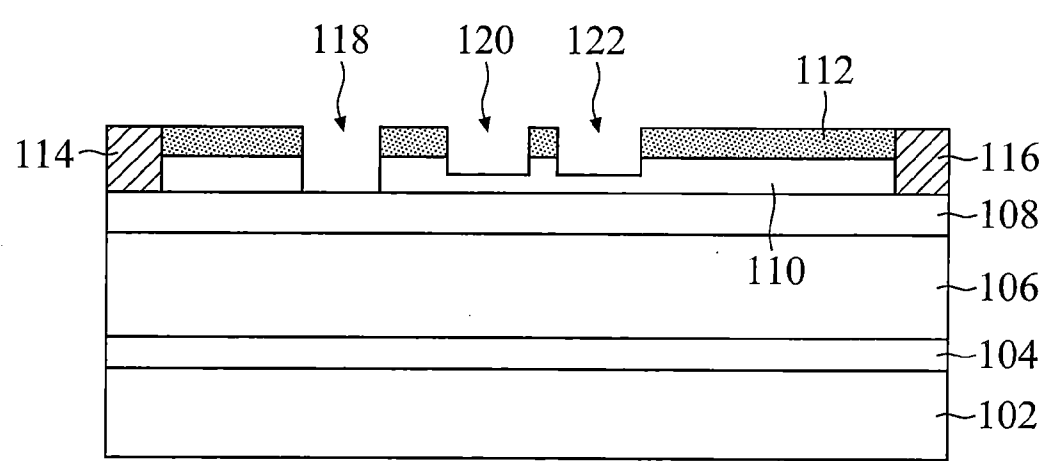
第 1C 圖



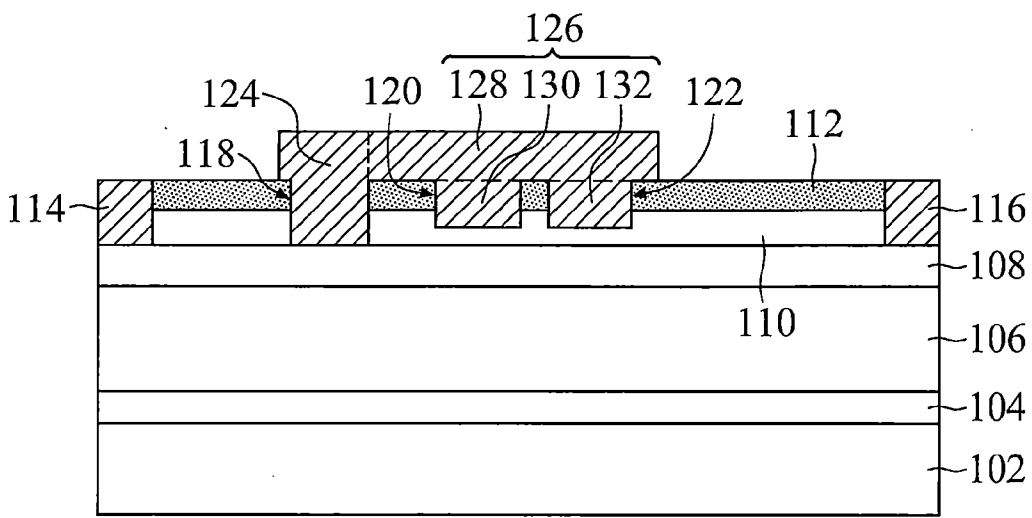
第 1D 圖



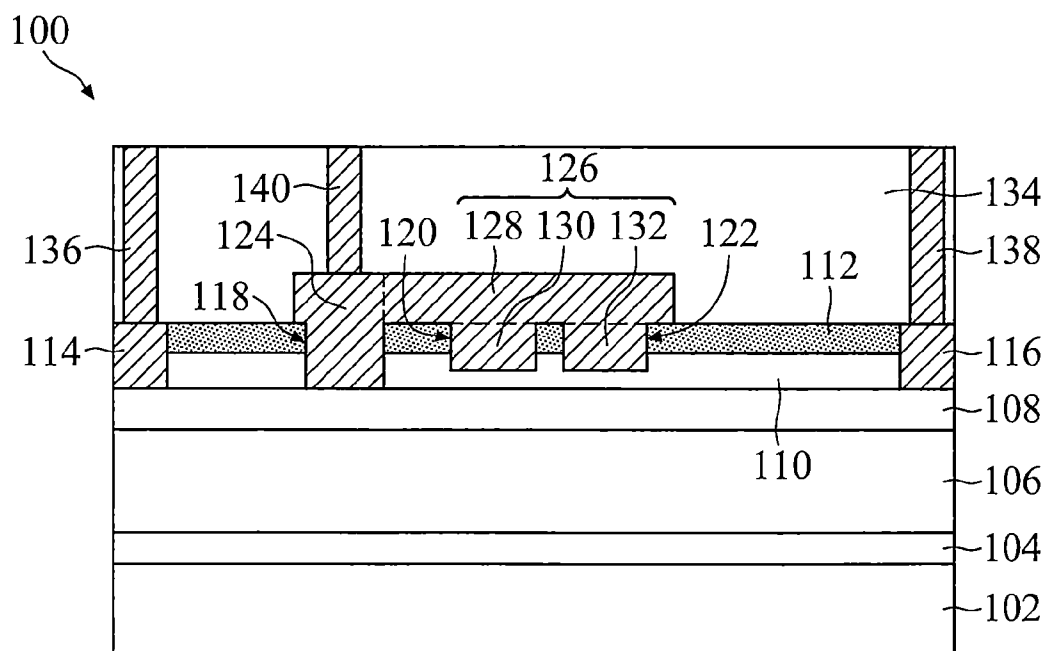
第 1E 圖



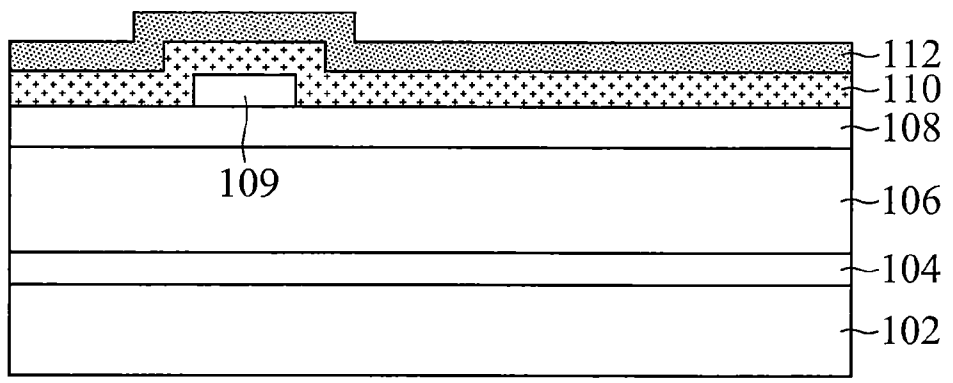
第 1F 圖



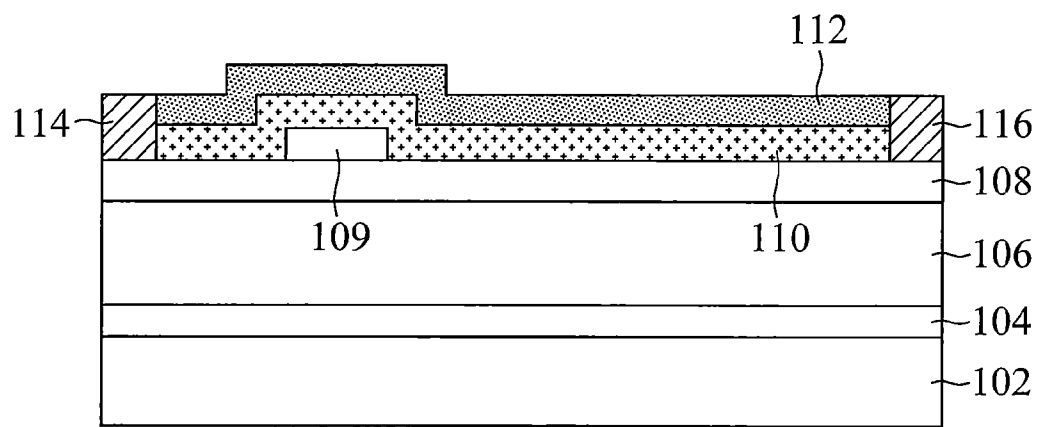
第 1G 圖



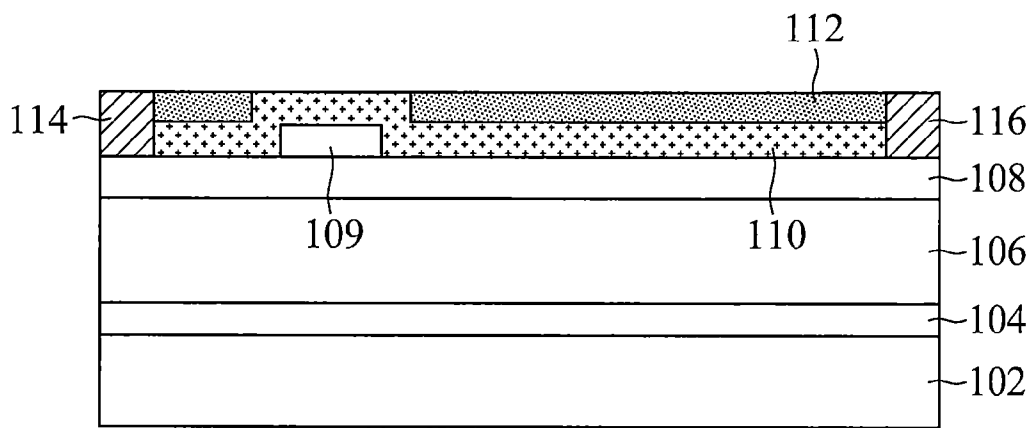
第 1H 圖



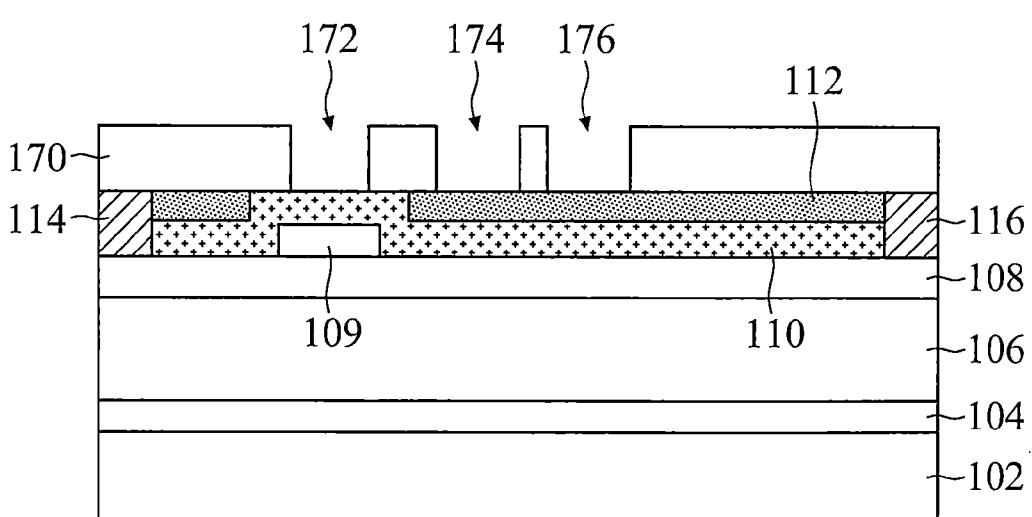
第 2A 圖



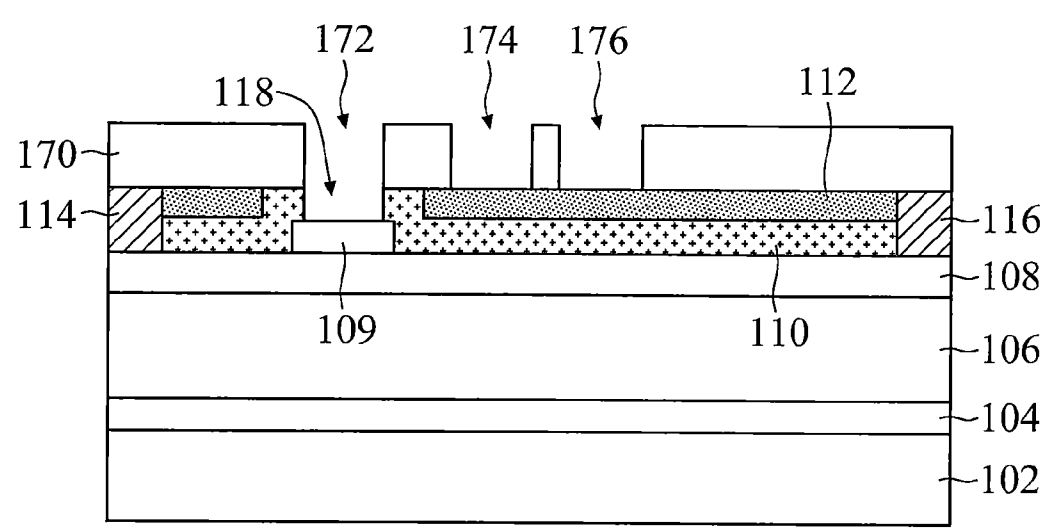
第 2B 圖



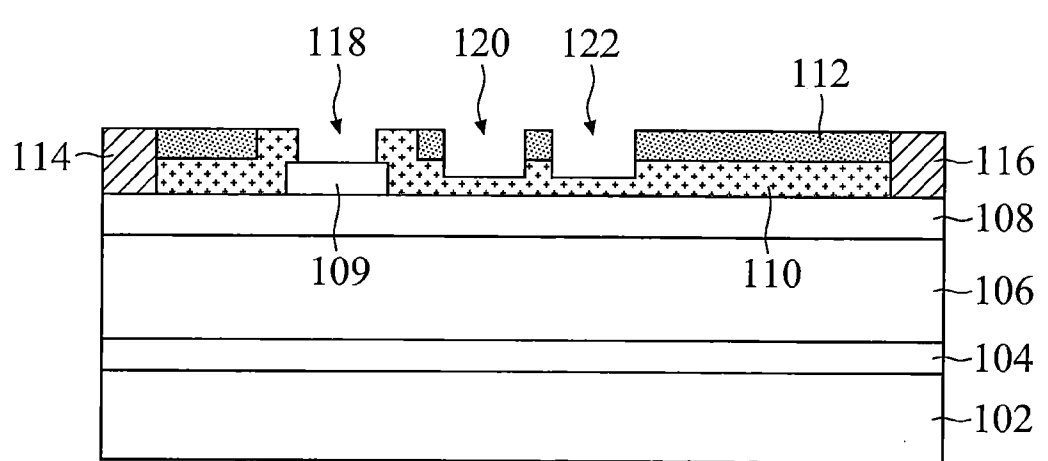
第 2C 圖



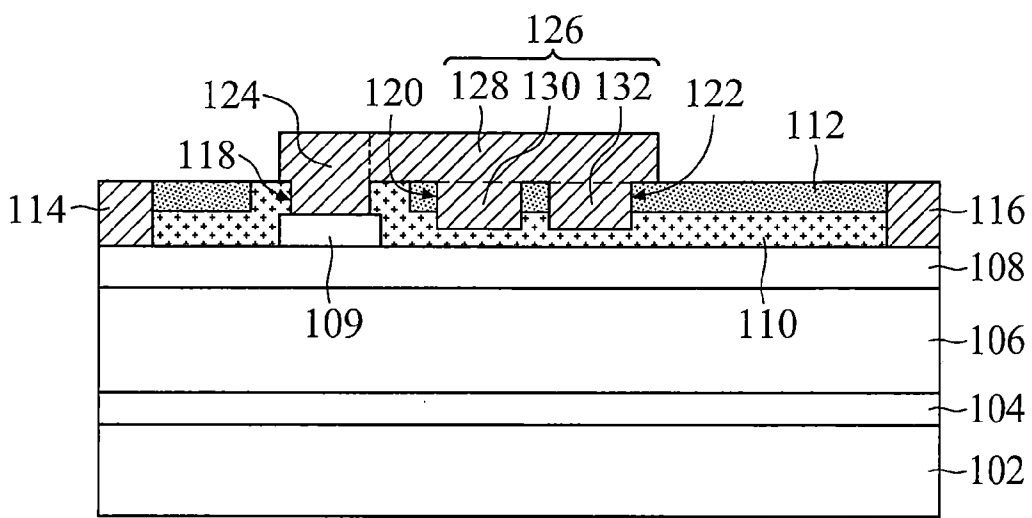
第 2D 圖



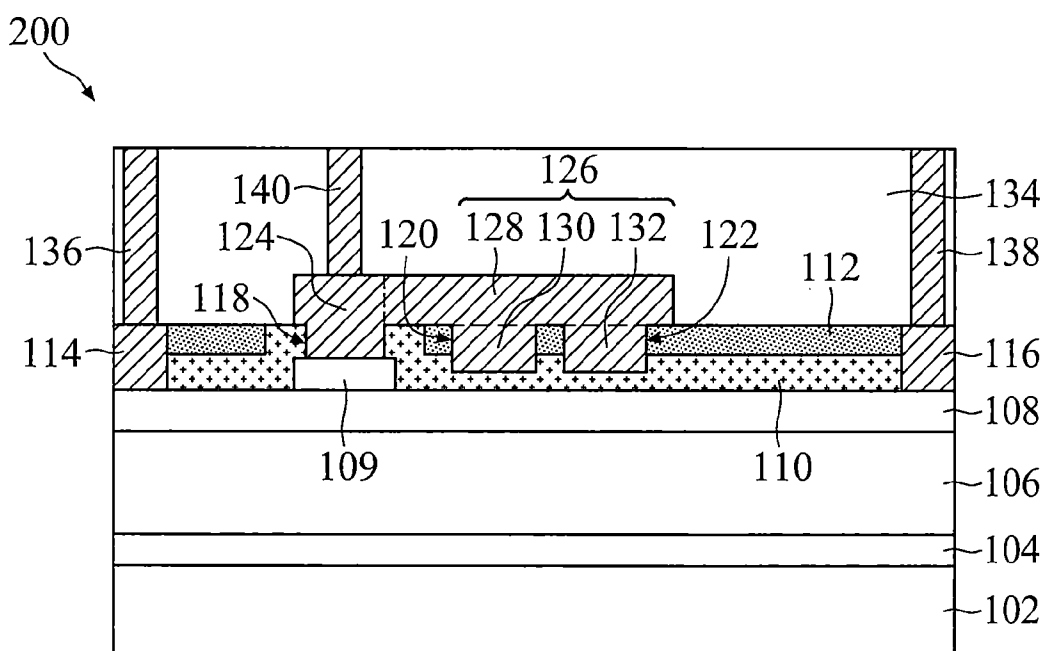
第 2E 圖



第 2F 圖



第 2G 圖



第 2H 圖

間，例如，約主蝕刻時間 10% 至約 30%。在一些實施例中，形成第二凹陷 120 和第三凹陷 122 的蝕刻製程可以是乾式蝕刻製程、乾式蝕刻製程或前述之組合，並且可以相同、相似或不同於前述形成第一凹陷 118 的蝕刻製程。

【0025】 接著，移除在第二保護層 112 上的第二圖案化遮罩層 160。在一些實施例中，可使用灰化 (ash) 製程或剝離製程移除第二圖案化遮罩層 160。

【0026】 請參考第 1G 圖，在第二保護層 112 之上形成閘極電極 124 以及與閘極電極 124 連接的閘極場板 126。閘極電極 124 填入第一凹陷 118 中，並且接觸氮化鎵鋁半導體層 108。閘極場板 126 具有連接閘極電極 124 的連接部 128，以及分別填入第二凹陷 120 與第三凹陷 122 中的第一延伸部 130 和第二延伸部 132。連接部 128 位於第二保護層 112 之上表面介於閘極電極 124 與汲極電極 116 之間的區域之上。

【0027】 在一些實施例中，形成閘極電極 124 和與閘極場板 126 的步驟可以包含沉積導電材料層 (未顯示) 於第二保護層 112 之上，且填充第一凹陷 118、第二凹陷 120 和第三凹陷 122，以及將導電材料層圖案化。導電材料層的圖案化可包含透過光微影製程於導電材料層上形成圖案化遮罩層 (未顯示)，對導電材料層執行蝕刻製程例如乾蝕刻或濕蝕刻，以移除導電材料層未被圖案化遮罩層覆蓋的部分，之後移除導電材料層之剩餘部分上的圖案化遮罩層。導電材料層可以是金屬或半導體材料。金屬可以是金 (Au)、鎳 (Ni)、鉑 (Pt)、鈀 (Pd)、銱 (Ir)、鈦 (Ti)、鉻 (Cr)、鎢 (W)、鋁 (Al)、銅 (Cu)、類似材料、前述之組合或前述

申請專利範圍

1. 一種半導體裝置，包括：
 - 一化合物半導體層，設置於一基底之上；
 - 一保護層，設置於該化合物半導體層之上；
 - 一源極電極、一汲極電極和一閘極電極，穿過該保護層且設置於該化合物半導體層之上；以及
 - 一閘極場板，連接該閘極電極且設置於該保護層介於該閘極電極與該汲極電極之間的一部分之上，其中該閘極場板具有延伸至該保護層中的一延伸部，其中該延伸部與該閘極電極被該保護層隔開。
2. 如申請專利範圍第1項所述之半導體裝置，其中該閘極場板的該延伸部與該化合物半導體層隔開。
3. 如申請專利範圍第1項所述之半導體裝置，其中該保護層包括：
 - 一第一保護層，設置於該化合物半導體層上；以及
 - 一第二保護層，設置於該第一保護層上，該第一保護層的材料不同於該第二保護層的材料。
4. 如申請專利範圍第3項所述之半導體裝置，其中該閘極場板的該延伸部穿過該第一保護層且延伸至該第二保護層中。
5. 如申請專利範圍第1項所述之半導體裝置，更包括：一摻雜的化合物半導體區塊，設置於該化合物半導體層與該閘極電極之間。
6. 如申請專利範圍第5項所述之半導體裝置，其中該保護層包括：

- 一第一保護層，圍繞該摻雜的化合物半導體區塊的側壁；以及
- 一第二保護層，設置於該第一保護層上，該第二保護層不位於該摻雜的化合物半導體區塊的正上方，其中該第一保護層的材料不同於該第二保護層的材料。
- 7.如申請專利範圍第6項所述之半導體裝置，其中該第一保護層具有在該摻雜的化合物半導體區塊上方的一水平部分，該第一保護層的該水平部分的上表面與第二保護層的上表面共平面。
- 8.如申請專利範圍第1項所述之半導體裝置，其中該半導體裝置為高電子遷移率電晶體(HEMT)。
- 9.如申請專利範圍第1項所述之半導體裝置，其中該閘極場板具有另一延伸部介於該延伸部與該汲極電極之間且延伸至該保護層中。
- 10.一種半導體裝置的製造方法，包括：
- 在一基底之上形成一化合物半導體層；
 - 在該化合物半導體層之上形成一保護層；
 - 穿過該保護層形成一源極電極、一汲極電極和一閘極電極於該化合物半導體層之上；以及
 - 在該保護層介於該閘極電極與該汲極電極之間的一部分之上形成一閘極場板，以連接該閘極電極，其中該閘極場板具有延伸至該保護層中的一延伸部，其中該延伸部與該閘極電極被該保護層隔開。
- 11.如申請專利範圍第10項所述之半導體裝置的製造方法，其

中形成該閘極電極和該閘極場板的步驟包括：

在該保護層中形成一第一凹陷和一第二凹陷，其中該第二凹陷介於該第一凹陷與該汲極電極之間；

在該保護層之上形成一導電材料層填充該第一凹陷和該第二凹陷；以及

將該導電材料層圖案化，以形成該閘極電極填充該第一凹陷和該閘極場板連接閘極電極且填充該第二凹陷。

12. 如申請專利範圍第11項所述之半導體裝置的製造方法，其中該第一凹陷暴露出該化合物半導體層，而該第二凹陷未暴露出該化合物半導體層。

13. 如申請專利範圍第12項所述之半導體裝置的製造方法，其中該保護層的形成包括：

在該化合物半導體層上沉積一第一保護層；以及

在該第一保護層上沉積一第二保護層，其中該第一保護層的材料不同於該第二保護層的材料。

14. 如申請專利範圍第11項所述之半導體裝置的製造方法，其中形成該第一凹陷和該第二凹陷的步驟包括：

在該保護層之上形成一第一圖案化遮罩層；

通過該第一圖案化遮罩層的一第一開口蝕刻該保護層，以形成該第一凹陷暴露出該化合物半導體層；

移除該第一圖案化遮罩層；

在該保護層之上形成一第二圖案化遮罩層；

通過該第二圖案化遮罩層的一第二開口蝕刻該保護層，以形成該第二凹陷於該保護層中，且未暴露出該化合物半導

體層；以及

移除該第二圖案化遮罩層。

15. 如申請專利範圍第 11 項所述之半導體裝置的製造方法，更包括：在形成該化合物半導體層之後，且在形成該保護層之前，形成一摻雜的化合物半導體區塊，其中該閘極電極形成於該摻雜的化合物半導體區塊之上。
16. 如申請專利範圍第 15 項所述之半導體裝置的製造方法，其中該保護層的形成包括：
在該化合物半導體層上沉積一第一保護層，以順應性地覆蓋該摻雜的化合物半導體區塊的側壁和上表面；以及
在該第一保護層上沉積一第二保護層，其中該第一保護層的材料不同於該第二保護層的材料。
17. 如申請專利範圍第 16 項所述之半導體裝置的製造方法，更包括：
在形成該第二保護層之後，執行一平坦化製程，移除該第二保護層位於該摻雜的化合物半導體區塊正上方的一部分，使得該第一保護層位於該摻雜的化合物半導體區塊正上方的的一水平部分暴露出來。
18. 如申請專利範圍第 17 項所述之半導體裝置的製造方法，其中形成該第一凹陷和該第二凹陷的步驟包括：
在該平坦化製程之後，在該第一保護層和該第二保護層之上形成一第三圖案化遮罩層；
通過該第三圖案化遮罩層的一第三開口蝕刻該第一保護層之該水平部分，以形成該第一凹陷暴露出該摻雜的化合物

半導體區塊；

通過該第三圖案化遮罩層的一第四開口蝕刻該第二保護層和該第一保護層，以形成該第二凹陷於該第一保護層和該第二保護層中，且未暴露出該化合物半導體層；以及
移除該第三圖案化遮罩層。

19. 如申請專利範圍第 11 項所述之半導體裝置的製造方法，其中形成該第一凹陷和該第二凹陷的步驟更包括形成一第三凹陷於該第二凹陷與該汲極電極之間；
其中該導電材料層更填充該第三凹陷；
其中在蝕刻該導電材料層之後，該閘極場板具有另一延伸部填充該第三凹陷。