



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월16일
(11) 등록번호 10-2443777
(24) 등록일자 2022년09월13일

(51) 국제특허분류(Int. Cl.)
H01G 4/252 (2006.01) H01G 2/06 (2006.01)
H01G 4/12 (2006.01) H01G 4/232 (2006.01)
H01G 4/30 (2006.01)
(52) CPC특허분류
H01G 4/252 (2013.01)
H01G 2/065 (2013.01)
(21) 출원번호 10-2019-7013300
(22) 출원일자(국제) 2017년11월30일
심사청구일자 2019년05월09일
(85) 번역문제출일자 2019년05월09일
(65) 공개번호 10-2019-0059972
(43) 공개일자 2019년05월31일
(86) 국제출원번호 PCT/JP2017/043063
(87) 국제공개번호 WO 2018/101405
국제공개일자 2018년06월07일
(30) 우선권주장
JP-P-2016-233717 2016년12월01일 일본(JP)
(56) 선행기술조사문헌
JP2002171055 A*
JP2008518428 A*
KR1020150127965 A*
KR1020140000151 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
(72) 발명자
후지타 유키히로
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시킴가이샤 무라타 세이사쿠쇼 내
칸베 쇼고
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시킴가이샤 무라타 세이사쿠쇼 내
(뒷면에 계속)
(74) 대리인
윤앤리특허법인(유한)

전체 청구항 수 : 총 6 항

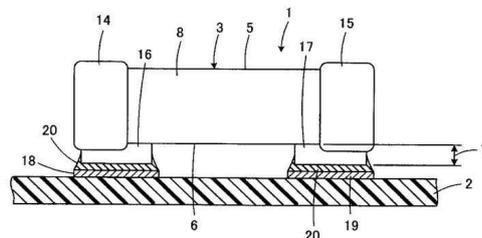
심사관 : 황승희

(54) 발명의 명칭 칩형 전자 부품

(57) 요약

원하는 위치 및 방향에 충분한 내열성을 가지는 스페이서를 배치하는 것이 용이한 칩형 전자 부품을 제공한다. 스페이서(16, 17)는 실장면(6) 상에서 상기 실장면(6)에 대하여 수직인 방향으로 측정된 소정의 두께 방향 치수(T)를 가지고 있으며, 예를 들면, 적층 세라믹 콘덴서의 "음향 잡음" 억제 효과가 있고, 3차원 실장도 가능하게 한다. 스페이서(16, 17)는 Cu 및 Ni로부터 선택되는 적어도 1종의 고용점 금속, 및 저용점 금속으로서의 Sn을 포함하는 금속 간 화합물을 주성분으로 하고 있다.

대표도 - 도1



(52) CPC특허분류

H01G 4/12 (2021.01)

H01G 4/232 (2013.01)

H01G 4/30 (2013.01)

(72) 발명자

나카노 코스케

일본국 교토 나가오카쿄시 히가시코타리 1초메 10
방 1고 가부시키키가이샤 무라타 세이사쿠쇼 내

오츠카 히데키

일본국 교토 나가오카쿄시 히가시코타리 1초메 10
방 1고 가부시키키가이샤 무라타 세이사쿠쇼 내

명세서

청구범위

청구항 1

실장 기관 측으로 향하는 실장면을 가지는 칩형의 부품 본체와,

상기 부품 본체의 외표면 중 적어도 실장면 상에 마련된 적어도 2개의 외부 전극과,

상기 외부 전극 각각과 전기적으로 접속되며, 또한 적어도 일부가 상기 부품 본체의 상기 실장면을 따라 마련된 적어도 2개의 스페이서를 포함하며,

상기 부품 본체는 서로 대향하는 제1 및 제2 주면(主面)과, 상기 제1 및 제2 주면 간을 연결하면서, 각각 서로 대향하는 제1 및 제2 측면 그리고 제1 및 제2 단면(端面)을 가지는 직육면체 형상이고, 상기 실장면은 상기 제2 주면에 의해 부여되며, 상기 외부 전극 각각은 상기 제1 및 제2의 단면 상 그리고 각 상기 단면에서 상기 제1 및 제2 주면의 각 일부와 상기 제1 및 제2 측면의 각 일부에까지 연장되도록 형성되고,

상기 스페이서는 상기 실장면 상에서 상기 실장면에 대하여 수직인 방향으로 측정된 소정의 두께 방향 치수를 가지며, 또한 Cu 및 Ni로부터 선택되는 적어도 1종의 고용점 금속, 및 저융점 금속으로서의 Sn을 포함하는 금속 간 화합물을 함유하고,

상기 스페이서는 상기 실장면이 되는 상기 주면을 따라 마련되며, 상기 외부 전극 각각에 접하는 부분과 상기 주면에 접하는 부분을 가지는 칩형 전자 부품.

청구항 2

제1항에 있어서,

상기 고용점 금속은 Cu 및 Ni를 포함하고,

상기 금속 간 화합물은 Sn과 Cu-Ni 합금의 반응에 의해 생성된 금속 간 화합물인 칩형 전자 부품.

청구항 3

삭제

청구항 4

제1항 또는 제2항에 있어서,

상기 칩형 전자 부품은 적층 세라믹 콘덴서인 칩형 전자 부품.

청구항 5

제4항에 있어서,

각 상기 스페이서의 상기 두께 방향 치수는 10 μ m 이상인 칩형 전자 부품.

청구항 6

제1항 또는 제2항에 있어서,

상기 스페이서는 상기 금속 간 화합물과는 별도로 단체(單體)의 Sn 금속을 포함하는 칩형 전자 부품.

청구항 7

제1항 또는 제2항에 있어서,

상기 외부 전극에서의 적어도 상기 스페이서로부터 노출된 부분의 최외층은 Sn을 포함하는 층인 칩형 전자 부품.

발명의 설명

기술 분야

[0001] 이 발명은 칩형 전자 부품에 관한 것이고, 특히 칩형 전자 부품의 단자 부분의 개량에 관한 것이다.

배경 기술

[0002] 칩형 전자 부품의 일레로서의 적층 세라믹 콘덴서에서, 외부 전극 간에 전압을 인가했을 때, 내부 전극의 서로 이웃하는 것이 서로 대향하고 있는 부분에 유전 분극이 발생한다. 이 유전 분극에 의해 초래된 정전 용량은 외부 전극을 통해 취출(取出)할 수 있다.

[0003] 상술한 바와 같은 내부 전극의 대향에 의한 정전 용량의 형성에 기여하는 유전체는, 인가되는 전압에 따라 전계 유기(誘起) 왜곡을 일으킨다. 적층 세라믹 콘덴서가 기판 상에 표면 실장되고 있는 경우, 이 전계 유기 왜곡에 의해 적층 세라믹 콘덴서가 기판을 변형시켜 이 변형의 주파수에 의해서는 "음향 잡음(acoustic noise)"으로 불리는 소리를 발생시킨다. 그리고, 이 "음향 잡음"이 커지면 소음의 문제를 일으킨다.

[0004] 예를 들면, 미국 특허출원공개 제2016/0093441호 명세서(특허문헌 1) 및 국제공개 제2015/098990호(특허문헌 2)에는 상술한 "음향 잡음"을 억제하기 위해 적층 세라믹 콘덴서와 같은 칩형 전자 부품의 한 쌍의 외부 전극의 각 일부를 덮도록 스페이서(특허문헌 1에서는 "metal frame"으로 호칭되며, 특허문헌 2에서는 "접합 부재"로 호칭되고 있다.)를 마련하는 것이 기재되어 있다. 이들 스페이서는 칩형 전자 부품에서의 부품 본체의 적어도 실장 기판 측의 면에 마련된다. 따라서, 칩형 전자 부품은 스페이서를 개재하여 실장 기판 상에 실장된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 미국 특허출원공개 제2016/0093441호 명세서
(특허문헌 0002) 국제공개 제2015/098990호

발명의 내용

해결하려는 과제

[0006] 특허문헌 1에서는, 스페이서는 예를 들면, 도전성 금속, 도전성 수지, 또는 금속 등으로 코팅된 회로 기판과 같은 도전성 재료로 이루어지는, 이라고 기재되어 있다. 또한, 스페이서는 미리 형성된 블록체로 이루어지는 것으로 스페이서를 마련하기 위해 특허문헌 1에서는 스페이서가 되어야 할 블록체를 칩형 전자 부품의 소정의 위치에 배치하는, 이라고 기재되어 있다.

[0007] 그러나, 예를 들면, 평면 치수가 1.1~2.0mm×0.6~0.9mm라고 한 소형의 칩형 전자 부품에 대하여, 상술한 블록체를 원하는 위치 및 방향에 장착하는 것은 용이하지 않다. 블록체를 칩형 전자 부품에서의 소정의 위치에 배치하려고 할 때, 블록체가 자주 칩형 전자 부품에 대하여 원하지 않는 위치로 벗어나거나, 원하지 않는 방향으로 회전하거나 하는 것이 상상된다.

[0008] 또한, 스페이서가 도전성 수지로 구성될 때에는, 예를 들면, 납땜 부착시의 온도를 견뎌낼 수 없는 것이 생각된다.

[0009] 한편, 특허문헌 2에서는 본건 발명에 있어서 흥미 있는 스페이서의 재료로서 납 프리 납땜(Sn-Ag-Cu)이 예시되어 있다. 납 프리 납땜을 이용하여 스페이서를 형성함에 있어서는, 상기 납땜 페이스트를 칩형 전자 부품에서의 소정의 부분에 인쇄하고, 납땜의 용융 온도로 리플로우 처리한 후, 냉각하는 것이 특허문헌 2에 기재되어 있다.

[0010] 특허문헌 2에 기재된 방법에 의하면, 납땜 페이스트를 인쇄하는 공정에서는 원하지 않는 위치로 벗어나거나, 원하지 않는 방향으로 회전하거나 하지 않고, 칩형 전자 부품의 소정의 부분에 원하는 형태를 가지고, 납땜 페이스트를 부여하는 것이 비교적 용이하다.

[0011] 그러나, 후술하는 실험예에 의해 분명하게 하는 바와 같이, 본건 발명자에 의하면 Sn-Ag-Cu 조성의 납 프리 납

땀을 이용하여 스페이서를 형성하려고 해도 적절한 형태의 스페이서를 얻는 것은 불가능 또는 지극히 곤란했다. 왜냐하면 리플로우 공정에서 납땀 페이스트에 포함되는 금속 성분이 용융되어, 납땀 페이스트의 인쇄시의 형태를 유지할 수 없기 때문이다. 보다 구체적으로는, 납땀이 외부 전극을 따라 젖음 확산되고, 인쇄시의 두께를 유지할 수 없거나, 반대로 납땀이 외부 전극 상에서 튕겨져서 구상(球狀)으로 솟아오르거나, 혹은 납땀이 외부 전극 상에서 이동하여 위치 벗어남을 초래하거나 하는 것이 있었다.

[0012] 따라서, 이 발명의 목적은 원하는 형태를 가지고, 충분한 내열성을 가지는 스페이서를 배치하는 것이 용이한 칩형 전자 부품을 제공하려고 하는 것이다.

과제의 해결 수단

[0013] 이 발명은 실장 기관 측으로 향하는 실장면을 가지는 칩형의 부품 본체와, 부품 본체의 외표면 상에 마련된 적어도 2개의 외부 전극과, 외부 전극 각각과 전기적으로 접속되며, 또한 적어도 일부가 부품 본체의 실장면을 따라 마련된 적어도 2개의 스페이서를 포함하며, 스페이서는 실장면 상에서 상기 실장면에 대하여 수직인 방향으로 측정된 소정의 두께 방향 치수를 가지고 있는, 칩형 전자 부품으로 향하는 것으로서, 상술한 기술적 과제를 해결하기 위해 스페이서는 Cu 및 Ni로부터 선택되는 적어도 1종의 고용점 금속, 및 저융점 금속으로서의 Sn을 포함하는 금속 간 화합물을 주성분으로 하고 있는 것을 특징으로 하고 있다.

[0014] 상술한 바와 같은 조성을 가지는 금속 간 화합물을 주성분으로 하는 스페이서는 Cu 및 Ni로부터 선택되는 적어도 1종과 Sn을 포함하는 페이스트를, 원하는 형태로 부품 본체에 부여하고 가열함으로써 얻어진다. 이 경우, 페이스트에 부여된 형태가 경화 후의 스페이서에서도 거의 유지될 수 있다.

[0015] 이 발명에서 금속 간 화합물은 Sn과 Cu-Ni 합금의 반응에 의해 생성된 금속 간 화합물인 것이 바람직하다. 이와 같은 금속 간 화합물은 이를 생성함에 있어서 반응 속도가 빠르고, 형상의 변화가 적다는 이점을 가진다.

[0016] 이 발명은 다음과 같은 칩형 전자 부품에 대하여 유리하게 적용된다. 즉, 부품 본체는 서로 대향하는 제1 및 제2 주면(主面)과, 제1 및 제2 주면 간을 연결하면서, 각각 서로 대향하는 제1 및 제2 측면 그리고 제1 및 제2 단면(端面)을 가지는 직육면체 형상이고, 실장면은 제2 주면에 의해 부여되며, 외부 전극 각각은 제1 및 제2 단면 상 그리고 각 단면에서 제1 및 제2 주면의 각 일부와 제1 및 제2 측면의 각 일부에까지 연장되도록 형성되고, 각 스페이서는 실장면이 되는 주면을 따라 마련되며, 외부 전극 각각에 접하는 부분과 주면에 접하는 부분을 가진다.

[0017] 이 발명에 따른 칩형 전자 부품은 상술한 바와 같은 구성을 포함하는 적층 세라믹 콘덴서인 것이 바람직하다. 이와 같이, 이 발명이 적층 세라믹 콘덴서로 향할 때, 스페이서는 적층 세라믹 콘덴서에서 자주 야기되는 문제인 "음향 잡음"을 저감하는 효과를 발휘한다.

[0018] 상술한 적층 세라믹 콘덴서에서 "음향 잡음"을 저감하는 효과를 보다 확실하게 발휘시키기 위해서는 각 스페이서의 두께 방향 치수는 10 μ m 이상인 것이 바람직하다.

[0019] 이 발명에서, 스페이서는 금속 간 화합물과는 별도로 단체(單體)의 Sn 금속을 포함하는 것이 바람직하다. 스페이서 중의 Sn 금속은 칩형 전자 부품을 실장 기관에 실장할 때, 스페이서에서 양호한 납땀 부착성을 실현한다.

[0020] 이 발명에서, 외부 전극에서의 적어도 스페이서로부터 노출된 부분의 최외층은 Sn을 포함하는 층인 것이 바람직하다. 이 구성은 스페이서를 마련하기 전의 단계에서는 외부 전극에서의 스페이서와 접하는 영역에서도 Sn을 포함하는 층이 존재하고 있던 것을 의미한다. 이 Sn은 스페이서에서의 금속 간 화합물의 순조로운 생성에 기여한다.

발명의 효과

[0021] 이 발명에 의하면, 스페이서가 Cu 및 Ni로부터 선택되는 적어도 1종의 고용점 금속, 및 저융점 금속으로서의 Sn을 포함하는 금속 간 화합물을 주성분으로 하고 있으므로, 납땀 부착시의 온도여도 용융하지 않는 용점을 가지며, 또한 원하는 형태를 가지고 배치하는 것이 용이한 스페이서를 포함하는 칩형 전자 부품을 얻을 수 있다.

도면의 간단한 설명

[0022] 도 1은 이 발명의 제1 실시형태에 의한 칩형 전자 부품(1)을 실장 상태로 나타내는 정면도이고, 실장 기관(2) 측의 요소를 단면도로 나타내고 있다.

도 2는 도 1에 나타난 칩형 전자 부품(1)의 저면도이다.

도 3은 도 2의 선 III-III을 따르는 칩형 전자 부품(1)의 단면도이다.

도 4는 이 발명의 제2 실시형태에 의한 칩형 전자 부품(21)을 실장 상태로 나타내는 것으로, (A)는 정면도이고, (B)는 평면도이다.

도 5는 적층 세라믹 콘덴서를 구성하는 칩형 전자 부품(1)의 "음향 잡음" 때문에 발생하는 소음의 음압 레벨을 측정하는 장치의 개략을 나타내는 도면이다.

도 6은 실험예 1에서 도 5에 나타난 장치를 이용하여 측정된 음압 레벨과 스페이서의 두께의 관계를 나타내는 도면이다.

도 7은 실험예 2에서 제작한 실시예 및 비교예의 각각에 따른 칩형 전자 부품(41)의 외관을 나타내는 저면도이고, 칩형 전자 부품(41)의 외부 전극(43 및 44) 상에 스페이서가 되어야 할 금속 재료 페이스트 후막(厚膜)(46)을 형성한 상태를 나타낸다.

도 8은 도 7에 나타난 금속 재료 페이스트 후막(46)을 실시예에 의한 조성에 따라 형성된 경우에서의 리플로우 처리 후의 금속 재료 후막(47)의 상태를 나타내는 도면이다.

도 9는 도 7에 나타난 금속 재료 페이스트 후막(46)을 비교예에 의한 조성에 따라 형성된 경우로서, 외부 전극(43 및 44)을, Cu를 도전 성분으로 하는 도전성 페이스트의 베이킹층과 그 위의 Ni 도금층과 그 위의 Sn 도금층에 의해 형성된 경우에서의 리플로우 처리 후의 금속 재료 후막(47)의 상태를 나타내는 도면이다.

도 10은 도 7에 나타난 금속 재료 페이스트 후막(46)을 비교예에 의한 조성에 따라 형성된 경우로서, 외부 전극(43 및 44)을, Cu를 도전 성분으로 하는 도전성 페이스트의 베이킹층으로만 형성된 경우에서의 리플로우 처리 후의 금속 재료 후막(47)의 상태를 나타내는 도면이다.

도 11은 도 7에 나타난 금속 재료 페이스트 후막(46)을 비교예에 의한 조성에 따라 형성된 경우로서, 외부 전극(43 및 44)을, Cu를 도전 성분으로 하는 도전성 페이스트의 베이킹층으로만 형성되지만, 더욱이 배럴 연마를 행한 경우에서의 리플로우 처리 후의 금속 재료 후막(47)의 상태를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 도 1 내지 도 3을 참조하여, 이 발명의 제1 실시형태에 의한 칩형 전자 부품(1)에 대해서 설명한다. 이 실시형태에서는 칩형 전자 부품(1)은 적층 세라믹 콘덴서이다.
- [0024] 칩형 전자 부품(1)은 칩형의 부품 본체(3)를 포함하고 있다. 부품 본체(3)는 직육면체상이고 서로 대향하는 제1 및 제2 주면(5 및 6)과, 제1 및 제2 주면(5 및 6) 간을 연결하면서, 각각 서로 대향하는 제1 및 제2 측면(7 및 8) 그리고 제1 및 제2 단면(9 및 10)을 가지고 있다. 직육면체 형상의 부품 본체(3)는 통상 능선부나 모서리부에서 R면취된다.
- [0025] 부품 본체(3)는 도 3에 나타내는 바와 같이, 복수개의 적층된 세라믹층(11)과, 복수개의 세라믹층(11) 간의 계면을 따라 형성된 복수개의 내부 전극(12 및 13)을 포함하고 있다. 세라믹층(11)은 유전체 세라믹으로 이루어진다. 내부 전극(12 및 13)은, 예를 들면, Ni를 도전 성분으로서 포함한다.
- [0026] 내부 전극(12 및 13)은 그 단부 가장자리(端緣)가 부품 본체(3)의 단면(9 및 10)의 어느 하나에 노출되도록 형성되지만, 부품 본체(3)의 제1 단면(9)에 노출되는 제1 내부 전극(12)과 제2 단면(10)에 노출되는 제2 내부 전극(13)은 부품 본체(3)의 내부에서 세라믹층(11)을 통해 정전 용량을 취득할 수 있도록 교대로 배치되고 있다.
- [0027] 상술한 정전 용량을 취출하기 위해, 부품 본체(3)의 마주 대향하는 제1 및 제2 단면(9 및 10) 상에는 각각 제1 내부 전극(12)에 전기적으로 접속되는 제1 외부 전극(14), 및 제2 내부 전극(13)에 전기적으로 접속되는 제2 외부 전극(15)이 형성되어 있다. 외부 전극(14 및 15)은, 예를 들면, Cu를 도전 성분으로 하는 도전성 페이스트의 베이킹에 의해 형성되며, 필요에 따라 그 위에 Ni 도금 및 Sn 도금이 이 순서로 행해진다.
- [0028] 제1 및 제2 외부 전극(14 및 15)은 각각 부품 본체(3)의 제1 및 제2 단면(9 및 10) 상뿐만 아니라, 단면(9 및 10)의 각각에 인접하는 제1 및 제2 주면(5 및 6)의 각 일부와 제1 및 제2 측면(7 및 8)의 각 일부에까지 연장되도록 형성되어 있다.
- [0029] 이 칩형 전자 부품(1)은 도 1에 나타내는 바와 같이, 제2 주면(6)이 실장 기관(2) 측으로 향하는 실장면이

된다. 따라서, 이하의 설명에서 참조 부호 "6"은 "제2 주면" 및 "실장면"의 쌍방에 대해서 이용하기로 한다.

- [0030] 이 발명의 특징이 되는 제1 및 제2 스페이서(16 및 17)가 실장면(6)을 따라 마련되어 있다. 한편, 이 실시형태에서는 실장면(6)의 범위 내에서 스페이서(16 및 17)가 마련되어 있지만, 스페이서(16 및 17)는 부품 본체(3)의 다른 면에까지 연장되어 있어도 된다.
- [0031] 스페이서(16 및 17)는 Cu 및 Ni로부터 선택되는 적어도 1종의 고용점 금속, 및 저용점 금속으로서의 Sn을 포함하는 금속 간 화합물을 주성분으로 하고 있다. 금속 간 화합물은 특히 Sn과 Cu-Ni 합금의 반응에 의해 생성된 금속 간 화합물인 것이 바람직하다. 이와 같은 금속 간 화합물은 이를 생성함에 있어서 반응 속도가 빠르고, 형상의 변화가 적다는 이점을 가진다. 한편, 금속 간 화합물을 구성하는 고용점 금속으로서 Ag를 더 포함하고 있어도 된다.
- [0032] 도 1에 나타내는 바와 같이, 스페이서(16 및 17)는 실장면(6) 상에서 상기 실장면(6)에 대하여 수직인 방향으로 측정된 소정의 두께 방향 치수(T)를 가지고 있다. 후술하는 "음향 잡음"을 저감하는 효과를 보다 확실하게 발휘시키기 위해서는 스페이서(16 및 17)의 각각의 두께 방향 치수(T)는 10 μ m 이상인 것이 바람직하다. 또한, 제1 및 제2 스페이서(16 및 17)는 각각 제1 및 제2 외부 전극(14 및 15)과 전기적으로 접촉된다. 보다 구체적으로는, 도 2에 잘 나타나 있는 바와 같이, 제1 및 제2 스페이서(16 및 17)는 각각 제1 및 제2 외부 전극(14 및 15)에 접하는 부분과 실장면(6)에 접하는 부분을 가진다.
- [0033] 도 1에 나타내는 바와 같이, 실장 기관(2)은 제1 및 제2 외부 전극(14 및 15)에 대응하고, 제1 및 제2 도전 랜드(18 및 19)를 포함하고 있다. 칩형 전자 부품(1)이 실장 기관(2) 상에 실장될 때, 제1 및 제2 스페이서(16 및 17)가 각각 납땜(20)을 개재하여 제1 및 제2 도전 랜드(18 및 19)에 전기적으로 접촉되며 또한 기계적으로 접합된다. 이 때, 납땜(20)은 스페이서(16 및 17)의 측면을 따라 필렛(fillet)을 형성한다.
- [0034] 스페이서(16 및 17)는 상술한 금속 간 화합물과는 별도로 단체의 Sn 금속을 포함하는 것이 바람직하다. 스페이서(16 및 17) 중의 Sn 금속은 칩형 전자 부품(1)을 실장 기관(2)에 실장할 때, 양호한 납땜 부착성을 실현하기 위해서이다. 스페이서(16 및 17)에 단체의 Sn 금속을 포함하는 상태를 얻기 위해서는, 예를 들면, 금속 간 화합물을 생성하기 위한 금속 재료 중에 과잉된 Sn을 함유시켜두면 된다. 과잉된 Sn의 일부는 금속 간 화합물의 생성에 제공되지 않고, 단체의 Sn 금속으로서 스페이서(16 및 17) 중에 잔류한다.
- [0035] 한편, 양호한 납땜 부착성을 실현하기 위해 스페이서(16 및 17)를 형성한 후, 스페이서(16 및 17) 그리고 외부 전극(14 및 15)의 스페이서(16 및 17)로부터 노출된 부분 전체에 걸쳐, Sn 도금을 행해도 된다.
- [0036] 상술한 바와 같이, 외부 전극(14 및 15) 상에 Ni 도금 및 Sn 도금이 순차 행해지면, 적어도 스페이서(16 및 17)가 형성되기 전의 단계에서는 외부 전극(14 및 15)의 최외층은 Sn을 포함하는 층이 된다. 이 경우, 스페이서(16 및 17)를 형성할 때, 스페이서(16 및 17)의 각 일부는 Sn을 포함하는 층과 접한다. 이 Sn을 포함하는 층에서의 Sn은, 스페이서(16 및 17)에서의 금속 간 화합물의 순조로운 생성에 기여한다. 그 때문에, 외부 전극(14 및 15)의 최외층에 있었던 Sn은 스페이서(16 및 17)로부터 노출된 영역에서는 스페이서(16 및 17)의 형성 후에도 잔류하고 있지만, 스페이서(16 및 17)와 접하는 영역에서는 스페이서(16 및 17)의 형성 후에 잔존하고 있다고 할 수 없다.
- [0037] 칩형 전자 부품(1)의 실장 상태에서, 납땜(20)은 스페이서(16 및 17)를 넘어서 외부 전극(14 및 15)에 도달해도, 도 1에 나타내는 바와 같이 도달하지 않아도 된다. 그러나, 후술하는 "음향 잡음"의 저감을 위해서는 납땜(20)은 외부 전극(14 및 15)에까지 닿지 않도록 하는 것이 바람직하다.
- [0038] 상술한 바와 같이, 납땜(20)이 외부 전극(14 및 15)에까지 닿지 않도록 한다는 것을 중시하면, 외부 전극(14 및 15)에서의 스페이서(16 및 17)로부터 노출된 부분의 최외층에 납땜(20)에 대한 젖음성이 높은 Sn을 포함하는 층을 형성하지 않는 쪽이 바람직하다. 이것으로부터 알 수 있는 바와 같이, 외부 전극(14 및 15)은 Sn 도금을 행하지 않고, Ni 도금으로만 해두어도, 혹은 Cu의 베이킹 전극으로만 해두어도 된다.
- [0039] 다음으로, 스페이서(16 및 17)의 바람직한 형성 방법에 대해서 설명한다.
- [0040] (1) 외부 전극(14 및 15)이 형성된 부품 본체(3)를 준비한다.
- [0041] (2) 한편, 스페이서(16 및 17)의 재료가 되는 Cu 및 Ni로부터 선택되는 적어도 1종의 고용점 금속, 및 저용점 금속으로서의 Sn을 포함하는 금속 재료 페이스트를 준비한다.
- [0042] (3) 또한, 예를 들면 알루미늄이나 판과 같이, 상기 금속 재료 페이스트가 리플로우 조건 하에서 접합하지 않는 지

지판을 준비한다.

- [0043] (4) 상기 지지판 위에 금속 재료 페이스트를 스크린 인쇄법 또는 디스펜스법 등에 의해 원하는 패턴을 가지고 부여함으로써, 금속 재료 페이스트 후막을 형성한다.
- [0044] (5) (1)에서 준비한 부품 본체(3)를, 실장면(6)이 지지판에 대항하는 자세로 지지판의 위에 탑재한다. 이 때, 부품 본체(3)의 외부 전극(14 및 15)과, 금속 재료 페이스트로 이루어지는 금속 재료 페이스트 후막이 위치 맞춰지며, 외부 전극(14 및 15)의 각 일부를 덮도록 금속 재료 페이스트 후막이 부품 본체(3)에 부착된다.
- [0045] (6) (5)의 상태에서 리플로우 공정을 실시한다. 이로써, 금속 재료 페이스트 중의 금속이 금속 간 화합물을 생성함과 함께 금속 재료 페이스트가 경화되고, 부품 본체(3) 그리고 외부 전극(14 및 15)에 접합한 상태의 스페이서(16 및 17)가 형성된다.
- [0046] (7) 부품 본체(3)가 스페이서(16 및 17)와 함께 지지판으로부터 분리된다.
- [0047] 이상과 같이 하여 스페이서(16 및 17)를 포함하는 칩형 전자 부품(1)이 얻어진다.
- [0048] 다음으로, 도 4를 참조하여 이 발명의 제2 실시형태에 의한 칩형 전자 부품(21)에 대해서 설명한다. 도 4에서 도 1 내지 도 3에 나타낸 요소에 상당하는 요소에는 동일한 참조 부호를 붙이고, 중복되는 설명을 생략한다.
- [0049] 칩형 전자 부품(21)은 상술한 칩형 전자 부품(1)에 비하여 스페이서(16 및 17)의 두께 방향 치수(T)가 큰 것을 특징으로 하고 있다. 그 때문에, 칩형 전자 부품(21)과 실장 기관(2)의 사이에 다른 전자 부품(22)을 탑재할 수 있다. 다른 전자 부품(22)은, 예를 들면 칩형 전자 부품이고, 그 외부 전극(23 및 24)이 실장 기관(2) 상의 도전 랜드(25 및 26)에 납땜(27)을 개재하여 전기적으로 접속되며 또한 기계적으로 접합된다.
- [0050] 상기와 같은 이른바 3차원 실장은 실장 면적의 저감에 기여할 수 있다.
- [0051] [실험예 1]
- [0052] 다음으로, 제1 실시형태에 의한 적층 세라믹 콘덴서를 구성하는 칩형 전자 부품(1)이 내는 "음향 잡음"의 저감 효과를 확인하기 위해 실시한 실험예 1에 대해서 설명한다.
- [0053] 도 5에는 적층 세라믹 콘덴서를 구성하는 칩형 전자 부품(1)의 "음향 잡음" 때문에 발생하는 소음의 음압 레벨을 측정하는 장치가 나타나 있다.
- [0054] 도 5를 참조하여 칩형 전자 부품(1)을 실장한 실장 기관(2)이 무향(無響) 상자(28) 내에 장착된다. 한편, 집음 마이크(29)가 실장 기관(2)에 대항하도록 배치된다. 그리고, 적층 세라믹 콘덴서를 구성하는 칩형 전자 부품(1)에, 예를 들면, 3kHz의 주파수 및 1Vpp의 전압을 가지는 교류 전압이 인가된다. 이로 인해, 칩형 전자 부품(1)은 실장 기관(2)을 상기 주파수의 아래에서 변형시켜 "음향 잡음"이라는 소음을 발생시킨다. 이 소음은 집음 마이크(29)에 의해 집음되며, 집음 마이크(29)의 출력이 집음계(30)를 통해 FFT(Fast Fourier Transform) 애널라이저(31)에 입력되고, 따라서 음압 레벨이 해석된다.
- [0055] 이상과 같이 하여 구해진 소음의 음압 레벨이 표 1 및 도 6에 나타나 있다. 표 1 및 도 6에 나타낸 데이터는 긴 쪽 방향 치수가 1.12mm, 폭 방향 치수가 0.63mm, 높이 방향 치수가 0.63mm의 부품 본체를 가지는 적층 세라믹 콘덴서에 관한 것으로 스페이서를 형성하기 위한 금속 재료 페이스트로서, D50이 5 μ m의 Cu-10wt%Ni 분말을 31.5wt%, D50이 5 μ m의 Sn-3wt%Ag-0.5wt%Cu의 조성의 납땜 분말을 58.5wt%, 및 플럭스(flux)를 10wt% 포함하는 것을 이용했다. 그리고, 스페이서의 두께 방향 치수를 바꾸어 소음의 음압 레벨을 측정했다.

표 1

시료 번호	스페이서 두께 [mm]	음압 레벨 [OA]
1	0	73.7
2	0.016	69.6
3	0.017	68.6
4	0.025	67.3
5	0.031	66.7
6	0.033	68.2
7	0.038	67.4
8	0.076	65.6
9	0.089	63.9
10	0.091	61.2
11	0.093	64.4
12	0.109	63.4

[0056]

[0057] 표 1 및 도 6에 나타내는 바와 같이, 스페이서가 없는, 즉 스페이서의 두께가 0mm인 시료 1에 비하여, 두께 10 μm (0.01mm) 이상의 스페이서를 마련한 시료 2~12에 의하면, 소음의 음압 레벨이 낮아지고 있다. 또한, 시료 2~12 간에 비교하면, 스페이서의 두께가 증가할수록 대체로 음압 레벨이 낮아지는 경향이 나타나고 있다.

[0058] [실험예 2]

[0059] 실험예 2에서는 스페이서를 형성하기 위한 금속 재료로서, Cu 및 Ni로부터 선택되는 적어도 1종의 고용점 금속, 및 저융점 금속으로서의 Sn을 포함하는 금속 간 화합물을 주성분으로 하는 것을 이용한, 이 발명에 의한 실시예와, 특허문헌 2에 기재된 Sn-Ag-Cu 조성의 납 프리 납땜을 이용한 비교예를, 리플로우 후의 형태 유지성에 대해 비교했다.

[0060] 실시예에서는 금속 재료 페이스트로서, 상술한 실험예 1에서 이용한 것과 동일하게, D50이 5 μm 의 Cu-10wt%Ni 분말을 31.5wt%, D50이 5 μm 의 Sn-3wt%Ag-0.5wt%Cu의 조성의 납땜 분말을 58.5wt%, 및 플럭스를 10wt% 포함하는 것을 이용했다.

[0061] 한편, 비교예에서는 금속 재료 페이스트로서 센쥬긴소쿠고교 가부시키가이샤 제품의 Sn-Ag-Cu 조성의 납 프리 납땜 페이스트 "M705-GRN360-K2-V"를 이용했다.

[0062] 시료로서 도 7에 나타내는 바와 같은 칩형 전자 부품(41)을 준비했다. 칩형 전자 부품(41)은 직육면체 형상의 부품 본체(42)를 포함한다. 부품 본체(42)의 양 단부(端部)에는 Cu를 도전 성분으로 하는 도전성 페이스트의 베이킹에 의한 베이킹층을 가지는 외부 전극(43 및 44)이 형성되었다. 여기서 외부 전극(43 및 44)에 관하여 상기 베이킹층 상에 Ni 도금층 및 그 위에 Sn 도금층을 형성한 외부 전극을 가지는 칩형 전자 부품(41A)과, 상기 베이킹층으로만 이루어지는 외부 전극을 가지는 칩형 전자 부품(41B)과, 상기 베이킹층으로만 이루어지지만, 표면의 산화막을 제거하기 위해 배럴 연마를 행한 외부 전극을 가지는 칩형 전자 부품(41C)의 3종류의 칩형 전자 부품을 준비했다.

[0063] 다음으로, 외부 전극(43 및 44)에서의 부품 본체(42)의 실장면(45) 측에 위치하는 부분 상에 금속 재료 페이스트를 인쇄함으로써, 도 7에 나타내는 바와 같은 직사각형의 패턴을 가지는 스페이서가 되어야 할 금속 재료 페이스트 후막(46)을 형성했다. 보다 구체적으로는, 이하의 시료 1~6을 제작했다.

[0064] (시료 1) 칩형 전자 부품(41A)에 대하여 금속 재료 페이스트로서, 상기 실시예에 따른 금속 재료 페이스트를 이용하여 금속 재료 페이스트 후막(46)을 형성했다.

[0065] (시료 2) 칩형 전자 부품(41B)에 대하여 금속 재료 페이스트로서, 상기 실시예에 따른 금속 재료 페이스트를 이용하여 금속 재료 페이스트 후막(46)을 형성했다.

- [0066] (시료 3) 칩형 전자 부품(41C)에 대하여 금속 재료 페이스트로서, 상기 실시예에 따른 금속 재료 페이스트를 이용하여 금속 재료 페이스트 후막(46)을 형성했다.
- [0067] (시료 4) 칩형 전자 부품(41A)에 대하여 금속 재료 페이스트로서, 상기 비교예에 따른 금속 재료 페이스트를 이용하여 금속 재료 페이스트 후막(46)을 형성했다.
- [0068] (시료 5) 칩형 전자 부품(41B)에 대하여 금속 재료 페이스트로서, 상기 비교예에 따른 금속 재료 페이스트를 이용하여 금속 재료 페이스트 후막(46)을 형성했다.
- [0069] (시료 6) 칩형 전자 부품(41C)에 대하여 금속 재료 페이스트로서, 상기 비교예에 따른 금속 재료 페이스트를 이용하여 금속 재료 페이스트 후막(46)을 형성했다.
- [0070] 다음으로, 시료 1~6의 각각에 대해서 금속 재료 페이스트 후막(46)을 리플로우 처리했다. 그리고, 금속 재료 페이스트 후막(46)의 리플로우 처리 후에 얻어진 스페이서가 되어야 할 금속 재료 후막의 형태를 평가했다.
- [0071] 실시예에 따른 시료 1~3에 의하면, 어느 경우도 도 8에 나타내는 바와 같이, 리플로우 처리 후의 금속 재료 후막(47)은 리플로우 처리 전의 금속 재료 페이스트 후막(46)(도 7 참조)의 형태를 거의 유지하고 있었다.
- [0072] 한편, 비교예에 따른 시료 4에서는 도 9에 나타내는 바와 같이, 리플로우 처리 후의 금속 재료 후막(47)은, 외부 전극(43 및 44)의 각각 위에서 젖음 확산되고, 리플로우 처리 전의 금속 재료 페이스트 후막(46)의 평면 형상 및 두께를 유지할 수 없었다. 외부 전극(43 및 44)의 표면을 부여하는 Sn 도금막에 의해, 금속 재료의 젖음성이 높아졌기 때문이라고 추측된다.
- [0073] 다음으로, 비교예에 따른 시료 5에서는 도 10에 나타내는 바와 같이, 외부 전극(43 및 44)의 표면에서의 금속 재료의 젖음 확산은 확인되지 않고, 금속 재료가 외부 전극(43 및 44)의 표면에서 뿔겨져서, 리플로우 처리 후의 금속 재료 후막(47)은 구형(球形)에 가까운 솟아오르는 형태가 되었다. 또한, 외부 전극(43 및 44)의 각각 위에서 금속 재료 후막(47)을 대칭으로 형성하는 것이 곤란했다.
- [0074] 다음으로, 비교예에 따른 시료 6에서도 도 11에 나타내는 바와 같이, 외부 전극(43 및 44)의 표면에서의 금속 재료의 젖음 확산은 확인되지 않고, 금속 재료가 외부 전극(43 및 44)의 표면에서 뿔겨졌다. 리플로우 처리 후의 금속 재료 후막(47)은 시료 5에 비하여 낮은 솟아오름이지만, 어디까지나 외부 전극(43 및 44)의 각각 위에서 금속 재료 후막(47)을 대칭으로 형성하는 것이 곤란했다.
- [0075] 한편, 실시예에 따른 금속 재료 후막(47)과 비교예에 따른 금속 재료 후막(47)을, 다시 리플로우 온도에 도달할 때까지 가열했을 때, 실시예에 따른 금속 재료 후막(47)은 시료 1~3의 어느 것에 대해서도 그 형태를 유지하고 있는 것이 확인되었다. 한편, 비교예에 따른 금속 재료 후막(47)은 시료 4에 대해서는, 외부 전극(43 및 44)의 표면에 존재하는 Sn 도금막에 접하는 얼마 안되는 부분을 제외하고 다시 용융 상태가 되고, 시료 5 및 6에 대해서는 전체적으로 다시 용융 상태가 되었다.
- [0076] 또한, 추가적으로 도 1 내지 도 3에 나타내는 바와 같이, 제1 및 제2 외부 전극(14 및 15)에 접하는 부분과 실장면(6)에 접하는 부분을 가지는 상태에서 제1 및 제2 스페이서(16 및 17)를 형성하도록 하는 실험도 실시했다. 이 실험에서 스페이서(16 및 17)가 가지는 패턴을 가지고 금속 재료 페이스트 후막을 형성하고, 이어서 리플로우 처리함으로써 금속 재료 후막으로 이루어지는 스페이서(16 및 17)를 형성하려고 했다.
- [0077] 여기서 실시예에 따른 금속 재료 페이스트를 이용한 경우에는, 외부 전극(14 및 15)의 표면에서의 Sn 도금막의 유무에 상관없이, 금속 재료 후막으로 이루어지는 적절한 형태의 스페이서(16 및 17)를 형성할 수 있었다.
- [0078] 한편, 비교예에 따른 금속 재료 페이스트를 이용한 경우에는, 적절한 형태의 스페이서(16 및 17)를 형성할 수 없었다. 특히, 외부 전극(14 및 15)의 표면에 Sn 도금막이 존재하는 경우에는, 리플로우 공정의 결과, 실장면(6) 상에 위치하고 있었던 금속 재료의 대부분이 외부 전극(14 및 15) 상으로 끌어 당겨져, 스페이서를 제1 및 제2 외부 전극(14 및 15)에 접하는 부분과 실장면(6)에 접하는 부분을 가지는 상태로 형성할 수 없었다.
- [0079] 이상, 이 발명에 따른 칩형 전자 부품으로서 적층 세라믹 콘덴서를 구성하는 것을 받아들여 설명했지만, 적층 세라믹 콘덴서 이외의 전왜성(電歪性: electrostriction)을 가지는 칩형 전자 부품, 예를 들면, 칩형 코일 부품이나 칩형 압전 부품 등에도 이 발명을 적용할 수 있다.
- [0080] 또한, 이 발명의 특징적 구성인 스페이서는 "음향 잡음"의 저감뿐만 아니라, 3차원 실장의 실현에도 기여하므로, 이 발명의 대상이 되는 칩형 전자 부품은 전왜성을 가지는 것이라고는 할 수 없다.

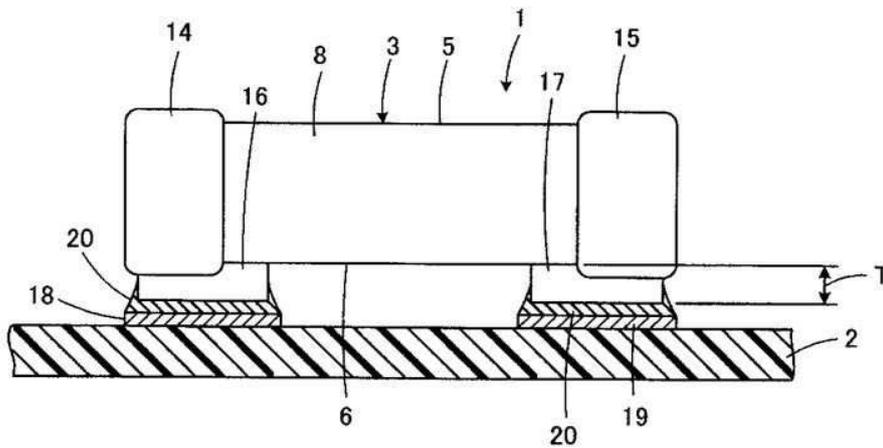
[0081] 또한, 상술한 실시형태는 예시적인 것이고, 다른 실시형태 간에 구성의 부분적인 치환 또는 조합이 가능한 것을 지적해 둔다.

부호의 설명

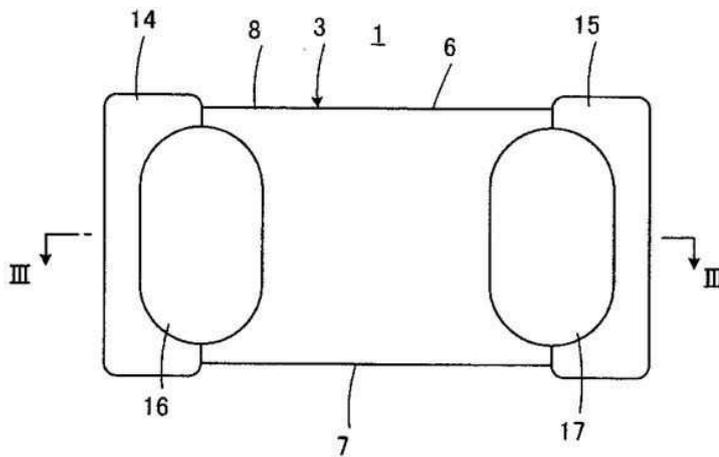
- [0082]
- | | |
|-----------------|------------------|
| 1, 21: 칩형 전자 부품 | 2: 실장 기판 |
| 3: 부품 본체 | 5, 6: 주면(6: 실장면) |
| 7, 8: 측면 | 9, 10: 단면 |
| 14, 15: 외부 전극 | 16, 17: 스페이서 |

도면

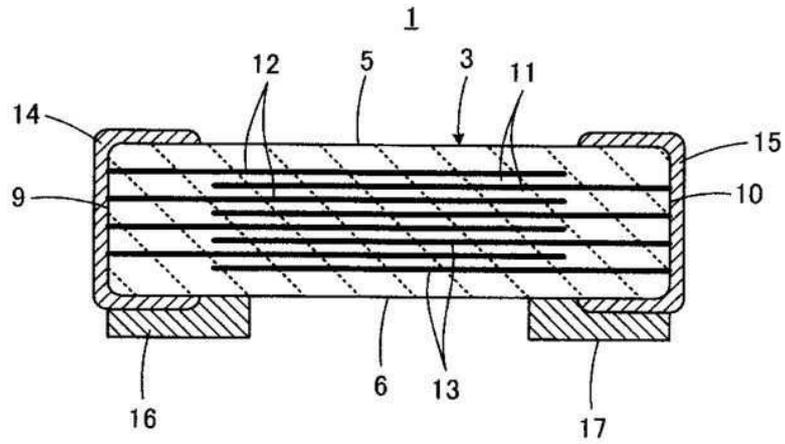
도면1



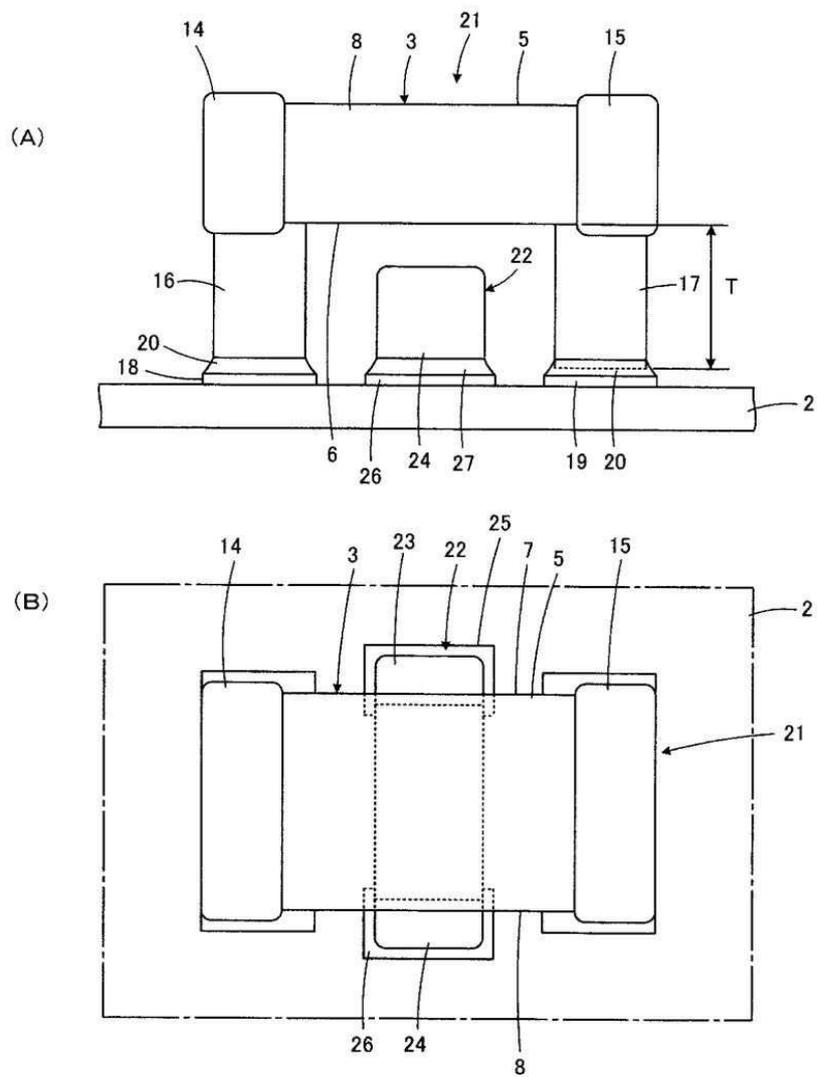
도면2



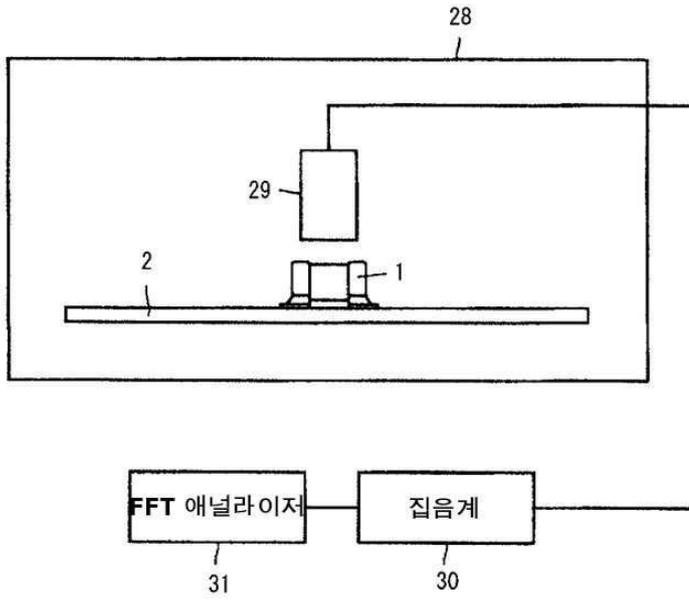
도면3



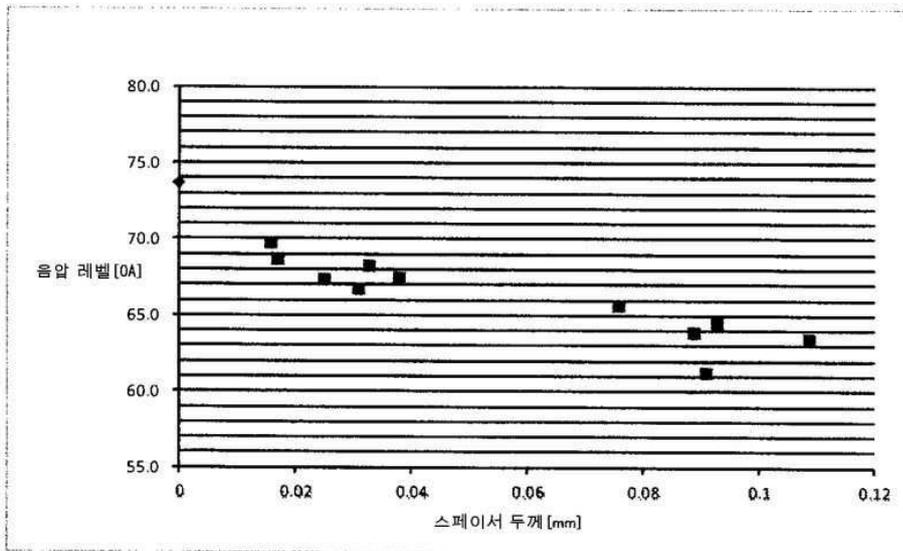
도면4



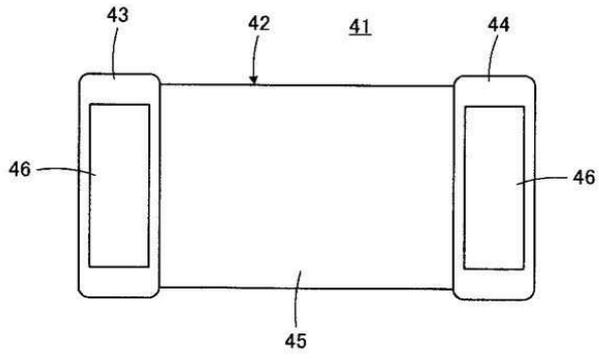
도면5



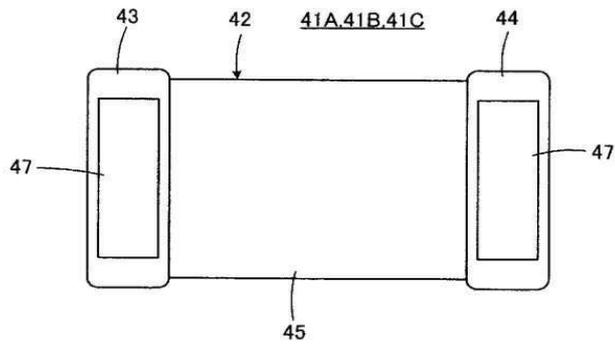
도면6



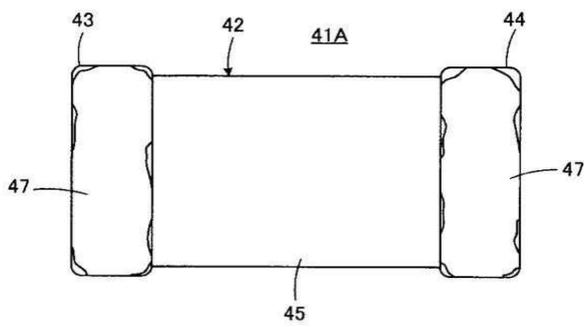
도면7



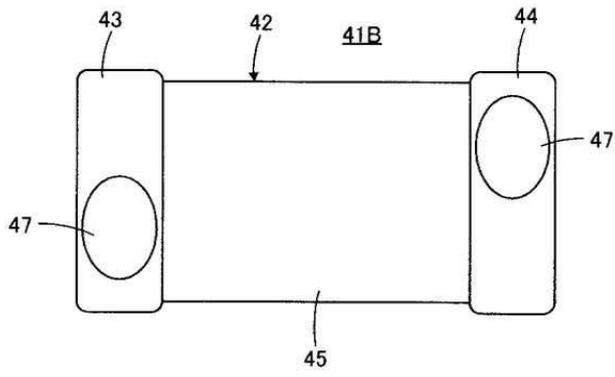
도면8



도면9



도면10



도면11

