

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6194606号
(P6194606)

(45) 発行日 平成29年9月13日(2017.9.13)

(24) 登録日 平成29年8月25日(2017.8.25)

(51) Int.Cl. F I
GO 1 C 19/5614 (2012.01) GO 1 C 19/5614
HO 1 L 41/113 (2006.01) HO 1 L 41/113

請求項の数 12 (全 24 頁)

(21) 出願番号	特願2013-60875 (P2013-60875)	(73) 特許権者	000002369
(22) 出願日	平成25年3月22日 (2013.3.22)		セイコーエプソン株式会社
(65) 公開番号	特開2014-185937 (P2014-185937A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成26年10月2日 (2014.10.2)	(74) 代理人	100104710
審査請求日	平成28年3月4日 (2016.3.4)		弁理士 竹腰 昇
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	牧 克彦
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	倉科 隆
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 検出装置、センサー、ジャイロセンサー、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項1】

物理量トランスデューサーを駆動する駆動回路と、
 前記物理量トランスデューサーから互いに差動信号の関係にある第1の検出信号及び第2の検出信号を受けて、物理量に応じた所望信号を検出する検出処理を行う検出回路と、
 を含み、
 前記検出回路は、
 前記第1の検出信号が入力される第1の電荷 - 電圧変換回路と、
 前記第2の検出信号が入力される第2の電荷 - 電圧変換回路と、
 前記第1の電荷 - 電圧変換回路の出力信号をゲイン調整して増幅する第1のゲイン調整
 アンプと、
 前記第2の電荷 - 電圧変換回路の出力信号をゲイン調整して増幅する第2のゲイン調整
 アンプと、
 前記第1のゲイン調整アンプの出力信号が第1の入力ノードに入力され、前記第2のゲ
 イン調整アンプの出力信号が第2の入力ノードに入力され、前記駆動回路からの同期信号
 により前記第1のゲイン調整アンプの前記出力信号及び前記第2のゲイン調整アンプの前
 記出力信号に対する同期検波を行って、第1の出力信号及び第2の出力信号のうちの前記
 第1の出力信号を第1の出力ノードに出力し、前記第2の出力信号を第2の出力ノードに
 出力するスイッチングミキサーと、
 前記スイッチングミキサーの前記第1の出力ノードからの前記第1の出力信号が入力さ

10

20

れ、パッシブ素子で構成される第1のフィルターと、

前記スイッチングミキサーの前記第2の出力ノードからの前記第2の出力信号が入力され、パッシブ素子で構成される第2のフィルターと、

互いに差動信号の関係にある前記第1のフィルターからの出力信号及び前記第2のフィルターからの出力信号がアクティブ素子を介さずに入力され、前記第1のフィルターからの出力信号のサンプリングと、前記第2のフィルターからの出力信号のサンプリングを行って、差動のA/D変換を行うA/D変換回路と、

前記A/D変換回路からの出力データが入力され、感度調整を含むデジタル補正処理を行うデジタル信号処理部と、

を含み、

前記第1のゲイン調整アンプは、前記A/D変換回路の電圧変換範囲に対応する振幅の信号に、前記第1の電荷-電圧変換回路の出力信号を増幅するゲイン調整を行い、

前記第2のゲイン調整アンプは、前記A/D変換回路の電圧変換範囲に対応する振幅の信号に、前記第2の電荷-電圧変換回路の出力信号を増幅するゲイン調整を行うことを特徴とする検出装置。

【請求項2】

請求項1に記載の検出装置において、

前記第1のゲイン調整アンプ及び前記第2のゲイン調整アンプは、ハイパスフィルターの周波数特性を有することを特徴とする検出装置。

【請求項3】

請求項2に記載の検出装置において、

前記第1のゲイン調整アンプは、前記第1の電荷-電圧変換回路の1/fノイズを低減するハイパスフィルターの周波数特性を有し、前記第2のゲイン調整アンプは、前記第2の電荷-電圧変換回路の1/fノイズを低減するハイパスフィルターの周波数特性を有することを特徴とする検出装置。

【請求項4】

請求項1乃至3のいずれか一項に記載の検出装置において、

前記第1のゲイン調整アンプ及び前記第2のゲイン調整アンプの各々は、

第1の入力端子の電位が固定されている演算増幅器と、

入力ノードと前記演算増幅器の第2の入力端子のノードとの間に設けられる第1のキャパシターと、

出力ノードと前記演算増幅器の前記第2の入力端子のノードとの間に設けられる第2のキャパシターと、

前記出力ノードと前記演算増幅器の前記第2の入力端子のノードとの間に設けられる抵抗素子と、

を含むことを特徴とする検出装置。

【請求項5】

請求項1乃至4のいずれか一項に記載の検出装置において、

前記第1のフィルターからの出力信号及び前記第2のフィルターからの出力信号は、直接又はパッシブ素子のみを介して前記A/D変換回路に入力されることを特徴とする検出装置。

【請求項6】

請求項1乃至5のいずれか一項に記載の検出装置において、

前記第1のフィルターは、

前記スイッチングミキサーの前記第1の出力ノードと第1の接続ノードとの間に設けられる抵抗素子と、

前記第1の接続ノードと電位が固定されているノードとの間に設けられるキャパシターとを含み、

前記第2のフィルターは、

前記スイッチングミキサーの前記第2の出力ノードと第2の接続ノードとの間に設けら

10

20

30

40

50

れる抵抗素子と、

前記第2の接続ノードと電位が固定されているノードとの間に設けられるキャパシターを含むことを特徴とする検出装置。

【請求項7】

請求項1乃至6のいずれか一項に記載の検出装置において、

前記スイッチングミキサーは、

前記第1の入力ノードと前記第1の出力ノードとの間に設けられる第1のスイッチ素子と、

前記第1の入力ノードと前記第2の出力ノードとの間に設けられる第2のスイッチ素子と、

前記第2の入力ノードと前記第1の出力ノードとの間に設けられる第3のスイッチ素子と、

前記第2の入力ノードと前記第2の出力ノードとの間に設けられる第4のスイッチ素子と、

を含むことを特徴とする検出装置。

【請求項8】

請求項1乃至7のいずれか一項に記載の検出装置において、

前記第1の電荷 - 電圧変換回路及び前記第2の電荷 - 電圧変換回路の各々は、

第1の入力端子の電位が固定されている演算増幅器と、

出力ノードと前記演算増幅器の第2の入力端子のノードとの間に設けられるキャパシターと、

前記出力ノードと前記演算増幅器の前記第2の入力端子のノードとの間に設けられる抵抗素子と、

を含むことを特徴とする検出装置。

【請求項9】

請求項1乃至8のいずれか一項に記載の検出装置と、

前記物理量トランスデューサーと、

を含むことを特徴とするセンサー。

【請求項10】

請求項1乃至8のいずれか一項に記載の検出装置と、

検出軸を中心に回転したときの角速度に応じて互いに差動信号の関係にある前記第1の検出信号及び前記第2の検出信号を出力する前記物理量トランスデューサーと、

を含むことを特徴とするジャイロセンサー。

【請求項11】

請求項1乃至8のいずれか一項に記載の検出装置を含むことを特徴とする電子機器。

【請求項12】

請求項1乃至8のいずれか一項に記載の検出装置を含むことを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、検出装置、センサー、ジャイロセンサー、電子機器及び移動体等に関する。

【背景技術】

【0002】

デジタルカメラ、ビデオカメラ、携帯電話機、カーナビゲーションシステム等の電子機器には、外的な要因で変化する物理量を検出するためのジャイロセンサーが組み込まれている。このようなジャイロセンサーは、角速度等の物理量を検出し、いわゆる手振れ補正、姿勢制御、GPS自律航法などに用いられる。

【0003】

このようなジャイロセンサーの一つとして、水晶圧電振動ジャイロセンサーなどの振動ジャイロセンサーが知られている。振動ジャイロセンサーでは、回転によって発生するコ

10

20

30

40

50

リオリカに対応した物理量を検出している。このような振動ジャイロセンサーの検出装置としては、例えば特許文献1に開示されるアナログ同期検波方式の検出装置や、ダイレクトサンプリング方式の検出装置などが知られている。

【0004】

アナログ同期検波方式の検出装置では、回路が大規模化したり、消費電力が大きいという課題がある。また特許文献1の検出装置では、オフセット調整や同期検波が、差動信号ではなくシングルエンドの信号に対して行われるため、ノイズの除去が不十分であるという課題がある。

【0005】

また、ダイレクトサンプリング方式の検出装置では、A/D変換回路の前段に離散型のQ/V変換回路が設けられ、離散型のQ/V変換回路からの信号がA/D変換回路にダイレクトに入力されて、A/D変換が行われる。従って、A/D変換回路の前段にアンチエイリアシング用のフィルターがないため、折り返し雑音による性能劣化が避けられないという課題がある。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-327944号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の幾つかの態様によれば、回路の大規模化等を抑えながら低ノイズでの検出処理を実現できる検出装置、センサー、電子機器及び移動体等を提供できる。

【課題を解決するための手段】

【0008】

本発明の一態様は、物理量トランスデューサーを駆動する駆動回路と、前記物理量トランスデューサーからの差動の第1の検出信号及び第2の検出信号を受けて、物理量に応じた所望信号を検出する検出処理を行う検出回路と、を含み、前記検出回路は、前記第1の検出信号が入力される第1の電荷-電圧変換回路と、前記第2の検出信号が入力される第2の電荷-電圧変換回路と、前記第1の電荷-電圧変換回路の出力信号をゲイン調整して増幅する第1のゲイン調整アンプと、前記第2の電荷-電圧変換回路の出力信号をゲイン調整して増幅する第2のゲイン調整アンプと、前記第1のゲイン調整アンプの出力信号が第1の入力ノードに入力され、前記第2のゲイン調整アンプの出力信号が第2の入力ノードに入力され、前記駆動回路からの同期信号により前記第1のゲイン調整アンプの前記出力信号及び前記第2のゲイン調整アンプの前記出力信号に対する同期検波を行って、第1の出力信号及び第2の出力信号のうちの前記第1の出力信号を第1の出力ノードに出力し、前記第2の出力信号を第2の出力ノードに出力するスイッチングミキサーと、前記スイッチングミキサーの前記第1の出力ノードからの前記第1の出力信号が入力される第1のフィルターと、前記スイッチングミキサーの前記第2の出力ノードからの前記第2の出力信号が入力される第2のフィルターと、前記第1のフィルターからの出力信号と前記第2のフィルターからの出力信号を受けて、差動のA/D変換を行うA/D変換回路と、を含む検出装置に係する。

【0009】

本発明の一態様では、振動子からの第1、第2の検出信号は、第1、第2の電荷-電圧変換回路に入力され、第1、第2の電荷-電圧変換回路の出力信号は、第1、第2のゲイン調整アンプに入力されてゲイン調整される。そして第1、第2のゲイン調整アンプの出力信号は、スイッチングミキサーに入力されて、差動の同期検波が行われる。その後、スイッチングミキサーの第1、第2の出力信号は、第1、第2のフィルターでフィルター処理されて、A/D変換回路に入力され、差動のA/D変換が行われる。このような構成の検出装置によれば、アナログ同期検波方式の検出装置等に比べて、回路ブロック数を少な

10

20

30

40

50

くできると共に、第1、第2の電荷 - 電圧変換回路や第1、第2のゲイン調整アンプで発生したノイズ等を、スイッチングミキサの周波数変換と第1、第2のフィルターのフィルター特性で低減・除去することが可能になる。従って、回路の大規模化等を抑えながら低ノイズでの検出処理を実現することが可能になる。また物理量トランスデューサーからの差動の信号は、差動信号の状態のままで、ゲイン調整、同期検波処理、フィルター処理が行われ、A/D変換回路に入力されてA/D変換が行われる。従って、シングルエンド信号の状態でフィルター処理、同期検波処理、ゲイン調整処理等が行われる回路構成に比べて、ノイズ低減の点で有利な構成となる。

【0010】

また本発明の一態様では、前記第1のゲイン調整アンプ及び前記第2のゲイン調整アンプは、ハイパスフィルターの周波数特性を有してもよい。

10

【0011】

このようにすれば、第1、第2のゲイン調整アンプのハイパスフィルターの周波数特性を有効活用して、第1、第2の電荷 - 電圧変換回路で発生したオフセットやノイズを低減・除去することが可能になる。

【0012】

また本発明の一態様では、前記第1のゲイン調整アンプは、前記第1の電荷 - 電圧変換回路の $1/f$ ノイズを低減するハイパスフィルターの周波数特性を有し、前記第2のゲイン調整アンプは、前記第2の電荷 - 電圧変換回路の $1/f$ ノイズを低減するハイパスフィルターの周波数特性を有してもよい。

20

【0013】

このようにすれば、第1、第2のゲイン調整アンプのハイパスフィルターの周波数特性により、第1、第2の電荷 - 電圧変換回路の $1/f$ ノイズを低減・除去することが可能になる。

【0014】

また本発明の一態様では、前記第1のゲイン調整アンプ及び前記第2のゲイン調整アンプの各々は、第1の入力端子の電位が固定されている演算増幅器と、入力ノードと前記演算増幅器の第2の入力端子のノードとの間に設けられる第1のキャパシターと、出力ノードと前記演算増幅器の前記第2の入力端子のノードとの間に設けられる第2のキャパシターと、前記出力ノードと前記演算増幅器の前記第2の入力端子のノードとの間に設けられる抵抗素子と、を含んでもよい。

30

【0015】

このようにすれば、第1、第2のゲイン調整アンプのキャパシターと抵抗素子を有効活用して、第1、第2のゲイン調整アンプにハイパスフィルターの周波数特性を持たせることが可能になる。

【0016】

また本発明の一態様では、前記第1のフィルター及び前記第2のフィルターは、パッシブ素子で構成されるパッシブフィルターであってもよい。

【0017】

このようにすれば、スイッチングミキサーからの第1、第2の出力信号を、パッシブの第1、第2のフィルターを介してA/D変換回路に入力できるため、S/N比等の性能を向上できる。

40

【0018】

また本発明の一態様では、前記第1のフィルターからの出力信号及び前記第2のフィルターからの出力信号は、直接又はパッシブ素子のみを介して前記A/D変換回路に入力されてもよい。

【0019】

このようにすれば、スイッチングミキサーとA/D変換回路の間にアクティブ素子が介在しない構成とすることができるため、S/N比等の性能を向上できる。

【0020】

50

また本発明の一態様では、前記第1のフィルターは、前記スイッチングミキサーの前記第1の出力ノードと第1の接続ノードとの間に設けられる抵抗素子と、前記第1の接続ノードと電位が固定されているノードとの間に設けられるキャパシターとを含み、前記第2のフィルターは、前記スイッチングミキサーの前記第2の出力ノードと第2の接続ノードとの間に設けられる抵抗素子と、前記第2の接続ノードと電位が固定されているノードとの間に設けられるキャパシターとを含んでもよい。

【0021】

このようにすれば、第1、第2のフィルターを、パッシブの素子であるキャパシターと抵抗素子により実現することが可能になる。

【0022】

また本発明の一態様では、前記スイッチングミキサーは、前記第1の入力ノードと前記第1の出力ノードとの間に設けられる第1のスイッチ素子と、前記第1の入力ノードと前記第2の出力ノードとの間に設けられる第2のスイッチ素子と、前記第2の入力ノードと前記第1の出力ノードとの間に設けられる第3のスイッチ素子と、前記第2の入力ノードと前記第2の出力ノードとの間に設けられる第4のスイッチ素子と、を含んでもよい。

【0023】

このようにすれば、第1、第2のゲイン調整アンプからの出力信号に対して、第1～第4のスイッチ素子で構成されるスイッチングミキサーにより、差動信号の状態同期検波を行うことが可能になる。

【0024】

また本発明の一態様では、前記第1の電荷-電圧変換回路及び前記第2の電荷-電圧変換回路の各々は、第1の入力端子の電位が固定されている演算増幅器と、出力ノードと前記演算増幅器の第2の入力端子のノードとの間に設けられるキャパシターと、前記出力ノードと前記演算増幅器の前記第2の入力端子のノードとの間に設けられる抵抗素子と、を含んでもよい。

【0025】

このようにすれば、帰還用の抵抗素子を有する連続型の第1、第2の電荷-電圧変換回路で、物理量トランスデューサーからの検出電荷を電圧に変換することが可能になる。

【0026】

また本発明の他の態様は、上記のいずれかに記載の検出装置と、前記物理量トランスデューサーと、を含むセンサーに関係する。

【0027】

また本発明の他の態様は、上記のいずれかに記載の検出装置を含む電子機器に関係する。

【0028】

また本発明の他の態様は、上記のいずれかに記載の検出装置を含む移動体に関係する。

【図面の簡単な説明】

【0029】

【図1】電子機器、ジャイロセンサーの構成例。

【図2】検出装置の構成例。

【図3】アナログ同期検波方式である第1の比較例の構成例。

【図4】ダイレクトサンプリング方式である第2の比較例の構成例。

【図5】本実施形態の検出回路の詳細な第1の構成例。

【図6】本実施形態のサンブラ回路の構成例。

【図7】本実施形態のサンブラ回路のスイッチ素子のタイミングチャート。

【図8】比較例のサンブラ回路。

【図9】比較例のサンブラ回路のスイッチ素子のタイミングチャート。

【図10】検出回路の各信号の信号波形例。

【図11】本実施形態の検出回路の詳細な第2の構成例。

【図12】本実施形態の検出回路の詳細な第3の構成例。

10

20

30

40

50

【図13】図13(A)、図13(B)は雑音電圧の周波数特性図。

【図14】駆動回路の詳細な構成例。

【図15】移動体の一具体例としての自動車の構成を概略的に示す概念図である。

【発明を実施するための形態】

【0030】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。例えば以下では、物理量トランスデューサが圧電型の振動子（振動ジャイロ）であり、センサーがジャイロセンサーである場合を例にとり説明するが、本発明はこれに限定されない。例えばシリコン基板などから形成された静電容量検出方式の振動子（振動ジャイロ）や、角速度情報と等価な物理量や角速度情報以外の物理量を検出する物理量トランスデューサー、センサー等にも本発明は適用可能である。

10

【0031】

1. 電子機器、ジャイロセンサー

図1に本実施形態の検出装置20を含むジャイロセンサー510（広義にはセンサー）と、ジャイロセンサー510を含む電子機器500の構成例を示す。なお電子機器500、ジャイロセンサー510は図1の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。また本実施形態の電子機器500としては、デジタルカメラ、ビデオカメラ、携帯電話機、カーナビゲーションシステム、ロボット、ゲーム機、時計、健康器具、或いは携帯型情報端末等の種々の機器を想定できる。

20

【0032】

電子機器500はジャイロセンサー510と処理部520を含む。またメモリー530、操作部540、表示部550を含むことができる。処理部520（CPU、MPU等）はジャイロセンサー510等の制御や電子機器500の全体制御を行う。また処理部520は、ジャイロセンサー510により検出された角速度情報（広義には物理量）に基づいて処理を行う。例えば角速度情報に基づいて、手ぶれ補正、姿勢制御、GPS自律航法などのための処理を行う。メモリー530（ROM、RAM等）は、制御プログラムや各種データを記憶したり、ワーク領域やデータ格納領域として機能する。操作部540はユーザーが電子機器500を操作するためのものであり、表示部550は種々の情報をユーザーに表示する。

30

【0033】

ジャイロセンサー510は振動子10、検出装置20を含む。図1の振動子10（広義には物理量トランスデューサー）は、水晶などの圧電材料の薄板から形成される音叉型の圧電振動子であり、駆動用振動子11、12と、検出用振動子16、17を有する。駆動用振動子11、12には駆動端子2、4が設けられ、検出用振動子16、17には検出端子6、8が設けられている。

【0034】

検出装置20が含む駆動回路30は、駆動信号（駆動電圧）を出力して振動子10を駆動する。そして振動子10からフィードバック信号を受け、これにより振動子10を励振させる。検出回路60は、駆動信号により駆動される振動子10から検出信号（検出電流、電荷）を受け、検出信号から、振動子10に印加された物理量に応じた所望信号（コリオリ力信号）を検出（抽出）する。

40

【0035】

具体的には、駆動回路30からの交流の駆動信号（駆動電圧）が駆動用振動子11の駆動端子2に印加される。すると逆電圧効果によって駆動用振動子11が振動を開始し、音叉振動により駆動用振動子12も振動を開始する。この時、駆動用振動子12の圧電効果によって発生する電流（電荷）が、駆動端子4からフィードバック信号として駆動回路30にフィードバックされる。これにより振動子10を含む発振ループが形成される。

50

【 0 0 3 6 】

駆動用振動子 1 1、1 2 が振動すると、検出用振動子 1 6、1 7 が図 1 に示す方向で振動速度 v で振動する。すると、検出用振動子 1 6、1 7 の圧電効果によって発生する電流（電荷）が、検出信号（第 1、第 2 の検出信号）として検出端子 6、8 から出力される。すると、検出回路 6 0 は、この振動子 1 0 からの検出信号を受け、コリオリ力に応じた信号である所望信号（所望波）を検出する。即ち、検出軸 1 9 を中心に振動子 1 0（ジャイロセンサー）が回転すると、振動速度 v の振動方向と直交する方向にコリオリ力 F_c が発生する。例えば検出軸 1 9 を中心に回転したときの角速度を ω とし、振動子の質量を m とし、振動子の振動速度を v とすると、コリオリ力は $F_c = 2 m \cdot v \cdot \omega$ と表される。従って検出回路 6 0 が、コリオリ力に応じた信号である所望信号を検出することで、ジャイロ

10

【 0 0 3 7 】

なお図 1 では、振動子 1 0 が音叉型である場合の例を示しているが、本実施形態の振動子 1 0 はこのような構造に限定されない。例えば T 字型やダブル T 字型等であってもよい。また振動子 1 0 の圧電材料は水晶以外であってもよい。

【 0 0 3 8 】

2. 検出装置

図 2 に本実施形態の検出装置 2 0 の構成例を示す。検出装置 2 0 は、振動子 1 0（物理量トランスデューサー）を駆動する駆動回路 3 0 と、振動子 1 0 からの第 1、第 2 の検出信号 $I Q 1$ 、 $I Q 2$ を受け、所望信号を検出する検出処理を行う検出回路 6 0 を含む。

20

【 0 0 3 9 】

駆動回路 3 0 は、振動子 1 0 からの信号 $D I$ が入力される増幅回路 3 2 と、自動ゲイン制御を行うゲイン制御回路 4 0（ $A G C$: Automatic Gain Control）と、駆動信号 $D Q$ を振動子 1 0 に出力する駆動信号出力回路 5 0 と、同期信号 $S Y C$ を検出回路 6 0 に出力する同期信号出力回路 5 2 を含む。なお、駆動回路 3 0 の構成は図 2 に限定されず、これらの構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 0 4 0 】

増幅回路 3 2（ I / V 変換回路）は、振動子 1 0 からの電流の信号 $D I$ を電圧の信号 $D V$ に変換して出力する。この増幅回路 3 2 は、キャパシター、抵抗素子、演算増幅器などにより実現できる。

30

【 0 0 4 1 】

ゲイン制御回路 4 0（ $A G C$ ）は、信号 $D V$ を監視して、発振ループのゲインを制御する。具体的には発振ループのゲインを制御するための制御電圧 $D S$ を駆動信号出力回路 5 0 に出力する。例えば駆動回路 3 0 では、ジャイロセンサーの感度を一定に保つために、振動子 1 0（駆動用振動子）に供給する駆動電圧の振幅を一定に保つ必要がある。このため、駆動振動系の発振ループ内に、ゲインを自動調整するためのゲイン制御回路 4 0 が設けられる。ゲイン制御回路 4 0 は、振動子 1 0 からフィードバックされた信号 $D I$ の振幅（振動子の振動速度 v ）が一定になるように、ゲインを可変に自動調整する。また発振起動時には、高速な発振起動を可能にするために、発振ループのゲインは 1 よりも大きなゲインに設定される。このゲイン制御回路 4 0 は、増幅回路 3 2 からの交流の信号 $D V$ を直流信号に変換するための全波整流回路や、全波整流回路からの直流信号の電圧と基準電圧との差分に応じた制御電圧 $D S$ を出力する積分器などを含むことができる。

40

【 0 0 4 2 】

駆動信号出力回路 5 0 は、増幅回路 3 2 から信号 $D V$ を受け、駆動信号 $D Q$ を振動子 1 0 に出力する。具体的にはゲイン制御回路 4 0 からの制御電圧 $D S$ に応じた振幅の駆動信号 $D Q$ を出力する。例えば矩形波の駆動信号を出力する。この駆動信号出力回路 5 0 はコンパレータ等により実現できる。

50

【 0 0 4 3 】

同期信号出力回路 5 2 は、増幅回路 3 2 から信号 D V を受け、同期信号 S Y C (参照信号) を検出回路 6 0 に出力する。この同期信号出力回路 5 2 は、正弦波 (交流) の信号 D V の 2 値化処理を行って矩形波の同期信号 S Y C を生成するコンパレータや、同期信号 S Y C の位相調整を行う位相調整回路 (移相器) などにより実現できる。

【 0 0 4 4 】

検出回路 6 0 は、第 1、第 2 の Q / V 変換回路 6 2、6 4、第 1、第 2 のゲイン調整アンプ 7 2、7 4、スイッチングミキサー 8 0、第 1、第 2 のフィルター 9 2、9 4、A / D 変換回路 1 0 0、D S P 部 1 1 0 (デジタル信号処理部) を含む。なお、検出回路 6 0 の構成は図 2 に限定されず、これらの構成要素の一部 (例えば D S P 部) を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

10

【 0 0 4 5 】

Q / V 変換回路 6 2、6 4 (電荷 - 電圧変換回路) には振動子 1 0 からの差動の第 1、第 2 の検出信号 I Q 1、I Q 2 が入力される。そして Q / V 変換回路 6 2、6 4 は振動子 1 0 で発生した電荷 (電流) を電圧に変換する。これらの Q / V 変換回路 6 2、6 4 は帰還抵抗を有する連続型の電荷 - 電圧変換回路である。

【 0 0 4 6 】

ゲイン調整アンプ 7 2、7 4 は、Q / V 変換回路 6 2、6 4 の出力信号 Q A 1、Q A 2 をゲイン調整して増幅する。ゲイン調整アンプ 7 2、7 4 は、いわゆるプログラブルゲインアンプであり、図示しない制御回路により設定されたゲインで信号 Q A 1、Q A 2 を増幅する。例えば A / D 変換回路 1 0 0 の電圧変換範囲に適合する振幅の信号に増幅する。

20

【 0 0 4 7 】

スイッチングミキサー 8 0 は、駆動回路 3 0 からの同期信号 S Y C に基づいて差動の同期検波を行うミキサーである。具体的にはスイッチングミキサー 8 0 では、ゲイン調整アンプ 7 2 の出力信号 Q B 1 が第 1 の入力ノード N I 1 に入力され、ゲイン調整アンプ 7 4 の出力信号 Q B 2 が第 2 の入力ノード N I 2 に入力される。そして駆動回路 3 0 からの同期信号 S Y C により差動の同期検波を行って、差動の第 1、第 2 の出力信号 Q C 1、Q C 2 を第 1、第 2 の出力ノード N Q 1、N Q 2 に出力する。このスイッチングミキサー 8 0 により、前段の回路 (Q / V 変換回路、ゲイン調整アンプ) が発生したノイズ (1 / f ノイズ) などの不要信号が高周波帯域に周波数変換される。また、コリオリ力に応じた信号である所望信号が直流信号に落とし込まれる。

30

【 0 0 4 8 】

フィルター 9 2 には、スイッチングミキサー 8 0 の第 1 の出力ノード N Q 1 からの第 1 の出力信号 Q C 1 が入力される。フィルター 9 4 には、スイッチングミキサー 8 0 の第 2 の出力ノード N Q 2 からの第 2 の出力信号 Q C 2 が入力される。これらのフィルター 9 2、9 4 は、例えば不要信号を除去 (減衰) して所望信号を通過させる周波数特性を有するローパスフィルターである。例えばスイッチングミキサー 8 0 により高周波帯域に周波数変換された 1 / f ノイズ等の不要信号は、フィルター 9 2、9 4 により除去される。またフィルター 9 2、9 4 は、例えばパッシブ素子で構成されるパッシブフィルターである。即ち、フィルター 9 2、9 4 としては、演算増幅器を用いずに、抵抗素子やキャパシタなどのパッシブ素子で構成されるパッシブフィルターを採用できる。

40

【 0 0 4 9 】

A / D 変換回路 1 0 0 は、フィルター 9 2 からの出力信号 Q D 1 とフィルター 9 4 からの出力信号 Q D 2 を受けて、差動の A / D 変換を行う。具体的には、A / D 変換回路 1 0 0 は、フィルター 9 2、9 4 をアンチエイリアシング用のフィルター (前置きフィルター) として、出力信号 Q D 1、Q D 2 のサンプリングを行って A / D 変換を行う。そして本実施形態では、フィルター 9 2 からの出力信号 Q D 1 及びフィルター 9 4 からの出力信号 Q D 2 は、アクティブ素子を介さずに A / D 変換回路 1 0 0 に入力される。

【 0 0 5 0 】

50

A/D変換回路100としては、例えばシグマ型や逐次比較型などの種々の方式のA/D変換回路を採用できる。シグマ型を採用する場合には、例えば1/fノイズ低減のためのCDS(Correlated double sampling)やチョッパの機能などを有し、例えば2次のシグマ変調器などにより構成されるA/D変換回路を用いることができる。また逐次比較型を採用する場合には、例えばDACの素子バラツキによるS/N比の劣化を抑制するDEM(Dynamic Element Matching)の機能などを有し、容量DAC及び逐次比較制御ロジックにより構成されるA/D変換回路を用いることができる。

【0051】

DSP(Digital Signal Processing)部110は、各種のデジタル信号処理を行う。例えばDSP部110は、例えば所望信号のアプリケーションに応じた帯域制限のデジタルフィルタ処理や、A/D変換回路100等により発生したノイズを除去するデジタルフィルタ処理を行う。また、ゲイン補正(感度調整)、オフセット補正などのデジタル補正処理を行う。

10

【0052】

以上の本実施形態の検出装置では、全差動スイッチングミキサー方式を採用している。即ち、振動子10からの差動の検出信号IQ1、IQ2は、Q/V変換回路62、64、ゲイン調整アンプ72、74により信号増幅やゲイン調整が行われて、差動の信号QB1、QB2としてスイッチングミキサー80に入力される。そして、これらの差動の信号QB1、QB2に対して、スイッチングミキサー80により、不要信号が高周波帯域に周波数変換される同期検波処理が行われる。そして、フィルター92、94により、高周波帯域に周波数変換された不要信号が除去されて、差動の信号QD1、QD2としてA/D変換回路100に入力されて、差動のA/D変換が行われる。

20

【0053】

このような全差動スイッチングミキサー方式の本実施形態によれば、Q/V変換回路62、64やゲイン調整アンプ72、74で発生した1/fノイズ等は、スイッチングミキサー80での周波数変換とフィルター92、94によるローパスフィルター特性により除去される。そしてゲイン調整アンプ72、74とA/D変換回路100の間には、ゲインは稼げないが1/fノイズが発生しないスイッチングミキサー80や、低ノイズのパッシブ素子により構成されるフィルター92、94が設けられる構成となっている。従って、Q/V変換回路62、64やゲイン調整アンプ72、74で発生したノイズが除去されると共に、スイッチングミキサー80やフィルター92、94が発生するノイズも最小限に抑えられるため、低ノイズの状態の信号QD1、QD2をA/D変換回路100に入力して、A/D変換できるようになる。しかも、信号QD1、QD2を差動信号としてA/D変換できるため、シングルエンドの信号でA/D変換する場合に比べて、S/N比を更に向上できるようになる。

30

【0054】

例えば図3に、本実施形態の第1の比較例として、アナログ同期検波方式の検出装置の構成例を示す。この第1の比較例の検出装置は、Q/V変換回路362、364、差動増幅回路366、ハイパスフィルター367、ACアンプ368、オフセット調整回路370、同期検波回路380、ローパスフィルター382、ゲイン調整アンプ384、DCアンプ386、SCF388(スイッチトキャパシタフィルター)を有する。また、例えば検出装置の外付けの回路として、A/D変換回路390やDSP部392(デジタルフィルタ)が設けられている。

40

【0055】

図3のアナログ同期検波方式の第1の比較例では、図2の本実施形態の検出装置に比べて、回路ブロック数が多くなり、回路が大規模化する。また、電流を多く消費するアナログの回路ブロックが多いため、電力が無駄に消費されて、消費電力が過大になってしまう。特にA/D変換回路390やDSP部392の機能を検出装置に内蔵させようとする、回路の大規模化や消費電力の増大は更に大きな問題となる。

【0056】

50

また、このアナログ同期検波方式の第1の比較例では、アナログの電圧を出力するという仕様になっているため、信号の取り扱いを容易にするために信号のゲインをなるべく大きくとるという設計思想の回路になる。そして、このように大きなゲインを得るためには、高い電源電圧が必要になり、更なる消費電力の増大の問題を招く。

【0057】

更に第1の比較例では、Q/V変換回路362、364からの差動の信号は、差動入力・シングルエンド出力の差動増幅回路366により、シングルエンドの信号になる。そして、その後のフィルター処理、同期検波処理、ゲイン調整処理等はシングルエンドの信号に対して行われることになるため、ノイズ低減という意味で不利な構成となる。

【0058】

これに対して図2の本実施形態の検出装置では、図3の第1の比較例に比べて回路ブロック数が格段に少なく、回路の小規模化や消費電力の低減化を容易に実現できる。また、Q/V変換回路62、64やゲイン調整アンプ72、74で発生したノイズは、スイッチングミキサー80の周波数変換とフィルター92、94のローパスフィルター特性で除去できる。また、スイッチングミキサー80やフィルター92、94が発生するノイズも少ない。従って、低ノイズの信号状態でA/D変換を行えるため、回路の小規模化や低消費電力化を実現しながらも、低ノイズでの検出処理が可能になるという利点がある。

【0059】

また本実施形態では、ゲイン調整アンプ72、74でのゲイン調整は、A/D変換回路100の電圧変換範囲に適合する振幅の信号に増幅するゲイン調整で済む。つまり、ゲイン調整アンプ72、74でのゲイン調整は、感度調整等のためのゲイン調整ではなく、A/D変換回路100で発生するノイズに対するS/N比を最大限にするためのゲイン調整である。従って、本実施形態によれば、大きなゲインを得るために電源電圧を高くする必要があるという第1の比較例の問題点を解消でき、電源電圧の低電圧化が容易になる。この結果、更なる低消費電力化を実現できる。

【0060】

また本実施形態では、振動子10からの差動の信号IQ1、IQ2は、差動信号の状態のまま、ゲイン調整、同期検波処理、フィルター処理が行われ、A/D変換回路100に入力されてA/D変換が行われる。従って、シングルエンド信号の状態でフィルター処理、同期検波処理、ゲイン調整処理等が行われる第1の比較例に比べて、ノイズ低減の点で有利な構成となる。

【0061】

例えば図3の第1の比較例では、同期検波回路380の前段において、ACアンプ368からのシングルエンドの第1の信号を反転アンプで反転して第2の信号を生成し、これらの第1、第2の信号を用いて同期検波を行う。このため、第1の信号のノイズと第2の信号のノイズは等価ではなく、同期検波回路380での周波数変換を行っても、上記の反転アンプのノイズ等が残存してしまう。このため、差動信号の状態で行う本実施形態のスイッチングミキサー80に比べて、S/N比が劣化する。差動のスイッチングミキサー80を用いる本実施形態では、このような反転アンプの残存ノイズ等は発生しないため、図3の第1の比較例に比べて、S/N比を向上できる。

【0062】

図4に本実施形態の第2の比較例として、ダイレクトサンプリング方式の検出装置の構成例を示す。この第2の比較例の検出装置は、離散型Q/V変換回路260、A/D変換270、DSP部280を有する。このダイレクトサンプリング方式は、回路の小規模化という意味では優位な構成となるが、A/D変換回路270の前段にアンチエイリアシング用のフィルターがないため、折り返し雑音による性能劣化は避けられないという問題点がある。また、離散型Q/V変換回路260の低ノイズ化のために消費電流を増やすと、帯域が伸び、折り返し雑音が増す結果となり、低ノイズ化が難しい。また、離散型Q/V変換回路260の場合、入力端子につく寄生容量によるノイズ特性の劣化が顕著になるという問題もある。更に、離散型Q/V変換回路260とA/D変換270とが一体となっ

10

20

30

40

50

て動作するという回路構成であるため、例えばジャイロセンサーの多軸化には不向きであり、後段のロジック回路の処理・構成も複雑化してしまうという問題がある。

【0063】

これに対して図2の本実施形態の検出装置では、Q/V変換回路62、64は、帰還抵抗素子を有する連続型の電荷 - 電圧変換回路となっている。従って、ダイレクトサンプリング方式で生じる折り返し雑音による性能劣化の問題を防止でき、小規模の回路構成で低ノイズでの検出処理を実現できるという利点がある。また多軸化への対応も容易であり、後段のロジック回路の処理・構成も単純化できるという点で優位な構成となる。

【0064】

3. 検出回路の詳細な構成

図5に本実施形態の検出回路60の詳細な第1の構成例を示す。

【0065】

Q/V変換回路62は、演算増幅器OPA1、キャパシターCA1、抵抗素子RA1を有し、Q/V変換回路64は、演算増幅器OPA2、キャパシターCA2、抵抗素子RA2を有する。

【0066】

Q/V変換回路62の演算増幅器OPA1は、その非反転入力端子（広義には第1の入力端子）の電位が固定される。具体的には、Q/V変換回路62の演算増幅器OPA1は、非反転入力端子が所定電位（AGND）に設定される。キャパシターCA1及び抵抗素子RA1は、Q/V変換回路62の出力ノードと演算増幅器OPA1の反転入力端子（広義には第2の入力端子）のノードとの間に設けられる。

【0067】

Q/V変換回路64の演算増幅器OPA2は、その非反転入力端子の電位が固定される。具体的には、Q/V変換回路64の演算増幅器OPA2は、非反転入力端子が所定電位に設定される。キャパシターCA2及び抵抗素子RA2は、Q/V変換回路64の出力ノードと演算増幅器OPA2の反転入力端子のノードとの間に設けられる。

【0068】

このように本実施形態のQ/V変換回路62、64は、帰還抵抗素子RA1、RA2を有する連続型の電荷 - 電圧変換回路になっており、図4のダイレクトサンプリング方式の離散型Q/V変換回路260に比べて、ノイズ低減の意味で有利な構成となる。

【0069】

ゲイン調整アンプ72は、演算増幅器OPB1、第1、第2のキャパシターCB11、CB12、抵抗素子RB1を有する。ゲイン調整アンプ74は、演算増幅器OPB2、第1、第2のキャパシターCB21、CB22、抵抗素子RB2を有する。

【0070】

ゲイン調整アンプ72の演算増幅器OPB1は、非反転入力端子（第1の入力端子）が所定電位（AGND）に設定される。キャパシターCB11は、ゲイン調整アンプ72の入力ノードと演算増幅器OPB1の反転入力端子（第2の入力端子）のノードとの間に設けられる。キャパシターCB12及び抵抗素子RB1は、ゲイン調整アンプ72の出力ノードと演算増幅器OPB1の反転入力端子のノードとの間に設けられる。

【0071】

ゲイン調整アンプ74の演算増幅器OPB2は、非反転入力端子が所定電位に設定される。キャパシターCB21は、ゲイン調整アンプ74の入力ノードと演算増幅器OPB2の反転入力端子のノードとの間に設けられる。キャパシターCB22及び抵抗素子RB2は、ゲイン調整アンプ74の出力ノードと演算増幅器OPB2の反転入力端子のノードとの間に設けられる。

【0072】

ゲイン調整アンプ72では、キャパシターCB11、CB12の少なくとも一方が、容量値が可変のキャパシターになっている。ゲイン調整アンプ74でも、キャパシターCB21、CB22の少なくとも一方が、容量値が可変のキャパシターになっている。これら

10

20

30

40

50

のキャパシタの容量値は、図示しない制御回路（レジスター）により可変に設定される。そして、例えばキャパシターCB11、CB21の容量値をC1として、キャパシターCB12、CB22の容量値をC2とすると、ゲイン調整アンプ72、74のゲインは、C1とC2の容量比C2/C1により設定されることになる。

【0073】

また図5のゲイン調整アンプ72、74は、ハイパスフィルターの周波数特性を有している。即ち、ゲイン調整アンプ72のキャパシターCB11と抵抗素子RB1によりハイパスフィルターが構成され、ゲイン調整アンプ74のキャパシターCB21と抵抗素子RB2によりハイパスフィルターが構成される。これにより、ゲイン調整アンプ72は、Q/V変換回路62の1/fノイズを低減（除去）するハイパスフィルターの周波数特性を有することになる。またゲイン調整アンプ74は、Q/V変換回路64の1/fノイズを低減（除去）するハイパスフィルターの周波数特性を有することになる。

10

【0074】

スイッチングミキサー80は、第1、第2、第3、第4のスイッチ素子SW1、SW2、SW3、SW4を有する。スイッチ素子SW1は、スイッチングミキサー80の第1の入力ノードNI1と第1の出力ノードNQ1との間に設けられる。スイッチ素子SW2は、スイッチングミキサー80の第1の入力ノードNI1と第2の出力ノードNQ2との間に設けられる。スイッチ素子SW3は、スイッチングミキサー80の第2の入力ノードNI2と第1の出力ノードNQ1との間に設けられる。スイッチ素子SW4は、第2の入力ノードNI2と第2の出力ノードNQ2との間に設けられる。これらのスイッチ素子SW1～SW4は、例えばMOSトランジスタ（例えばNMOS型トランジスタ或いはトランスファークローク）により構成できる。

20

【0075】

そして駆動回路30からの同期信号SYCに基づいて、スイッチ素子SW1とSW2は排他的にオン・オフされ、スイッチ素子SW3とSW4は排他的にオン・オフされる。例えば同期信号SYCがHレベル（第1のレベル）の場合に、スイッチ素子SW1、SW4がオンになり、スイッチ素子SW2、SW3がオフになる。一方、同期信号SYCがLレベル（第2のレベル）の場合に、スイッチ素子SW2、SW3がオンになり、スイッチ素子SW1、SW4がオフになる。これにより、ゲイン調整アンプ72、74からの差動の信号QB1、QB2が、差動信号の状態同期検波されて、同期検波後の信号が差動の信号QC1、QC2として出力されるようになる。例えば図3の第1の比較例では、シングルエンド信号の状態同期検波が行われ、シングルエンドの信号が出力されていたが、本実施形態では、差動信号の状態同期検波が行われ、同期検波後の信号として差動の信号が出力されるようになる。

30

【0076】

フィルター92は、抵抗素子RD1とキャパシターCD1を有する。フィルター94は、抵抗素子RD2とキャパシターCD2を有する。

【0077】

フィルター92の抵抗素子RD1は、スイッチングミキサー80の出力ノードNQ1と第1の接続ノードND1との間に設けられる。この第1の接続ノードND1はA/D変換回路100の第1の入力ノードに接続されるノードである。キャパシターCD1は、第1の接続ノードND1と、電位が所定電位（例えばAGND）に固定されたノードとの間に設けられる。

40

【0078】

フィルター94の抵抗素子RD2は、スイッチングミキサー80の出力ノードNQ2と第2の接続ノードND2との間に設けられる。この第2の接続ノードND2はA/D変換回路100の第2の入力ノードに接続されるノードである。キャパシターCD2は、第2の接続ノードND2と、電位が所定電位（例えばAGND）に固定されたノードとの間に設けられる。

【0079】

50

このように図5のフィルター92、94は、抵抗素子やキャパシターなどのパッシブ素子で構成されるパッシブフィルターとなっている。そしてフィルター92からの出力信号QD1及びフィルター94からの出力信号QD2は、アクティブ素子を介さずにA/D変換回路100に直接入力される。出力信号QD2は、パッシブ素子のみを介してA/D変換回路100に入力してもよい。

【0080】

図6に、AD変換回路100の内部に設けられる第1、第2のサンブラ回路112、114を示す。

【0081】

第1のサンブラ回路112は、キャパシターCE1、スイッチ素子SW5、SW6、SW7、SW8、SW9を有する。スイッチ素子SW5は、図5に示した第1の接続ノードND1とキャパシターCE1の一方端のノードNC11との間に設けられる。スイッチ素子SW6は、キャパシターCE1の一方端のノードNC11と電位が所定電位(例えばAGND)に固定されたノードとの間に設けられる。スイッチ素子SW7は、キャパシターCE1の一方端のノードNC11とキャパシターCE1の他方端のノードNC12との間に設けられる。スイッチ素子SW8は、キャパシターCE1の他方端のノードNC12とサンブラ回路112の出力信号QE1のノードNE1との間に設けられる。スイッチ素子SW9は、キャパシターCE1の他方端のノードNC12と電位が所定電位(例えばAGND)に固定されたノードとの間に設けられる。

【0082】

第2のサンブラ回路114は、キャパシターCE2、スイッチ素子SW10、SW11、SW12、SW13、SW14を有する。スイッチ素子SW10は、図5に示した第2の接続ノードND2とキャパシターCE2の一方端のノードNC21との間に設けられる。スイッチ素子SW11は、キャパシターCE2の一方端のノードNC21と電位が所定電位(例えばAGND)に固定されたノードとの間に設けられる。スイッチ素子SW12は、キャパシターCE2の一方端のノードNC21とキャパシターCE2の他方端のノードNC22との間に設けられる。スイッチ素子SW13は、キャパシターCE2の他方端のノードNC22とサンブラ回路114の出力信号QE2のノードNE2との間に設けられる。スイッチ素子SW14は、キャパシターCE2の他方端のノードNC22と電位が所定電位(例えばAGND)に固定されたノードとの間に設けられる。

【0083】

図7に、サンブラ回路112のスイッチ素子SW5、SW6、SW7、SW8、SW9と、サンブラ回路114のスイッチ素子SW10、SW11、SW12、SW13、SW14のオン・オフのタイミングチャートを示す。まず、サンブラ回路112の各スイッチ素子のタイミングチャートについて説明する。スイッチ素子SW7がオンされている期間中に、ノードNC11とノードNC12とが接続されるため、キャパシタンスCE1に蓄積されている電荷が除去される。その後、スイッチ素子SW5及びSW9をオンにし、他のスイッチ素子SW6、SW7、及びSW8をオフにすることで、サンブラ回路112に入力される信号QD1に対応した電荷がキャパシタンスCE1に蓄積される。その後、スイッチ素子SW6、SW8をオンにし、その他のスイッチ素子SW5、SW9、SW7をオフにし、ノードNC12を後段のAD変換回路100内部の回路(図示しない)に接続にし、サンブラ回路112は出力信号QE1を出力する。

【0084】

次に、サンブラ回路114の各スイッチ素子について説明する。スイッチ素子SW12がオンされている期間中に、ノードNC21とノードNC22とが接続されるため、キャパシタンスCE2に蓄積されている電荷が除去される。その後、スイッチ素子SW10及びSW14をオンにし、他のスイッチ素子SW11、SW12、及びSW13をオフにすることで、サンブラ回路114に入力される信号QD2に対応した電荷がキャパシタンスCE2に蓄積される。その後、スイッチ素子SW11、SW13をオンにし、その他のスイッチ素子SW10、SW14、SW12をオフにし、ノードNC22をAD変換回路1

10

20

30

40

50

00内部の後段の回路(図示しない)に接続し、サンプラ回路114は出力信号QE2を出力する。

【0085】

その後、サンプラ回路112の出力信号QE1及びサンプラ回路114の出力信号QE2を用いて、AD変換回路100内部の後段の回路(図示しない)において、サンプリング処理を行う。

【0086】

サンプラ回路112、114の効果について、比較例を示して説明する。図8に比較例のサンプラ回路412、414を示し、図9にサンプラ回路が有するスイッチ素子SW15~21のオン・オフのタイミングチャートを示す。サンプラ回路412、414に入力される信号が、演算増幅器により駆動された電圧信号である場合は、キャパシターCF1、CF2に蓄積される電荷量は演算増幅器によって一意に決まる。しかし、図5で説明したように、A/D変換回路100(サンプラ回路412)に入力される信号がパッシブフィルタ(フィルタ92、94)を介して入力される信号QD1、QD2である場合、その信号は駆動されていないので、キャパシターCF1、CF2に残存する電荷が不確定である。そのような不確定な電荷が、AD変換回路におけるサンプリング処理に影響を与えるため、比較例のサンプラ回路412、414は、A/D変換回路の出力結果の精度を高めることができない。

【0087】

一方、図6、図7で説明したサンプラ回路112、114によれば、サンプラ回路112、114より後段のA/D変換回路100の内部回路においてサンプリング処理を行う前に、スイッチ素子SW7、SW12を接続してキャパシターCE1、CE2の残存電荷を除去する。よって、キャパシターCE1、CE2の残存電荷が、サンプリング処理に影響を与えることがないため、A/D変換回路100におけるA/D変換処理の出力の精度を高めることができる。

【0088】

図10に、図5の検出回路の各信号QA1及びQA2、QB1及びQB2、QC1及びQC2、QD1及びQD2の信号波形例を示す。

【0089】

図10に示すように、Q/V変換回路62、64から出力された信号QA1、QA2は、ゲイン調整アンプ72、74により反転増幅されて、信号QB1、QB2として出力される。具体的には、前述した容量比C2/C1のゲインで増幅される。

【0090】

ゲイン調整アンプ72、74から出力された信号QB1、QB2は、スイッチングミキサ80により同期検波されて、信号QC1、QC2として出力される。同期検波により、1/fノイズ等の不要信号は、高周波帯域に周波数変換される。そして、これらの信号QC1、QC2に対してフィルタ92、94がローパスフィルタ処理を行うことで、信号QD1、QD2が生成される。これらの信号QD1、QD2では、ローパスフィルタ処理により、高周波帯域に周波数変換された不要信号が除去されて低ノイズの信号となっている。そして、この低ノイズの信号QD1、QD2が、A/D変換回路100に差動信号として入力されて、差動のA/D変換が行われることになる。

【0091】

図11に本実施形態の検出装置の詳細な第2の構成例を示す。

【0092】

前述したように、図5の第1の構成例では、ゲイン調整アンプ72は、キャパシターCB11、CB12と抵抗素子RB1と演算増幅器OPB1で構成される。ゲイン調整アンプ74も同様である。そして、ゲインは容量比で設定される。また、ゲイン調整アンプ72、74はハイパスフィルタの周波数特性を有する。

【0093】

これに対して図11の第2の構成例では、ゲイン調整アンプ72は、抵抗素子RB11

10

20

30

40

50

、R B 1 2 と演算増幅器 O P B 1 で構成される。ゲイン調整アンプ 7 4 も同様である。そしてゲインは抵抗比で設定される。また、ゲイン調整アンプ 7 2、7 4 はハイパスフィルターの周波数特性を有していない。

【 0 0 9 4 】

図 1 2 に本実施形態の検出装置の第 3 の構成例を示す。この第 3 の構成例では、図 1 1 の第 2 の構成例に対して、キャパシター C C 1、抵抗素子 R C 1 で構成されるハイパスフィルター 7 6 が、ゲイン調整アンプ 7 2 の後段に付加されている。同様に、キャパシター C C 2、抵抗素子 R C 2 で構成されるハイパスフィルター 7 8 が、ゲイン調整アンプ 7 4 の後段に付加されている。

【 0 0 9 5 】

図 1 3 (A) は、図 1 1 の第 2 の構成例の雑音電圧の周波数特性を示す図である。A 1 に示すように、Q / V 変換回路 6 2、6 4 の出力では、低周波帯域に大きな $1 / f$ ノイズが発生している。この A 1 の $1 / f$ ノイズは、ゲイン調整アンプ 7 2、7 4 での信号増幅により、A 2 に示すように増加する。そしてスイッチングミキサー 8 0 での周波数変換及びフィルター 9 2、9 4 のローパスフィルター特性により、この $1 / f$ ノイズは低減されるが、A 3 に示すように、その低減の度合いは十分ではない。例えばスイッチングミキサー 8 0 のクロックのデューティが 5 0 パーセントからずれると、 $1 / f$ ノイズが漏れることになり、ノイズ性能の低下につながる。

【 0 0 9 6 】

図 1 3 (B) は、図 5 の第 1 の構成例の雑音電圧の周波数特性を示す図である。B 1 に示すように、Q / V 変換回路 6 2、6 4 の出力では、低周波帯域に大きな $1 / f$ ノイズが発生している。この B 1 の $1 / f$ ノイズは、ゲイン調整アンプ 7 2、7 4 のハイパスフィルター特性により、図 1 3 (A) の A 2 に比べて、B 2 に示すように大きく低減される。そして、この $1 / f$ ノイズは、スイッチングミキサー 8 0 での周波数変換及びフィルター 9 2、9 4 のローパスフィルター特性により、図 1 3 (A) の A 3 に比べて、B 3 に示すように十分に低減されるようになる。例えばスイッチングミキサー 8 0 のクロックのデューティが 5 0 パーセントからずれた場合にも、 $1 / f$ ノイズの漏れを最小限に抑えることができる。従って、A / D 変換回路 1 0 0 は、 $1 / f$ ノイズ等が十分に低減された信号を、A / D 変換することが可能になり、回路の大規模化や消費電力の増加を抑えながら低ノイズでの検出処理を実現できるようになる。

【 0 0 9 7 】

また図 1 1 の第 2 の構成例は、Q / V 変換回路 6 2、6 4 でのオフセットがゲイン調整アンプ 7 2、7 4 で増幅される構成となる。このため、後段の回路 (A / D 変換回路、D S P 部) から見ると、ゲイン調整アンプ 7 2、7 4 で設定されたゲインに応じて、オフセットも異なった値となってしまう。例えばオフセット調整を、D S P 部 1 1 0 などの後段の回路で行う場合を考えると、一度の検査でオフセット調整を実行することが望まれるが、図 1 1 の第 2 の構成例では、ゲイン調整アンプ 7 2、7 4 で設定されたゲインごとに、オフセット調整が必要になり、処理が煩雑になってしまうという問題がある。

【 0 0 9 8 】

このような問題を解決するために、図 1 2 の第 3 の構成例のように、ゲイン調整アンプ 7 2、7 4 の後段にハイパスフィルター 7 6、7 8 を設ける手法も考えられる。しかしながら、この第 3 の構成例では、A / D 変換回路 1 0 0 の前段のアンチエイリアシング用のフィルター 9 2、9 4 もパッシブの回路であり、スイッチングミキサー 8 0 も演算増幅器などの駆動回路を有しない回路であり、ハイパスフィルター 7 6、7 8 もパッシブの回路となってしまう。従って、外乱に弱く、信号の情報伝達に不安要素があるという問題がある。

【 0 0 9 9 】

この点、図 5 の第 1 の構成例では、Q / V 変換回路 6 2、6 4 のオフセットは、ゲイン調整アンプ 7 2、7 4 のハイパスフィルター特性により除去される。従って、D S P 部 1 1 0 等の後段の回路から見ると、ゲイン調整アンプ 7 2、7 4 のゲイン設定に依らずに、

10

20

30

40

50

ゲイン調整アンプ72、74のオフセットだけが見えるようになる。また、ゲイン調整アンプ72、74で設定されたゲインごとにオフセット調整を行う必要がなくなり、処理の簡素化を図れる。また前述のように、Q/V変換回路62、64の1/fノイズは、ゲイン調整アンプ72、74のハイパスフィルター特性により除去され、ゲイン調整アンプ72、74の1/fノイズは、スイッチングミキサー80の周波数変換とフィルター92、94のローパスフィルター特性により除去される。従って、A/D変換回路100の入力段ではアクティブ回路で発生する1/fノイズが見えない構成となり、低周波帯域でのノイズが重要視される検出装置の回路構成として、最適な構成となる。

【0100】

4. 駆動回路の詳細な構成

図14に本実施形態の駆動回路30の詳細な構成例を示す。

【0101】

増幅回路32は、ローパスフィルター特性をもつ積分型の電流 - 電圧変換回路であり、演算増幅器OPE、キャパシターCE、抵抗素子REを有する。演算増幅器OPEの非反転入力端子(第1の入力端子)は所定電位(例えばAGND)に設定され、反転入力端子(第2の入力端子)には振動子10からの信号DIが入力される。キャパシターCE及び抵抗素子REは、増幅回路32の出力ノードと演算増幅器OPEの反転入力端子のノードとの間に設けられる。

【0102】

ゲイン制御回路40(AGC)は、発振定常状態において、ループゲインが1になるようにゲインを自動調整する回路であり、全波整流器42、積分器44を有する。なお、ゲイン制御回路40に、発振状態を検出する発振検出器を含ませてもよい。

【0103】

全波整流器42は、増幅回路32の出力信号DVを全波整流する回路であり、演算増幅器OPF、抵抗素子RF1、RF2、コンパレータCP3、スイッチ素子SF1、SF2、インバータ回路INVを有する。

【0104】

抵抗素子RF1は、信号DVのノードと演算増幅器OPFの反転入力端子のノードとの間に設けられ、抵抗素子RF2は、演算増幅器OPFの出力ノードと反転入力端子のノードとの間に設けられる。

【0105】

スイッチ素子SF1は、演算増幅器OPFの出力ノードと積分器44の入力ノードとの間に設けられ、スイッチ素子SF2は、信号DVのノードと積分器44の入力ノードとの間に設けられる。そしてスイッチ素子SF1、SF2は、信号DVの電圧と所定電位の電圧とを比較するコンパレータCP3の出力信号に基づいて、排他的にオン・オフ制御される。これにより信号DRは、信号DVを全波整流した信号になる。

【0106】

積分器44は、全波整流器42により全波整流された信号DRの積分処理を行う回路であり、演算増幅器OPG、抵抗素子RG、キャパシターCGを有する。演算増幅器OPGの非反転入力端子は所定電圧VR3に設定される。抵抗素子RGは積分器44の入力ノードと演算増幅器OPGの反転入力端子のノードとの間に設けられ、キャパシターCGは、演算増幅器OPGの出力ノードと反転入力端子のノードとの間に設けられる。ゲイン制御回路40の出力信号である積分器44の出力信号は、制御電圧DSとして、駆動信号出力回路50のコンパレータCP1に供給される。

【0107】

駆動信号出力回路50を構成するコンパレータCP1は、非反転入力端子が所定電位(例えばAGND)に設定され、反転入力端子に増幅回路32からの信号DVが入力される。そして信号DVを2値化した矩形波の駆動信号DQを出力する。矩形波の駆動信号DQを振動子10に出力しても、振動子10が持つ周波数フィルター作用によって不要な高調波が低減され、目的とする周波数(共振周波数)の駆動信号を得ることが可能になる。

10

20

30

40

50

このコンパレータ C P 1 は、差動部と、差動部に接続された出力部を有する。そして、ゲイン制御回路 4 0 (積分器)からの制御電圧 D S は、コンパレータ C P 1 の出力部の電源電圧 (高電位側電源電圧)として供給される。これにより、コンパレータ C P 1 が出力する駆動信号 D Q の振幅は、ゲイン制御回路 4 0 の制御電圧 D S に応じて変化するようになり、発振定常状態においてループゲインを 1 にするゲイン制御が実現される。なお、駆動信号出力回路 5 0 は、矩形波ではなく正弦波の駆動信号 D Q を出力する回路であってもよい。

【 0 1 0 8 】

同期信号出力回路 5 2 は、コンパレータ C P 2 と位相調整回路 5 4 (移相器)を有する。コンパレータ C P 2 は、非反転入力端子が所定電位 (例えば A G N D) に設定され、反転入力端子に増幅回路 3 2 からの信号 D V が入力される。そして信号 D V を 2 値化した信号 S D E T を出力する。位相調整回路 5 4 は、スイッチングミキサー 8 0 での同期検波が適切に行われるように、信号 S D E T の位相を調整して、同期信号 S Y C として検出回路 6 0 のスイッチングミキサー 8 0 に出力する。

【 0 1 0 9 】

なお駆動回路 3 0 の構成は図 1 4 の構成に限定されず、種々の変形実施が可能である。例えば図 1 4 では、駆動信号出力回路 5 0 が、矩形波の駆動信号 D Q を出力するコンパレータ C P 1 により構成されているが、駆動信号出力回路 5 0 を、正弦波の駆動信号 D Q を出力するゲインアンプ等により構成してもよい。この場合には、ゲイン制御回路 4 0 からの制御電圧 D S に基づいて、ゲインアンプのゲインを制御することで、駆動信号 D Q の振幅を制御すればよい。また図 1 4 では、駆動信号出力回路 5 0 のコンパレータ C P 1 と同期信号出力回路 5 2 のコンパレータ C P 2 とが別体の回路として示されているが、これに限定されるものではない。例えばコンパレータ C P 1 と C P 2 とでその差動部が共用される複合型のコンパレータを用いてもよい。

【 0 1 1 0 】

また本実施形態のジャイロセンサー 5 1 0 (センサー)は、例えば、車、飛行機、バイク、自転車、或いは船舶等の種々の移動体に組み込むことができる。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器を備えて、地上や空や海上を移動する機器・装置である。図 1 5 は移動体の一具体例としての自動車 2 0 6 を概略的に示す。自動車 2 0 6 には振動子 1 0 及び検出装置 2 0 を有するジャイロセンサー 5 1 0 が組み込まれる。ジャイロセンサー 5 1 0 は車体 2 0 7 の姿勢を検出することができる。ジャイロセンサー 5 1 0 の検出信号は車体姿勢制御装置 2 0 8 に供給することができる。車体姿勢制御装置 2 0 8 は例えば車体 2 0 7 の姿勢に応じてサスペンションの硬軟を制御したり個々の車輪 2 0 9 のブレーキを制御したりすることができる。その他、こういった姿勢制御は二足歩行ロボットや航空機、ヘリコプター等の各種移動体で利用されることができる。姿勢制御の実現にあたってジャイロセンサー 5 1 0 は組み込まれることができる。

【 0 1 1 1 】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語 (センサー、物理量トランスデューサー、物理量、第 1 の入力端子、第 2 の入力端子等) と共に記載された用語 (ジャイロセンサー、振動子、角速度情報、非反転入力端子、反転入力端子等) は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また、検出装置やセンサーや電子機器の構成、振動子の構造等も、本実施形態で説明したものに限定されず、種々の変形実施が可能である。

【 符号の説明 】

【 0 1 1 2 】

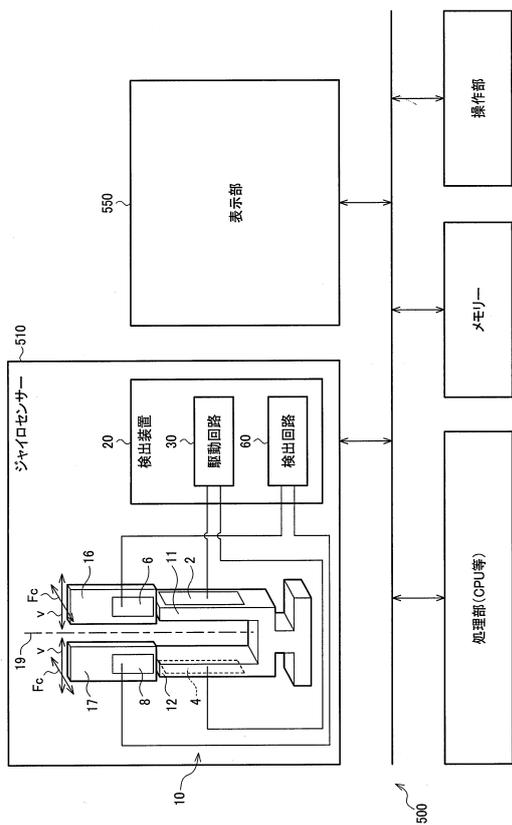
O P A 1、O P A 2、O P B 1、O P B 2 演算増幅器、

- CA 1、CA 2、CB 1 1、CB 1 2、CB 2 1、CB 2 2 キャパシター、
- RA 1、RA 2、RB 1、RB 2 抵抗素子、
- SW 1 ~ SW 2 2 スイッチ素子、SYC 同期信号、
- RD 1、RD 2 抵抗素子、
- CD 1、CD 2、CE 1、CE 2、CF 1、CF 2 キャパシター、
- OPE、OPF、OPG 演算増幅器、CP 1、CP 2、CP 3 コンパレータ、
- CE、CG キャパシター、RE、RF 1、RF 2、RG 抵抗素子、
- SF 1、SF 2 スイッチ素子、
- 10 振動子、20 検出装置、30 駆動回路、32 増幅回路、
- 40 ゲイン制御回路、42 全波整流器、44 積分器、
- 50 駆動信号出力回路、52 同期信号出力回路、54 位相調整回路、
- 60 検出回路、62、64 Q/V変換回路、72、74 ゲイン調整アンプ、
- 80 スwitchングミキサー、92、94 フィルター、
- 100 A/D変換回路、110 DSP部、
- 112、114 第1、第2のサンプラ回路、
- 412、414 第1、第2のサンプラ回路、
- 206 移動体(自動車)、207 車体、208 車体姿勢制御装置、車輪209、
- 260 離散型Q/V変換回路、270 A/D変換回路、280 DSP部、
- 362、364 Q/V変換回路、366 差動増幅回路、
- 367 ハイパスフィルター、368 ACアンプ、370 オフセット調整回路、
- 380 同期検波回路、382 ローパスフィルター、384 ゲイン調整アンプ、
- 386 DCアンプ、388 SCF、390 A/D変換回路、392 DSP部、
- 500 電子機器、510 ジャイロセンサー、520 処理部、530 メモリー、
- 540 操作部、550 表示部

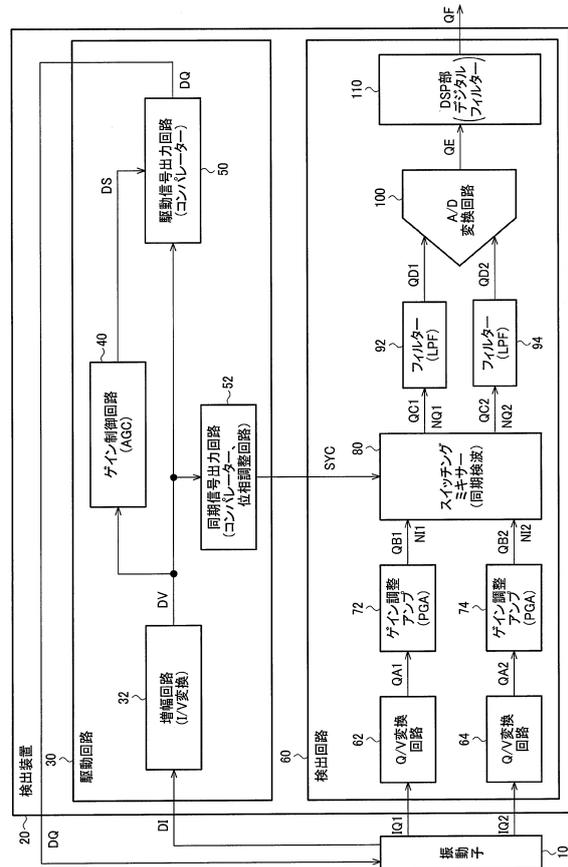
10

20

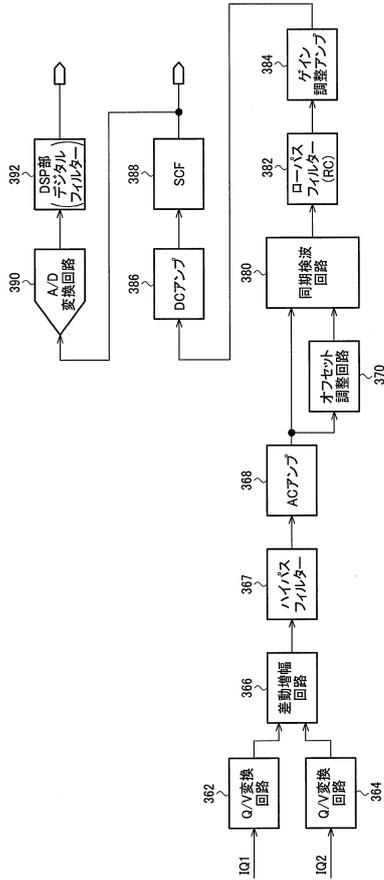
【図1】



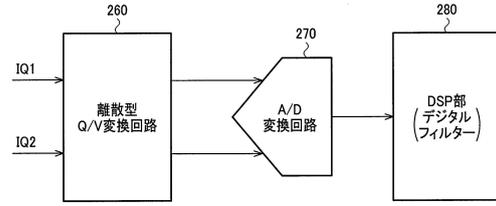
【図2】



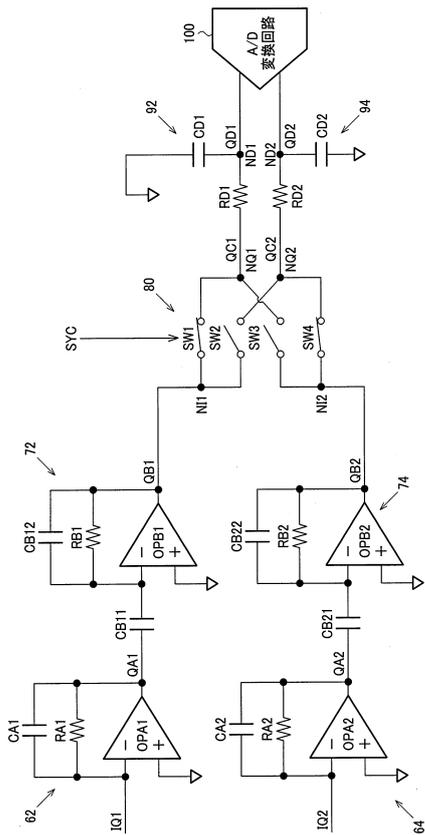
【図3】



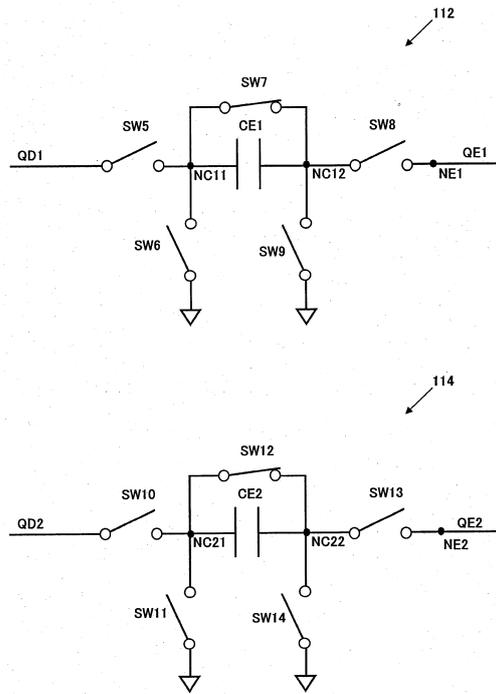
【図4】



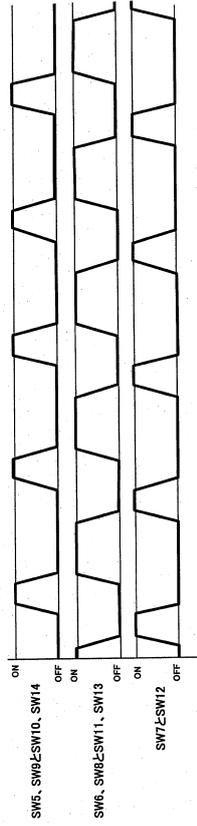
【図5】



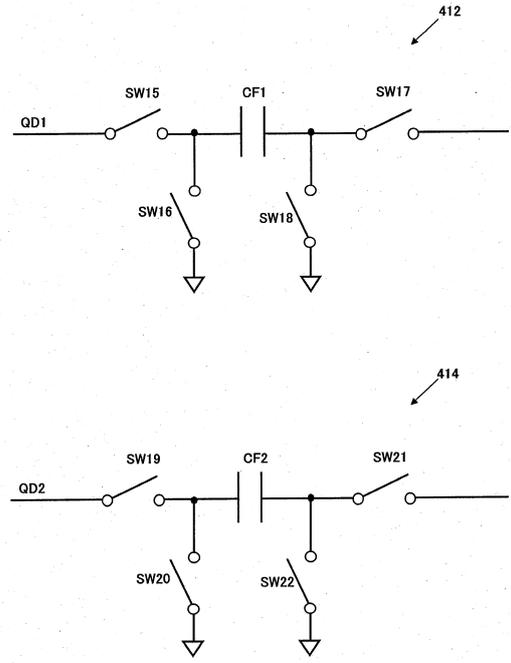
【図6】



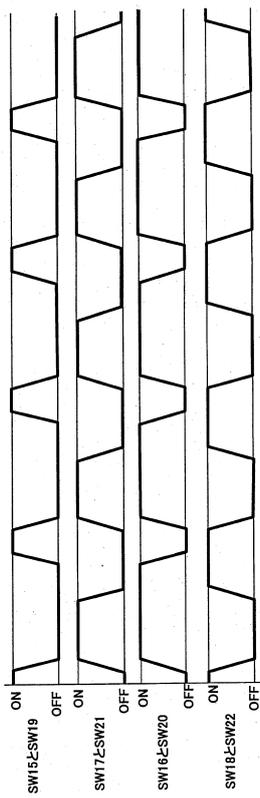
【 図 7 】



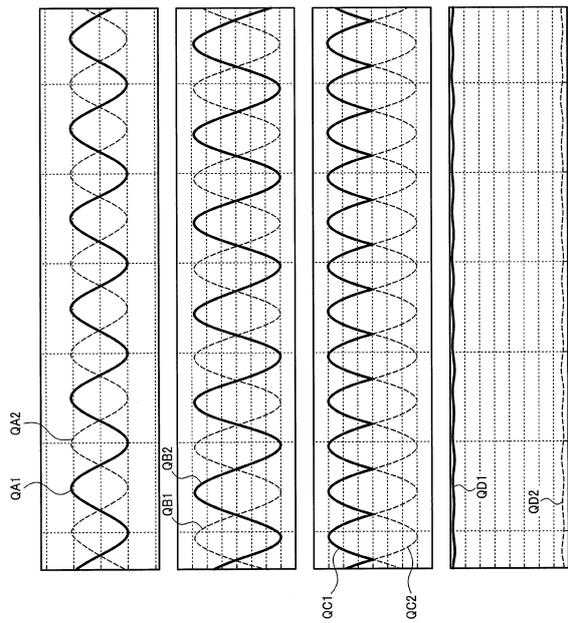
【 図 8 】



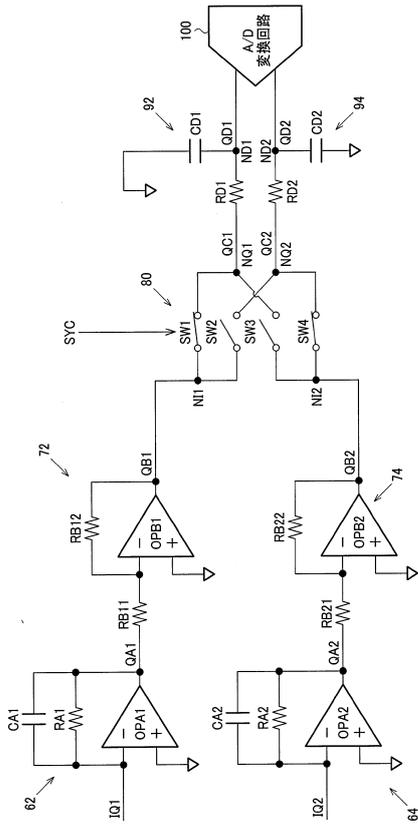
【 図 9 】



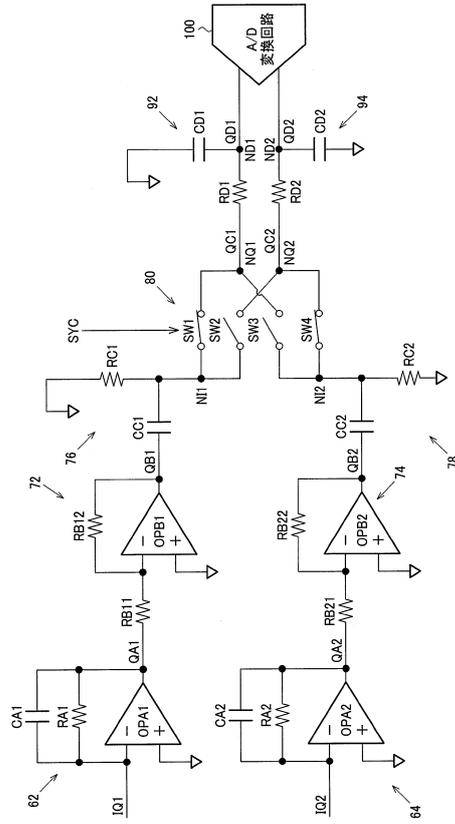
【 図 10 】



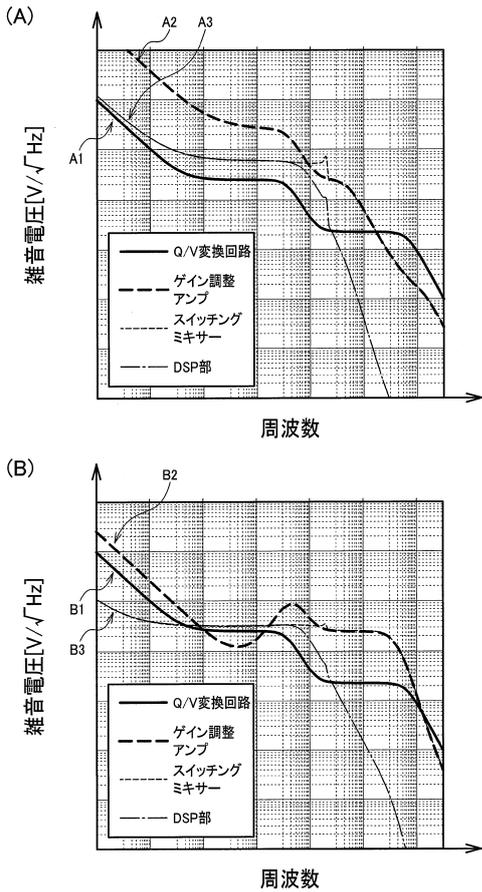
【図11】



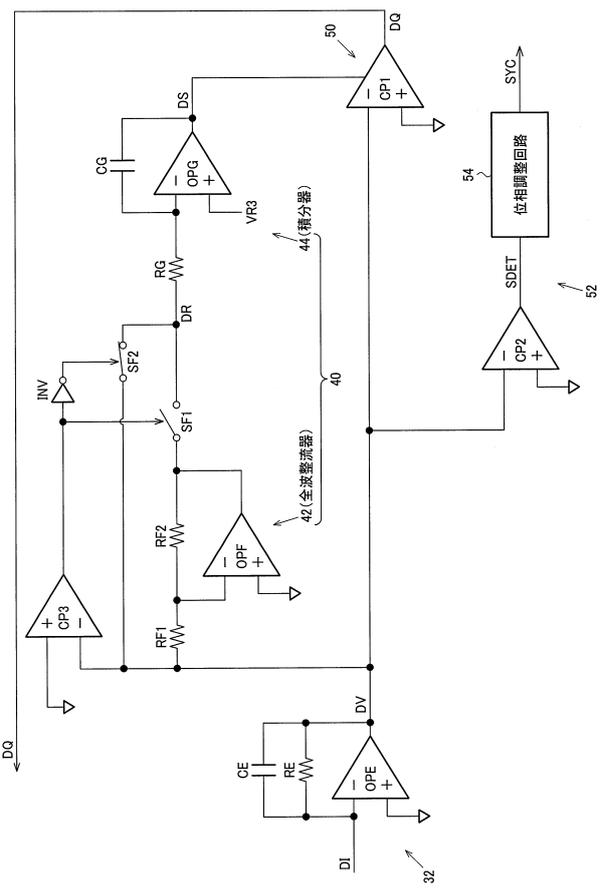
【図12】



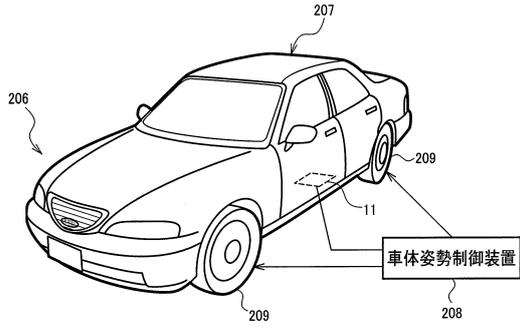
【図13】



【図14】



【図15】



フロントページの続き

審査官 梶田 真也

- (56)参考文献 国際公開第2010/150736(WO, A1)
特開2007-327945(JP, A)
国際公開第2012/011019(WO, A1)
特開2012-044571(JP, A)
特開2012-114571(JP, A)
特開2007-057262(JP, A)
特開2007-051930(JP, A)
特開2008-064663(JP, A)
特開2012-137426(JP, A)

(58)調査した分野(Int.Cl., DB名)

G01C	19/56	-	19/5783
G01P	15/00	-	15/18
H01L	27/20		
H01L	29/84		
H01L	41/00	-	41/47