



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0030683
(43) 공개일자 2024년03월07일

(51) 국제특허분류(Int. Cl.)
H03K 5/1252 (2006.01) G09G 3/32 (2016.01)
(52) CPC특허분류
H03K 5/1252 (2013.01)
G09G 3/32 (2013.01)
(21) 출원번호 10-2022-0110036
(22) 출원일자 2022년08월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
강연욱
경기도 파주시 월롱면 엘지로 245
(74) 대리인
박병석

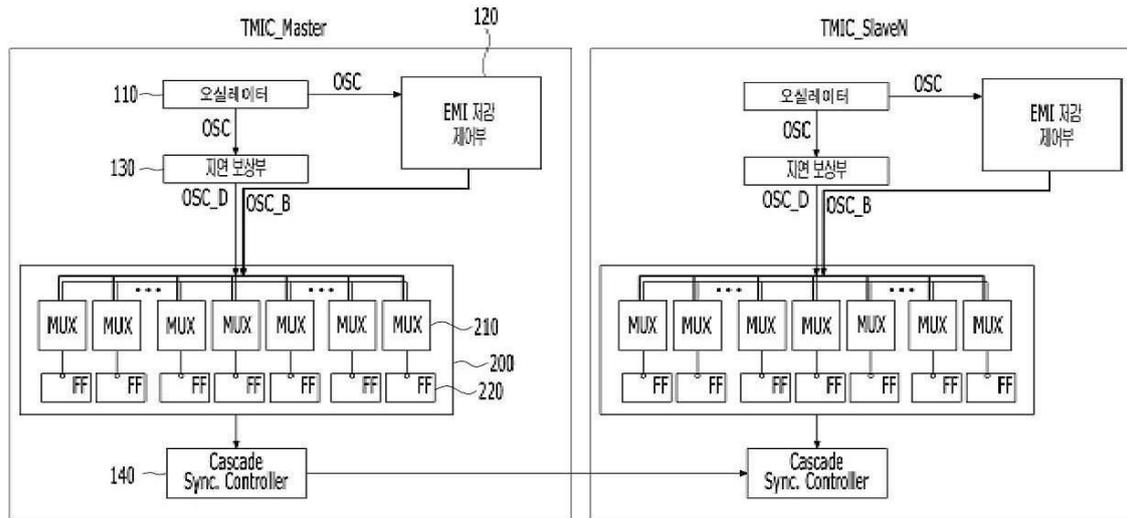
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 클럭 생성 장치 및 그를 포함하는 디스플레이 장치

(57) 요약

본 발명의 실시예에 따른 클럭 생성 장치는, 기준 클럭신호를 제1 배선으로 출력하는 오실레이터; 상기 기준 클럭신호와 상쇄되는 EMI 저감신호를 생성하여 제2 배선으로 출력하는 EMI 저감 제어부; 및 상기 제1 배선 및 상기 제2 배선을 통해 입력된 상기 기준 클럭신호와 상기 EMI 저감신호 중 상기 기준 클럭신호에 기초하여 동작 클럭을 생성하는 구동클럭 생성부;를 포함한다.

대표도



(52) CPC특허분류

G09G 2300/0426 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/06 (2013.01)

명세서

청구범위

청구항 1

기준 클럭신호를 제1 배선으로 출력하는 오실레이터;

상기 기준 클럭신호와 상쇄되는 EMI 저감신호를 생성하여 제2 배선으로 출력하는 EMI 저감 제어부; 및

상기 제1 배선 및 상기 제2 배선을 통해 입력된 상기 기준 클럭신호와 상기 EMI 저감신호 중 상기 기준 클럭신호에 기초하여 동작 클럭을 생성하는 구동클럭 생성부;

를 포함하는 클럭 생성 장치.

청구항 2

제1항에 있어서,

상기 기준 클럭신호와 상기 EMI 저감신호의 위상을 동기화하는 지연 보상부를 더 포함하는 클럭 생성 장치.

청구항 3

제1항에 있어서,

상기 구동클럭 생성부는,

상기 제1 배선 및 상기 제2 배선에 트리 형태로 연결되어 상기 제1 배선에 인가된 상기 기준 클럭을 출력하는 복수개의 멀티플렉서; 및

상기 복수개의 멀티플렉서에 각각 연결되어 상기 기준 클럭에 기초하여 구동클럭을 생성하는 복수개의 플립플롭;

을 포함하는 클럭 생성 장치.

청구항 4

제1항에 있어서,

상기 EMI 저감신호는,

상기 기준 클럭신호에 의한 EMI를 상쇄하는 상쇄 신호 및 상기 기준 클럭신호를 차폐하는 차폐 신호를 포함하는 클럭 생성 장치.

청구항 5

제4항에 있어서,

상기 EMI 저감 제어부는,

상기 기준 클럭신호를 반전하여 상기 상쇄 신호를 생성하는 인버터; 및

상기 상쇄 신호와 상기 차폐 신호 중 선택된 어느 하나의 신호를 출력하는 출력회로;

를 포함하는 클럭 생성 장치.

청구항 6

제1항에 있어서,

상기 제1 배선 및 상기 제2 배선은 상호 동일한 이격거리를 갖도록 배치되는 클럭 생성 장치.

청구항 7

제1항에 있어서,

상기 제1 배선은 상기 제2 배선과 인접한 영역으로 돌출된 복수개의 제1 돌기를 포함하고;

상기 제2 배선은 상기 제1 배선과 인접한 영역에 상기 제1 배선의 돌기와 동일한 형태의 제2 돌기를 포함하며;

상기 제1 돌기와 상기 제2 돌기는 서로 엇갈리게 배열되는 클럭 생성 장치.

청구항 8

제7항에 있어서,

상기 제1 돌기와 상기 제2 돌기는, 상기 제1 돌기의 단부로부터 상기 제2 배선까지의 수직 거리보다, 상기 제1 돌기의 단부와 상기 제2 돌기의 단부까지의 거리가 같거나 크도록 배열되는 클럭 생성 장치.

청구항 9

제7항에 있어서,

상기 제1 돌기와 상기 제2 돌기는 루프 형상을 갖는 클럭 생성 장치.

청구항 10

데이터라인과 게이트라인에 연결된 다수의 픽셀을 포함하는 표시패널;

상기 게이트라인에 게이트 신호를 공급하는 게이트 구동칩; 및

외부로부터 입력된 영상 신호를 변환하여 상기 표시패널에 영상 데이터를 공급하는 복수의 TMIC(Timing controller Merged IC)를 포함하고,

상기 복수의 TMIC 각각은,

기준 클럭신호를 제1 배선으로 출력하는 오실레이터;

상기 기준 클럭신호와 상쇄되는 EMI 저감신호를 생성하여 제2 배선으로 출력하는 EMI 저감 제어부; 및

상기 제1 배선 및 상기 제2 배선을 통해 입력된 상기 기준 클럭신호와 상기 EMI 저감신호 중 상기 기준 클럭신호에 기초하여 상기 영상 데이터를 상기 표시패널에 공급하기 위한 동작 클럭을 생성하는 구동클럭 생성부;

를 포함하는 디스플레이 장치.

청구항 11

제10항에 있어서,

상기 복수의 TMIC 각각은,

상기 동작 클럭을 동기화하기 위한 동기화부를 더 포함하는 디스플레이 장치.

청구항 12

제11항에 있어서,

상기 복수의 TMIC 중 어느 하나는 마스터 TMIC로 설정되고,

상기 마스터 TMIC는 상기 기준 클럭신호에 기초하여 상기 게이트 구동칩을 제어하기 위한 제어신호를 생성하여 상기 게이트 구동칩에 인가하는 디스플레이 장치.

청구항 13

제10항에 있어서,

상기 기준 클럭신호와 상기 EMI 저감신호의 위상을 동기화하는 지연 보상부를 더 포함하는 디스플레이 장치.

청구항 14

제10항에 있어서,

상기 EMI 저감신호는,

상기 기준 클럭신호에 의한 EMI를 상쇄하는 상쇄 신호 및 상기 기준 클럭신호를 차폐하는 차폐 신호를 포함하는 디스플레이 장치.

청구항 15

제10항에 있어서,

상기 제1 배선 및 상기 제2 배선은 상호 동일한 이격거리를 갖도록 배치되고,

상기 제1 배선은 상기 제2 배선과 인접한 영역으로 돌출된 복수개의 제1 돌기를 포함하고;

상기 제2 배선은 상기 제1 배선과 인접한 영역에 상기 제1 배선의 돌기와 동일한 형태의 제2 돌기를 포함하며;

상기 제1 돌기와 상기 제2 돌기는 서로 엇갈리게 배열되는 디스플레이 장치.

청구항 16

제15항에 있어서,

상기 제1 돌기와 상기 제2 돌기는, 상기 제1 돌기의 단부로부터 상기 제2 배선까지의 수직 거리보다, 상기 제1 돌기의 단부와 상기 제2 돌기의 단부까지의 거리가 같거나 크도록 배열되는 디스플레이 장치.

청구항 17

제15항에 있어서,

상기 제1 돌기와 상기 제2 돌기는 루프 형상을 갖는 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 명세서는 클럭 생성 장치 및 그를 포함하는 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 디스플레이 장치의 성능이 향상됨에 따라 처리해야 하는 데이터양 또한 증대되고 있다. 디스플레이 장치는 고속 구동하여 대용량의 데이터를 처리함으로써 고해상도, 고화질 영상을 제공할 수 있다.

[0003] 고속으로 데이터를 처리하기 위해서는 고주파수의 클럭 신호를 생성하여, 생성된 클럭 신호를 기반으로 지정된 동작을 수행해야 한다. 그러나 규칙적으로 생성되는 고주파수의 클럭 신호는 전자파 장애(Electro Magnetic Interference: 이하, EMI라 함)를 유발한다. EMI는 주변 회로 및 기기에 오동작을 유발할 수 있으므로, 디스플레이 장치에서 EMI를 저감하기 위한 방안이 요구된다.

발명의 내용

해결하려는 과제

[0004] 따라서, 본 명세서는 고주파 클럭 신호로 인한 EMI의 영향을 감소시킬 수 있는 클럭 생성 장치 및 그를 포함하는 디스플레이 장치를 제공한다.

과제의 해결 수단

[0005] 본 명세서의 실시예에 따른 클럭 생성 장치는, 기준 클럭신호를 제1 배선으로 출력하는 오실레이터; 상기 기준 클럭신호와 상쇄되는 EMI 저감신호를 생성하여 제2 배선으로 출력하는 EMI 저감 제어부; 및 상기 제1 배선 및 상기 제2 배선을 통해 입력된 상기 기준 클럭신호와 상기 EMI 저감신호 중 상기 기준 클럭신호에 기초하여 동작 클럭을 생성하는 구동클럭 생성부;를 포함한다.

- [0006] 상기 기준 클럭신호와 상기 EMI 저감신호의 위상을 동기화하는 지연 보상부를 더 포함할 수 있다.
- [0007] 상기 구동클럭 생성부는, 상기 제1 배선 및 상기 제2 배선에 트리 형태로 연결되어 상기 제1 배선에 인가된 상기 기준 클럭을 출력하는 복수개의 멀티플렉서; 및 상기 복수개의 멀티플렉서에 각각 연결되어 상기 기준 클럭에 기초하여 구동클럭을 생성하는 복수개의 플립플롭;을 포함할 수 있다.
- [0008] 상기 EMI 저감신호는, 상기 기준 클럭신호에 의한 EMI를 상쇄하는 상쇄 신호 및 상기 기준 클럭신호를 차폐하는 차폐 신호를 포함할 수 있다.
- [0009] 상기 EMI 저감 제어부는, 상기 기준 클럭신호를 반전하여 상기 상쇄 신호를 생성하는 인버터; 및 상기 상쇄 신호와 상기 차폐 신호 중 선택된 어느 하나의 신호를 출력하는 출력회로;를 포함할 수 있다.
- [0010] 상기 제1 배선 및 상기 제2 배선은 상호 동일한 이격거리를 갖도록 배치될 수 있다.
- [0011] 상기 제1 배선은 상기 제2 배선과 인접한 영역으로 돌출된 복수개의 제1 돌기를 포함하고; 상기 제2 배선은 상기 제1 배선과 인접한 영역에 상기 제1 배선의 돌기와 동일한 형태의 제2 돌기를 포함하며; 상기 제1 돌기와 상기 제2 돌기는 서로 엇갈리게 배열될 수 있다.
- [0012] 상기 제1 돌기와 상기 제2 돌기는, 상기 제1 돌기의 단부로부터 상기 제2 배선까지의 수직 거리보다, 상기 제1 돌기의 단부와 상기 제2 돌기의 단부까지의 거리가 같거나 크도록 배열될 수 있다.
- [0013] 상기 제1 돌기와 상기 제2 돌기는 루프 형상을 갖도록 형성될 수 있다.
- [0014] 본 명세서의 실시예에 따른 디스플레이 장치는, 데이터라인과 게이트라인에 연결된 다수의 픽셀을 포함하는 표시패널; 상기 게이트라인에 게이트 신호를 공급하는 게이트 구동칩; 및 외부로부터 입력된 영상 신호를 변환하여 상기 표시패널에 영상 데이터를 공급하는 복수의 TMIC(Timing controller Merged IC)를 포함하고, 상기 복수의 TMIC 각각은, 기준 클럭신호를 제1 배선으로 출력하는 오실레이터; 상기 기준 클럭신호와 상쇄되는 EMI 저감 신호를 생성하여 제2 배선으로 출력하는 EMI 저감 제어부; 및 상기 제1 배선 및 상기 제2 배선을 통해 입력된 상기 기준 클럭신호와 상기 EMI 저감신호 중 상기 기준 클럭신호에 기초하여 상기 영상 데이터를 상기 표시패널에 공급하기 위한 동작 클럭을 생성하는 구동클럭 생성부;를 포함하는 디스플레이 장치.
- [0015] 상기 복수의 TMIC 각각은, 상기 동작 클럭을 동기화하기 위한 동기화부를 더 포함할 수 있다.
- [0016] 상기 복수의 TMIC 중 어느 하나는 마스터 TMIC로 설정되고, 상기 마스터 TMIC는 상기 기준 클럭신호에 기초하여 상기 게이트 구동칩을 제어하기 위한 제어신호를 생성하여 상기 게이트 구동칩에 인가할 수 있다.
- [0017] 상기 기준 클럭신호와 상기 EMI 저감신호의 위상을 동기화하는 지연 보상부를 더 포함할 수 있다.
- [0018] 상기 EMI 저감신호는, 상기 기준 클럭신호에 의한 EMI를 상쇄하는 상쇄 신호 및 상기 기준 클럭신호를 차폐하는 차폐 신호를 포함할 수 있다.
- [0019] 상기 제1 배선 및 상기 제2 배선은 상호 동일한 이격거리를 갖도록 배치되고, 상기 제1 배선은 상기 제2 배선과 인접한 영역으로 돌출된 복수개의 제1 돌기를 포함하고; 상기 제2 배선은 상기 제1 배선과 인접한 영역에 상기 제1 배선의 돌기와 동일한 형태의 제2 돌기를 포함하며; 상기 제1 돌기와 상기 제2 돌기는 서로 엇갈리게 배열될 수 있다.
- [0020] 상기 제1 돌기와 상기 제2 돌기는, 상기 제1 돌기의 단부로부터 상기 제2 배선까지의 수직 거리보다, 상기 제1 돌기의 단부와 상기 제2 돌기의 단부까지의 거리가 같거나 크도록 배열될 수 있다.
- [0021] 상기 제1 돌기와 상기 제2 돌기는 루프 형상을 갖도록 형성될 수 있다.

발명의 효과

- [0022] 본 명세서의 실시예는 다음과 같은 효과가 있다.
- [0023] 본 명세서의 실시예는, 동작 클럭의 기준 신호를 제공하는 OSC(Oscillator Clock) 신호 배선에 대응하여 EMI 저감 배선을 형성하고, EMI 저감 배선에 OSC 신호 배선에서 발생하는 EMI를 저감시킬 수 있는 상쇄 신호(Inverted Signal) 또는 차폐 신호(Ground)를 선택적으로 공급하여 OSC 신호로 인한 EMI의 영향을 저감시킬 수 있다.
- [0024] 본 명세서의 실시예는, OSC 신호 배선과 EMI 저감 배선을 평행하게 배치하고, OSC 신호 배선과 EMI 저감 배선에 각각 상호 엇갈리게 배치되는 돌기를 형성함으로써, 두 배선 간의 커플링 효과(Coupling Effect)로 EMI 저감 효

과를 극대화할 수 있다.

[0025] 본 명세서에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0026] 도 1은 본 명세서의 실시예에 따른 디스플레이 장치를 보여주는 도면이다.
- 도 2는 도 1의 데이터 구동칩(TMIC)의 구성을 보여주는 도면이다.
- 도 3 및 도 4는 도 2의 EMI 저감 제어부의 구성과 입출력 신호 관계를 보여주는 도면이다.
- 도 5 및 도 6은 도 2의 지연 보상부의 구성과 입출력 신호 관계를 보여주는 도면이다.
- 도 7 및 도 8은 도 2의 멀티플렉서의 구성과 입출력 신호 관계를 보여주는 도면이다.
- 도 9는 OSC 신호 배선과 EMI 저감 배선의 전기적 신호 특성을 설명하기 위한 도면이다.
- 도 10 내지 도 13은 제1 실시예에 따른 제1 배선(L1) 및 제2 배선(L2)의 설계 방법을 설명하기 위한 도면이다.
- 도 14는 배선에 형성된 돌기의 형상에 따른 방사패턴을 설명하기 위한 도면이다.
- 도 15 내지 도 17은 제2 실시예에 따른 제1 배선(L1) 및 제2 배선(L2)의 설계 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.
- [0028] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0029] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0030] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0031] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0032] 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0033] 도 1은 본 명세서의 실시예에 따른 디스플레이 장치를 보여주는 도면이다.
- [0034] 도 1을 참조하면, 본 명세서의 실시예에 따른 디스플레이 장치는, 영상이 표시되는 표시패널(PNL), 데이터 구동칩(TMIC1~TMIC4), 게이트 구동칩(GIC) 및 시스템칩(SIC)을 포함하는 전계발광 표시장치 또는 액정 표시장치로 구현될 수 있다.
- [0035] 표시패널(PNL)에는 다수의 데이터라인(DL)과 다수의 게이트라인(GL)이 구비되고, 각 신호 라인들(GL, DL)의 교차영역에 픽셀들(PIX)이 매트릭스 형태로 배치될 수 있다. 픽셀들(PIX)은 동일한 수평 라인을 구성하는 픽셀들(PIX)이 동일한 게이트라인(GL)에 연결되고, 동일한 수직 라인을 구성하는 픽셀들(PIX)이 동일한 데이터라인

(DL)에 연결된다. 각 픽셀들(PIX)은 발광 다이오드를 포함한 발광셀로 구현되거나 또는, 액정층을 포함한 액정 셀로 구현되어 영상을 표시할 수 있다.

- [0036] 시스템칩(SIC)은 외부로부터 입력된 영상신호와 수직 동기신호(Vsync), 수평 동기신호(Hsync), 등의 제어신호를 데이터 구동칩들(TMIC1~TMIC4)에 제공할 수 있다.
- [0037] 데이터 구동칩들(TMIC1~TMIC4) 각각은 타이밍 컨트롤러의 기능과 데이터 드라이버의 기능을 함께 수행하는 타이밍 컨트롤러 병합형 데이터 구동칩(TMIC; Timing controller Merged Driver IC)으로 구현된다. 이에, 데이터 구동칩들(TMIC1~TMIC4)은 시스템칩(SIC)으로부터 제공된 수평동기신호(Hsync) 및 수직동기신호(Vsync), 등의 제어신호에 기초하여 표시패널(PNL)에 아날로그 영상 신호의 공급을 제어하는 데이터 제어신호와 게이트 구동칩(GIC)의 제어를 위한 게이트 제어신호를 생성할 수 있다. 여기서, 상기 데이터 제어신호(DCS)는 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock) 및 소스 출력 인에이블(SOE: Source Output Enable) 등을 포함할 수 있다. 게이트 제어신호(GCS)는 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock) 및 게이트 출력 인에이블(GOE: Gate Output Enable) 등을 포함할 수 있다. 데이터 구동칩들(TMIC1~TMIC4)은 생성된 데이터 제어신호에 기초하여 시스템칩(SIC)으로부터 제공된 영상 데이터를 아날로그 신호인 데이터전압으로 변환하여 데이터 라인(DL)들로 공급한다.
- [0038] 데이터 구동칩들(TMIC1~TMIC4)은 각종 제어신호를 생성하기 위해, 각각 독립적으로 내장된 오실레이터를 포함한다. 각 데이터 구동칩들(TMIC1~TMIC4)은 내부에 내장된 오실레이터에서 생성되는 발진신호를 사용하여 필요한 각종 제어신호를 생성하는 클럭 생성 장치를 포함한다. 이때, 데이터 구동칩들(TMIC1~TMIC4) 간의 동작을 동기화시키기 위해, 이들 중 적어도 하나는 마스터(master)로 설정되고, 나머지는 슬레이브(slave)로 설정된다. 마스터로 설정된 데이터 구동칩은 슬레이브로 설정된 데이터 구동칩들이 동기화되도록 제어함과 아울러, 게이트 구동칩(GIC)에 게이트 제어신호를 인가하여 게이트 구동칩(GIC)의 동작을 함께 제어할 수 있다.
- [0039] 게이트 구동칩(GIC)은 게이트 제어신호에 기초하여 게이트 구동신호를 생성한다. 게이트 구동칩(GIC)은 표시패널(PNL)의 게이트 라인(GL)에 게이트 구동신호를 순차적으로 공급하여, 한 수평기간마다 하나의 게이트 라인(GL)이 구동되도록 한다. 게이트 구동신호에 의해 데이터 전압이 기입될 수평 라인이 선택되어, 해당 게이트 라인(GL)에 접속된 한 수평라인의 픽셀들이 활성화된다. 앞서 설명된 바와 같이, 마스터로 설정된 데이터 구동칩은 이러한 게이트 구동칩(GIC)의 동작을 제어할 수 있다.
- [0040] 도 2는 도 1의 데이터 구동칩(TMIC)의 클럭 생성 장치를 보여주는 도면이다. 디스플레이 장치에는 데이터 구동칩(TMIC)이 복수개 구비되고, 복수개의 데이터 구동칩들(TMIC1~TMIC4) 간의 동작을 동기화시키기 위해, 이들 중 적어도 하나는 마스터(master)로 설정되고, 나머지는 슬레이브(slave)로 설정된다. 복수개의 데이터 구동칩들(TMIC1~TMIC4)은 각 유닛이 순차 동작하는 캐스케이드(cascade) 방식으로 연결될 수 있으며, 이에, 첫 번째 데이터 구동칩(TMIC1)이 마스터(master)로 설정될 수 있다. 데이터 구동칩들(TMIC1~TMIC4)에 포함된 클럭 생성 장치의 구성은 동일하므로, 마스터(master)로 설정된 데이터 구동칩(TMIC_Master)의 구성을 대표적으로 설명한다.
- [0041] 도 2를 참조하면, 마스터(master)로 설정된 데이터 구동칩(TMIC_Master)은, 오실레이터(Oscillator)(110), 지연 보상부(130), EMI 저감 제어부(120), 구동클럭 생성부(200), 동기화부(Cascade Sync. Controller)(140)를 포함한다.
- [0042] 오실레이터(110)는 고정된 주파수의 OSC(Oscillator Clock) 신호를 출력한다. OSC 신호는 수십MHz 이상의 고주파 신호로 출력되어, 디스플레이 장치의 구동을 위한 타이밍 생성 시 기준클럭으로 사용된다. OSC 신호는 EMI 저감 제어부(120)와 지연 보상부(130)에 각각 입력된다.
- [0043] EMI 저감 제어부(120)는 OSC 신호의 EMI를 저감시킬 수 있는 EMI 저감신호를 출력한다. EMI 저감신호는 OSC 신호의 반전 신호인 상쇄 신호(Inverted OSC)와 차폐 신호(Ground) 등을 포함할 수 있다. EMI 저감 제어부(120)는 기 설정된 설정정보에 따라 상쇄 신호(Inverted OSC) 또는, 차폐 신호(Ground)를 선택적으로 공급한다.
- [0044] 지연 보상부(130)는 EMI 저감 제어부(120)에서 출력된 상쇄 신호(Inverted OSC)와 오실레이터(110)에서 출력된 OSC 신호가 서로 상쇄될 수 있도록 OSC 신호의 위상을 지연 보상한다. 지연 보상부(130)는 OSC 신호의 라이징(rising) 시점과 상쇄 신호(Inverted OSC)의 폴링(falling) 시점, 혹은, OSC 신호의 폴링(falling) 시점과 상쇄 신호(Inverted OSC)의 라이징(rising) 시점을 동기화 하여 두 신호간 상쇄 효과를 최대화 함으로써, EMI 저감 효과를 극대화할 수 있다.
- [0045] 구동클럭 생성부(200)는 타이밍 컨트롤러의 기능과 데이터 드라이버의 기능 등, TMIC의 구동을 위한 동작 타이밍을 생성할 수 있다. 구동클럭 생성부(200)는 OSC 신호를 기준신호로 사용하여 동작 타이밍을 생성한다. 동작

타이밍 생성을 위해, 구동클럭 생성부(200)는, 복수의 플립플롭(Flip-Flop, FF)과 각 플립플롭(FF)에 대응되는 복수의 멀티플렉서(MUX)를 포함한다. OSC 신호와 EMI 저감신호는 복수의 플립플롭(FF)에 대응되는 각 멀티플렉서(MUX)에 클럭 트리(Clock Tree) 구조로 입력된다. 각 멀티플렉서(MUX)는 OSC 신호와 EMI 저감신호 중 OSC 신호가 해당 플립플롭(FF)에 입력되도록 동작한다. 이에, 각 멀티플렉서(MUX)는 2개의 신호를 입력 받고 1개의 신호를 출력하는 2to1 MUX로 구현될 수 있다. 구동클럭 생성부(200)는 멀티플렉서(MUX)에 의해 선택 입력된 OSC 신호를 기준으로 동작 타이밍을 생성할 수 있다.

- [0046] 동기화부(Cascade Sync. Controller)(140)는 마스터(master)로 설정된 데이터 구동칩(TMIC_Master)의 클럭을 슬레이브(slave)로 설정된 데이터 구동칩들(TMIC_SlaveN)에 제공하여 데이터 구동칩들(TMIC1~TMIC4)의 구동 타이밍을 동기화한다.
- [0047] 도 3 및 도 4는 도 2의 EMI 저감 제어부(120)의 구성과 입출력 신호 관계를 보여주는 도면이다. EMI 저감 제어부(120)는 기 선택된 설정에 따라 상쇄 신호(Inverted OSC) 또는 차폐 신호(Ground)를 EMI 저감신호로 출력할 수 있다.
- [0048] 도 3 및 도 4를 참조하면, EMI 저감 제어부(120)는 인버터(Inverter) 회로(122)와 AND 회로(124) 등을 포함하여 구성될 수 있다.
- [0049] 인버터(122)는 오실레이터(110)에서 출력된 OSC 신호를 입력받아 OSC 신호의 반전 신호인 상쇄 신호(Inverted OSC)를 출력한다.
- [0050] AND 회로(124) 상쇄 신호(Inverted OSC)와 선택 신호를 입력 받아 두 신호의 AND 연산 결과(OSC_B)를 출력한다. 선택 신호는 하이(High) 또는 로우(Low) 신호가 입력된다. AND 연산은 두 입력의 논리곱을 출력하는 연산으로서, 두 입력이 모두 하이(High)인 경우에 한해 하이(High) 신호가 출력된다. 따라서, AND 회로(124)에 선택 신호가 로우(Low) 신호로 입력되면 AND 연산 결과(OSC_B)는 로우 신호, 즉, 차폐 신호(Ground)가 출력된다. 선택 신호가 하이(High) 신호로 입력되면 AND 연산 결과(OSC_B)는 상쇄 신호(Inverted OSC)의 하이(High)/로우(Low) 상태와 동일한 신호가 출력되므로, 상쇄 신호(Inverted OSC)와 동일한 신호가 출력된다. 여기서, AND 연산 결과(OSC_B)로 출력되는 상쇄 신호(Inverted OSC)는 오실레이터(110)에서 출력된 OSC 신호가 인버터(122) 및 AND 회로(124)를 거쳐 출력된다. 따라서, EMI 저감 제어부(120)의 출력 신호(OSC_B)는 오실레이터(110)에서 출력된 OSC 신호보다 소정 시간 딜레이(Delay)를 갖게 된다.
- [0051] 도 5 및 도 6은 도 2의 지연 보상부(130)의 구성과 입출력 신호 관계를 보여주는 도면이다. 지연 보상부(130)는 EMI 저감 제어부(120)에서 출력된 EMI 저감신호(OSC_B)의 딜레이(Delay)에 맞추어 오실레이터(110)에서 출력된 OSC 신호가 서로 상쇄될 수 있도록 OSC 신호의 위상(phase)을 지연 보상한다.
- [0052] 도 5 및 도 6을 참조하면, 지연 보상부(130)는 복수개의 인버터(132)와 각 인버터(132)를 통해 지연된 OSC 신호를 Phase_0~Phase_N의 신호로 저장하여, 지연 보상을 위해 선택된 OSC 신호(Delay compensation OSC, OSC_D)를 출력하는 지연 신호 선택부(Register Selection)(134)를 포함한다.
- [0053] 복수개의 인버터(132)는 오실레이터(110)에서 출력된 OSC 신호를 입력받아 OSC 신호를 반전시킨 후 재반전 시키는 방식으로 지연된 OSC 신호를 생성한다. 인버터에 입력되기 전 OSC 신호는 지연이 없으나, 첫 번째 및 두 번째 인버터를 거쳐 출력된 신호와, 다시 세 번째 및 네 번째 인버터를 거쳐 출력된 OSC 신호는 크기는 같으나 위상은 지연된 신호로 출력된다.
- [0054] 지연 신호 선택부(134)는 복수개의 인버터(132)에서 출력된 OSC 지연 신호를 저장하고, EMI 저감 제어부(120)에서 출력된 EMI 저감신호(OSC_B)와 위상이 동기화되는 지연 신호를 선택하여 지연 보상된 OSC 신호(OSC_D)를 출력한다. 지연 신호 선택부(134)는 인버터에 입력되기 전 OSC 신호를 지연되기 전의 신호인 Phase_0으로 저장하고, 첫 번째 및 두 번째 인버터를 거쳐 1회 지연된 OSC 신호는 Phase_1신호로 저장할 수 있다. Phase_1신호는 세 번째 및 네 번째 인버터를 거쳐 2회 지연된 Phase_2신호로 저장하는 방식으로 Phase_N까지 지연된 OSC 신호를 저장할 수 있다. 이 후, Phase_0 ~ Phase_N의 지연 신호들을 이용하여 EMI 평가를 수행함으로써 최적의 지연 신호, 즉, EMI 저감신호(OSC_B)와 위상이 동기화되는 지연 신호를 확인한 후, 지연 신호 선택부(134)에서 해당 Phase의 지연 신호를 지연 보상된 OSC 신호(OSC_D)로 출력하도록 설정할 수 있다.
- [0055] EMI 저감신호(OSC_B)가 상쇄 신호(Inverted OSC)일 경우, 지연 보상된 OSC 신호(OSC_D)의 라이징(rising) 시점은 상쇄 신호(Inverted OSC)의 폴링(falling) 시점과 동기화 되고, 지연 보상된 OSC 신호(OSC_D)의 폴링(falling) 시점은 상쇄 신호(Inverted OSC)의 라이징(rising) 시점과 동기화될 수 있다. 이에, OSC 신호

(OSC_D)로 인한 EMI가 EMI 저감신호(OSC_B)에 의해 상쇄될 수 있다.

- [0056] EMI 저감 제어부(120)에서 출력된 EMI 저감신호(OSC_B)와 지연 보상된 OSC 신호(OSC_D)는 상호 평행하게 배치된 신호 배선을 따라 공급되어 구동클럭 생성부(200)의 복수의 멀티플렉서(MUX)에 클럭 트리(Clock Tree) 구조로 입력된다. 복수의 멀티플렉서(MUX)는 EMI 저감신호(OSC_B)와 지연 보상된 OSC 신호(OSC_D) 중 지연 보상된 OSC 신호(OSC_D)를 플립플롭(FF)에 입력한다.
- [0057] 도 7 및 도 8은 도 2의 멀티플렉서의 구성과 입출력 신호 관계를 보여주는 도면이다. 멀티플렉서(MUX)는 2개의 신호를 입력 받고 선택 신호에 따라 선택된 1개의 신호만 출력하는 2to1 멀티플렉서로서, 본 실시예의 멀티플렉서(MUX)는 지연 보상된 OSC 신호(OSC_D)와 EMI 저감신호(OSC_B)를 입력받아 선택 신호에 따라 지연 보상된 OSC 신호(OSC_D)를 플립플롭(FF)에 출력한다.
- [0058] 도 7 및 도 8을 참조하면, 멀티플렉서(MUX)는 제1AND 회로(212), 제2AND 회로(214), OR 회로(216) 및 인버터(211)를 포함할 수 있다. 본 실시예의 구동 시 멀티플렉서(MUX)의 출력 선택을 위한 선택 신호는 하이(High) 신호가 입력될 수 있다.
- [0059] 인버터(211)는 제2AND 회로(214)의 입력단에 개재되어 제2AND 회로(214)에 입력되는 선택 신호를 반전시켜 제2AND 회로(214)에 입력한다. 본 실시예의 구동 시 선택 신호는 하이(High) 신호가 입력되므로, 제2AND 회로(214)에는 로우(Low) 신호가 선택 신호로 입력된다.
- [0060] 제1AND 회로(212)는 지연 보상된 OSC 신호(OSC_D)와 선택 신호인 하이(High) 신호를 입력받아, 두 신호의 AND 연산 결과를 출력 신호(①)로 출력한다. AND 연산은 두 입력의 논리곱을 출력하는 연산으로서, 두 입력이 모두 하이(High)인 경우에 한해 하이(High) 신호가 출력된다. 따라서, 제1AND 회로(212)의 출력 신호(①)는 지연 보상된 OSC 신호(OSC_D)의 하이(High)/로우(Low) 상태와 동일한 신호가 출력되므로, 지연 보상된 OSC 신호(OSC_D)와 동일한 신호가 출력된다.
- [0061] 제2AND 회로(214)는 EMI 저감신호(OSC_B)와 선택 신호인 로우(Low)신호를 입력받아, 두 신호의 AND 연산 결과를 출력 신호(②)로 출력한다. 제2AND 회로(214)에는 항상 선택 신호인 로우(Low)신호가 입력되기 때문에, 제2AND 회로(214)의 출력 신호(②)는 항상 로우 신호(Low)가 출력된다.
- [0062] OR 회로(126)는 제1AND 회로(212)의 출력 신호(①)와 제2AND 회로(214)의 출력 신호(②)를 입력 받아, 두 신호의 OR 연산 결과를 출력한다. OR 연산은 두 입력의 논리합을 출력하는 연산으로서, 두 입력이 모두 로우(Low)인 경우에 한해 로우(Low) 신호가 출력된다. OR 회로(126)의 입력 중 제1AND 회로(212)의 출력 신호(①)는 지연 보상된 OSC 신호(OSC_D)와 동일한 신호이고 제2AND 회로(214)의 출력 신호(②)는 항상 로우(Low)이기 때문에, OR 회로(126)의 출력 신호는 지연 보상된 OSC 신호(OSC_D)의 하이(High)/로우(Low) 상태와 동일한 신호가 출력되므로, 지연 보상된 OSC 신호(OSC_D)와 동일한 신호가 출력된다.
- [0063] 이러한 구성에 의해, 구동클럭 생성부(200)의 플립플롭(Flip-Flop, FF)에 인가되는 OSC 신호가 EMI 저감신호와 함께 인가되어 OSC 신호의 EMI를 저감시키고, 두 신호 중 OSC 신호만 각 플립플롭(FF)에 클럭 트리 구조로 입력될 수 있다.
- [0064] 이러한 구성에 의해, 본 명세서의 실시예에 따른 디스플레이 장치는, 동작 클럭의 기준 신호를 제공하는 OSC(Oscillator Clock) 신호 배선에 대응하여 EMI 저감 배선을 형성하고, EMI 저감 배선에 OSC 신호 배선에서 발생하는 EMI를 저감시킬 수 있는 상쇄 신호(Inverted Signal) 또는 차폐 신호(Ground)를 선택적으로 공급하여 OSC 신호로 인한 EMI의 영향을 저감시킬 수 있다. 여기서, OSC 신호 배선과 EMI 저감신호 배선의 형태를 변형함으로써 EMI 저감 효과를 더 향상시킬 수 있다.
- [0065] 도 9는 OSC 신호 배선과 EMI 저감신호 배선 간의 배선 방법을 이용한 EMI 상쇄 원리를 설명하기 위한 도면이다.
- [0066] OSC 신호(OSC_D)가 인가되는 제1 배선(L1)과 EMI 저감신호(OSC_B)가 인가되는 제2 배선(L2)이 인접하여 배치되면, 두 배선(L1, L2) 간의 커플링 효과(Coupling Effect)에 의해 EMI가 저감될 수 있다. 커플링 효과(Coupling Effect)는 두 도선 사이에 형성되는 기생 캐패시턴스(Parasitic Capacitance)에 의해 고주파 신호가 상호 누설되는 효과를 뜻 한다. 즉, 두 도선 사이에 형성되는 기생 캐패시턴스가 증가할 수록 EMI는 저감될 수 있다.
- [0067] 두 도선 사이에 형성되는 기생 캐패시턴스(C)는 다음과 같은 [수식 1]로 정의될 수 있다.

[0068] [수식 1]

$$C = \frac{\epsilon A}{d}$$

[0069]

[0070] A: 금속판 면적, d: 금속판 간격, ϵ : 금속간의 유전체 유전율

[0071] [수식 1]을 참조하면, 기생 캐패시턴스(C)는 도선의 면적(A)과 유전율(ϵ)에 비례하고, 이격 간격(d)에 반비례하는 특성을 가지고 있다. 따라서, 제1 배선(L1) 및 제2 배선(L2)의 면적(A)이 증가할 수록 EMI 저감 효과가 향상되고, 두 배선(L1, L2) 간의 거리(Space)는 감소할 수록 EMI 저감 효과가 향상된다. 여기서, 제1 배선(L1) 및 제2 배선(L2)은 전기적 신호 특성이 동일해야 하고, 전기 저항은 낮은 것이 바람직하다. 이러한 사항들을 고려하여, 제1 배선(L1) 및 제2 배선(L2)의 최적화된 설계값은 반도체 생산 공정에서 제공하는 설계 룰(Rule)을 바탕으로 구현될 수 있다.

[0072] 도 10 내지 도 13은 제1 실시예에 따른 제1 배선(L1) 및 제2 배선(L2)의 설계 방법을 설명하기 위한 도면이다.

[0073] 인접한 제1 배선(L1) 및 제2 배선(L2)은 동일한 전기 저항 특성치를 가지면서 커플링 효과(Coupling Effect)로 EMI 저감 효과를 극대화하기 위하여 상호 인접한 배선 상에 상호 엇갈려 형성된 돌기를 갖는 톱니형 배선 구조로 형성될 수 있다. 상호 인접한 배선 상에 돌기를 형성하면 배선의 면적이 증가하여 기생 캐패시턴스를 증가시킬 수 있다. 여기서, 양 측 돌기들을 나란히 배열하면 이격 간격의 축소로 인한 커플링 효과를 향상시킬 수 있으나, ESD와 같은 전기적 안정성에 취약해 질 수 있다. 이에, 양 측 돌기들을 엇갈려 배열하면, 두 도 선간의 이격 거리는 일정하게 유지하면서 대각 방향의 커플링 효과로 EMI 상쇄 및 차폐 효과를 향상시킬 수 있다.

[0074] 도 10은 제1 배선(L1) 및 제2 배선(L2)의 인접 영역에 사각형 돌기가 상호 엇갈려 형성되는 경우를 예시한 것이다.

[0075] 도 10(a)를 참조하면, 제1 배선(L1)에 형성된 돌기의 단부를 기준으로, 제2 배선(L2)과의 수직 거리(A)와 제2 배선(L2)의 돌기의 단부와와 거리(B)가 동일하도록(A=B) 설계될 수 있다. 여기서, 제1 배선(L1)에 형성된 돌기의 단부와 제2 배선(L2)의 돌기의 단부의 거리(B)는 각 돌기의 단부의 중심점의 거리로 정의할 수 있다.

[0076] 도 10(b)를 참조하면, 제1 배선(L1)에 형성된 돌기의 단부를 기준으로, 제2 배선(L2)과의 수직 거리(A)보다 제2 배선(L2)의 돌기의 단부와와 거리(B)가 같거나 더 크도록(A≤B) 설계될 수 있다. 이상의 설계조건에 따라 양 측 돌기들을 엇갈려 배열하면, 제1 배선(L1)과 제2 배선(L2) 간의 이격 거리는 일정하게 유지하면서 대각 방향의 커플링 효과로 EMI 상쇄 및 차폐 효과를 향상시킬 수 있다.

[0077] 도 11 내지 도 13은 제1 배선(L1)에 형성된 돌기의 단부를 기준으로, 제2 배선(L2)과의 수직 거리(A)보다 제2 배선(L2)의 돌기의 단부와와 거리(B)가 같거나 더 크도록(A≤B) 설계된 다양한 형상의 돌기 패턴을 예시한 것이다.

[0078] 도 11은 상호 인접한 배선 상에 상호 엇갈려 형성된 사각형 돌기의 변형 예들을 도시한 도면이다.

[0079] 도 11의 (a)는 사각형 돌기의 폭이 단부에서 배선 쪽으로 갈 수록 점점 커지는 테이퍼 형상을 갖는 패턴을 예시한 것이다. (b)는 사각형 돌기의 양단부를 둥글게 형성한 패턴을 예시한 것이다. (c)는 제1 배선(L1)에 형성된 사각형 돌기와 제2 배선(L2)에 형성된 사각형 돌기가 기울어진 형상을 갖는 패턴을 예시한 것이다. 제1 배선(L1)에 형성된 사각형 돌기와 제2 배선(L2)에 형성된 사각형 돌기는 서로 다른 방향으로 기울어진 형상으로 형성될 수 있다.

[0080] 도 12는 상호 인접한 배선 상에 상호 엇갈려 형성된 반원형 돌기를 갖는 구조를 예시한 도면이다. 반원형 돌기를 형성하는 경우에도, 제1 배선(L1)에 형성된 돌기와 제2 배선(L2)과의 수직 거리(A)보다 제2 배선(L2)의 돌기의 단부와와 거리(B)가 같거나 더 크도록(A≤B) 설계하는 조건을 만족하는 한도 내에서 반원의 형태를 변형하여 다양한 형태의 돌기 패턴을 적용할 수 있다.

[0081] 도 13은 상호 인접한 배선 상에 상호 엇갈려 형성된 삼각형 돌기를 갖는 구조를 예시한 도면이다. (a)는 삼각형 돌기의 양변이 동일한 이등변 삼각형 패턴을 예시한 것이다. (b)는 직각 삼각형 패턴을 예시한 것이다. 직각 삼각형 패턴의 돌기를 형성할 시 제1 배선(L1)에 형성된 삼각형의 빗변과 제2 배선(L2)에 형성된 삼각형의 빗변은 서로 다른 방향으로 기울어지게 형성될 수 있다. (c)는 삼각형 돌기는 아니지만 돌기의 단부가 삼각형과 같이 꼭지점인 막대형으로 형성된 패턴을 예시한 것이다. 제1 배선(L1)에 형성된 막대형 돌기와 제2 배선(L2)에 형성

된 막대형 돌기는 서로 다른 방향으로 기울어지게 형성될 수 있다.

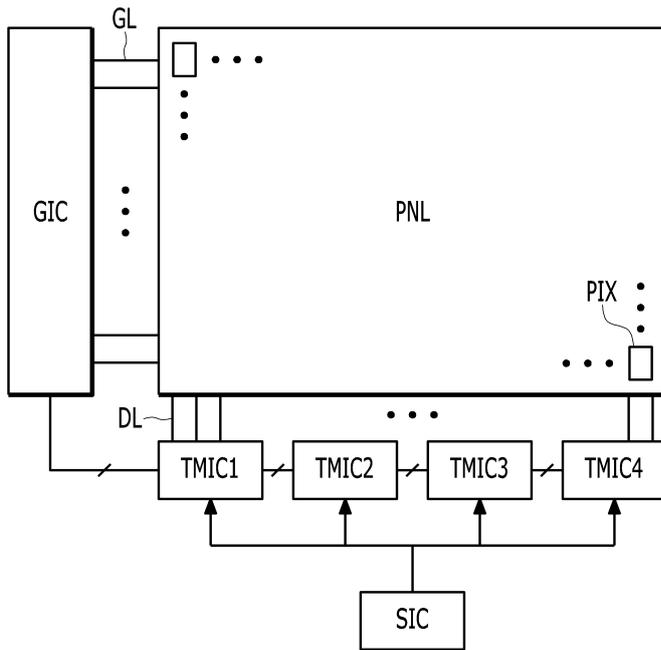
- [0082] 이상 설명한 바와 같이, 제1 배선(L1) 및 제2 배선(L2)의 상호 인접한 배선 상에 상호 엇갈려 형성된 돌기를 형성하면 배선의 면적이 증가하여 기생 캐패시턴스를 증가시킬 수 있으며, 동일한 이격 거리를 유지하면서 대각 방향의 커플링 효과로 EMI 상쇄 및 차폐 효과를 향상시킬 수 있다.
- [0083] 한편, 배선 상에 돌기를 형성하면 배선에서 발생하는 전자파가 특정한 방사 패턴을 갖는 안테나 특성을 갖게 된다. 도체에 전기적 신호가 인가되었을 때 전자파가 방사되게 되고 형상에 따라 특정한 방사 패턴을 가지는 안테나 특성을 가지게 된다.
- [0084] 도 14는 배선에 형성된 돌기의 형상에 따른 방사패턴을 설명하기 위한 도면이다.
- [0085] 도 14의 (a)와 같이, 전술한 제1 실시예와 같이 배선에 점원 형태의 돌기를 형성하면 모든 방향으로 균일한 전자파 에너지를 방사하는 등방성 특성을 가질 수 있다.
- [0086] 반면, (b)와 같이, 배선에 루프 형태의 돌기를 형성하면 특정 방향으로 전자파 에너지가 집중되는 지향성 특성을 가질 수도 있다. 따라서, 두 도선의 안테나 지향성을 이용하여 EMI 상쇄 효과를 향상시킬 수 있다. 즉, 제1 배선(L1)과 제2 배선(L2)에 형성된 루프 형태의 돌기를 상호 엇갈리게 배열하면, 각 배선의 안테나 지향 방향이 상호 중첩되어 EMI 상쇄 효과를 얻을 수 있다. 여기서, 루프 형태의 돌기의 간격은 루프 돌기의 단부를 기준으로, 제2 배선(L2)과의 수직 거리(A)보다 제2 배선(L2)의 돌기의 단부와와의 거리(B)가 같거나 더 크도록($A \leq B$) 배치하면, 상호 인접한 배선의 면적 증가로 인한 커플링 이펙트와 돌기의 루프 형태로 인한 안테나 지향성 효과를 동시에 얻을 수 있으므로, EMI 상쇄 효과가 더 향상될 수 있다.
- [0087] 도 15 내지 도 17은 제2 실시예에 따른 제1 배선(L1) 및 제2 배선(L2)의 설계 방법을 설명하기 위한 도면이다. 제2 실시예에 따른 제1 배선(L1) 및 제2 배선(L2)은 각 배선의 안테나 지향성이 상호 중첩되도록 루프 형태의 돌기를 상호 엇갈리게 배열하여 EMI 상쇄 효과를 향상시킬 수 있다.
- [0088] 도 15 내지 도 17은 제1 배선(L1)에 형성된 루프 돌기의 단부를 기준으로, 제2 배선(L2)과의 수직 거리(A)보다 제2 배선(L2)의 루프 돌기의 단부와와의 거리(B)가 같거나 더 크도록($A \leq B$) 설계된 다양한 형상의 루프 돌기 패턴을 예시한 것이다.
- [0089] 도 15의 (a)는 사각형 루프 돌기의 폭이 단부에서 배선 쪽으로 갈 수록 점점 커지는 테이퍼 형상을 갖는 루프 돌기 패턴을 예시한 것이다. (b)는 사각형 루프 돌기의 양단부를 등갈게 형성한 루프 돌기 패턴을 예시한 것이다. (c)는 제1 배선(L1)에 형성된 사각형 루프 돌기와 제2 배선(L2)에 형성된 사각형 루프 돌기가 기울어진 형상을 갖는 패턴을 예시한 것이다. 제1 배선(L1)에 형성된 사각형 루프 돌기와 제2 배선(L2)에 형성된 사각형 루프 돌기는 서로 다른 방향으로 기울어진 형상으로 형성될 수 있다.
- [0090] 도 16은 상호 인접한 배선 상에 상호 엇갈려 형성된 반원형 루프 돌기를 갖는 구조를 예시한 도면이다. 반원형 루프 돌기를 형성하는 경우에도, 제1 배선(L1)에 형성된 루프 돌기와 제2 배선(L2)과의 수직 거리(A)보다 제2 배선(L2)의 루프 돌기의 단부와와의 거리(B)가 같거나 더 크도록($A \leq B$) 설계하는 조건을 만족하는 한도 내에서 반원 형상을 변형한 다양한 루프 돌기 패턴을 적용할 수 있다.
- [0091] 도 17은 상호 인접한 배선 상에 상호 엇갈려 형성된 삼각형 루프 돌기를 갖는 구조를 예시한 도면이다. (a)는 삼각형 루프 돌기의 양변이 동일한 이등변 삼각형 패턴을 예시한 것이다. (b)는 직각 삼각형 패턴을 예시한 것이다. 직각 삼각형 패턴의 루프 돌기를 형성할 시 제1 배선(L1)에 형성된 삼각형의 빗변과 제2 배선(L2)에 형성된 삼각형의 빗변은 서로 다른 방향으로 기울어지게 형성될 수 있다. (c)는 삼각형 루프 돌기는 아니지만 루프 돌기의 단부가 삼각형과 같이 꼭지점인 막대형으로 형성된 패턴을 예시한 것이다. 제1 배선(L1)에 형성된 막대형 루프 돌기와 제2 배선(L2)에 형성된 막대형 루프 돌기는 서로 다른 방향으로 기울어지게 형성될 수 있다.
- [0092] 이상 설명한 바와 같이, 제2 실시예에 따른 제1 배선(L1) 및 제2 배선(L2)은 제1 배선(L1) 및 제2 배선(L2)의 상호 인접한 배선 상에 상호 엇갈려 형성된 루프 돌기를 형성함으로써, 배선의 면적 증가에 의한 커플링 효과와 함께, 양 측 배선의 안테나 지향성 특성을 이용하여 하여 EMI 상쇄 효과를 향상시킬 수 있다.
- [0093] 이상 설명한 내용을 통해 당업자라면 본 명세서의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 명세서의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

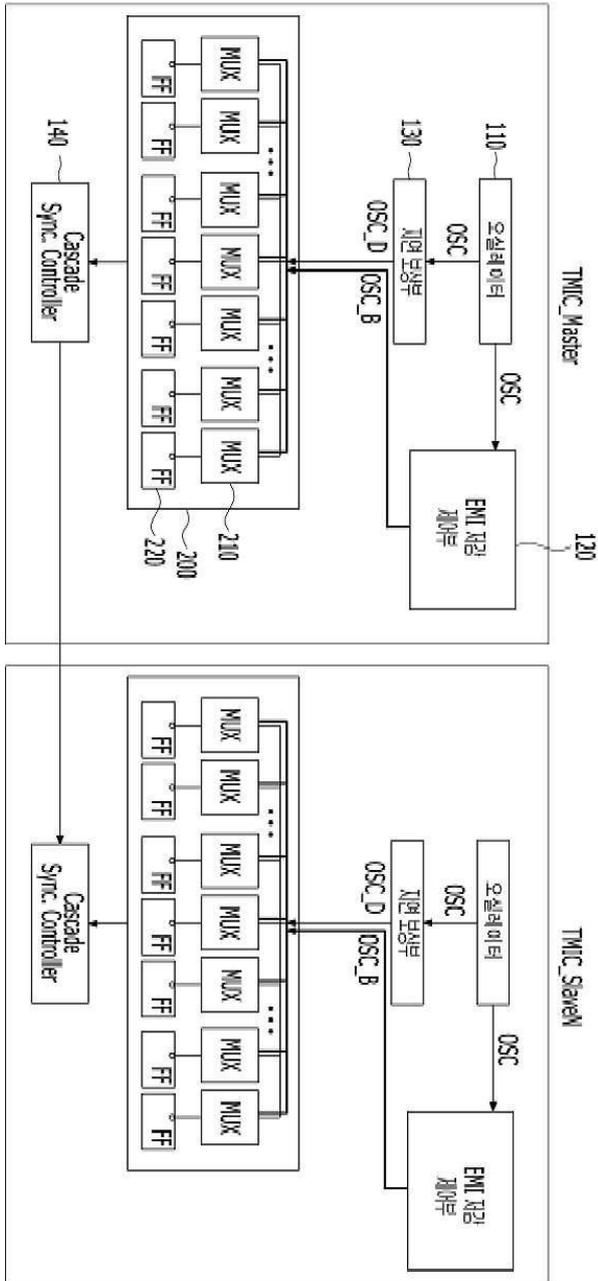
[0094] SIC : 시스템칩 TMIC1~TMIC4 : 데이터 구동칩
PNL : 표시패널 GIC : 게이트 구동칩
110 : 오실레이터 120 : EMI 저감 제어부
130 : 지연 보상부 140 : 동기화부
200 : 구동클럭 생성부

도면

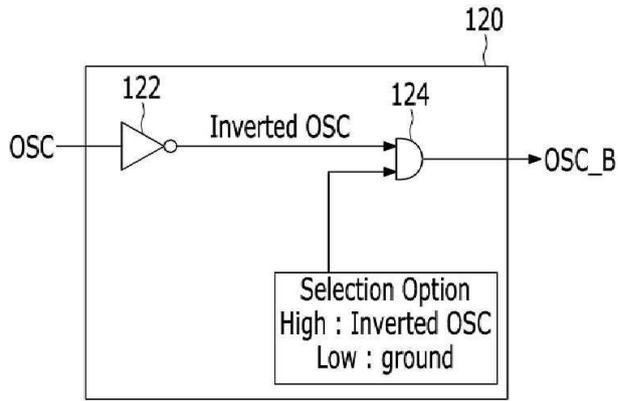
도면1



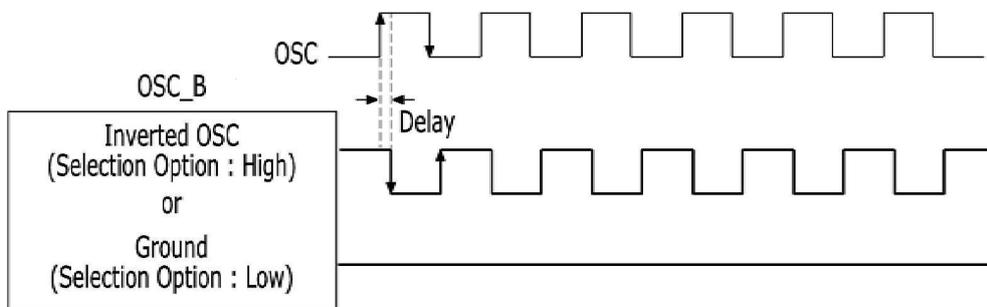
도면2



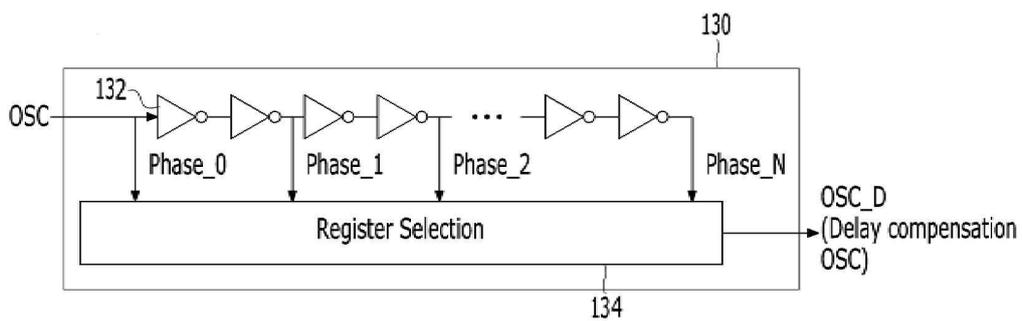
도면3



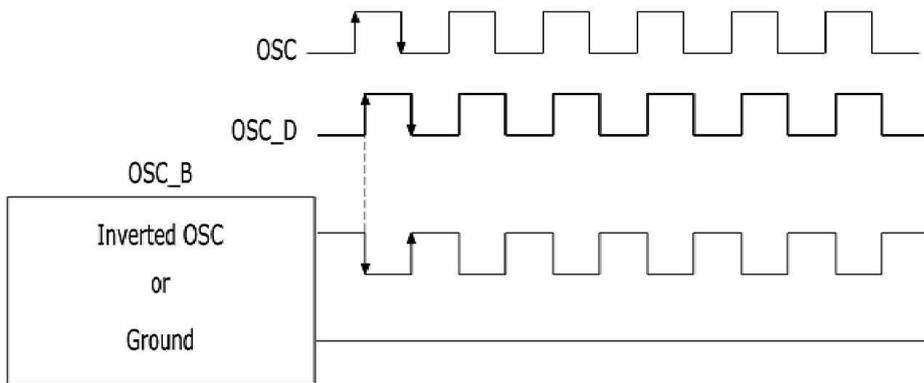
도면4



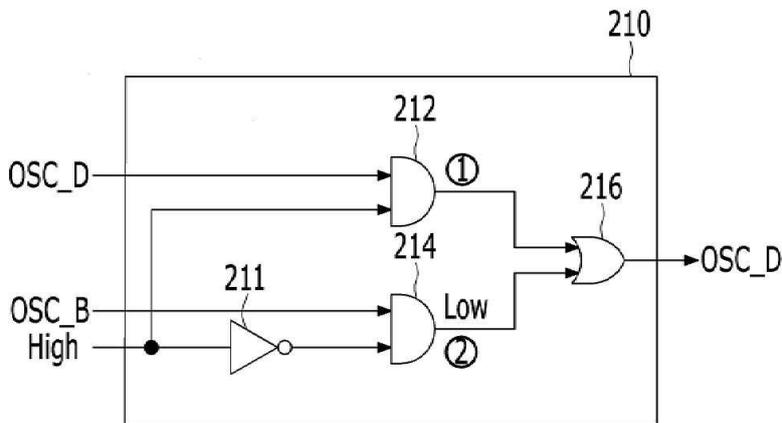
도면5



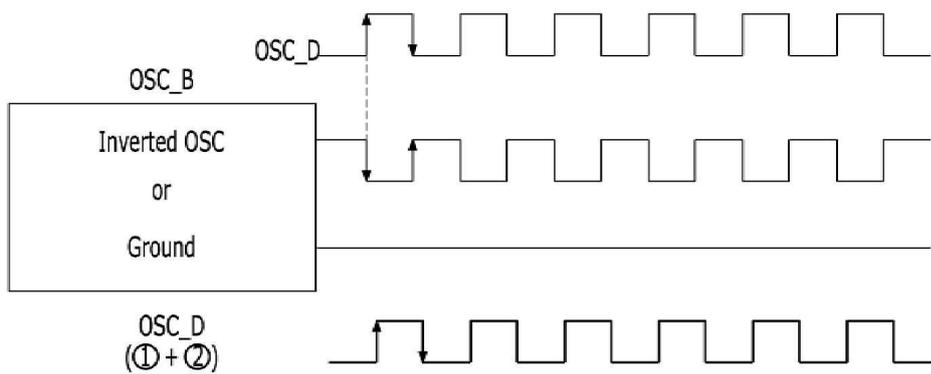
도면6



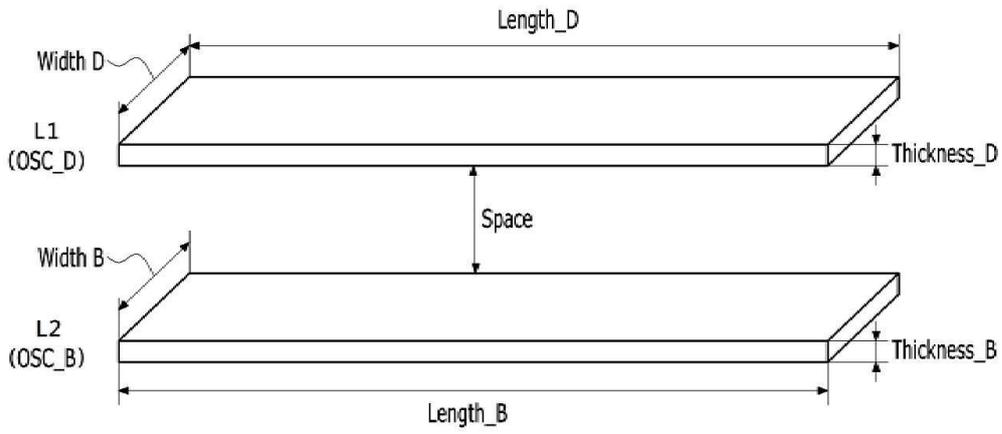
도면7



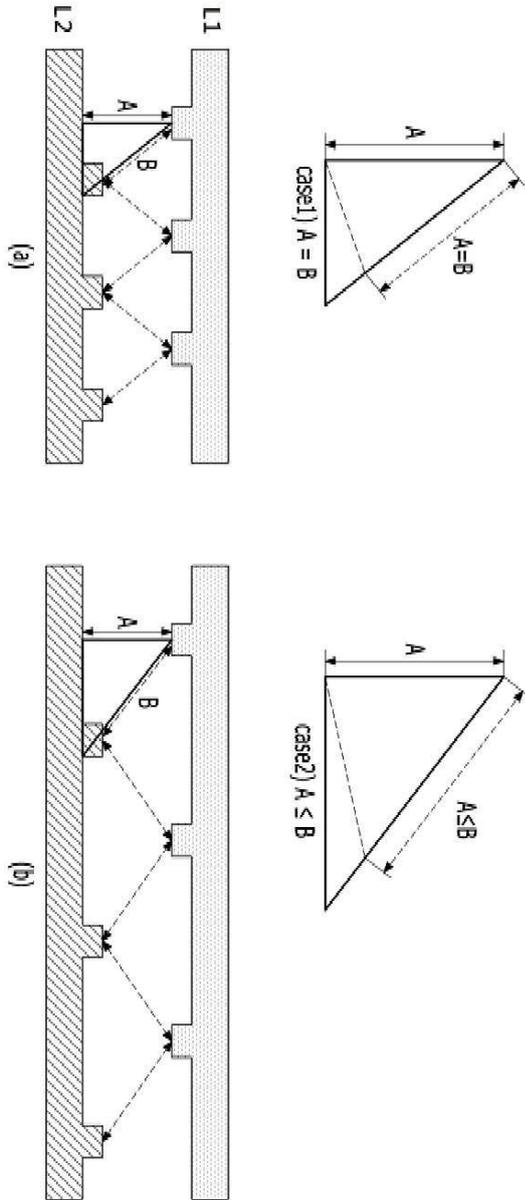
도면8



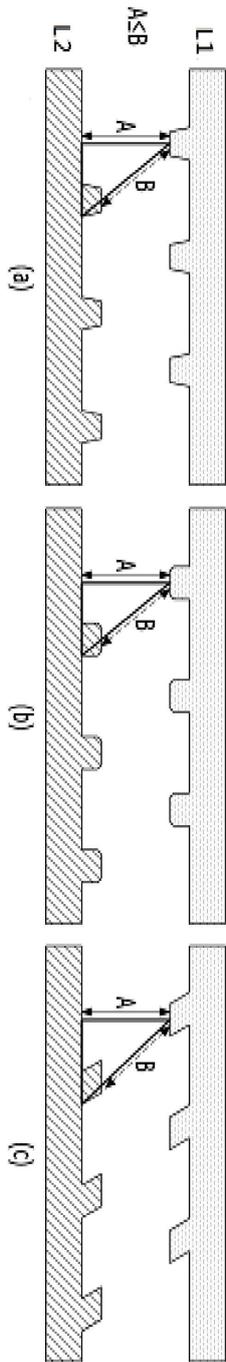
도면9



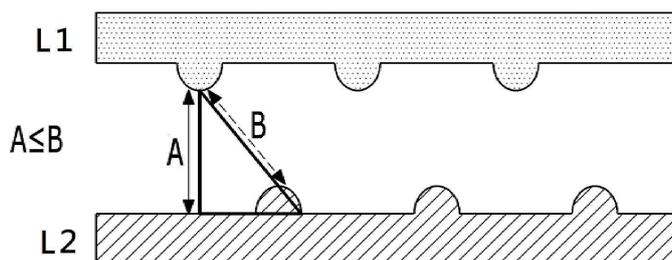
도면10



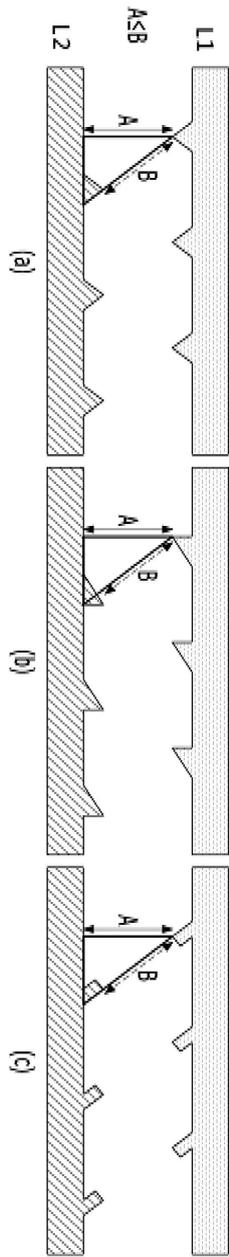
도면11



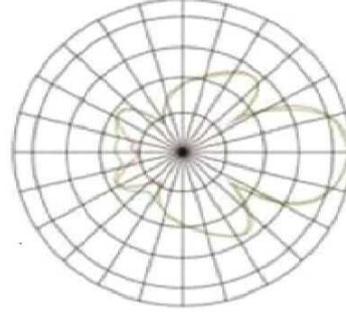
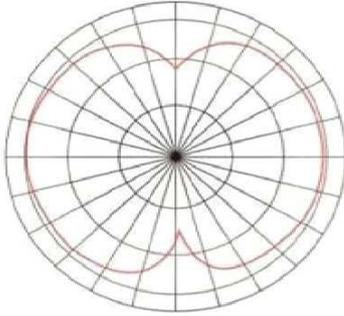
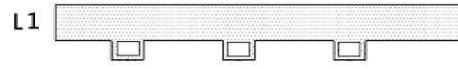
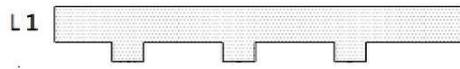
도면12



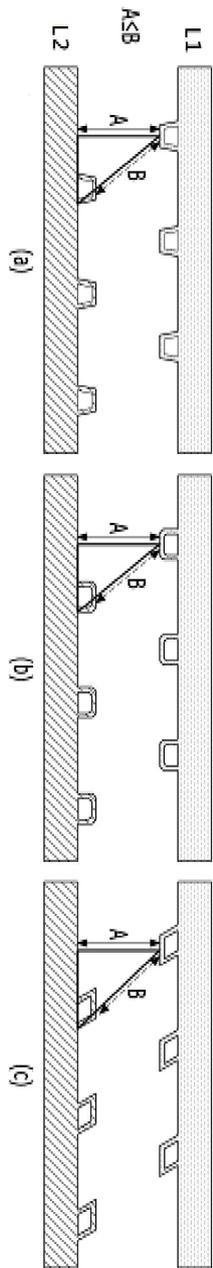
도면13



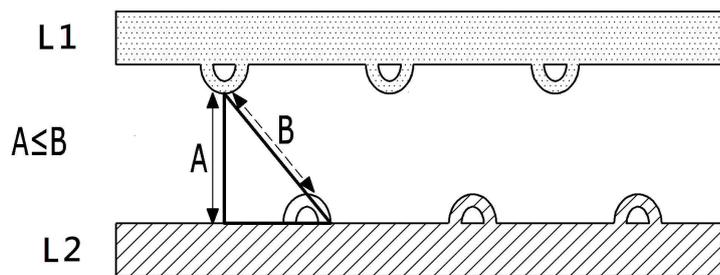
도면14



도면15



도면16



도면17

