

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 26.09.08.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 02.04.10 Bulletin 10/13.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : E2V SEMICONDUCTORS Société par
actions simplifiée — FR.

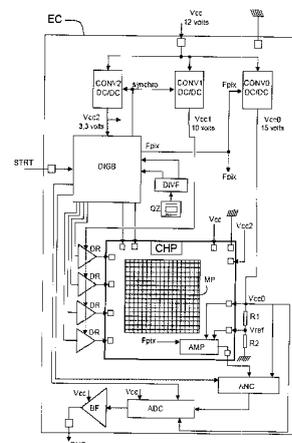
72 Inventeur(s) : AYRAUD MICHEL.

73 Titulaire(s) : E2V SEMICONDUCTORS Société par
actions simplifiée.

74 Mandataire(s) : MARKS & CLERK FRANCE.

54 SYSTEME DE CAPTEUR D'IMAGE AVEC ALIMENTATION A DECOUPAGE SYNCHRONISEE.

57 L'invention concerne un capteur d'image comprenant une puce de circuit intégré (CHP) incorporant une matrice (MP) de lignes et colonnes de pixels photosensibles et un amplificateur de lecture (AMP), l'amplificateur fournissant des signaux successifs représentant l'éclairement des différents pixels de l'image, avec une fréquence de lecture de pixels (Fpix) déterminée par une horloge du système. Le système est alimenté par une tension d'alimentation générale (Vcc) et l'amplificateur de lecture (AMP) est alimenté par une tension d'alimentation stabilisée (Vcc0) fournie par un convertisseur de tension DC/DC (CONVO) recevant la tension d'alimentation générale. Le convertisseur DC/DC comprend une alimentation à découpage utilisant un commutateur pour découper à haute fréquence un courant continu et un redresseur pour redresser et filtrer le courant découpé. La fréquence de découpage est la fréquence de lecture des pixels (Fpix), ce qui élimine certains bruits dus à l'alimentation qui dégradent le signal vidéo.



SYSTEME DE CAPTEUR D'IMAGE AVEC ALIMENTATION A DECOUPAGE SYNCHRONISEE

L'invention concerne les systèmes électroniques de prise d'image. De tels systèmes sont constitués en général par une carte électronique (le plus souvent un circuit imprimé) portant

- une puce de circuit intégré incluant une matrice d'éléments
5 photosensibles ; la matrice constitue le cœur du système de prise d'image et est destinée à être placée dans le plan focal d'une optique qui projette une image sur la puce ; la puce comprend, outre la matrice, des circuits de commande de la matrice et des circuits de lecture des charges photosensibles engendrés par la lumière dans chaque élément de la matrice
10 ; la matrice peut se réduire à une ligne ou quelques lignes d'éléments photosensibles dans le cas de barrettes linéaires, mais on utilisera ci-après le terme matrice indépendamment du nombre de lignes ;

- divers circuits nécessaires au fonctionnement de la puce, parmi lesquels notamment des circuits numériques produisant des signaux
15 numériques de commande des lignes et colonnes de la matrice, des circuits d'horloge établissant une référence de temps commune à toute la carte, et des circuits d'alimentation électrique fournissant les tensions continues nécessaires pour la puce et les autres circuits.

Le plus souvent, la carte est alimentée par une tension
20 d'alimentation électrique générale, par exemple à 9 ou 12 volts, mais les circuits de la carte et de la puce peuvent exiger des tensions d'alimentation différentes, par exemple 3,3 volts pour les circuits numériques, 10 volts pour certains circuits, 15 volts pour les circuits de lecture de charges de la puce. Dans ce cas, toutes ces tensions d'alimentation différentes sont produites à
25 partir de l'alimentation générale, et un ou plusieurs convertisseurs de tension continu/continu (qu'on appellera ci-après convertisseurs DC/DC) sont prévus sur la carte pour produire ces diverses tensions.

Les convertisseurs DC/DC peuvent être des régulateurs de tension analogiques linéaires, mais de tels régulateurs consomment
30 beaucoup d'énergie pour maintenir à leur sortie la tension stable désirée ; de

plus ils sont encombrants. On préfère les convertisseurs DC/DC sous forme d'alimentations à découpage qui consomment peu et utilisent des composants de petite taille ; une alimentation à découpage est d'ailleurs nécessaire si on doit produire une tension plus élevée que la tension d'alimentation générale, par exemple 15 volts à partir de 12 volts.

Les alimentations à découpage fonctionnent à l'aide d'un commutateur qui hache à haute fréquence un courant d'entrée continu (typiquement une fréquence de plusieurs dizaines de kHz à plusieurs mégahertz) ; le courant haché à haute fréquence sert à produire une tension alternative à cette fréquence, et cette tension alternative peut être traitée, redressée, et filtrée ; le commutateur qui hache la tension fonctionne avec un rapport cyclique fixe ou variable, défini par un circuit de commande, et la tension continue de sortie de l'alimentation dépend de ce rapport cyclique.

Mais l'inconvénient bien connu des alimentations à découpage est qu'elles engendrent du bruit dans les circuits en raison de l'opération de hachage à haute fréquence. Ce bruit se retrouve dans les circuits environnants.

Dans le cas des capteurs d'image, on a constaté dans le passé que le bruit des alimentations à découpage de la carte électronique pouvait produire des battements dans le signal vidéo émis par la carte. En effet, ce signal vidéo est lui-même cadencé à une fréquence de trame qui est par exemple de 100Hz, à une fréquence de ligne qui est par exemple de l'ordre de 80 kHz, et à une fréquence de pixel qui est par exemple de l'ordre de 50 MHz. Le bruit de l'alimentation à découpage comprend des composantes à des fréquences harmoniques de la fréquence de découpage et peut engendrer typiquement des battements par rapport à la fréquence de pixel ; ces battements sont visibles dans l'image vidéo lorsqu'on la reproduit sur un écran. Ils sont gênants dans certaines applications où la qualité de l'image doit être très grande.

Ces fluctuations ne peuvent pas être éliminées car elles ne sont pas stationnaires en raison du fait que la fréquence des alimentations à découpage ainsi que leur rapport cyclique de commutation fluctue en permanence.

Pour des applications de haut de gamme, on aurait besoin de limiter les fluctuations de signal vidéo à quelques microvolts pour un signal

vidéo d'amplitude maximale de 1 volt. On ne sait pas en pratique filtrer la tension de sortie d'une alimentation à découpage de manière à limiter les ondulations résiduelles à quelques microvolts, à moins d'utiliser des composants extrêmement volumineux.

5 Pour éviter cette dégradation d'image, on a déjà proposé d'utiliser dans ce contexte des alimentations à découpage comportant une entrée de synchronisation. Il existe en effet de telles alimentations à découpage synchronisables. L'entrée de synchronisation doit typiquement recevoir des signaux de synchronisation à une fréquence plus basse que la fréquence de
10 découpage ; cette entrée permet de recalibrer les signaux de découpage lorsqu'ils sont déphasés par rapport aux signaux de synchronisation.

On synchronise alors l'alimentation à découpage par exemple sur une fréquence de 2MHz environ qu'on peut trouver dans les circuits d'horloge de la carte. Cette fréquence est un sous-multiple de la fréquence
15 de pixel et un multiple de la fréquence de ligne et les battements disparaissent.

Mais il apparaît alors un autre phénomène qui est un bruit d'image fixe ("Fixed Pattern Noise" en anglais ou FPN) qui est induit par les variations de la tension de sortie de l'alimentation à découpage pendant la lecture d'une
20 ligne de pixels : la tension ondule un peu à la fréquence de découpage, et plusieurs ondulations se produisent au cours d'une ligne et sur chaque ligne. Un motif ondulateur apparaît de manière visible dans l'image ; il représente l'ondulation résiduelle de la tension d'alimentation fournie par l'alimentation à découpage. Ce bruit fixe peut théoriquement être supprimé par une
25 correction logicielle (mise en mémoire du bruit fixe et soustraction du bruit stocké). Mais en pratique, le bruit fixe varie au cours du temps, en fonction des fluctuations de la tension d'alimentation générale et de la température.

Pour limiter la dégradation du signal vidéo due à l'utilisation
30 d'alimentations à découpage, l'invention propose d'utiliser une fréquence de découpage de l'alimentation à découpage qui est la fréquence de lecture de pixels du capteur, et non un sous-multiple de cette fréquence. Non seulement il n'y a pas de battements possibles, mais il n'y a plus de bruit de type FPN. Cette utilisation de la fréquence de pixel pour l'alimentation à
35 découpage servira pour les alimentations qui sont critiques pour la

production d'un signal de vidéo de qualité, et en particulier l'alimentation qui sert dans l'amplificateur de lecture des signaux issus des pixels.

Dans une application à des capteurs en technologie CCD (Capteurs à transfert de charges ou en anglais Charge Coupled Devices), les charges engendrées par la lumière sont déversées dans une diode de lecture qui les convertit en une tension lue par un amplificateur de lecture ; l'alimentation concernée par l'invention est celle qui fournit la tension d'alimentation ainsi qu'une tension de référence pour cette diode et pour l'amplificateur de lecture. Typiquement, l'alimentation est une alimentation à découpage élévatrice de tension, recevant une tension générale de 12 volts et produisant une tension d'environ 15 volts.

Ainsi, l'invention propose un système de capteur d'image comprenant une puce de circuit intégré incorporant une matrice de lignes et colonnes de pixels photosensibles et un amplificateur de lecture, l'amplificateur fournissant des signaux successifs représentant l'éclairement des différents pixels de l'image, avec une fréquence de lecture de pixels déterminée par une horloge du système, le système étant alimenté par une tension d'alimentation générale et l'amplificateur de lecture étant alimenté par une tension d'alimentation stabilisée fournie par un convertisseur de tension DC/DC recevant la tension d'alimentation générale, le convertisseur de tension comprenant une alimentation à découpage utilisant un commutateur pour découper à haute fréquence un courant continu et un redresseur pour redresser et filtrer le courant découpé, caractérisé en ce que le commutateur reçoit un signal de commande périodique à la fréquence de lecture des pixels pour effectuer le découpage à cette fréquence.

De préférence, l'alimentation à découpage concernée fonctionne avec un rapport cyclique de commutation fixe et ce rapport est de préférence proche de 50% ou égal à 50%.

L'alimentation à découpage peut être suivie d'un régulateur de tension linéaire. Elle peut aussi être précédée d'un régulateur linéaire qui abaisse la tension d'alimentation générale du système.

Outre la tension d'alimentation stabilisée mentionnée ci-dessus, la puce peut recevoir aussi une tension de référence utile à la lecture des

signaux issus de la matrice, cette tension de référence étant produite par division de tension à partir de la tension stabilisée fournie par le convertisseur DC/DC.

Le commutateur de l'alimentation à découpage peut être un transistor MOS de puissance recevant sur sa grille le signal de commande à la fréquence de lecture de pixels et ayant sa source reliée à une masse et son drain relié à un élément inductif, l'élément inductif étant relié à l'entrée du redresseur, ce dernier comprenant au moins une diode de redressement et une capacité de filtrage.

Dans une réalisation, l'élément inductif est une inductance reliée entre le drain du transistor et une tension d'alimentation primaire, et le point de jonction de l'inductance et du drain du transistor est relié à l'entrée du redresseur. Dans une autre réalisation, l'élément inductif est un autotransformateur relié entre une tension d'alimentation primaire et le drain du transistor, et une prise intermédiaire de l'autotransformateur est reliée à l'entrée du redresseur. La charge du transistor de commutation peut aussi être un circuit résonant LC.

La fréquence de pixel est de préférence comprise entre 10 MHz et 50 MHz.

L'alimentation à découpage peut comporter un circuit pour interdire le passage de courant dans le commutateur en l'absence de signal périodique de commande du commutateur. Ce circuit peut comprendre un transistor en série entre l'alimentation et l'élément inductif, et un détecteur de crête recevant le signal de commande à la fréquence de lecture des pixels, le détecteur de crête autorisant la conduction de ce transistor seulement si le signal de commande périodique est présent.

Le système de capteur peut comprendre plusieurs convertisseurs DC/DC fournissant des tensions continues différentes pour alimenter différentes parties du système, et en particulier des circuits logiques de commande de la matrice de photodétecteurs. Dans ce cas, ces autres convertisseurs utilisent des alimentations à découpage classiques à fréquence plus basse et à rapport cyclique variable. Seule l'alimentation qui fournit des tensions de référence stables aux circuits de lecture fonctionne à la fréquence de lecture des pixels ; elle fournit une faible partie de la

puissance consommée par le système, les autres alimentations fournissant l'essentiel de la puissance mais ayant peu d'influence sur la qualité du signal vidéo.

5

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- 10 - la figure 1 représente l'architecture générale d'une carte électronique sur laquelle sont montés différents composants constituant un système électronique de capture d'image ;
- la figure 2 représente le convertisseur de tension DC/DC avec son alimentation à découpage fonctionnant à la fréquence de lecture des pixels ;
- 15 - la figure 3 représente un exemple de circuit de régulation linéaire en aval de l'alimentation à découpage ;
- la figure 4 représente une variante de réalisation de l'alimentation à découpage ;
- la figure 5 représente une réalisation de l'alimentation à 20 découpage avec inhibition par un détecteur de présence ou d'absence du signal de commande de commutation.

On a représenté sur la figure 1 l'architecture générale du système de capture d'image. Le système comprend une carte électronique EC dont le 25 cœur est constitué par une puce monolithique de détection d'image, désignée par la référence CHP. La surface supérieure de la puce est destinée à être montée dans le plan focal d'une optique de focalisation non représentée qui projette l'image à détecter sur la puce.

La puce CHP comprend essentiellement une matrice MP de pixels 30 agencés en ligne et colonnes, des circuits électroniques périphériques internes non représentés pour permettre le fonctionnement de la matrice, des bornes d'entrée pour assurer cette commande depuis l'extérieur de la puce, des bornes d'alimentation et de masse, et au moins un amplificateur de lecture AMP pour établir un signal analogique représentant les charges 35 détectées dans chaque pixel de la matrice. Dans l'exemple représenté,

l'amplificateur AMP fournit un signal analogique sur une borne de sortie de la puce, mais on pourrait aussi prévoir que la puce comporte un convertisseur analogique-numérique pour sortir un signal numérique.

La carte électronique EC comporte, outre la puce CHP,

- 5 - des circuits numériques regroupés sur le schéma sous la référence DIGB ; ces circuits assurent notamment l'élaboration de signaux de commande numérique pour la commande des lignes et colonnes de la puce CHP ;
- des amplificateurs (ou "drivers") DR recevant ces signaux
10 du bloc DIGB et les appliquant sur des bornes d'entrée de commande de la puce ;
- un oscillateur à quartz QZ et un ou plusieurs diviseurs de fréquence DIVF pour produire des fréquences de base pour le fonctionnement du bloc de circuits numériques DIGB ; l'oscillateur à quartz
15 fournit par exemple une fréquence multiple de la cadence de sortie des pixels dans le signal vidéo ; par exemple, pour une fréquence de pixel de 40 MHz, l'oscillateur à quartz peut fournir une fréquence de 120 MHz et le diviseur de fréquence peut fournir différents sous-multiples de cette fréquence, et notamment la fréquence de lecture F_{pix} définissant la cadence
20 de sortie des pixels ; le signal à fréquence F_{pix} peut aussi être élaboré à l'intérieur du bloc de circuits numériques DIGB ;
- des blocs d'alimentation fournissant des tensions d'alimentation différentes V_{cc0} , V_{cc1} , V_{cc2} à destination de différentes parties de la carte électronique ; ces blocs sont des convertisseurs DC/DC,
25 CONV0, CONV1, CONV2, recevant la tension d'alimentation générale V_{cc} de la carte électronique, et ils sont de préférence réalisés à partir d'alimentations à découpage, pour minimiser la consommation d'énergie et, pour certains d'entre eux, pour pouvoir produire des tensions plus élevées que la tension d'alimentation générale V_{cc} ;
- 30 - des circuits ANC de traitement analogique de signal, recevant la sortie analogique de la puce (fournie par l'amplificateur de sortie AMP) lorsque la puce fournit l'information d'image sous forme analogique ;
- un convertisseur analogique numérique ADC recevant la sortie des circuits de traitement analogique ANC et fournissant des signaux

numériques successifs représentant l'information issue de chaque pixel ; le convertisseur ADC fonctionne à la fréquence de lecture de pixels F_{pix} ;

- un amplificateur tampon BF reçoit du convertisseur ADC le flux de données numériques pour l'appliquer à une sortie OUT de la carte ; la sortie est représentée ici comme une borne unique permettant de transmettre un flux binaire en série, mais il va de soi que dans le cas où l'information numérique est fournie sous forme de mots en parallèle, la borne de sortie OUT est constituée en réalité par autant de bornes qu'il y a de bits dans les mots fournis; les mots sont fournis à la cadence F_{pix} ;

- la carte électronique EC peut encore comporter une entrée STRT sur laquelle sera appliqué un signal de démarrage ; avant la réception de ce signal, la carte reste au repos en position d'attente à faible consommation.

Dans l'exemple représenté, on a supposé que la puce de capteur CHP est une puce de technologie CCD, mais l'invention est applicable aussi à un capteur de technologie MOS. Dans la technologie CCD, les pixels recueillent des charges engendrées par la lumière puis les transfèrent verticalement par décalage ligne par ligne jusqu'à un registre de lecture horizontal placé au pied de la matrice ; les charges recueillies par le registre de lecture sont lues rapidement entre deux décalages de ligne par décalage horizontal à l'intérieur du registre et déversement dans une diode de lecture ; l'amplificateur AMP lit les charges déversées successivement dans la diode de lecture, à une cadence qui est la fréquence de pixel F_{pix} , typiquement de l'ordre de 40 MHz.

Dans cette technologie CCD, on va typiquement avoir besoin de plusieurs tensions d'alimentation ; le bloc de circuits numérique DIGB est réalisé en technologie CMOS et peut utiliser une tension d'alimentation V_{cc2} de 3,3 volts qui n'a pas besoin d'être fortement stabilisée ; les signaux de commande des phases de décalage des registres, en colonne ou en ligne, sont appliqués par les drivers DR qui utilisent une tension d'alimentation V_{cc1} de 10 volts ; cette tension n'a pas besoin non plus d'être fortement stabilisée ; l'amplificateur de lecture AMP utilise une tension d'alimentation V_{cc0} de 15 volts qui doit être particulièrement stable et une tension de référence V_{ref} qui peut être de l'ordre de 10 volts et qui doit aussi être

particulièrement stable ; la tension V_{ref} peut être produite à partir de la tension V_{cc0} , par un diviseur résistif $R1,R2$. Les circuits de traitement analogique ANC et le convertisseur analogique-numérique peuvent aussi utiliser une tension de référence particulièrement stable qui peut être V_{cc0} .

5 La puce elle-même reçoit la tension V_{cc0} et la tension V_{ref} et peut recevoir aussi la tension générale V_{cc} de 12 volts et la tension V_{cc2} de 3,3volts.

Classiquement, les convertisseurs DC/DC sont faits à partir d'alimentations à découpage. Chaque convertisseur possède en principe un
10 oscillateur interne qui fournit la fréquence de découpage du courant continu d'entrée. Les fréquences de découpage peuvent être de quelques dizaines de kilohertz. Les alimentations à découpage peuvent posséder une entrée de synchronisation (synchro sur la figure 1) ; cette entrée reçoit une fréquence plus basse qui peut venir du bloc de circuits numérique ou de l'extérieur de la
15 carte, et la fréquence de l'oscillateur de l'alimentation à découpage cale sa phase (pas sa fréquence) sur la phase du signal de synchronisation.

Selon l'invention, on prévoit que l'un des convertisseurs DC/DC est réalisé différemment des autres. Plus précisément, c'est le convertisseur
20 DC/DC CONV0 qui doit fournir une tension particulièrement stable V_{cc0} (et une tension de référence V_{ref}) à destination de l'amplificateur de lecture AMP et éventuellement à destination du convertisseur analogique-numérique ADC. Ce convertisseur CONV0 ne comporte pas d'oscillateur interne ni d'entrée de synchronisation, mais il reçoit directement du bloc numérique
25 DIGB (ou du diviseur de fréquence DIVF) la fréquence F_{pix} qui représente la cadence de sortie des pixels.

La fréquence de découpage est la fréquence F_{pix} et elle est appliquée à un commutateur (transistor MOS) qui effectue le découpage. Dans une version préférée, le signal de découpage a un rapport cyclique fixe
30 de 50%, c'est-à-dire qu'il peut être issu directement du diviseur de fréquence DIVF sans traitement particulier tendant à modifier son rapport cyclique.

La figure 2 représente le principe préféré pour la réalisation du convertisseur DC/DC CONV0, dans le cas où la tension à produire V_{cc0} est plus élevée (15 volts par exemple) que la tension V_{cc} d'alimentation
35 générale (12 volts par exemple). Le convertisseur est alors composé de

préférence d'une alimentation à découpage élévatrice de tension ALD, qui produit une tension $V_{cc'0}$, suivie d'un régulateur de tension linéaire REG à faible chute de tension qui abaisse la tension de $V_{cc'0}$ à V_{cc0} . L'utilisation d'un régulateur de tension linéaire pour ajuster finement la tension V_{cc0} ne pose pas de problème de consommation excessive de puissance, parce que la puissance délivrée par ce convertisseur CONV0 est faible : il n'alimente en pratique que l'amplificateur de lecture AMP et les références de tension nécessaires à la lecture de signal vidéo et au convertisseur analogique-numérique ; il n'alimente pas les circuits du bloc numérique DIGB ni les amplificateurs (drivers) DR commandant les phases de transfert de charge de la puce. La puissance fournie par le convertisseur CONV0 étant faible, la perte de puissance dans le régulateur linéaire est faible.

L'alimentation à découpage, dans une version très simple, comprend un transistor MOS T1 qui constitue le commutateur de découpage du courant. Le transistor T1 reçoit directement sur sa grille l'horloge à la fréquence F_{pix} . Sa source est à la masse et son drain est relié à un élément inductif L1 qui reçoit la tension d'alimentation générale V_{cc} . Le transistor T1 hache à la fréquence F_{pix} le courant qui circule dans l'élément inductif L1. Le drain du transistor est relié à une diode de redressement D1. La diode est reliée à la sortie de l'alimentation à découpage. C'est de préférence une diode à faible tension de seuil (diode Schottky par exemple à contact métal/semiconducteur). Une capacité C1, placée entre la sortie à $V_{cc'0}$ et la masse, sert à lisser les variations de la tension de sortie $V_{cc'0}$.

Le régulateur linéaire REG, placé en aval de l'alimentation ALD, peut être de construction classique et un exemple est donné à titre d'illustration à la figure 3 avec une diode zener D2 fixant la tension sur l'entrée non-inverseuse d'un amplificateur opérationnel, un transistor ballast T2 pour faire chuter la tension de $V_{cc'0}$ à V_{cc0} , et une contre réaction de la sortie à tension V_{cc0} vers l'entrée inverseuse de l'amplificateur, par l'intermédiaire d'un pont diviseur résistif, pour maintenir la tension de sortie V_{cc0} à une valeur imposée en fonction de la tension de la diode zener et du rapport de division du pont résistif. D'autres schémas de régulateurs linéaires sont possibles. La perte de puissance est définie par le courant consommé par les circuits en aval du régulateur, multipliée par la différence $V_{cc'0} - V_{cc0}$.

La figure 4 représente une variante de réalisation de l'alimentation à découpage ALD, dans laquelle l'élément inductif est composé d'un autotransformateur (AT1) placé en série entre l'alimentation Vcc et le drain du transistor T1. Le redresseur D1 est connecté sur une prise
5 intermédiaire de l'autotransformateur, ce qui permet de définir la tension de sortie Vcc'0 désirée sans agir sur le rapport cyclique du signal de commande de commutation à la fréquence Fpix. Le rapport cyclique peut alors être choisi égal à 50%, ce qui est la solution la plus simple. Un régulateur de tension linéaire en aval n'est pas nécessaire mais peut être prévu.

10 Dans une réalisation avantageuse, on ajoute au circuit de l'alimentation à découpage un détecteur de présence de la fréquence de lecture Fpix sur la grille du transistor de découpage, de manière à interrompre l'alimentation en courant de l'élément inductif L1 si la fréquence d'horloge Fpix n'est pas présente. Cela permet d'éviter une consommation
15 de courant inutile lorsque le circuit est au repos (avant l'application d'un ordre de démarrage générale de la carte électronique sur l'entrée STRT) et cela permet surtout d'éviter d'endommager le transistor T1 au démarrage.

La figure 5 représente l'alimentation à découpage pourvue de ce détecteur de présence de Fpix. Les éléments communs avec ceux de la
20 figure 2 portent les mêmes références et ne seront pas décrits à nouveau.

L'élément inductif est, dans cet exemple, constitué par deux inductances en série L1 et L'1 ayant un point de jonction relié par une capacité C2 à la masse. L'élément inductif est relié par un transistor interrupteur T3 (ici, un transistor PMOS) à l'alimentation Vcc et ne reçoit un
25 courant que lorsque ce transistor est conducteur.

Un détecteur de crête DET, composé de deux capacités C3 et C4, de deux diodes D3 et D4, et d'une résistance, établit sur la grille du transistor T3 une tension continue suffisamment inférieure à Vcc lorsque la fréquence Fpix est présente et ramène à Vcc cette tension sur la grille lorsque la
30 fréquence Fpix cesse d'être présente. Dans le premier cas, elle autorise la conduction du transistor T3 ; dans le second cas, elle interdit le passage de courant vers l'élément inductif.

Typiquement, si la tension Vcc est de 12 volts et si le signal d'horloge est un signal entre 0 volt et 3,3 volts crête à crête, il apparaît sur la

grille du transistor T3 un potentiel d'environ 9 volts, suffisamment faible pour rendre conducteur ce transistor (qui est un transistor PMOS).

Dans les figures qui précèdent, on a décrit le hachage d'un courant parcourant un élément inductif (inductance ou autotransformateur) ;
5 on pourrait aussi envisager que l'élément inductif soit associé à une capacité pour constituer un circuit résonant LC en tant que charge du transistor commutateur, notamment si la fréquence de pixel est très élevée.

L'alimentation à découpage décrite ci-dessus ne comporte pas d'oscillateur pour produire la fréquence de découpage et n'utilise pas de
10 système de réglage du rapport cyclique de commutation. On pourrait toutefois utiliser un réglage de rapport cyclique comme on le fait souvent dans des alimentations à découpage. Dans ce cas, on transformerait le signal d'horloge carré à la fréquence F_{pix} en un signal sensiblement en dent de scie à cette fréquence, et on appliquerait ce signal en dent de scie à une
15 entrée d'un comparateur dont la deuxième entrée recevrait une tension représentative de la tension de sortie de l'alimentation et comprise entre le niveau bas et le niveau haut de la dent de scie. La sortie du comparateur commande alors la commutation et le rapport cyclique peut être réglé par le réglage relatif entre les niveaux de la tension en dent de scie et le niveau qui
20 est comparé à la dent de scie. Cette solution est toutefois moins simple que celle qui a été décrite précédemment.

REVENDICATIONS

1. Système de capteur d'image comprenant une puce de circuit intégré (CHP) incorporant une matrice (MP) de lignes et colonnes de pixels photosensibles et un amplificateur de lecture (AMP), l'amplificateur fournissant des signaux successifs représentant l'éclairement des différents pixels de l'image, avec une fréquence de lecture de pixels (F_{pix}) déterminée par une horloge du système, le système étant alimenté par une tension d'alimentation générale (V_{cc}) et l'amplificateur de lecture (AMP) étant alimenté par une tension d'alimentation stabilisée (V_{cc0}) fournie par un convertisseur de tension DC/DC (CONV0) recevant la tension d'alimentation générale, le convertisseur de tension DC/DC comprenant une alimentation à découpage utilisant un commutateur (T1) pour découper à haute fréquence un courant continu et un redresseur (D1, C1) pour redresser et filtrer le courant découpé, caractérisé en ce que le commutateur reçoit un signal de commande périodique à la fréquence de lecture des pixels (F_{pix}) pour effectuer le découpage à cette fréquence.
2. Système de capteur d'image selon la revendication 1, caractérisé en ce que le rapport cyclique du signal de commande du commutateur est fixe.
3. Système de capteur d'image selon la revendication 2, caractérisé en ce que le rapport cyclique est proche de 50% ou égal à 50%.
4. Système de capteur d'image selon l'une des revendications 1 à 3, caractérisé en ce que le convertisseur DC/DC comprend, outre l'alimentation à découpage, un régulateur de tension linéaire (REG), abaisseur de tension, en sortie du redresseur.
5. Système de capteur d'image selon l'une des revendications 1 à 4, caractérisé en ce que le commutateur (T1) est un transistor MOS recevant sur sa grille le signal de commande à la fréquence de lecture de pixels et ayant sa source reliée à une masse et son drain relié à un élément

inductif (L1), l'élément inductif étant relié à l'entrée du redresseur, ce dernier comprenant au moins une diode de redressement (D1) et une capacité (C1).

5 6. Système de capteur d'image selon la revendication 5, caractérisé en ce que l'élément inductif est une inductance (L1) reliée entre le drain du transistor (T1) et une tension d'alimentation, et le point de jonction de l'inductance et du drain du transistor est relié à l'entrée du redresseur.

10 7. Système de capteur d'image selon la revendication 5, caractérisé en ce que l'élément inductif est un autotransformateur (AT1) relié entre une tension d'alimentation et le drain du transistor (T1), et une prise intermédiaire de l'autotransformateur est reliée à l'entrée du redresseur.

15 8. Système de capteur d'image selon la revendication 5, caractérisé en ce que l'élément inductif est associé à un élément capacitif formant circuit résonant relié au drain du transistor.

20 9. Système de capteur d'image selon l'une des revendications 5 à 8, caractérisé en ce que l'alimentation à découpage comporte un circuit pour interdire le passage de courant dans le commutateur en l'absence de signal de commande du commutateur.

25 10. Système de capteur d'image selon la revendication 9, caractérisé en ce que le circuit pour interdire le passage de courant comporte un transistor (T3) en série entre l'alimentation et l'élément inductif, et un détecteur de crête (DET) recevant le signal de commande à la fréquence de lecture des pixels, le détecteur de crête autorisant la conduction de ce transistor seulement si le signal de commande est présent.

30 11. Système de capteur d'image selon l'une des revendications 1 à 10, caractérisé en ce qu'il comporte des circuits logiques de commande de la matrice de photodétecteurs (DIGB, DR), ces circuits étant alimentés par d'autres convertisseurs à alimentations à découpage (CONV1, CONV2) fonctionnant à des fréquences différentes de la fréquence de lecture de
35 pixels et avec des rapports cycliques variables.

1/3

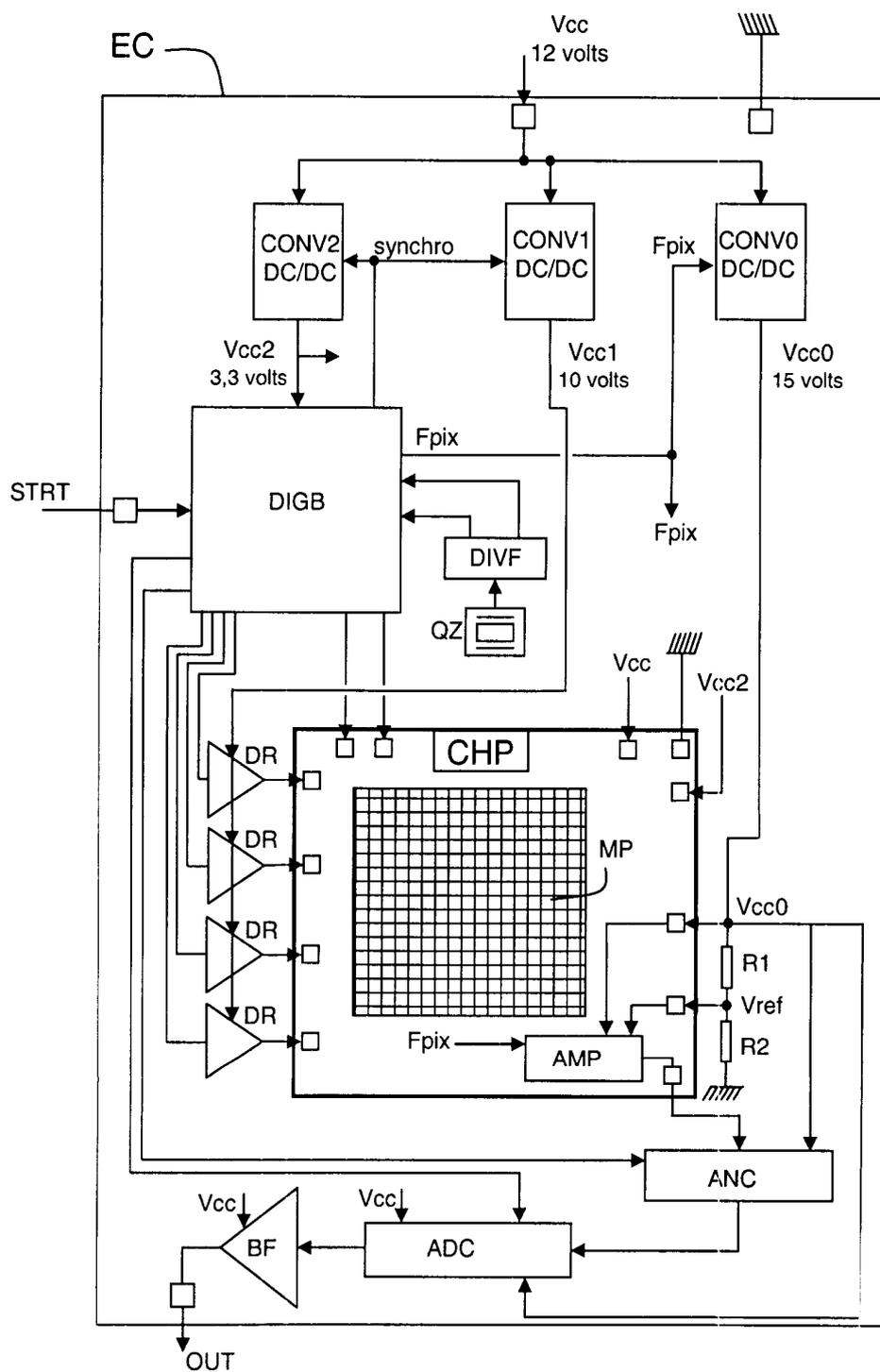


Fig. 1

2/3

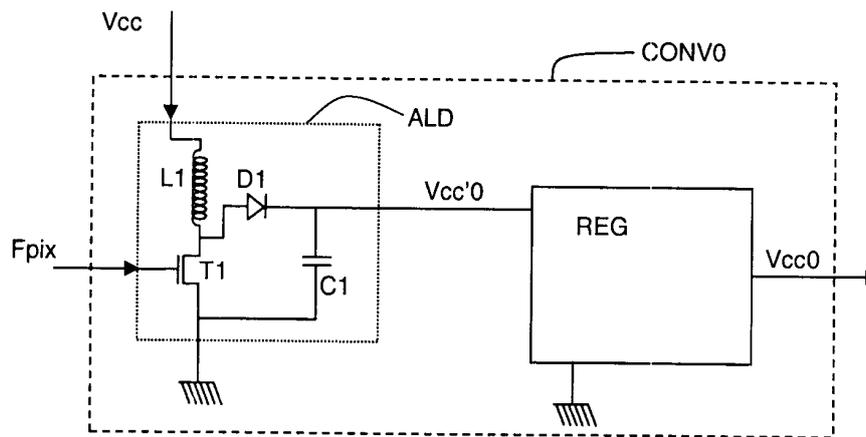


Fig. 2

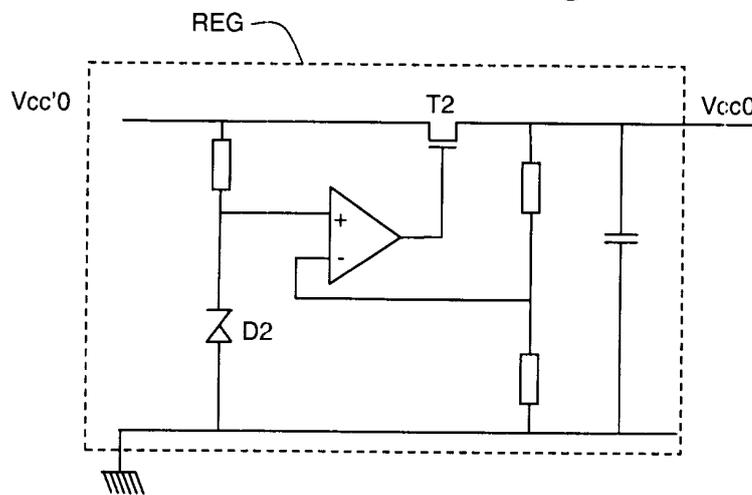


Fig. 3

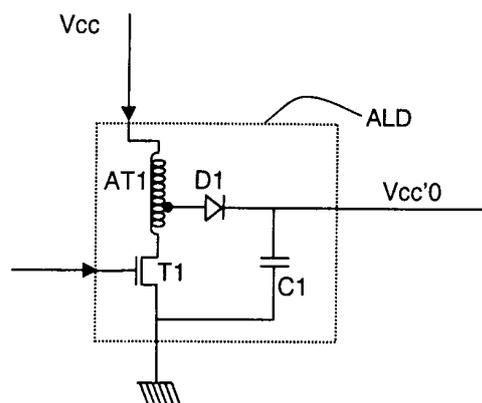
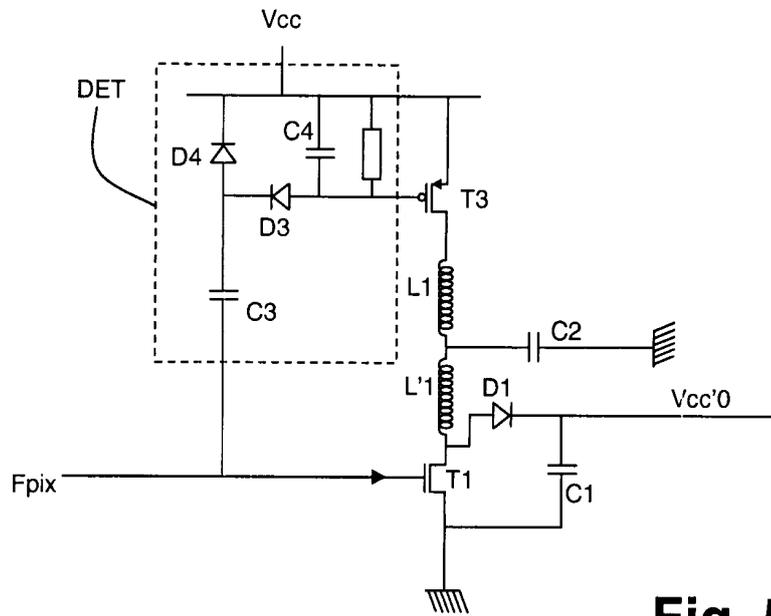


Fig. 4

**Fig. 5**



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 712568
FR 0805311

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 2007/001103 A1 (LABELLE JOHN [US]) 4 janvier 2007 (2007-01-04) * alinéas [0036], [0042] - [0046], [0055]; figures 3A,4 *	1-11	H04N5/21 H04N5/213
A	WO 02/089466 A (TRIXELL S A S [FR]; RICCARDI SEBASTIEN [FR]; TEXIER VINCENT [FR]; MICH) 7 novembre 2002 (2002-11-07) * page 3, ligne 19-34 *	1-11	
A	EP 0 886 441 A (EASTMAN KODAK CO [US]) 23 décembre 1998 (1998-12-23) * le document en entier *	1-11	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H04N
Date d'achèvement de la recherche		Examineur	
12 janvier 2009		Rolet, Etienne	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>			

EPO FORM 1503 12.99 (P04C14) 2

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0805311 FA 712568**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 12-01-2009

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2007001103 A1	04-01-2007	WO 2007005425 A2	11-01-2007

WO 02089466 A	07-11-2002	AT 313913 T	15-01-2006
		CA 2445465 A1	07-11-2002
		CN 1509566 A	30-06-2004
		DE 60208194 T2	27-07-2006
		EP 1396144 A1	10-03-2004
		FR 2824222 A1	31-10-2002
		JP 2004535104 T	18-11-2004
		US 2004080664 A1	29-04-2004

EP 0886441 A	23-12-1998	JP 11069080 A	09-03-1999
