

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-33091

(P2006-33091A)

(43) 公開日 平成18年2月2日(2006.2.2)

(51) Int. Cl.	F I	テーマコード (参考)
H03F 3/16 (2006.01)	H03F 3/16	5D020
H04R 3/00 (2006.01)	H04R 3/00 320	5D021
H04R 19/01 (2006.01)	H04R 19/01	5J500

審査請求 未請求 請求項の数 10 O L (全 16 頁)

(21) 出願番号	特願2004-205072 (P2004-205072)	(71) 出願人	500304132 株式会社ジェピコ 東京都新宿区西新宿二丁目7番1号
(22) 出願日	平成16年7月12日 (2004.7.12)	(71) 出願人	591174911 渡辺 嘉二郎 東京都小金井市前原町4丁目15番15号
		(74) 代理人	100097216 弁理士 泉 和人
		(72) 発明者	中村 哲夫 東京都新宿区西新宿2丁目7番1号株式会社ジェピコ内
		(72) 発明者	渡辺 嘉二郎 東京都小金井市前原町4丁目15番15号
		Fターム(参考)	5D020 BB12 5D021 CC03

最終頁に続く

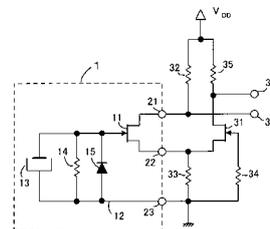
(54) 【発明の名称】 センサユニット及びセンサ信号処理回路

(57) 【要約】

【課題】 エレクトリック・コンデンサ・マイクロフォンのような静電容量型のセンサで、所定の増幅率が得られると共に、消費電流を抑えることができ、然も、周波数特性が改善でき、十分なダイナミックレンジを確保できるようにする。

【解決手段】 センサユニット1を、FET11のゲートと接地ライン12間に、ECNエレメント13と、ダイオード15と、ゲート抵抗14を接続し、FET11のドレインから第1の端子21を導出し、FET11のソースから第2の端子22を導出し、接地ライン12から第3の端子23を導出するように構成する。これにより、外部のFET31を設け、第2の端子22にFET31のソースを接続し、FET11とFET31とにより差動増幅回路を構成し、前記センサ素子の出力を差動増幅回路により増幅させて出力させることができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の電界効果トランジスタのゲートと接地ライン間に、静電容量型のセンサ素子を接続し、

前記第 1 の電界効果トランジスタのドレインから第 1 の端子を導出し、

前記第 1 の電界効果トランジスタのソースから第 2 の端子を導出し、

前記接地ラインから第 3 の端子を導出する

ようにしたことを特徴とするセンサユニット。

【請求項 2】

第 1 の電界効果トランジスタのゲートと接地ライン間に、静電容量型のセンサ素子を接続し、前記第 1 の電界効果トランジスタのドレインから第 1 の端子を導出し、前記第 1 の電界効果トランジスタのソースから第 2 の端子を導出し、前記接地ラインから第 3 の端子を導出してセンサユニットを構成し、

前記第 2 の端子に第 2 の電界効果トランジスタのソースを接続し、前記第 1 の電界効果トランジスタと前記第 2 の電界効果トランジスタとにより差動増幅回路を構成し、前記センサ素子の出力を前記差動増幅回路により増幅させて出力させるようにしたことを特徴とするセンサ信号処理回路。

10

【請求項 3】

前記第 1 の電界効果トランジスタのソースと前記第 2 の電界効果トランジスタのソースとの接続点と接地間に抵抗を接続するようにしたことを特徴とする請求項 2 に記載のセンサ信号処理回路。

20

【請求項 4】

前記第 1 の電界効果トランジスタのソースと前記第 2 の電界効果トランジスタのソースとの接続点と接地間に定電流源を接続するようにしたことを特徴とする請求項 2 に記載のセンサ信号処理回路。

【請求項 5】

前記第 1 の電界効果トランジスタ及び / 又は前記第 2 の電界効果トランジスタのドレインに負荷抵抗を接続し、前記負荷抵抗により前記差動増幅回路の出力電圧を取り出すようにしたことを特徴とする請求項 2 に記載のセンサ信号処理回路。

【請求項 6】

前記差動増幅回路の電圧出力からカップリングコンデンサにより信号電圧を取り出し、バッファ回路に送るようにしたことを特徴とする請求項 5 に記載のセンサ信号処理回路。

30

【請求項 7】

前記第 1 の電界効果トランジスタ及び前記第 2 の電界効果トランジスタのドレインに、第 1 のカレントミラー回路及び第 2 のカレントミラー回路からなる能動負荷を接続し、

前記第 1 のカレントミラー回路により前記第 1 の電界効果トランジスタを流れる電流を取り出し、前記第 2 のカレントミラー回路により前記第 2 の電界効果トランジスタを流れる電流を取り出し、

前記第 1 のカレントミラー回路の出力電流と前記第 2 のカレントミラー回路の出力電流の差電流を前記差動増幅回路のシングル出力電流として取り出すようにしたことを特徴とする請求項 2 に記載のセンサ信号処理回路。

40

【請求項 8】

前記差動増幅回路のシングル出力電流を信号電圧に変換し、バッファ回路に送るようにしたことを特徴とする請求項 7 に記載のセンサ信号処理回路。

【請求項 9】

第 1 の電界効果トランジスタのゲートと接地ライン間に、静電容量型のセンサ素子を接続し、前記第 1 の電界効果トランジスタのドレインから第 1 の端子を導出し、前記第 1 の電界効果トランジスタのソースから第 2 の端子を導出し、前記接地ラインから第 3 の端子を導出してセンサユニットを構成し、

前記第 1 の端子に電流増幅型のカレントミラー回路を接続し、

50

前記第2の端子と前記第3の端子との間にソース抵抗を接続し、

前記センサ素子の出力を前記電流増幅型のカレントミラー回路により電流増幅させて出力させるようにしたことを特徴とするセンサ信号処理回路。

【請求項10】

前記電流増幅型のカレントミラー回路からの電流出力を電流電圧変換回路により信号電圧に変換し、バッファ回路に送るようにしたことを特徴とする請求項9に記載のセンサ信号処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトリック・コンデンサ・マイクロフォン、圧力センサ、セキュリティ・センサ、高低差センサ、加速度センサ、生体信号センサなど、静電容量型のセンサ素子を用いたセンサユニット及びこのようなセンサユニットに付加されるセンサ信号処理回路に関する。

【背景技術】

【0002】

エレクトリック・コンデンサ・マイクロフォン・ユニットのような、静電容量型のセンサ素子のセンサユニットは、従来、例えば特許文献1に示すように、接合型電界効果トランジスタ(FET: Field Effect Transistor)のゲートとソース間に、センサ素子と、ダイオードと、ゲート抵抗とを接続し、FETのゲートとソースからそれぞれ端子を導出するように構成されている。

【0003】

図9は、従来のエレクトリック・コンデンサ・マイクロフォン・ユニット101の一例を示すものである。この例では、センサ素子として、ECM(エレクトリック・コンデンサ・マイクロフォン)エレメントを用いている。ECMは、音圧による圧力の変化を静電容量の変化として受け、音圧信号を出力する。なお、同様の原理を用いたセンサとしては、圧力センサ、セキュリティ・センサ、高低差センサ、加速度センサ、生体信号センサ等がある。

【0004】

図9において、FET111のゲートとソース間に、ECMエレメント113と、抵抗114と、ダイオード115とが接続される。FET111のドレインから、端子121が導出される。FET111のソースから、端子123が導出される。

【0005】

このような従来のエレクトリック・コンデンサ・マイクロフォン・ユニット101を使用する場合には、図10に示すように、端子121が負荷抵抗130を介して電源V_{DD}に接続され、端子121と負荷抵抗130との接続点から出力端子131を導出する。そして、端子123が接地される。

【0006】

図10において、ECMエレメント113に音圧が与えられると、ECMエレメント113は、音圧による圧力の変化を容量の変化として受け、音圧信号を出力する。この音圧信号は、FET111からなるソース接地型増幅回路により増幅され、出力端子131から出力される。

【0007】

なお、抵抗114はFET111のゲートにバイアスを与えるためのゲート抵抗、ダイオード115はゲートに印可される過大信号をバイパスさせるための保護用ダイオードである。

【0008】

このように、従来のエレクトリック・コンデンサ・マイクロフォン・ユニット101は、ECMエレメント113の圧力の変化を容量の変化としてFET111のゲートに印加し、FET111によりソース接地接合型FET増幅回路を構成し、FET111のゲー

10

20

30

40

50

ト電圧の変化をドレイン電流の変化として出力するようにしている。

【0009】

ソース接地接合型FETの増幅回路の電圧増幅率は、FET111の相互コンダクタンス g_m を用いて、式(1)で現すことができる。相互コンダクタンス g_m は、接合型FETのゲート・ソース間電圧 V_{GS} の変化に対するドレイン電流 I_D の変化である。接合型FETの $V_{GS} - I_D$ 特性は、図11のような二次曲線特性となる。相互コンダクタンス g_m は、このゲート・ソース間電圧 V_{GS} とドレイン電流 I_D との二次曲線特性における傾き値となる。ここで、 I_{DSS} は $V_{GS} = 0$ の時の最大飽和電流、 V_p はゲートピンチオフ電圧である。

【0010】

10

【数1】

$$V_G = g_m R_L \quad (1)$$

$$g_m = \frac{dI_D}{dV_{GS}} \quad (2)$$

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 \quad (3)$$

20

【特許文献1】特開昭61-160962号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

静電容量型のセンサ素子を用いてセンサ出力を得る際に、所望の増幅率が得られ、然も、消費電力を低減させることが望まれる。ところが、上述の従来のエレクトリック・コンデンサ・マイクロフォン・ユニット101では、ソース接地型の増幅回路の構成になり、電圧増幅率を上げると、消費電力が大きくなるという問題がある。また、負荷抵抗130の抵抗値を大きくして電圧増幅率を上げると、ダイナミックレンジが狭くなるという問題が生じてくる。

30

【0012】

つまり、ソース接地型FET増幅回路では、(1)式から、任意の電圧増幅率を得るために変更することが可能なパラメータは、負荷抵抗130の抵抗値 R_L の値と相互コンダクタンス g_m の値となる。

【0013】

(1)式より、増幅率を大きくするためには、相互コンダクタンス g_m の値を大きくすればよいが、相互コンダクタンス g_m は接合型FETの特性値であり、任意の設定は不可能である。また、一般に、コンダクタンス g_m が大きなFETは、飽和電流 I_{DSS} も大きい傾向がある。このため、増幅率を大きくするために、相互コンダクタンス g_m の大きなFETを用いると、消費電流が増大するという問題が生じる。

40

【0014】

また、(1)式より、増幅率を大きくするためには、負荷抵抗130の抵抗値 R_L の値を大きくすればよいが、負荷抵抗 R_L を大きくすると、出力直流電圧が下がることになり、出力ダイナミックレンジが狭くなるという問題がある。

【0015】

つまり、FET111を流れるバイアス電流を I_0 と置くと、(4)式に示すように、出力直流電圧は負荷抵抗 R_L の値の関数となる。(4)式より、負荷抵抗130の抵抗値 R_L を大きくすると、出力直流電圧が下がり、出力ダイナミックレンジの低下を招く。

【0016】

50

センサ出力回路としては、電圧増幅率の設定と出力直流電圧の設定が独立して行えることが要求されるが、この従来の回路では、電圧増幅率を上げると出力直流電圧が下がり、電圧増幅率の設定と出力直流電圧の設定が独立して行えない。

【0017】

【数2】

$$V_{out} = V_{DD} - I_0 R_L \quad (4)$$

また、センサの電圧増幅率から負荷抵抗130の抵抗値 R_L の値を決定する場合、出力電圧は式(4)で与えられるが、その値は必ずしも信号ダイナミックレンジ上、最適な値とはならない。

10

【0018】

そこで、図12に示すように、次段にインターフェース回路を設ける場合、カップリングコンデンサ141を介して信号成分のみを取り出した後に、直流バイアス電圧をリファレンス電圧 V_{ref} に揃える必要が生じる。

【0019】

つまり、図12に示すように、インターフェース回路のバッファとなる演算増幅回路142の出力端子と反転入力端子との間に、フィードバック抵抗144を接続し、抵抗130と端子121の接続点から得られる電圧出力を、カップリングコンデンサ141を介して、演算増幅回路142の非反転入力端子に供給する。また、演算増幅回路142の非反転入力端子に、抵抗143を介して、リファレンス電圧 V_{ref} を与え、直流バイアス電圧をリファレンス電圧 V_{ref} に揃える。

20

【0020】

しかしながら、カップリングコンデンサ141を設けると、カップリングコンデンサ141の静電容量 C_1 とバッファの入力抵抗143の抵抗値 R_1 とから、遮断周波数 $1/(2C_1 \cdot R_1)$ の高域通過フィルタが形成されたため、低周波数成分を含んだセンサ信号が遮断されるという問題が生じる。特に、圧力センサのような低周波数成分を多く含む場合には、低周波数成分を含んだセンサ信号が遮断されることは、大きな問題となる。

【0021】

本発明は、上述の課題を鑑み、所定の増幅率が得られると共に、消費電流を抑えることができ、然も、周波数特性が改善でき、十分なダイナミックレンジを確保できるようにしたセンサユニット及びセンサ信号処理回路を提供することを目的とする。

30

【課題を解決するための手段】

【0022】

上述の課題を解決するために、第1の発明は、第1の電界効果トランジスタのゲートと接地ライン間に、静電容量型のセンサ素子を接続し、第1の電界効果トランジスタのドレインから第1の端子を導出し、第1の電界効果トランジスタのソースから第2の端子を導出し、接地ラインから第3の端子を導出するようにしたことを特徴とする。

【0023】

第2の発明は、第1の電界効果トランジスタのゲートと接地ライン間に、静電容量型のセンサ素子を接続し、第1の電界効果トランジスタのドレインから第1の端子を導出し、第1の電界効果トランジスタのソースから第2の端子を導出し、接地ラインから第3の端子を導出してセンサユニットを構成し、第2の端子に第2の電界効果トランジスタのソースを接続し、第1の電界効果トランジスタと第2の電界効果トランジスタとにより差動増幅回路を構成し、センサ素子の出力を差動増幅回路により増幅させて出力させるようにしたことを特徴とする。

40

【0024】

第3の発明は、第2の発明において、第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースとの接続点と接地間に抵抗を接続するようにしたことを特徴とする。

50

【 0 0 2 5 】

第 4 の発明は、第 2 の発明において、第 1 の電界効果トランジスタのソースと第 2 の電界効果トランジスタのソースとの接続点と接地間に定電流源を接続するようにしたことを特徴とする。

【 0 0 2 6 】

第 5 の発明は、第 2 の発明において、第 1 の電界効果トランジスタ及び / 又は第 2 の電界効果トランジスタのドレインに負荷抵抗を接続し、負荷抵抗により差動増幅回路の出力を電圧で取り出すようにしたことを特徴とする。

【 0 0 2 7 】

第 6 の発明は、第 5 の発明において、差動増幅回路の電圧出力からカップリングコンデンサにより信号電圧を取り出し、バッファ回路に送るようにしたことを特徴とする。 10

【 0 0 2 8 】

第 7 の発明は、第 1 の電界効果トランジスタ及び第 2 の電界効果トランジスタのドレインに、第 1 のカレントミラー回路及び第 2 のカレントミラー回路からなる能動負荷を接続し、第 1 のカレントミラー回路により第 1 の電界効果トランジスタを流れる電流を取り出し、第 2 のカレントミラー回路により第 2 の電界効果トランジスタを流れる電流を取り出し、第 1 のカレントミラー回路の出力電流と第 2 のカレントミラー回路の出力電流の差電流を差動増幅回路のシングル出力電流として取り出すようにしたことを特徴とする。

【 0 0 2 9 】

第 8 の発明は、第 7 の発明において、差動増幅回路のシングル出力電流を信号電圧に変換し、バッファ回路に送るようにしたことを特徴とする。 20

【 0 0 3 0 】

第 9 の発明は、第 1 の電界効果トランジスタのゲートと接地ライン間に、静電容量型のセンサ素子を接続し、第 1 の電界効果トランジスタのドレインから第 1 の端子を導出し、第 1 の電界効果トランジスタのソースから第 2 の端子を導出し、接地ラインから第 3 の端子を導出してセンサユニットを構成し、第 1 の端子に電流増幅型のカレントミラー回路を接続し、第 2 の端子と第 3 の端子との間にソース抵抗を接続し、センサ素子の出力を電流増幅型のカレントミラー回路により電流増幅させて出力させるようにしたことを特徴とする。

【 0 0 3 1 】

第 10 の発明は、第 9 の発明において、電流増幅型のカレントミラー回路からの電流出力を電流電圧変換回路により信号電圧に変換し、バッファ回路に送るようにしたことを特徴とする。 30

【 発明の効果 】

【 0 0 3 2 】

第 1 の発明によれば、第 1 の電界効果トランジスタのゲートと接地ライン間に、静電容量型のセンサ素子を接続し、第 1 の電界効果トランジスタのドレインから第 1 の端子を導出し、第 1 の電界効果トランジスタのソースから第 2 の端子を導出し、接地ラインから第 3 の端子を導出するようにしているので、第 1 の電界効果トランジスタのゲートと、接地とを、それぞれ分離して出力することができ、付加回路を接続して、消費電流の低減を図り、ダイナミックレンジを低下させることなく、電圧増幅率を上げることができる。 40

【 0 0 3 3 】

第 2 の発明によれば、第 1 の電界効果トランジスタのゲートと接地ライン間に、静電容量型のセンサ素子を接続し、第 1 の電界効果トランジスタのドレインから第 1 の端子を導出し、第 1 の電界効果トランジスタのソースから第 2 の端子を導出し、接地ラインから第 3 の端子を導出してセンサユニットを構成し、第 2 の端子に第 2 の電界効果トランジスタのソースを接続し、第 1 の電界効果トランジスタと第 2 の電界効果トランジスタとにより差動増幅回路を構成し、センサ素子の出力を差動増幅回路により増幅させて出力させるようにしているので、電圧増幅率を上げ、消費電流の低減を図ることができる。

【 0 0 3 4 】

第3の発明によれば、第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースとの接続点と接地間に抵抗を接続することで、第1の電界効果トランジスタのソースと第2の電界効果トランジスタとからなる差動増幅回路に定電流を流すことができる。

【0035】

第4の発明によれば、第1の電界効果トランジスタのソースと第2の電界効果トランジスタのソースとの接続点と接地間に定電流源を接続することで、第1の電界効果トランジスタのソースと第2の電界効果トランジスタとからなる差動増幅回路に定電流を流すことができる。

【0036】

第5の発明によれば、第1の電界効果トランジスタ及び/又は第2の電界効果トランジスタのドレインに負荷抵抗を接続し、負荷抵抗により差動増幅回路の出力電圧を取り出すことで、差動増幅器の電圧出力を取り出すことができる。

【0037】

第6の発明によれば、差動増幅回路の電圧出力からカップリングコンデンサにより信号電圧を取り出し、バッファ回路に送るようにしたことを特徴とする。

【0038】

第7の発明によれば、第1の電界効果トランジスタ及び第2の電界効果トランジスタのドレインに、第1のカレントミラー回路及び第2のカレントミラー回路からなる能動負荷を接続し、第1のカレントミラー回路により第1の電界効果トランジスタを流れる電流を取り出し、第2のカレントミラー回路により第2の電界効果トランジスタを流れる電流を取り出し、第1のカレントミラー回路の出力電流と第2のカレントミラー回路の出力電流の差電流を差動増幅回路のシングル出力電流として取り出すようにしているため、差動増幅器の電流出力を取り出すことができる。

【0039】

第8の発明によれば、差動増幅回路のシングル出力電流を得るようにして信号電圧を次段のバッファ回路に送ることで、カップリングコンデンサを用いずに、信号電圧を次段のバッファ回路に送ることができ、周波数特性が改善される。

【0040】

第9の発明によれば、第1の電界効果トランジスタのゲートと接地ライン間に、静電容量型のセンサ素子を接続し、第1の電界効果トランジスタのドレインから第1の端子を導出し、第1の電界効果トランジスタのソースから第2の端子を導出し、接地ラインから第3の端子を導出してセンサユニットを構成し、第1の端子に電流増幅型のカレントミラー回路を接続し、第2の端子と第3の端子との間にソース抵抗を接続し、センサ素子の出力を電流増幅型のカレントミラー回路により電流増幅させて出力させるようにしているため、電圧増幅率を下げることなく、消費電流の低減を図ることができる。

【0041】

第10の発明によれば、電流増幅型のカレントミラー回路からの電流出力を電流電圧変換回路により信号電圧に変換し、バッファ回路に送るようにすることで、カップリングコンデンサを用いずに、信号電圧を次段のバッファ回路に送ることができ、周波数特性が改善できる。

【発明を実施するための最良の形態】

【0042】

第1実施形態

以下、本発明の実施形態について図面を参照しながら説明する。図1は、本発明の第1実施形態の電気回路・コンデンサ・マイクロフォン・ユニット1を示すものである。本発明が適用された電気回路・コンデンサ・マイクロフォン・ユニット1では、図1に示すように、電界効果トランジスタ11のゲートと接地ライン12との間に、ECM（電気回路・コンデンサ・マイクロフォン）エレメント13と、ゲート抵抗14と、ダイオード15とが接続される。FET11のドレインが端子21に接続され、FE

10

20

30

40

50

T 1 1 のソースが端子 2 2 に接続され、接地ライン 1 2 が端子 2 3 に接続される。

【 0 0 4 3 】

E C M エlement 1 3 は、音圧による圧力の変化を静電容量の変化として受け、音圧信号を出力する。なお、同様の原理を用いたセンサとしては、圧力センサ、セキュリティ・センサ、高低差センサ、加速度センサ、生体信号センサ等がある。この例では、センサ素子として E C M エlement 1 3 を使い、電気トリック・コンデンサ・マイクロフォン・ユニット 1 の構成としているが、他の静電容量型のセンサユニットも同様に構成できる。

【 0 0 4 4 】

抵抗 1 4 は F E T 1 1 のゲートにバイアスを与えるためのゲート抵抗、ダイオード 1 5 はゲートに印可される過大信号をバイパスさせるための保護用ダイオードである。

10

【 0 0 4 5 】

本発明が適用された電気トリック・コンデンサ・マイクロフォン・ユニット 1 は、このように、F E T 1 1 のソースと、接地ライン 1 2 とを離し、F E T 1 1 のソースと接地ライン 1 2 とから端子 2 2 及び端子 2 3 をそれぞれ別々に導出するようにしている。このように、F E T 1 1 のソースから導出される端子 2 2 と、接地ライン 1 2 から導出される端子 2 3 とを別々に設けることにより、以下に述べるような付加回路を付加して、消費電力の低減を図り、所望の増幅度を得ることが可能になる。図 1 に示す電気トリック・コンデンサ・マイクロフォン・ユニット 1 に付加回路を接続した実施形態について、以下に説明する。

【 0 0 4 6 】

20

第 2 実施形態。

図 2 は、本発明の第 2 実施形態のセンサ信号処理回路を示すものである。この例では、電気トリック・コンデンサ・マイクロフォン・ユニット 1 内の F E T 1 1 と同様な特性の F E T 3 1 を外部から付加し、電気トリック・コンデンサ・マイクロフォン・ユニット 1 内の F E T 1 1 と、外部から付加した F E T 3 1 とから、差動増幅回路を構成するようにしている。本発明が適用された電気トリック・コンデンサ・マイクロフォン・ユニット 1 は、上述のように、F E T 1 1 のソースと接地ライン 1 2 とから端子 2 2 及び端子 2 3 をそれぞれ別々に導出しているので、このように、電気トリック・コンデンサ・マイクロフォン・ユニット 1 内の F E T 1 1 に、外部の F E T 3 1 を付加して、差動増幅回路を構成することが可能となる。

30

【 0 0 4 7 】

図 2 において、電気トリック・コンデンサ・マイクロフォン・ユニット 1 の端子 2 2 は、F E T 3 1 のソースに接続されると共に、抵抗 3 3 を介して接地される。抵抗 3 3 は、差動増幅回路の定電流源を作るためのものである。端子 2 3 は接地される。端子 2 1 は、抵抗 3 2 を介して、電源 V_{DD} に接続される。

【 0 0 4 8 】

F E T 3 1 のゲートと接地間に、抵抗 3 4 が接続される。抵抗 3 4 はバイアスを与えるためのゲート抵抗であり、抵抗 3 4 の抵抗値は、電気トリック・コンデンサ・マイクロフォン・ユニット 1 内の抵抗 1 4 と同様なものが用いられる。F E T 3 1 のドレインは、抵抗 3 5 を介して電源 V_{DD} に接続される。端子 2 1 と抵抗 3 2 の接続点から出力端子 3 6 が導出され、F E T 3 1 のドレインと抵抗 3 5 の接続点から出力端子 3 7 が導出される。

40

【 0 0 4 9 】

このように、この実施形態では、電気トリック・コンデンサ・マイクロフォン・ユニット 1 内の F E T 1 1 と同様な特性の F E T 3 1 を用意し、この F E T 3 1 のソースを端子 2 2 に接続することで、F E T 1 1 及び F E T 3 1 からなる差動増幅回路を構成するようにしている。E C M エlement 1 3 の出力は、F E T 1 1 及び F E T 3 1 からなる差動増幅回路により増幅されて、出力端子 3 6 及び 3 7 から出力される。なお、この例では、F E T 1 1 及び F E T 3 1 からなる差動増幅回路の出力は、出力端子 3 6 及び 3 7 から、差動の電圧出力で出力される。

50

【 0 0 5 0 】

このような構成では、F E T 1 1 と F E T 3 1 とが差動増幅回路として動作するので、電圧増幅率は以下ようになる。相互コンダクタンス g_m は、(6) 式で表すことができる。 V_T は熱電圧であり、この熱電圧 V_T は、電荷量 q と、ボルツマン定数 k 、絶対温度 T を用いて (7) 式で表すことができる。

【 0 0 5 1 】

【 数 3 】

$$V_G = g_m R_L \quad (5)$$

$$g_m = \frac{1}{2} \frac{I_0}{V_T} \quad (6)$$

$$V_T = \frac{kT}{q} \quad (7)$$

V_T : 熱電圧 (サーマルボルテージ) 常温で約 26mV

k : ボルツマン定数 $k = 1.38 \times 10^{-23} [J/^\circ K]$

T : 絶対温度

q : 電子の電荷量 $q = 1.602 \times 10^{-19} [\text{クーロン}]$

10

20

上式に示すように、差動増幅回路を構成すると、供給する電流値が小さくても、大きなコンダクタンス g_m を得ることができ、電圧増幅率が大きくなる。このことは、電圧増幅率が同じであれば、供給する電流が少なくても良いということになり、結果的に、電圧増幅率を一定にした場合、従来技術に比べて、低消費電力を図ることができる。

【 0 0 5 2 】

第 3 実施形態 .

なお、上述の例では、F E T 1 1 及び F E T 3 1 のソースと接地間に抵抗 3 3 を接続し、この抵抗 3 3 を、F E T 1 1 と F E T 3 1 とからなる差動増幅回路のエミッタの定電流源としていたが、図 3 に示すように、F E T 1 1 のソースと接地間に定電流源 3 8 を接続するようにしてもよい。

30

【 0 0 5 3 】

第 4 実施形態 .

図 4 は本発明の第 4 実施形態を示すものである。この実施形態は、図 2 に示すセンサ信号処理回路の次段にインターフェース回路を設けるようにしたものである。なお、図 4 において、図 2 と同一部分については、同一符号を付し、その説明を省略する。

【 0 0 5 4 】

図 4 において、抵抗 3 2 と端子 2 1 との接続点からは、F E T 1 1 と F E T 3 1 とからなる差動増幅回路の電圧出力が得られる。この抵抗 3 2 と端子 2 1 との接続点は、カップリングコンデンサ 4 1 を介して、演算増幅回路 4 2 の非反転入力端子に接続される。また、演算増幅回路 4 2 の非反転入力端子には、抵抗 4 3 を介して、リファレンス電圧 V_{ref} が与えられる。演算増幅回路 4 2 の出力端子と反転入力端子との間に、フィードバック抵抗 4 4 が接続される。演算増幅回路 4 2 の出力端子から、出力端子 4 5 が導出される。

40

【 0 0 5 5 】

図 2 に示すセンサ信号処理回路では、F E T 1 1 と F E T 3 1 とが差動増幅回路として動作するので、抵抗 3 2 の抵抗値を大きくしなくても、十分な利得を得ることができる。このため、出力直流電圧が下がらず、ダイナミックを広くとることができる。

【 0 0 5 6 】

第 5 実施形態 .

50

図5は本発明の第5実施形態のセンサ信号処理回路を示すものである。この例では、エレクトリック・コンデンサ・マイクロフォン・ユニット1内のFET11と同様な特性のFET51を外部から付加し、エレクトリック・コンデンサ・マイクロフォン・ユニット1内のFET11と、外部から付加したFET51とから、差動増幅回路を構成するようにしている。そして、この差動増幅回路に対する負荷回路として、カレントミラー回路を用いたアクティブ負荷を接続し、更に、差動出力をシングル出力に変換して、電流で出力させるようにしている。

【0057】

図5において、エレクトリック・コンデンサ・マイクロフォン・ユニット1の端子22には、FET51のソースが接続される。FET51のソースと接地間に、定電流源53が接続される。端子23は接地される。FET51のゲートと接地間には、抵抗54が接続される。抵抗54はバイアスを与えるためのゲート抵抗であり、エレクトリック・コンデンサ・マイクロフォン・ユニット1内の抵抗14の抵抗値と同様のものが用いられる。

10

【0058】

端子21は、PNP型トランジスタ61のコレクタに接続される。トランジスタ61のベースとそのコレクタとが接続され、トランジスタ61のベースとPNP型トランジスタ62のベースとが共通接続され、トランジスタ61及びトランジスタ62によりカレントミラー回路が構成される。トランジスタ61及び62のエミッタは電源Vccに接続される。

【0059】

FET51のドレインは、PNP型トランジスタ63のコレクタに接続される。トランジスタ63のベースとそのコレクタとが接続され、トランジスタ63のベースとPNP型トランジスタ64のベースとが共通接続され、トランジスタ63及びトランジスタ64によりカレントミラー回路が構成される。トランジスタ63及び64のエミッタは電源Vccに接続される。

20

【0060】

トランジスタ64のコレクタは、NPN型トランジスタ65のコレクタに接続される。トランジスタ62のコレクタは、NPN型トランジスタ66のコレクタに接続される。

【0061】

トランジスタ65のベースとそのコレクタとが接続され、トランジスタ65のベースとトランジスタ66のベースとが共通接続され、トランジスタ65及びトランジスタ66によりカレントミラー回路が構成される。トランジスタ65及びトランジスタ66のエミッタは接地される。

30

【0062】

トランジスタ62のコレクタとトランジスタ66のコレクタとの接続点から、電流出力端子67が導出される。

【0063】

図5に示すセンサ信号処理回路では、エレクトリック・コンデンサ・マイクロフォン・ユニット1内のFET11と、外部から付加したFET51とから、差動増幅回路が構成される。この差動増幅回路に対して、トランジスタ61及びトランジスタ62からなるカレントミラー回路と、トランジスタ63及びトランジスタ64からなるカレントミラー回路とがアクティブ負荷として接続される。そして、トランジスタ62と、トランジスタ66とを直列に接続し、トランジスタ62とトランジスタ66の接続点から出力端子67を導出することにより、この差動出力をシングル出力に変換して、電流で出力させるようにしている。

40

【0064】

つまり、定電流源53の電流をIとし、信号電流をiとすると、FET11には $(I/2 + i)$ なる電流が流れ、FET51には $(I/2 - i)$ なる電流が流れる。

【0065】

FET11に $(I/2 + i)$ なる電流が流れると、FET11に直列に接続されている

50

トランジスタ 6 1 に、 $(I/2 + i)$ なる電流が流れる。トランジスタ 6 1 とトランジスタ 6 2 はカレントミラー回路を構成しているため、トランジスタ 6 1 に $(I/2 + i)$ なる電流が流れると、トランジスタ 6 2 には、それと同様の $(I/2 + i)$ なる電流が流れる。

【0066】

FET 5 1 に $(I/2 - i)$ なる電流が流れると、FET 5 1 に直列に接続されているトランジスタ 6 3 に、 $(I/2 - i)$ なる電流が流れる。トランジスタ 6 3 とトランジスタ 6 4 はカレントミラー回路を構成しているため、トランジスタ 6 3 に $(I/2 - i)$ なる電流が流れると、トランジスタ 6 4 には、それと同様の $(I/2 - i)$ なる電流が流れる。トランジスタ 6 4 とトランジスタ 6 5 とは直列に接続されているため、トランジスタ 6 4 に $(I/2 - i)$ なる電流が流れると、トランジスタ 6 5 には、 $(I/2 - i)$ なる電流が流れる。

10

【0067】

トランジスタ 6 5 とトランジスタ 6 6 はカレントミラー回路を構成しているため、トランジスタ 6 5 に $(I/2 - i)$ なる電流が流れると、トランジスタ 6 6 に $(I/2 - i)$ なる電流が流れる。

【0068】

トランジスタ 6 2 を流れる電流は、電流出力端子 6 7 から出力される電流 I_{out} と、トランジスタ 6 6 を流れる電流との和になる。トランジスタ 6 2 を流れる電流は $(I/2 + i)$ であり、トランジスタ 6 6 を流れる電流は $(I/2 - i)$ であるから、
 $(I/2 + i) = I_{out} + (I/2 - i)$
 となり、出力電流 I_{out} は、
 $I_{out} = (I/2 + i) - (I/2 - i) = 2i$
 となる。

20

【0069】

このように、図 5 に示すセンサ信号処理回路では、電流出力端子 6 7 からは、FET 1 1 及び FET 5 1 からなる差動増幅回路の出力は、シングル出力に変換され、電流出力で出力される。

【0070】

なお、上述の例では、バイポーラトランジスタを用いた一般的なカレントミラー回路を用いているが、FET のカレントミラー回路や、ウィルソン型のカレントミラー回路を用いるようにしてもよい。

30

【0071】

第 6 実施形態

図 6 は本発明の第 6 実施形態を示すものである。この実施形態は、図 5 に示すセンサ信号処理回路の次段にインターフェース回路を設けるようにしたものである。なお、図 6 において、図 5 と同一部分については、同一符号を付し、その説明を省略する。

【0072】

図 6 において、トランジスタ 6 2 とトランジスタ 6 6 との接続点からは、差動増幅回路の出力が電流で得られる。トランジスタ 6 2 とトランジスタ 6 6 との接続点は、演算増幅回路 7 2 の非反転入力端子に接続されると共に、抵抗 7 3 を介して、リファレンス電圧 V_{ref} が与えられる。演算増幅回路 7 2 の出力端子と反転入力端子との間に、フィードバック抵抗 7 4 が接続される。演算増幅回路 7 2 の出力端子から出力端子 7 5 が導出される。

40

【0073】

前述したように、図 5 に示すセンサ信号処理回路では、FET 1 1 及び FET 5 1 からなる差動増幅回路の出力は、シングル出力に変換され、電流で出力される。この電流出力は、図 6 において、抵抗 7 3 により電流 - 電圧変換され、バッファとなる演算増幅回路 7 2 に送られる。トランジスタ 6 2 とトランジスタ 6 3 との接続点からの出力は、信号電流のみであるから、カップリングコンデンサは不要である。カップリングコンデンサが不要

50

であるから、低域の周波数特性が改善される。

【0074】

また、この構成では、電圧増幅率は、電流出力を電圧に変換する抵抗73の値により決まる。そして、中心電圧は、リファレンス電圧 V_{ref} により設定される。よって、任意の中心電圧を設定して、任意の電圧増幅率のセンサ出力を得ることができる。また、電圧増幅率を大きくするために、抵抗73の値を大きくしても、電源電圧の低下は生じない。このことから、電源電圧の低下によるダイナミックレンジの低下をもたらすことがない。

【0075】

第7実施形態。

図7は本発明の第7実施形態のセンサ信号処理回路を示すものである。この例では、エレクトリック・コンデンサ・マイクロフォン・ユニット1内のFET11のソースと接地間に電流制限抵抗81を接続して、消費電流の低減を図るようにしている。本発明が適用されたエレクトリック・コンデンサ・マイクロフォン・ユニット1は、前述したように、FET11のソースと接地ライン12とから端子22及び端子23をそれぞれ別々に導出しているので、このように、エレクトリック・コンデンサ・マイクロフォン・ユニット1内のFET11のソースと接地間に、電流制限用の抵抗81を接続することが可能となる。

10

【0076】

図7において、エレクトリック・コンデンサ・マイクロフォン・ユニット1の端子22と端子23との間に、抵抗81が接続される。端子23は接地される。

20

【0077】

端子21と電源 V_{cc} との間に、定電流源82が接続されると共に、PNP型トランジスタ83が接続される。トランジスタ83のベースとそのコレクタとが接続されると共に、トランジスタ83のベースは、N個のPNP型トランジスタ84-1~84-nのベースに接続される。トランジスタ84-1~84-nのベースは電源 V_{cc} に接続される。トランジスタ84-1~84-nのコレクタは、電流出力端子85に接続される。

【0078】

この例では、FET11からなるソース接地型の増幅回路で、ECMエレメント13の出力を増幅するようにしている。FET11のソースと接地間には、電流制限用の抵抗81が接続されるため、消費電力の低下が図れる。また、抵抗81が接続されるため、FET11を流れる電流値が小さくなり、(2)式より、相互コンダクタンス g_m の値が小さくなり、その結果、電圧増幅率が低下する。そこで、この例では、カレントミラー回路を構成するトランジスタの比をN倍にすることで、電流増幅させるようにしている。

30

【0079】

つまり、定電流源82とトランジスタ83とは並列に接続されており、FET11には、定電流源82を流れる電流 I_1 とトランジスタ83を流れる電流 i との和電流($I_1 + i$)が流れる。定電流源82は定電流 I_1 であるから、トランジスタ83に流れる電流は信号電流 i のみになる。すなわち、定電流源82とトランジスタ83とを並列に接続することで、トランジスタ83に信号電流のみを流すことができる。

【0080】

トランジスタ83と、トランジスタ84-1~84-nとはカレントミラー回路を構成しているので、トランジスタ83に信号電流 i が流れると、トランジスタ84-1~84-nには、($n \times i$)の電流が流れる。このように、トランジスタ84-1~84-nには、信号電流 i の n 倍の電流を流すことができる。この電流が出力電流として、電流出力端子85から得られる。なお、ここでは、 n 個のトランジスタ84-1~84-nとしているが、トランジスタ83の n 倍のサイズのトランジスタ84を用いるようにしてもよい。

40

【0081】

第8実施形態。

図8は本発明の第8実施形態を示すものである。この実施形態は、図7に示すセンサ信

50

号処理回路の次段にインターフェース回路を設けるようにしたものである。なお、図8において、図7と同一部分については、同一符号を付し、その説明を省略する。

【0082】

図8において、トランジスタ84-1~84-nのコレクタからは、FET11からなるソース接地型増幅回路の出力が電流で得られる。トランジスタ84-1~84-nのコレクタは、演算増幅回路92の非反転入力端子に接続されると共に、抵抗93を介して、リファレンス電圧 V_{ref} が与えられる。演算増幅回路92の出力端子と反転入力端子との間に、フィードバック抵抗94が接続される。演算増幅回路92の出力端子から出力端子95が導出される。

【0083】

図8に示すセンサ信号処理回路では、トランジスタ84-1~84-nのコレクタからは、FET11からなるソース接地型増幅回路の出力が電流で得られ、この電流出力は、抵抗93により電流-電圧変換され、バッファとなる演算増幅回路92に送られる。トランジスタ84-1~84-nのコレクタからの出力は信号電流のみであるから、カップリングコンデンサは不要である。カップリングコンデンサが不要であるから、低域の周波数特性が改善される。

【0084】

また、この構成では、電圧増幅率は、電流出力を電圧に変換する抵抗93の値により決まる。そして、中心電圧は、リファレンス電圧 V_{ref} により設定される。よって、任意の中心電圧を設定して、任意の電圧増幅率のセンサ出力を得ることができる。また、電圧増幅率を大きくするために、抵抗93の値を大きくしても、電源電圧の低下は生じない。このことから、電源電圧の低下によるダイナミックレンジの低下をもたらすことがない。

【0085】

本発明は、上述した実施形態に限定されるものではなく、この発明の要旨を逸脱しない範囲内で様々な変形や応用が可能である。

【産業上の利用可能性】

【0086】

本発明は、エレクトリック・コンデンサ・マイクロフォン、圧力センサ、セキュリティ・センサ、高低差センサ、加速度センサ、生体信号センサなど、静電容量型のセンサ素子に用いることができる。

【図面の簡単な説明】

【0087】

【図1】本発明の第1実施形態のセンサユニットの構成を示す接続図である。

【図2】本発明の第2実施形態のセンサ信号処理回路の構成を示す接続図である。

【図3】本発明の第3実施形態のセンサ信号処理回路の構成を示す接続図である。

【図4】本発明の第4実施形態のセンサ信号処理回路の構成を示す接続図である。

【図5】本発明の第5実施形態のセンサ信号処理回路の構成を示す接続図である。

【図6】本発明の第6実施形態のセンサ信号処理回路の構成を示す接続図である。

【図7】本発明の第7実施形態のセンサ信号処理回路の構成を示す接続図である。

【図8】本発明の第8実施形態のセンサ信号処理回路の構成を示す接続図である。

【図9】従来のセンサユニットの構成を示す接続図である。

【図10】従来のセンサ信号処理回路の構成を示す接続図である。

【図11】ゲート電圧のドレイン電流との関係を示すグラフである。

【図12】インターフェース回路を接続したときの従来のセンサ信号処理回路の構成を示す接続図である。

【符号の説明】

【0088】

1 エレクトリック・コンデンサ・マイクロフォン・ユニット

11 FET

12 接地ライン

10

20

30

40

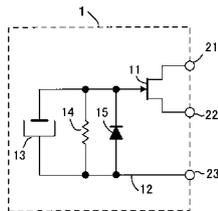
50

- 1 3 ECMエレメント
- 1 4 抵抗
- 1 5 ダイオード
- 2 1 ~ 2 3 端子
- 3 2 抵抗
- 3 1 FET
- 3 3 ~ 3 5 抵抗
- 3 6、3 7 出力端子
- 3 8 定電流源
- 4 1 カップリングコンデンサ
- 4 2 演算増幅回路
- 4 5 出力端子
- 5 1 FET
- 5 3 定電流源
- 5 4 抵抗
- 6 1 ~ 6 6 トランジスタ
- 6 7 電流出力端子
- 7 2 演算増幅回路
- 8 1 電流制限抵抗
- 8 2 定電流源
- 8 3、8 4 トランジスタ
- 8 5 電流出力端子
- 9 2 演算増幅回路

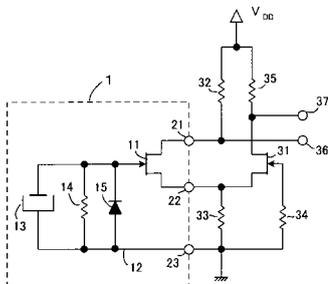
10

20

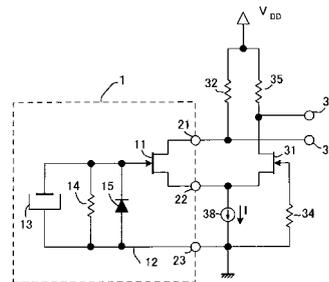
【 図 1 】



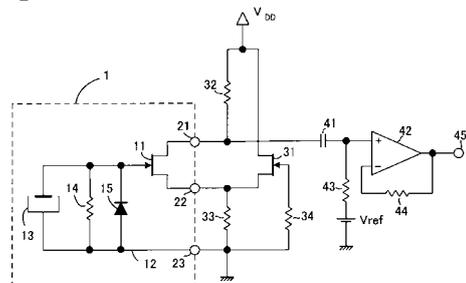
【 図 2 】



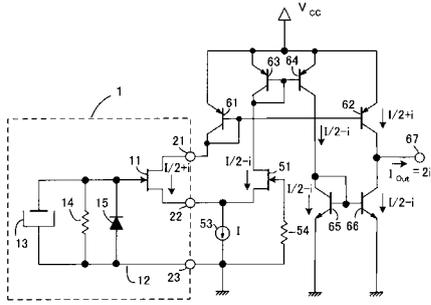
【 図 3 】



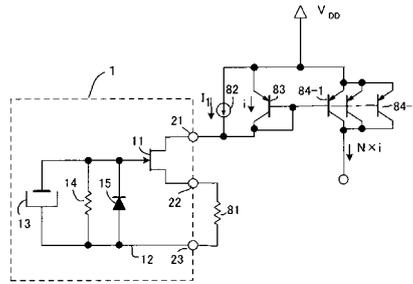
【 図 4 】



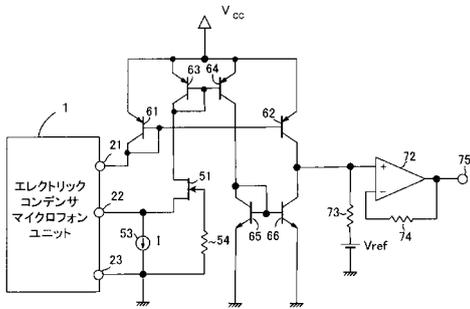
【 図 5 】



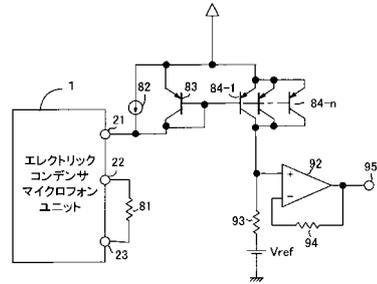
【 図 7 】



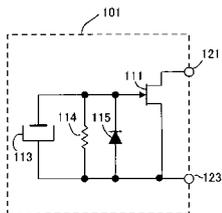
【 図 6 】



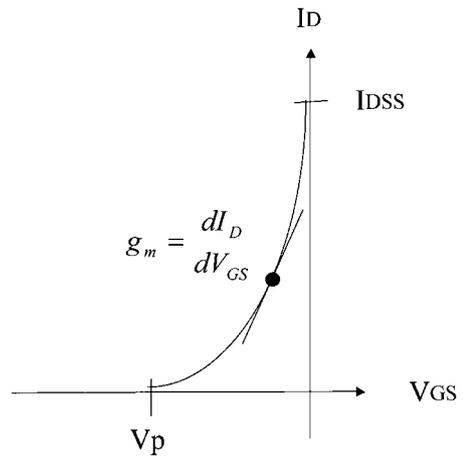
【 図 8 】



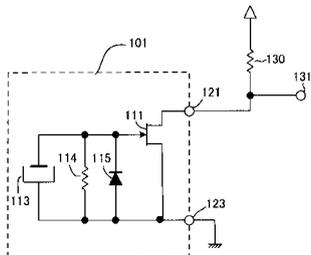
【 図 9 】



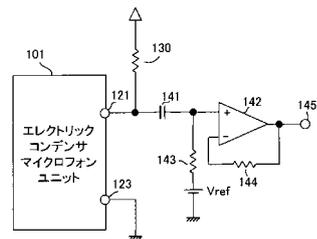
【 図 1 1 】



【 図 1 0 】



【 図 1 2 】



フロントページの続き

Fターム(参考) 5J500 AA01 AC36 AC61 AF00 AF09 AH02 AH09 AH19 AH25 AH32
AH42 AK01 AK02 AK05 AK09 AK47 AM21 AT01