



(12) 发明专利申请

(10) 申请公布号 CN 102842596 A

(43) 申请公布日 2012. 12. 26

(21) 申请号 201110176871. 5

(22) 申请日 2011. 06. 22

(71) 申请人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 陈永初 洪崇祐 朱建文

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 周国城

(51) Int. Cl.

H01L 29/06 (2006. 01)

H01L 29/872 (2006. 01)

H01L 21/329 (2006. 01)

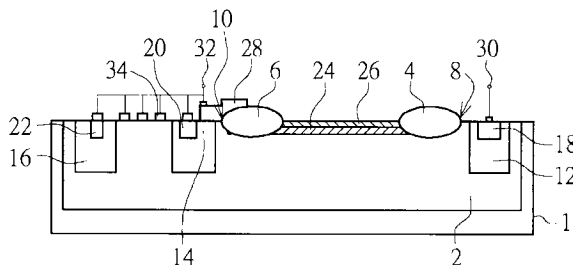
权利要求书 2 页 说明书 4 页 附图 8 页

(54) 发明名称

半导体结构及其制造方法

(57) 摘要

本发明公开了一种半导体结构及其制造方法。半导体结构包括阱区、介电结构、第一掺杂层、第二掺杂层与第一掺杂区。介电结构位于阱区上。介电结构具有相对的第一介电侧边与第二介电侧边。介电结构包括第一介电部分与第二介电部分，位于第一介电侧边与第二介电侧边之间。第一掺杂层位于第一介电部分与第二介电部分之间的阱区上。第二掺杂层位于第一掺杂层上。第一掺杂区位于第一介电侧边上的阱区中。阱区、第一掺杂层与第一掺杂区具有第一导电型。第二掺杂层具有相反于第一导电型的第二导电型。半导体结构可包括耐高压肖特基二极管。



1. 一种半导体结构,包括:

一阱区;

一介电结构,位于该阱区上,且具有相对的一第一介电侧边与一第二介电侧边,其中该介电结构包括一第一介电部分与一第二介电部分,位于该第一介电侧边与该第二介电侧边之间;

一第一掺杂层,位于该第一介电部分与该第二介电部分之间的该阱区上;

一第二掺杂层,位于该第一掺杂层上;以及

一第一掺杂区,位于该第一介电侧边上的该阱区中,其中该阱区、该第一掺杂层与该第一掺杂区具有一第一导电型,该第二掺杂层具有相反于该第一导电型的一第二导电型,一阴极被电性连接至该第一掺杂区,一阳极被电性连接至该第二介电侧边上的该阱区。

2. 根据权利要求1所述的半导体结构,更包括一介电岛,位于该第一掺杂层与该第二掺杂层中。

3. 根据权利要求1所述的半导体结构,其中该第一掺杂层与该第二掺杂层是通过该阱区分成多个互相分开的掺杂条纹。

4. 根据权利要求1所述的半导体结构,更包括一介电条纹,延伸于该第一介电部分与该第二介电部分之间,并将该第一掺杂层与该第二掺杂层分成多个互相分开的掺杂条纹。

5. 根据权利要求1所述的半导体结构,其中该半导体结构包括肖特基二极管与PN型二极管。

6. 一种半导体结构,包括:

一阱区;

一介电结构,位于该阱区上,且具有相对的一第一介电侧边与一第二介电侧边;

一第一掺杂区,位于该第一介电侧边上的该阱区中;以及

一第二掺杂区与一第三掺杂区,位于该第二介电侧边上的该阱区中,其中,该阱区与该第一掺杂区具有一第一导电型,该第二掺杂区与该第三掺杂区具有相反于该第一导电型的一第二导电型,一阴极被电性连接至该第一掺杂区,一阳极被电性连接至位于该第二掺杂区与该第三掺杂区之间的该阱区、该第二掺杂区与该第三掺杂区。

7. 根据权利要求6所述的半导体结构,其中该半导体结构包括肖特基二极管与PN型二极管。

8. 一种半导体结构的制造方法,包括:

形成一介电结构于一阱区上,其中该介电结构具有相对的一第一介电侧边与一第二介电侧边,该介电结构包括一第一介电部分与一第二介电部分,位于该第一介电侧边与该第二介电侧边之间;

形成一第一掺杂层,其中该第一掺杂层位于该第一介电部分与该第二介电部分之间的该阱区上;

形成一第二掺杂层于该第一掺杂层上;以及

形成一第一掺杂区,其中该第一掺杂区位于该第一介电侧边上的该阱区中,该阱区、该第一掺杂层与该第一掺杂区具有一第一导电型,该第二掺杂层具有相反于该第一导电型的一第二导电型。

9. 根据权利要求8所述的半导体结构的制造方法,更包括形成多个介电条纹,其中该

多个介电条纹延伸于该第一介电部分与该第二介电部分之间,该第一掺杂层形成于该多个介电条纹之间的该阱区上。

10. 一种半导体结构的制造方法,包括:

形成一介电结构于一阱区上,其中该介电结构具有相对的一第一介电侧边与一第二介电侧边;

形成一第一掺杂区,其中该第一掺杂区位于该第一介电侧边上的该阱区中;

形成一第二掺杂区与一第三掺杂区,其中该第二掺杂区与该第三掺杂区位于该第二介电侧边上的该阱区中,该第二掺杂区与该第三掺杂区是通过该阱区互相分开,该阱区与该第一掺杂区具有一第一导电型,该第二掺杂区与该第三掺杂区具有相反于该第一导电型的一第二导电型。

半导体结构及其制造方法

技术领域

[0001] 本发明是有关于半导体结构及其制造方法,特别是有关于高压半导体装置及其制造方法。

背景技术

[0002] 半导体业界持续缩小半导体结构的尺寸,并同时改善速率、效能、密度及集成电路的单位成本。举例来说,半导体结构中的二极管例如肖特基二极管可应用于异步装置。一般的肖特基二极管具有形成在 N 型衬底上的金属接触、场氧化隔离物与 N 型重掺杂部分。位于单一个场氧化隔离物相对两侧上的衬底上的金属接触与 N 型重掺杂部分被分别电性连接至阳极与阴极。

[0003] 异步装置一般具有两个功率金属氧化半导体场效晶体管 (powerMOSFET),分别配置在高侧与低侧。肖特基二极管可配置在低侧的 MOSFET,以降低装置在直流电降压转换 (buck DC to DC conversion) 的转换功率损失。然而,一般肖特基二极管在反向偏压下具有严重影响装置效能的漏电流,此漏电流是造成电路上功率的损失。例如请参照图 1,一般肖特基二极管在反向偏压下,漏电流会随着电压的上升而呈线性关系逐渐变高,且一般肖特基二极管不会崩溃。因此在应用于高压装置时,一般肖特基二极管的电压电平 (voltage level) 是偏移的。

发明内容

[0004] 本发明是有关于半导体结构及其制造方法。半导体结构在两个互相分开的介电部分之间的漂移区上具有利用 RESURF 概念的元件,因此可提升装置的操作电压。半导体结构与阳极电性连接的部分具有夹止元件,因此可降低装置的漏电流。半导体结构可应用于高压装置中。半导体结构可包括耐高压肖特基二极管。

[0005] 提供一种半导体结构。半导体结构包括一阱区、一介电结构、一第一掺杂层、一第二掺杂层与一第一掺杂区。介电结构位于阱区上。介电结构具有相对的一第一介电侧边与一第二介电侧边。介电结构包括一第一介电部分与一第二介电部分,位于第一介电侧边与第二介电侧边之间。第一掺杂层位于第一介电部分与第二介电部分之间的阱区上。第二掺杂层位于第一掺杂层上。第一掺杂区位于第一介电侧边上的阱区中。阱区、第一掺杂层与第一掺杂区具有一第一导电型。第二掺杂层具有相反于第一导电型的一第二导电型。一阴极被电性连接至第一掺杂区。一阳极被电性连接至第二介电侧边上的阱区。

[0006] 也提供一种半导体结构。半导体结构包括一阱区、一介电结构、一第一掺杂区、一第二掺杂区与一第三掺杂区。介电结构位于阱区上。介电结构具有相对的一第一介电侧边与一第二介电侧边。第一掺杂区位于第一介电侧边上的阱区中。第二掺杂区与第三掺杂区位于第二介电侧边上的阱区中。阱区与第一掺杂区具有一第一导电型。第二掺杂区与第三掺杂区具有相反于第一导电型的一第二导电型。一阴极被电性连接至第一掺杂区。一阳极被电性连接至位于第二掺杂区与第三掺杂区之间的阱区、第二掺杂区与第三掺杂区。

[0007] 提供一种半导体结构的制造方法。方法包括以下步骤。形成一介电结构于一阱区上。介电结构具有相对的一第一介电侧边与一第二介电侧边。介电结构包括一第一介电部分与一第二介电部分,位于第一介电侧边与第二介电侧边之间。形成一第一掺杂层。第一掺杂层位于第一介电部分与第二介电部分之间的阱区上。形成一第二掺杂层于第一掺杂层上。形成一第一掺杂区。第一掺杂区位于第一介电侧边上的阱区中。阱区、第一掺杂层与第一掺杂区具有一第一导电型。第二掺杂层具有相反于第一导电型的一第二导电型。

[0008] 提供一种半导体结构的制造方法。方法包括以下步骤。形成一介电结构于一阱区上。介电结构具有相对的一第一介电侧边与一第二介电侧边。形成一第一掺杂区。第一掺杂区位于第一介电侧边上的阱区中。形成一第二掺杂区与一第三掺杂区。第二掺杂区与第三掺杂区位于第二介电侧边上的阱区中。第二掺杂区与第三掺杂区是通过阱区互相分开。阱区与第一掺杂区具有一第一导电型。第二掺杂区与第三掺杂区具有相反于第一导电型的一第二导电型。

[0009] 下文特举较佳实施例,并配合所附图式,作详细说明如下:

附图说明

[0010] 图 1 是一般半导体装置在反向偏压下的 I-V 曲线。

[0011] 图 2 绘示根据一实施例的半导体结构及其制造方法。

[0012] 图 3 绘示一实施例中装置在顺向偏压下的 I-V 曲线。

[0013] 图 4 绘示装置在反向偏压下的 I-V 曲线。

[0014] 图 5 绘示根据一实施例的半导体结构的上视图。

[0015] 图 6 绘示根据一实施例的半导体结构的上视图。

[0016] 图 7 绘示根据一实施例的半导体结构的上视图。

[0017] 图 8 绘示根据一实施例的半导体结构的剖面图。

[0018] 图 9 绘示根据一实施例的半导体结构的上视图。

[0019] 图 10 绘示根据一实施例的半导体结构的上视图。

[0020] 图 11 绘示根据一实施例的半导体结构的剖面图。

[0021] 图 12 绘示根据另一实施例的半导体结构的剖面图。

[0022] 【主要元件符号说明】

[0023] 1、801 :衬底

[0024] 2、102、202、302、502、702、802 :阱区

[0025] 4、104、304 :第一介电部分

[0026] 6、106、306 :第二介电部分

[0027] 8 :第一介电侧边

[0028] 10 :第二介电侧边

[0029] 12 :第一掺杂区

[0030] 14 :第二掺杂区

[0031] 16 :第三掺杂区

[0032] 18、20、22 重掺杂部分

[0033] 24、124、224、324、424、624 :第一掺杂层

- [0034] 26、126、226、326、426、626 :第二掺杂层
- [0035] 28 :栅极结构
- [0036] 30 :阴极
- [0037] 32 :阳极
- [0038] 34 :金属接触
- [0039] 303、203 :掺杂条纹
- [0040] 305 :介电条纹
- [0041] 407、507、607 :介电岛
- [0042] 736 :埋藏层
- [0043] 838 :深沟道隔离

具体实施方式

[0044] 图 2 绘示根据一实施例的半导体结构及其制造方法。请参照图 2, 提供一衬底 1。衬底 1 可包括块硅、绝缘体上硅或其它合适的半导体材料。衬底 1 也可为基材中的掺杂阱区。或者, 衬底 1 也可为以外延或非外延例如气相沉积法形成的薄膜。于衬底 1 上形成阱区 2。形成第一掺杂区 12 于第一介电侧边 8 上的阱区 2 中。形成第二掺杂区 14 于第二介电侧边 10 上的阱区 2 中。也形成第三掺杂区 16 于第二介电侧边 10 上的阱区 2 中。

[0045] 请参照图 2, 于阱区 2 上形成介电结构, 包括第一介电部分 4 与第二介电部分 6。介电结构可包括氧化物例如氧化硅。第一介电部分 4 与第二介电部分 6 并不限于如图 2 所示的场氧化物, 也可包括浅沟道隔离。第一介电部分 4 与第二介电部分 6 分别具有互相远离的第一介电侧边 8 与第二介电侧边 10。形成第一掺杂层 24 于第一介电部分 4 与第二介电部分 6 之间的阱区 2 上。形成第二掺杂层 26 于第一掺杂层 24 上。于实施例中, 阱区 2、第一掺杂层 24、第一掺杂区 12 与重掺杂部分 18 具有第一导电型。第二掺杂区 14、第三掺杂区 16、重掺杂部分 20、重掺杂部分 22 与第一掺杂层 26 具有相反于第一导电型的第二导电型。举例来说, 第一导电型是 N 型, 第二导电型是 P 型。

[0046] 请参照图 2, 可形成栅极结构 28 于第二掺杂区 14 与阱区 2 上, 并延伸至第二介电部分 6 上。栅极结构 28 可包括栅介电层与栅电极层。栅电极层形成于栅介电层上。栅电极层可包括金属或硅例如多晶硅或金属硅化物。

[0047] 请参照图 2, 阴极 30 可经由之间为欧姆接触的重掺杂部分 18 与金属接触 34 电性连接至第一掺杂区 12。阳极 32 可经提供欧姆接触的金属接触 34 电性连接至栅极结构 28。阳极 32 也可经由之间为欧姆接触的重掺杂部分 20、重掺杂部分 22 与金属接触 34 电性连接至第二掺杂区 14 与第三掺杂区 16。阳极 32 也可经由金属接触 34 电性连接至第二掺杂区 14 与第三掺杂区 16 之间的阱区 2, 金属接触 34 与阱区 2 之间可形成肖特基结。

[0048] 请参照图 2, 于实施例中, 半导体结构可包括二极管例如横向肖特基二极管 (lateral Schottky diode)。形成在第一介电部分 4 与第二介电部分 6 之间的漂移区上的第一掺杂层 24 与第二掺杂层 26 是使用 RESURF 概念, 因此可提升装置的肖特基崩溃 (Schottky breakdown) 而能够承受高的操作电压。此外, 装置具有低的肖特基势垒 (Schottky Barrier)。实施例并不限于如图 2 所示具有第一掺杂层 24 与第二掺杂层 26 的双层 RESURF 结构, 也可为其它多层的 RESURF 结构。第二掺杂区 14 与第三掺杂区 16 可形

成夹止元件,用以空乏位于第二掺杂区 14 与第三掺杂区 16 之间的阱区 2。因此装置可具有低漏电流。

[0049] 图 3 绘示一实施例中装置在顺向偏压下的 I-V 曲线。图 4 绘示装置在反向偏压下的 I-V 曲线。请参照图 3,装置在顺向偏压下具有两段式导通电阻。电阻值变化的转折处约在 0.2V(肖特基二极管导通)与 0.55V(PN 型二极管导通)。请参照图 4,在约 350V 以下的操作电压,装置具有低的漏电流。因此,实施例的半导体结构可包括肖特基二极管与 PN 型二极管。

[0050] 图 5 绘示根据一实施例的半导体结构的上视图。请参照图 5,第一掺杂层 124 与第二掺杂层 126 延伸在第一介电部分 104 与第二介电部分 106 之间的整个阱区 102 上。于一实施例中,形成第一介电部分 104 与第二介电部分 106,然后以第一介电部分 104 与第二介电部分 106 作为掩模层而对阱区 102 进行掺杂来形成第一掺杂层 124 与第二掺杂层 126。因此第一掺杂层 124 与第二掺杂层 126 的形成并未牵涉到图案非常精确的掩模。形成方法简单且能降低制造成本。

[0051] 图 6 绘示根据一实施例的半导体结构的上视图。请参照图 6,第一掺杂层 224 与第二掺杂层 226 是通过阱区 202 分成互相分开的掺杂条纹 203。

[0052] 图 7 绘示根据一实施例的半导体结构的上视图。请参照图 7,形成介电条纹 305,延伸于第一介电部分 304 与第二介电部分 306 之间。介电条纹 305 将第一掺杂层 324 与第二掺杂层 326 分成互相分开的掺杂条纹 303。于一实施例中,形成第一介电部分 304、第二介电部分 306 与介电条纹 305,然后以第一介电部分 304、第二介电部分 306 与介电条纹 305 作为掩模层而对阱区 302 进行掺杂来形成包括第一掺杂层 324 与第二掺杂层 326 的掺杂条纹 303。因此第一掺杂层 324 与第二掺杂层 326 的形成并未牵涉到图案非常精确的掩模。形成方法简单且能降低制造成本。

[0053] 图 8 绘示根据一实施例的半导体结构的剖面图。请参照图 8,形成介电岛 407 于第一掺杂层 424 与第二掺杂层 426 中。介电岛 407 可包括氧化物例如氧化硅。介电岛 407 并不限于如图 8 所示的场氧化物,也可包括浅沟道隔离。图 9 绘示根据一实施例的半导体结构的上视图。请参照图 9,介电岛 507 延伸在阱区 502 上。图 10 绘示根据一实施例的半导体结构的剖面图。请参照图 10,介电岛 607 可根据期望的装置特性适当地配置在第一掺杂层 624 与第二掺杂层 626 中。

[0054] 图 11 绘示根据一实施例的半导体结构的剖面图。图 11 所示的半导体结构与图 2 所示的半导体结构的差异在于,埋藏层 736 是形成在阱区 702 上。于实施例中,阱区 702 与埋藏层 736 是分别具有相反的导电型。使用埋藏层 736 能提高装置的操作电压。图 12 绘示根据另一实施例的半导体结构的剖面图。图 12 所示的半导体结构与图 11 所示的半导体结构的差异在于,深沟道隔离 838 形成于衬底 801 中。使用深沟道隔离 838 亦能提高装置的操作电压。

[0055] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何熟悉此项技艺者,在不脱离本发明的精神和范围内,当可做些许更动与润饰,因此本发明的保护范围当视随附的权利要求范围所界定的为准。

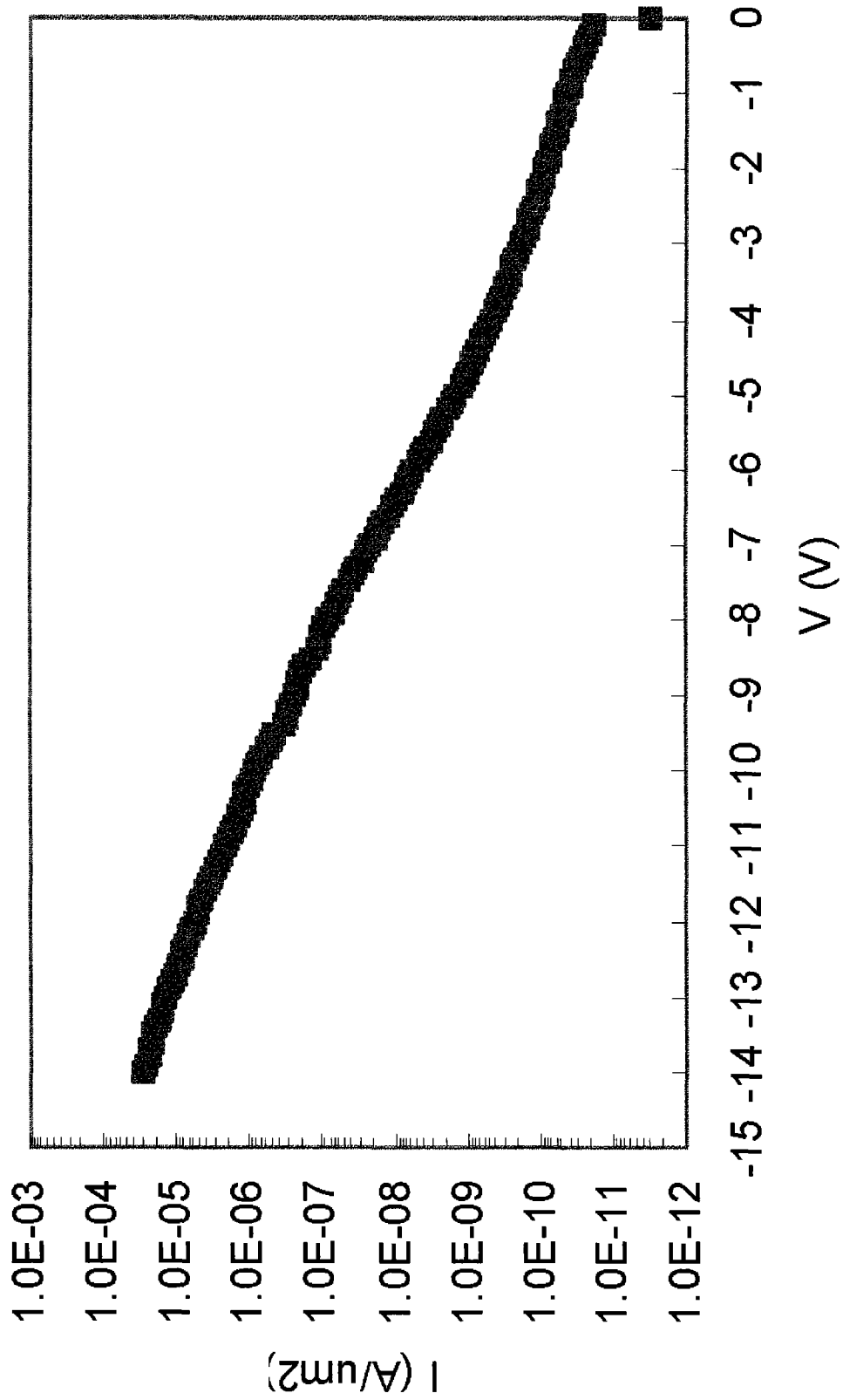


图 1

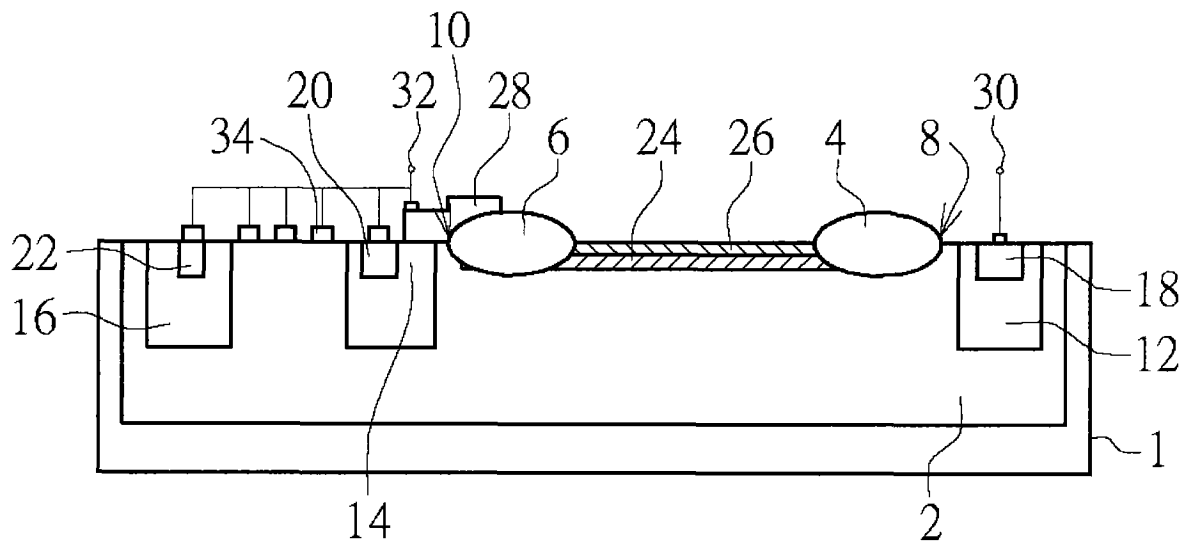


图 2

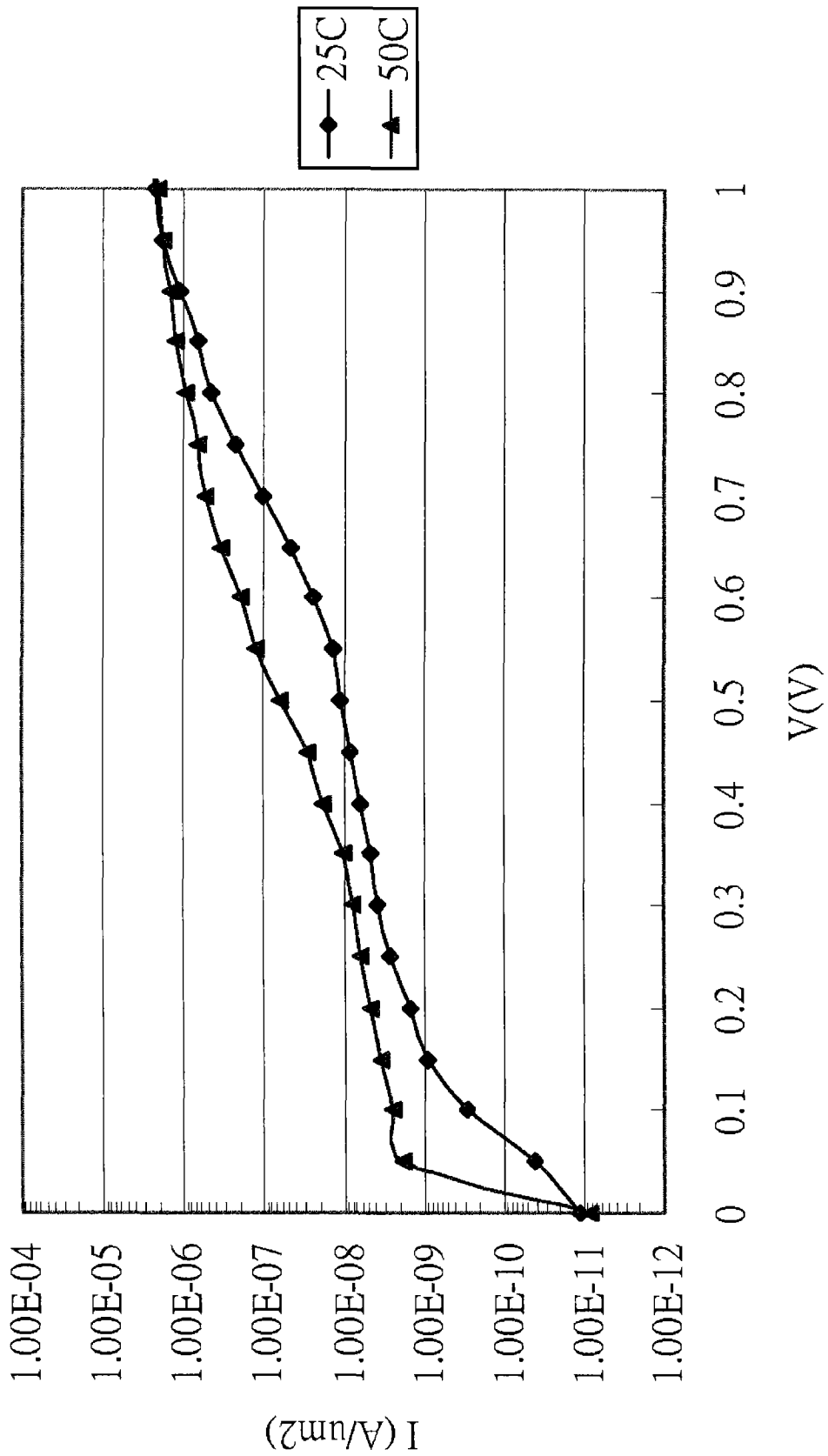


图 3

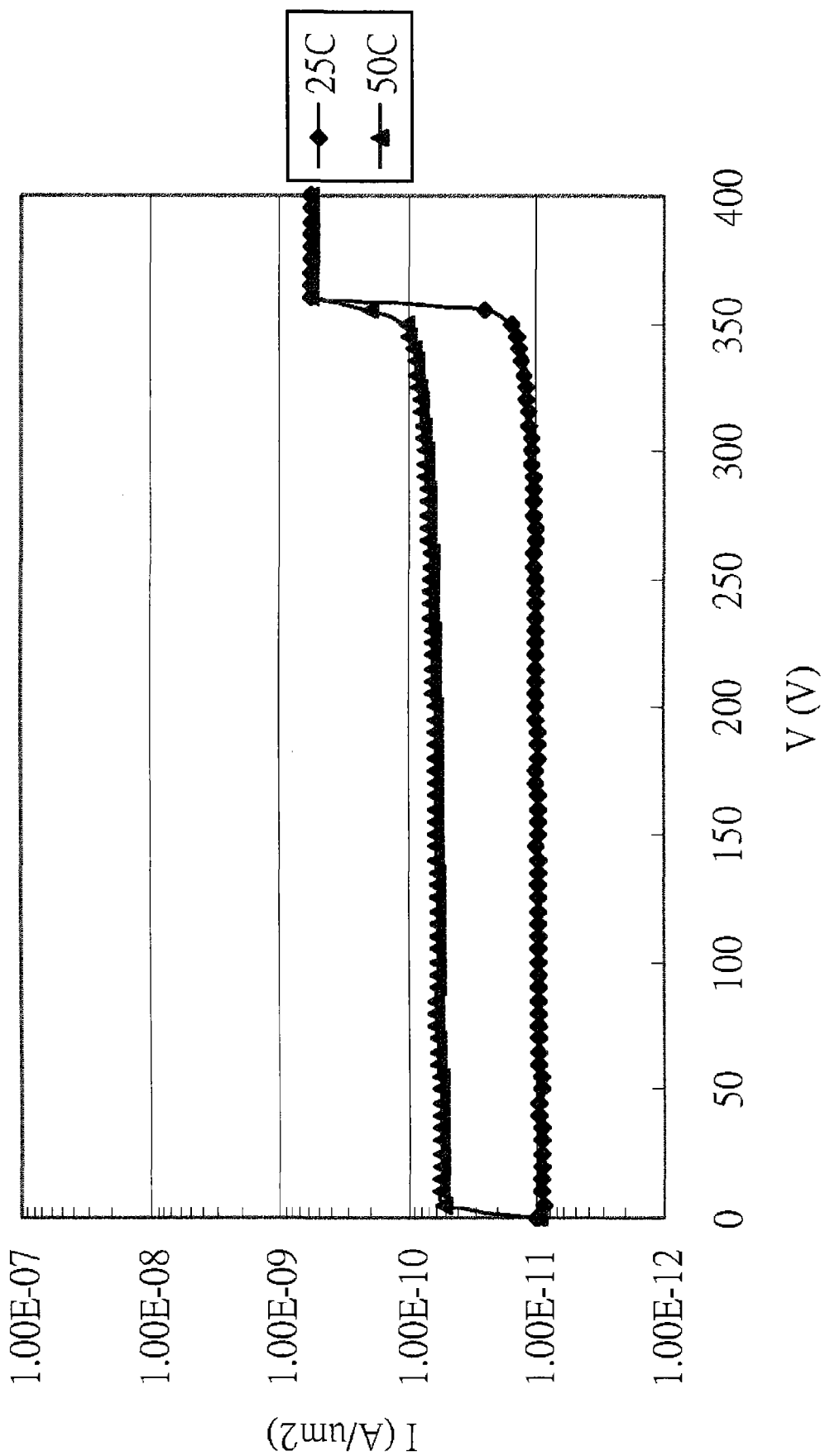


图 4

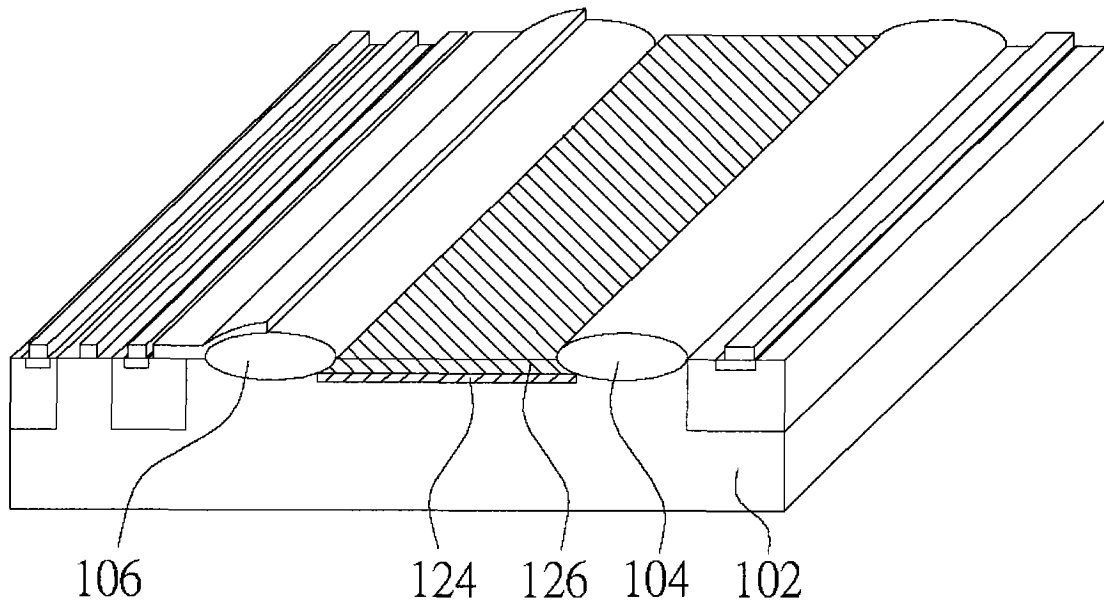


图 5

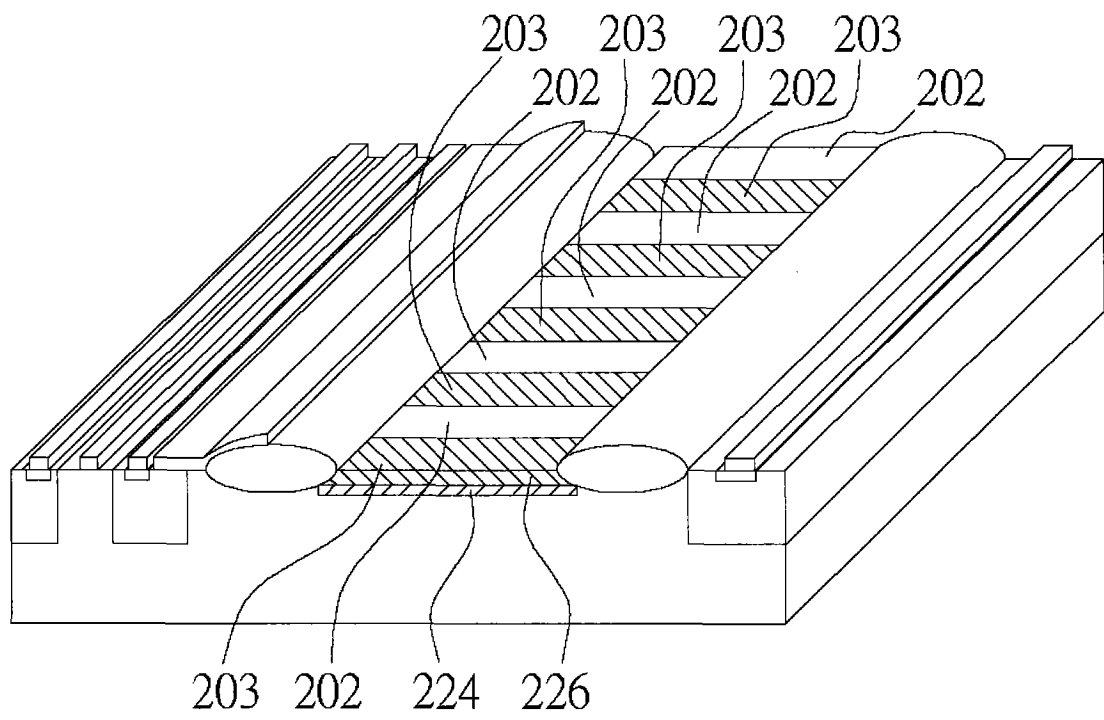


图 6

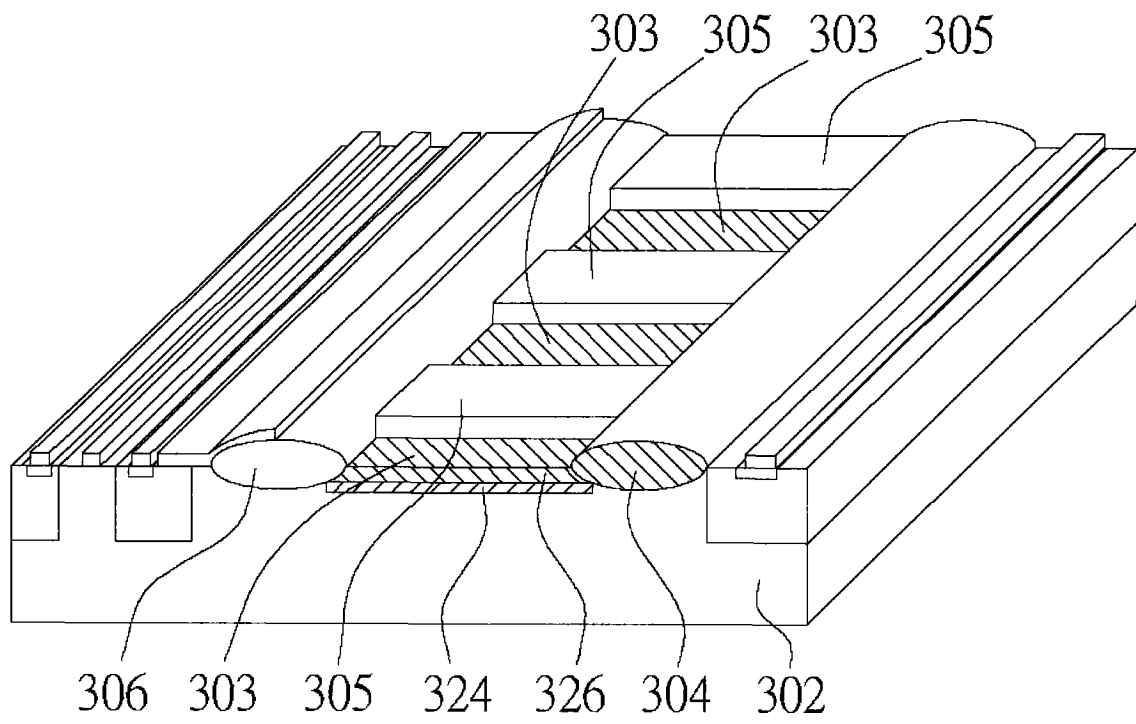


图 7

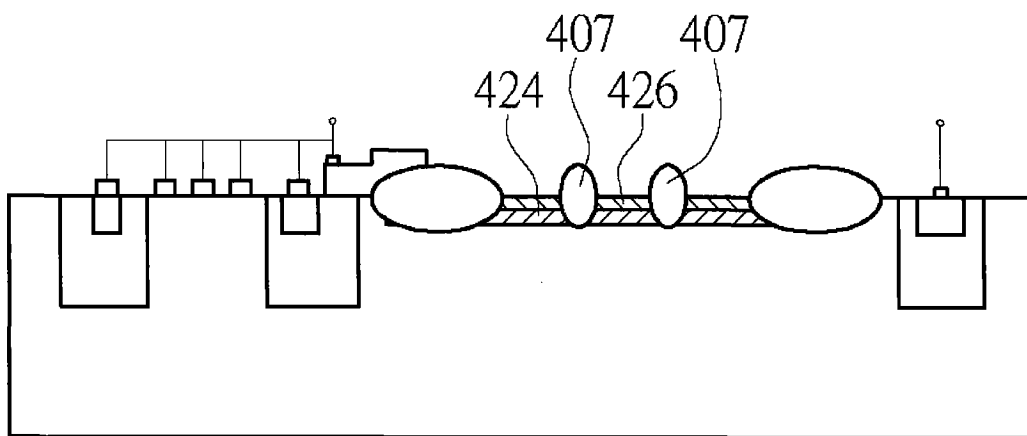


图 8

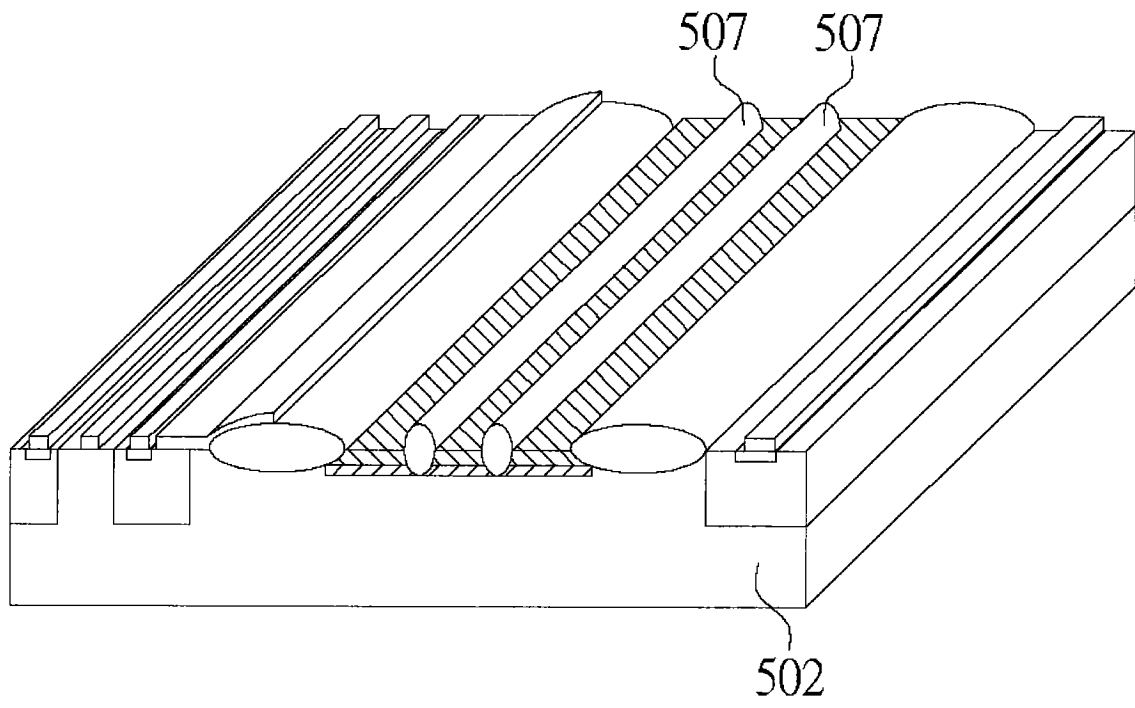


图 9

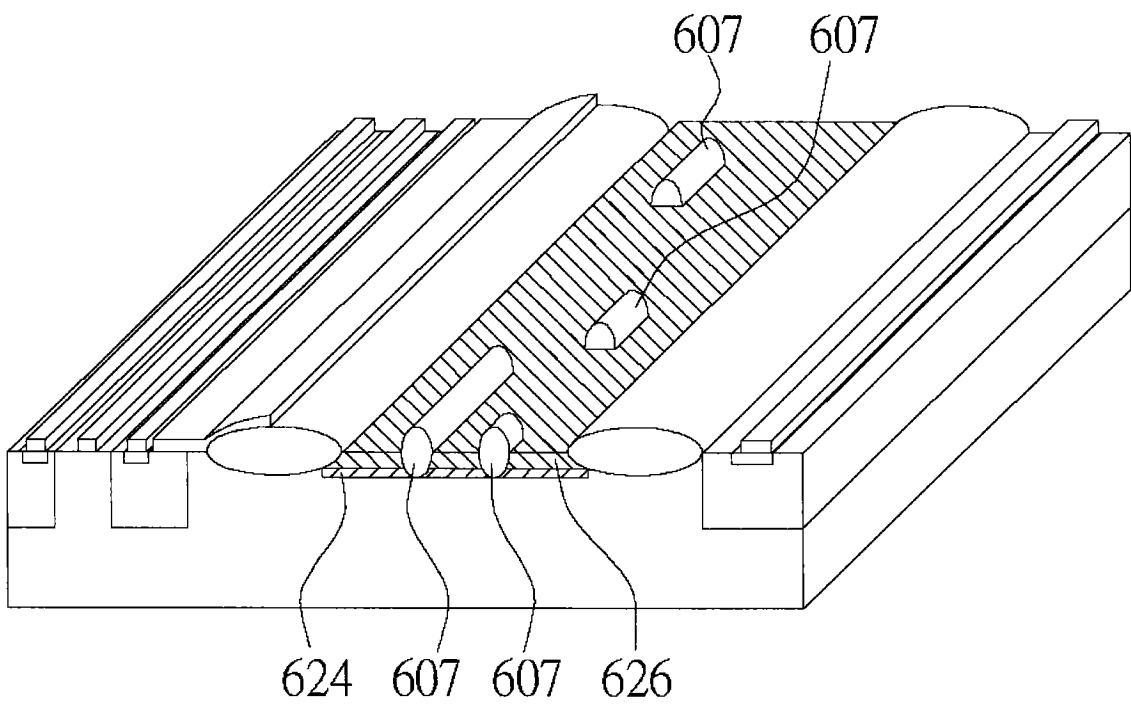


图 10

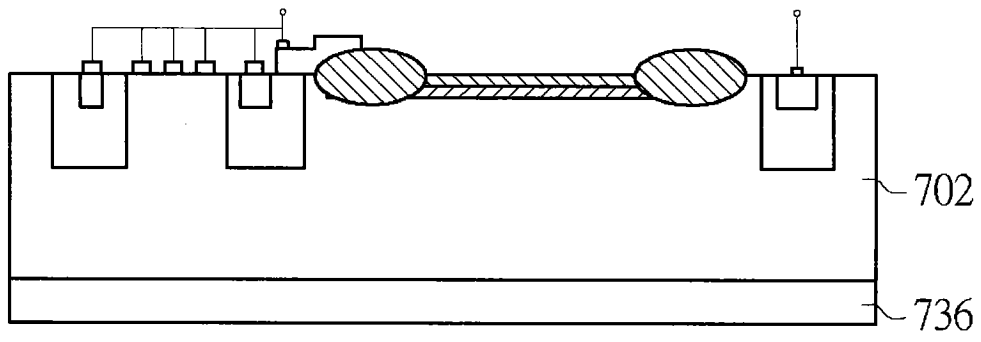


图 11

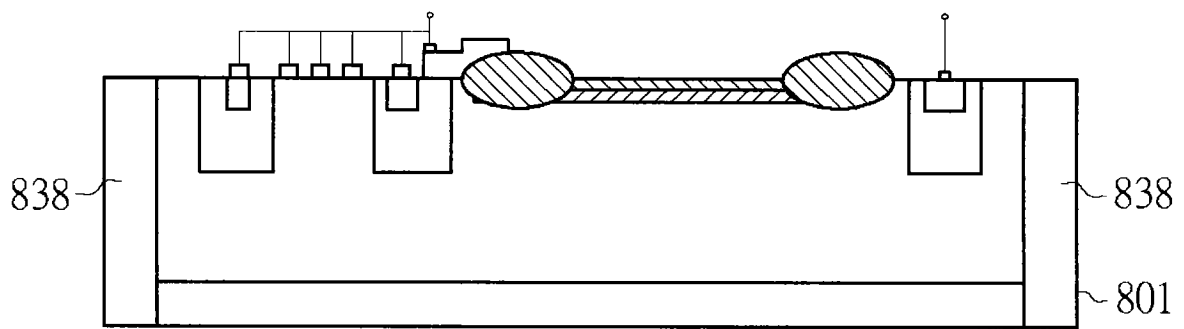


图 12