



(12) 发明专利申请

(10) 申请公布号 CN 114063505 A

(43) 申请公布日 2022. 02. 18

(21) 申请号 202111340537.9

(22) 申请日 2021.11.12

(71) 申请人 材料科学姑苏实验室

地址 215125 江苏省苏州市工业园区若水路388号

申请人 国仪量子(合肥)技术有限公司

(72) 发明人 黄斌 张俊斌 吴亚

(74) 专利代理机构 北京品源专利代理有限公司

11332

代理人 侯军洋

(51) Int. Cl.

G05B 19/042 (2006.01)

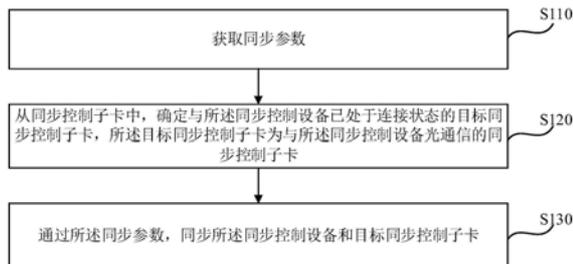
权利要求书2页 说明书14页 附图7页

(54) 发明名称

一种同步控制方法、装置、设备、同步系统及存储介质

(57) 摘要

本发明公开了一种同步控制方法、装置、设备、同步系统及存储介质。所述方法应用于同步控制设备,所述方法包括:获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。利用该方法,同步控制设备通过获取的同步参数有效的实现了同步控制设备与光通信的目标同步控制子卡间的同步,在实现同步的基础上保证了同步控制系统与目标同步控制子卡的远距离通信。



1. 一种同步控制方法,其特征在于,应用于同步控制设备,所述方法包括:
 - 获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;
 - 从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;
 - 通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。
2. 根据权利要求1所述的方法,其特征在于,通过所述同步参数,同步所述同步控制设备和目标同步控制子卡,包括:
 - 基于所述标准时钟源,利用同步控制技术使所述同步控制设备和所述目标同步控制子卡同步;
 - 传输所述秒脉冲和所述发送时间至所述目标同步控制子卡。
3. 根据权利要求1所述的方法,其特征在于,通过所述同步参数,同步所述同步控制设备和目标同步控制子卡,包括:
 - 确定所述同步控制设备和所述目标同步控制子卡间的单向链路延迟;
 - 确定主时钟周期,所述主时钟周期为所述同步控制设备工作所需的时钟周期;
 - 将所述单向链路延迟与所述主时钟周期的商确定为时间差值;
 - 将所述单向链路延迟与所述主时钟周期的余数确定为时钟差值;
 - 向所述目标同步控制子卡传输所述时钟差值、所述时间差值、所述秒脉冲和所述发送时间,以使得所述目标同步控制子卡基于所述秒脉冲、所述发送时间和所述时间差值完成时间同步,基于所述时钟差值,利用比例积分微分PID算法完成时钟同步。
4. 根据权利要求3所述的方法,其特征在于,确定单向链路延迟,包括:
 - 确定所述同步控制设备和所述目标同步控制子卡间的链路总时延;
 - 根据所述链路总时延和预存的延时校准参数,确定所述单向链路延迟。
5. 根据权利要求4所述的方法,其特征在于,所述延时校准参数包括:
 - 所述同步控制设备发送链路延迟、所述同步控制设备接收链路延迟、所述目标同步控制子卡接收链路延迟、所述目标同步控制子卡发送链路延迟、所述同步控制设备比特位滑动延迟和所述目标同步控制子卡比特位滑动延迟。
6. 根据权利要求4所述的方法,其特征在于,所述确定所述同步控制设备和所述目标同步控制子卡间的链路总时延,包括:
 - 根据测量参数确定所述链路总时延,所述测量参数包括:
 - 所述同步控制设备发送时间戳,所述目标同步控制子卡发送时间戳,所述同步控制设备发送和接收时钟相位差,所述目标同步控制子卡发送和接收时钟相位差,主时钟周期,所述同步控制设备接收时间戳,所述目标同步控制子卡接收时间戳。
7. 根据权利要求6所述的方法,其特征在于,还包括:
 - 若所述目标同步控制子卡发送和接收时钟相位差小于第一数值且所述目标同步控制子卡接收上升沿时间戳等于所述目标同步控制子卡接收下降沿时间戳;则所述目标同步控制子卡接收时间戳为所述目标同步控制子卡接收下降沿时间戳加一;否则,所述目标同步控制子卡接收时间戳为所述目标同步控制子卡接收上升沿时间戳;
 - 若所述同步控制设备发送和接收时钟相位差大于第二数值,且所述同步控制设备上升沿时间戳不等于所述同步控制设备下降沿时间戳,则所述同步控制设备接收时间戳为所述

同步控制设备接收下降沿时间戳;否则所述同步控制设备接收时间戳为所述同步控制设备上沿时间戳。

8. 一种同步控制装置,其特征在于,配置于同步控制设备,所述装置包括:

获取模块,用于获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;

确定模块,用于从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;

同步模块,用于通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。

9. 一种同步控制设备,其特征在于,包括:

一个或多个处理器;

存储装置,用于存储一个或多个程序;

当所述一个或多个程序被所述一个或多个处理器执行,使得所述一个或多个处理器实现如权利要求1-7中任一所述的方法。

10. 一种同步系统,其特征在于,包括:如权利要求9所述的同步控制设备和至少一个同步控制子卡;所述同步控制设备与各所述同步控制子卡连接后进行光通信;

所述同步控制设备用于同步与所述同步控制设备连接的目标同步控制子卡;

所述目标同步控制子卡用于控制目标设备。

11. 一种计算机可读存储介质,其上存储有计算机程序,其特征在于,该程序被处理器执行时实现如权利要求1-7中任一所述的方法。

一种同步控制方法、装置、设备、同步系统及存储介质

技术领域

[0001] 本发明实施例涉及通信技术领域,尤其涉及一种同步控制方法、装置、设备、同步系统及存储介质。

背景技术

[0002] 目前最常用的同步控制方式大部分采用同轴电缆进行时序传输,比如集中式雷达中的时钟信号、采样信号等。

[0003] 现有技术在进行同步控制时,上位机通过控制软件将控制指令下发到控制卡,控制卡产生相应的控制信号,如时序,然后通过同轴电缆下发到设备,控制设备进行工作。

[0004] 然而,现有同步控制方法在基于同轴电缆进行控制时不能实现远距离传输。

发明内容

[0005] 本发明实施例提供了一种同步控制方法、装置、设备、同步系统及存储介质,有效增加了传输距离。

[0006] 第一方面,本发明实施例提供了一种同步控制方法,包括:

[0007] 获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;

[0008] 从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;

[0009] 通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。

[0010] 第二方面,本发明实施例还提供了一种同步控制装置,配置于同步控制设备,所述装置包括:

[0011] 获取模块,用于获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;

[0012] 确定模块,用于从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;

[0013] 同步模块,用于通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。

[0014] 第三方面,本发明实施例还提供了一种同步控制设备,包括:

[0015] 一个或多个处理器;

[0016] 存储装置,用于存储一个或多个程序;

[0017] 所述一个或多个程序被所述一个或多个处理器执行,使得所述一个或多个处理器实现本发明实施例提供的方法。

[0018] 第四方面,本发明实施例提供了一种同步系统,包括:如本发明实施例所述的同步控制设备和至少一个同步控制子卡;所述同步控制设备与各所述同步控制子卡连接后进行光通信;

[0019] 所述同步控制设备用于同步与所述同步控制设备连接的目标同步控制子卡;

[0020] 所述目标同步控制子卡用于控制目标设备。

[0021] 第五方面,本发明实施例还提供了一种计算机可读存储介质,其上存储有计算机程序,该程序被处理器执行时实现本发明实施例提供的方法。

[0022] 本发明实施例提供了一种同步控制方法、装置、设备、同步系统及存储介质,首先获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;然后从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;最后通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。利用上述技术方案,同步控制设备通过获取的同步参数有效的实现了同步控制设备与光通信的目标同步控制子卡间的同步,在实现同步的基础上保证了同步控制系统与目标同步控制子卡的远距离通信。

附图说明

[0023] 图1为本发明实施例一提供的一种同步控制方法的流程示意图;

[0024] 图2为本发明实施例一提供的一种同步控制方法的实现示意图;

[0025] 图3为本发明实施例一提供的一种数字双混频鉴相的结构示意图;

[0026] 图4为本发明实施例一提供的一种链路延时校准场景示意图;

[0027] 图5为本发明实施例一提供的一种链路校正示意图;

[0028] 图6为本发明实施例提供的一种确定链路总延迟的流程示意图;

[0029] 图7a为本发明实施例一提供一种时钟架构示意图;

[0030] 图7b为本发明实施例一提供的又一种同步控制方法的流程示意图;

[0031] 图8为本发明实施例二提供的一种同步控制装置的结构示意图;

[0032] 图9为本发明实施例三提供的一种同步控制设备的结构示意图;

[0033] 图10为本发明实施例四提供的一种同步系统的结构示意图;

[0034] 图11为本发明实施例四提供的又一种同步系统的结构示意图。

具体实施方式

[0035] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0036] 在更加详细地讨论示例性实施例之前应当提到的是,一些示例性实施例被描述成作为流程图描绘的处理或方法。虽然流程图将各项操作(或步骤)描述成顺序的处理,但是其中的许多操作可以被并行地、并发地或者同时实施。此外,各项操作的顺序可以被重新安排。当其操作完成时所述处理可以被终止,但是还可以具有未包括在附图中的附加步骤。所述处理可以对应于方法、函数、规程、子例程、子程序等等。此外,在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。

[0037] 本发明使用的术语“包括”及其变形是开放性包括,即“包括但不限于”。术语“基于”是“至少部分地基于”。术语“一个实施例”表示“至少一个实施例”。

[0038] 需要注意,本发明中提及的“第一”、“第二”等概念仅用于对相应内容进行区分,并非用于限定顺序或者相互依存关系。

[0039] 需要注意,本发明中提及的“一个”、“多个”的修饰是示意性而非限制性的,本领域技术人员应当理解,除非在上下文另有明确指出,否则应该理解为“一个或多个”。

[0040] 实施例一

[0041] 图1为本发明实施例一提供的一种同步控制方法的流程示意图,该方法可适用于进行同步控制设备与目标同步控制子卡同步的情况,该方法可以由同步控制装置来执行,其中该装置可由软件和/或硬件实现,并一般集成在同步控制设备上。本实施例不对同步控制设备的具体结构进行限定,只要能够实现同步即可,如同步控制设备内可以包括数字双混频鉴相和时钟架构。

[0042] 本发明同步控制设备可以实现目标同步控制子卡与同步控制设备的同步,如时间、时钟和时序的同步。同步控制设备的应用领域不作限定,示例性的,可以应用于量子计算、分布式雷达和电网同步等领域。

[0043] 在多比特量子计算系统中,量子比特的操控需要通过多个设备在同一时刻完成操控,由于各个设备工作在本地区域下并不同步,使得门操作精度下降的问题或者不准确,因此需要进行高扩展性精确同步控制,如时序控制技术的研发,设计一套能具备扩展至操控500比特以上的扩展性的设备,实现各量子比特间的操控误差缩小至亚纳秒。本发明中目标同步控制子卡可以用于实现量子计算领域内设备的同步控制。

[0044] 分布式阵列雷达是一种将众多空间分布的雷达阵元组成阵列,并实现相参工作的新的雷达体制。与常规阵列雷达相比,分布式雷达阵元间距远大于半波长,通常阵元间隔几十公里甚至上百公里,然而在分布式雷达中需要各阵元同步的进行工作,需要精确的时序控制。本发明可以通过目标同步控制子卡实现各真元同步。

[0045] 传统的同步控制主要通过同轴电缆分发到各个设备,该方法控制距离较短。

[0046] 为了解决上述技术问题,如图1所示,本发明实施例一提供的一种同步控制方法,包括如下步骤:

[0047] S110、获取同步参数。

[0048] 在本实施例中,同步参数可以认为是供同步控制设备实现目标同步控制子卡与同步控制设备同步的参数。本实施例不对同步参数的内容进行限定,基于所需同步的内容确定。所需同步的内容不同可以对应有不同的同步参数。

[0049] 所述同步参数用于实现所述同步控制设备与所述目标同步控制子卡同步。同步参数所包括的内容可以为固定不变的,不受同步控制设备、同步控制子卡和目标同步控制子卡的影响。同步参数可以认为是与时间相关的参数,所述同步参数包括:

[0050] 设定频率的标准时钟源、秒脉冲和发送时间。

[0051] 在一个示例中,同步参数可以为同步控制设备内默认设置的参数,如通过设备内设定的参考时钟模式设定同步控制设备和目标同步控制子卡输出的标准时钟源的设定频率,秒脉冲和发送时间。

[0052] 在一个示例中,同步参数可以为标准系统传输的。本实施例不对标准系统进行限定,只要标准系统能够输出同步参数即可。示例性的,标准系统可以为GPS/北斗铷原子频率标准系统,GPS/北斗铷原子频率标准系统可以实现GPS/北斗卫星信号的接收并完成铷原子钟的时钟信号驯服,最终输出设定频率,如10MHz的标准时钟源、秒脉冲(PPS)、TOD信息等为同步控制系统,即同步控制设备,提供标准时间和时钟信号。

[0053] 同步控制系统接收GPS/北斗铷原子频率标准系统提供的10MHz的标准时钟源、秒脉冲(Pulse Per Second, PPS)、TOD信息等信息后,并基于10MHz的标准时钟源以及同步控制技术实现同步控制系统和目标同步控制子卡时钟信号与10MHz的标准时钟源的频率和相位同步对齐,以及秒脉冲(PPS)的恢复输出。

[0054] 目标同步控制子卡可以通过单模光纤接收同步控制系统传输的同步信号,在本地产生时钟信号、秒脉冲信号和Trigger时序控制信号。其中,同步信号包括秒脉冲、发送时间、设定频率的标准时钟源、时间差值、时钟差值、确定时间差值所需交互的信息和确定时钟差值所需交互的信息。

[0055] 其中,秒脉冲和发送时间可以用于时间同步,时间差值可以为同步控制设备和目标同步控制子卡各自运行时钟计数器的差值。时钟差值可以为同步控制设备和目标同步控制子卡各自运行时钟之间的相位差。

[0056] S120、从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡。

[0057] 同步控制设备和同步控制子卡可以通过单模光纤实现光通信。同步控制子卡的个数可以为一个或多个,本步骤可以从同步控制子卡中选取当前与同步控制设备已经连接的目标同步控制子卡。本申请中同步控制设备和同步控制子卡可以位于一个或多个机柜中。同步控制子卡与同步控制设备的连接状态可以是变化的。在实现同步时,同步控制设备可以确定当前实现同步时刻,与同步控制设备处于连接状态的目标同步控制子卡,以实现同步控制设备与目标同步控制子卡的同步。

[0058] 同步参数用于实现同步控制设备与目标同步控制子卡同步。同步的内容包括时钟同步和时间同步。其中,时钟可以为生活中常用的计时器,用于记录时间,时间信息格式可以为年月日时分秒毫秒微妙纳秒。时钟可以用来维持时间计数器。本申请为了时间精确同步,可以首先进行时间同步,然后进行时钟同步,即相位差理论上完全对齐。在实现时间的精确同步后,同步控制设备可以通过下发时序,使得目标同步控制子卡精确地同步进行工作。

[0059] 在进行同步时,同步控制设备可以确定当前与同步控制设备连接的目标同步控制子卡,此处不对确定手段进行限定,如通过检测同步接口的连接状态确定,同步接口用于实现同步控制设备和同步控制子卡的连接。本实施例可以包括至少一个同步控制子卡,每个同步控制子卡可以对应一个同步接口。通过检测每个同步接口的状态确定所对应的同步控制子卡与同步控制设备的连接状态,与同步控制设备连接的同步控制子卡可以认为是目标同步控制子卡。

[0060] 在一个实施例中,本实施例可以每个设定时长确定一次目标同步控制子卡,然后执行一次S130,即通过同步参数,同步同步控制设备和所有与同步控制设备连接的目标同步控制子卡。

[0061] S130、通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。

[0062] 在确定同步参数和目标同步控制子卡时,同步控制设备可以通过光通信基于同步参数实现目标同步控制子卡和同步控制设备的同步。

[0063] 不同的同步控制参数可以对应有不同的同步策略,此处不作限定。本步骤可以通过标准时钟源实现同步;也可以通过确定时间差值和时钟差值实现同步。

[0064] 本实施例中基于光传输的同步控制设备可以通过同步光纤,PTP和数字鉴相技术实现同步。

[0065] 图2为本发明实施例一提供的一种同步控制方法的实现示意图,如图2所示,同步控制设备通过同步光纤Sync-optical保证全网络内所有时钟都以共同的频率运行,同步光纤技术利用时钟数据嵌入和时钟恢复技术,实现同步控制设备和同步控制子卡间双向频率传输;PTP精密时钟协议PTPv2可以认为是标准化高精度网络时钟同步协议,实现同步控制设备和同步控制子卡延迟测量;数字鉴相器,如全数字双混频鉴相器(Digital Dual Mixer Time Difference,DDMTD)通过测量时钟的相位,从而提高了系统的精度,使系统同步精度达到亚纳秒级,实现同步控制设备和同步控制子卡的相位测量和跟踪锁相。其中,系统可以认为是同步控制设备。本实施例中同步控制子卡中也可以使用同步光纤,PTP和数字鉴相技术。同步光纤,PTP和数字鉴相技术可以并行执行。

[0066] 在一个实施例中,本实施例可以通过全数字双混频鉴相器(Digital Dual Mixer Time Difference,DDMTD)实现高精度相位测量,如精确测量数据恢复时钟,即同步控制设备传输的时钟,和同步控制子卡本地时钟的相位差,并对时间戳进行校正,已实现时钟同步。

[0067] 图3为本发明实施例一提供的一种数字双混频鉴相的结构示意图,参见图3,本实施例中同步控制设备可以采用全数字双混频鉴相器。其工作原理如图所示:利用外部锁环产生一个辅助时钟,该信号频率与被测信号的频率存在微小的差别($f_{PLL} = N/(N+1)f_{clk}$)。在FPGA内部使用该辅助信号分别对clkA和clkB进行采样。clkA和clkB可以分别为本地时钟和外部传输的时钟,由于采样频率非常接近被测信号的频率,所以D触发器会输出一个非常低频的信号。被测信号的相位差在混频后被放大了,因此通过测量触发器输出信号的相位差就可以计算出原信号的相位差。DDMTD双混频鉴相器由数字方法实现,具有结构简单、线性度好和动态范围大的优点。

[0068] 图4为本发明实施例一提供的一种链路延时校准场景示意图,参见图4,同步控制设备通过链路延迟校准技术确定同步控制设备与同步控制子卡间的延时,从而基于延时实现目标同步控制子卡和同步控制设备的同步。其中,同步控制设备可以为主设备,同步控制子卡可以为从设备。

[0069] 每一个主设备和从设备都有一些固定的发送和接收延迟(Δ_{TXM} 、 Δ_{RXM} 、 Δ_{TXS} 、 Δ_{RXS})。它们是SFP光模块延迟、PCB走线延迟和FPGA内部的延迟总和。其中, Δ_{TXM} 可以认为是主设备发送链路延迟, Δ_{RXM} 可以认为是主设备接收链路延迟、 Δ_{TXS} 可以认为是从设备发送链路延迟、 Δ_{RXS} 可以认为是从设备接收链路延迟。主设备可以为同步控制设备,从设备可以为目标同步控制子卡。

[0070] 另外的延迟是高速串行接口回复时钟与数据流符号对齐的延迟,这个延迟被称为bitsslide(ϵ_m 和 ϵ_s)。 ϵ_m 可以认为是主设备bit位滑动延迟, ϵ_s 可以认为是从设备bit位滑动延迟。

[0071] 除了硬件上的延迟,还有数据包在光纤中的传播延迟(δ_{ms} 和 δ_{sm}),由于使用单模光纤,同一根电缆发送和接收光的波长不一样,所以传播延迟 δ_{ms} 和 δ_{sm} 是不相等的。

[0072] 基于以上参数,主设备和从设备之间的来回链路延迟($delay_{mm}$)是所有这些延迟的总和:

[0073] $\text{delay}_{\text{mm}} = \Delta\text{TXM} + \Delta\text{RXS} + \epsilon_s + \Delta\text{TXS} + \Delta\text{RXM} + \epsilon_m + \delta_{\text{ms}} + \delta_{\text{sm}}$

[0074] $\text{bitsslide}(\epsilon_m \text{ 和 } \epsilon_s)$ 的值很容易从软件中获取。

[0075] 在同步控制设备中,需要计算主从设备的时钟偏移,而要计算这个偏移需要精确的单向链路延迟:

[0076] $\text{delay}_{\text{ms}} = \Delta\text{TXM} + \delta_{\text{ms}} + \Delta\text{RXS} + \epsilon_s$

[0077] 理论上如果主从链路完全对称那么 delay_{ms} 就是 delay_{mm} (链路总延迟)的一半,但遗憾的是实际情况中由于各种因素,主从链路并不是完全对称的。因此需要通过校正来确定链路中的固定延迟。

[0078] D触发器输出信号相位差 $\Delta\phi$ 与输入信号相位差 $\Delta\phi$ 之间关系为:

[0079]
$$\Delta\phi = \frac{\Delta\phi}{N+1} \cdot \frac{1}{f_{\text{in}}}$$

[0080] 同步控制设备中 $N=16384$, $f_{\text{in}}=62.5\text{MHz}$,其测量理论分辨率为 0.98ps 。

[0081] 图5为本发明实施例一提供的一种链路校正示意图,本实施例在进行同时时可以进行链路校正,具体的链路延迟校正方法为:光纤传输的总延迟($\delta = \delta_{\text{ms}} + \delta_{\text{sm}}$)测量需要两根长度不一样的光纤,如图5所示,主设备Master和从设备Slave间可以连接有不同长度的光纤。第一组主从设备间的光纤和第二组主从设备间的光纤传输的总延迟可以为第三组主从设备间光纤传输的总延迟。

[0082] 本发明实施例一提供的一种同步控制方法,首先获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;最后通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。利用上述技术方案,同步控制设备通过获取的同步参数有效的实现了同步控制设备与光通信的目标同步控制子卡间的同步,在实现同步的基础上保证了同步控制系统与目标同步控制子卡的远距离通信。

[0083] 在上述实施例的基础上,提出了上述实施例的变型实施例,在此需要说明的是,为了使描述简要,在变型实施例中仅描述与上述实施例的不同之处。

[0084] 在一个实施例中,通过所述同步参数,同步所述同步控制设备和目标同步控制子卡,包括:

[0085] 基于所述标准时钟源,利用同步控制技术使所述同步控制设备和所述目标同步控制子卡同步;

[0086] 传输所述秒脉冲和所述发送时间至所述目标同步控制子卡。

[0087] 在本实施例中,同步控制设备可以基于标准时钟源和同步控制技术实现同步控制设备和同步控制子卡时钟信号与标准时钟源的频率和相位同步对齐。

[0088] 此处不对同步控制技术进行限定,示例性的可以为时钟同步协议。

[0089] 本实施例还可以传输秒脉冲和发送时间至目标同步控制子卡,以同步控制子卡与同步控制设备的时间同步。在目标同步控制子卡为多个时,可以使得各同步控制子卡与同步控制设备时间同步。其中,发送时间保证目标同步控制子卡和同步控制设备间计时度量相同,如均是时分秒。目标同步控制子卡基于秒脉冲可以调节自身的时钟计数器的步进量,

即计数器每次变化时最小的数值,如每次增加一秒。秒脉冲可以供目标同步控制子卡控制目标设备。在目标同步控制子卡为多个时,各目标同步控制子卡可以将秒脉冲传输至对应的目标设备,以实现目标设备的同步。目标设备可以为目标同步控制子卡所控制的设备,如控制各目标设备时间、时钟和/或时序同步。

[0090] 目标同步控制子卡基于秒脉冲调整自身秒脉冲,基于发送时间调整自身发送时间,然后将时间差值补偿到自身时钟,以完成时间同步。

[0091] 目标同步控制子卡基于时钟差值,利用PID算法完成时钟同步。其中,PID算法是按偏差的比例(P)、积分(I)和微分(D)进行控制的算法。标准时钟源可以为同步控制设备提供一个稳定的时钟和世界协调时间UTC时间信息,以和网络上时间保持一致。在本实施例中,不限定如何基于秒脉冲和发送时间进行时间同步。如,可以通过确定时间差值和时钟差值,结合秒脉冲和发送时间实现时间的精确同步。

[0092] 在一个实施例中,通过所述同步参数,同步所述同步控制设备和目标同步控制子卡,包括:

[0093] 确定所述同步控制设备和所述目标同步控制子卡间的单向链路延迟;

[0094] 确定主时钟周期,所述主时钟周期为所述同步控制设备工作所需的时钟周期;

[0095] 将所述单向链路延迟与所述主时钟周期的商确定为时间差值;

[0096] 将所述单向链路延迟与所述主时钟周期的余数确定为时钟差值;

[0097] 向所述目标同步控制子卡传输所述时钟差值、所述时间差值、所述秒脉冲和所述发送时间,以使得所述目标同步控制子卡基于所述秒脉冲、所述发送时间和所述时间差值完成时间同步,基于所述时钟差值,利用比例积分微分PID算法完成时钟同步。

[0098] 在本实施例中同步控制设备可以通过确定时间差值和时钟差值实现同步控制设备和目标同步控制子卡的时间和时钟同步。在目标同步控制子卡为多个时,各目标同步控制子卡间也保证时间和时钟同步。

[0099] 需要注意的是,本实施例可以仅确定时间差值,实现时间同步,也可以仅确定时钟差值,实现时钟同步。主时钟可以认为是同步控制设备内各模块工作所需的时钟。主时钟周期可以认为是同步控制设备内部运行的时钟周期,可以基于主时钟计算得到。如,同步控制设备的主时钟为62.5Mhz,对应的主时钟周期为16ns。

[0100] 本实施例不限定如何确定单向链路延迟,如可以基于链路总延迟确定。如链路总延迟的一半确定为单向链路延迟;也可以基于链路总延迟和链路中固定的延时校准参数确定单向链路延迟。

[0101] 本实施例同步控制设备传输时间差值和时钟差值后,供目标同步控制子卡,基于时间差值调节时间,基于时钟差值调节时钟,以保证时间和时钟的同步。

[0102] 需要注意的是,本发明中传输秒脉冲和发送时间的时机不作限定,可以在同步控制设备和目标同步控制设备存在连接时实时发送,以同步控制设备,各目标同步控制子卡,目标设备间的同步。

[0103] 在一个示例中,本申请可以首先基于所述标准时钟源,利用同步控制技术使所述同步控制设备和所述目标同步控制子卡同步;然后确定所述同步控制设备和所述目标同步控制子卡间的单向链路延迟;确定主时钟周期,所述主时钟周期为所述同步控制设备工作所需的时钟周期;将所述单向链路延迟与所述主时钟周期的商,确定为时间差值;将所述单

向链路延迟与所述主时钟周期的余数,确定为时钟差值;向所述目标同步控制子卡传输所述时钟差值、所述时间差值、所述秒脉冲和所述发送时间,以使得所述目标同步控制子卡基于所述秒脉冲、所述发送时间和所述时间差值完成时间同步,基于所述时钟差值,利用比例积分微分PID算法完成时钟同步。在基于标准时钟源实现时钟频率相位同步时,同步控制设备可以向目标同步控制子卡传输秒脉冲和发送时间。秒脉冲和发送时间可以是在目标同步控制子卡与同步控制设备连接时实时发送的,也可以仅传输一次。在多次传输发送时间和秒脉冲时,目标同步控制子卡可以使用任一发送时间和秒脉冲,也可以使用时间戳最新的发送时间和秒脉冲,此处不作限定,可以基于实际应用场景确定。

[0104] 本实施例中,时间差值(商): $\Delta_{\text{Time}} = \text{delay}_{\text{ms}} / T_{\text{clk}}$;时钟差值(余数): $\Delta_{\text{clk}} = \text{delay}_{\text{ms}} \% T_{\text{clk}}$ 。

[0105] 其中, Δ_{Time} 为时间差值, delay_{ms} 为单向链路延迟, T_{clk} 为主时钟周期。 Δ_{clk} 为时钟差值。

[0106] 在一个实施例中,确定单向链路延迟,包括:

[0107] 确定所述同步控制设备和所述目标同步控制子卡间的链路总时延;

[0108] 根据所述链路总时延和预存的延时校准参数,确定所述单向链路延迟。

[0109] 理论上如果主从链路完全对称那么 delay_{ms} 就是 delay_{mm} 的一半,但实际情况中由于各种因素,主从链路并不是完全对称的。故本实施例可以结合延时校准参数确定单向链路延迟。其中,延时校准参数可以为同步控制设备和目标控制子卡间固定的延时参数。此处不对延时校准参数的内容进行限定可以基于实际场景确定。

[0110] 本实施例在确定单向链路延迟时具体确定手段不作限定,如可以根据链路总延迟和延时校准参数确定光纤链路延迟,然后根据光纤链路总延迟和延时校准参数确定单向链路延迟。

[0111] 示例性的,首先确定光纤链路的延迟:

[0112] $\text{delay}'_{\text{mm}} = \text{delay}_{\text{mm}} - (\epsilon_s + \epsilon_m + \Delta_{\text{TXM}} + \Delta_{\text{RXM}} + \Delta_{\text{TXS}} + \Delta_{\text{RXS}})$

[0113] 然后单向链路延迟: $\text{delay}_{\text{ms}} = \text{delay}'_{\text{mm}} / 2 + \epsilon_s + \Delta_{\text{TXM}} + \Delta_{\text{RXS}}$;

[0114] Delay_{mm} 为链路总延迟。 $\text{delay}'_{\text{mm}}$ 为光纤链路延迟。

[0115] 在一个实施例中,所述延时校准参数包括:

[0116] 所述同步控制设备发送链路延迟、所述同步控制设备接收链路延迟、所述目标同步控制子卡接收链路延迟、所述目标同步控制子卡发送链路延迟、所述同步控制设备比特位滑动延迟和所述目标同步控制子卡比特位滑动延迟。

[0117] 本实施例不对确定链路总延迟的手段进行限定,如通过同步控制设备和目标同步控制子卡间进行交互确定。如通过交互确定出测量参数,以基于测量参数确定链路总时延。测量参数可以为交互过程中所测量得到的参数。如时间戳和/或相位差等。

[0118] 在一个实施例中,所述确定所述同步控制设备和所述目标同步控制子卡间的链路总时延,包括:

[0119] 根据测量参数确定所述链路总时延,所述测量参数包括:

[0120] 所述同步控制设备发送时间戳,所述目标同步控制子卡发送时间戳,所述同步控制设备发送和接收时钟相位差,所述目标同步控制子卡发送和接收时钟相位差,主时钟周期,所述同步控制设备接收时间戳,所述目标同步控制子卡接收时间戳。

[0121] 在根据测量参数确定链路总时延时,可以通过相位差、同步控制设备时间戳和目标同步控制子卡接收时间戳分析确定链路总时延。此处不对确定手段进行具体限定。

[0122] 同步控制设备接收时间戳可以根据同步控制设备接收上升沿时间戳或同步控制设备接收下降沿时间戳确定。目标同步控制子卡接收时间戳可以根据目标同步控制子卡接收上升沿时间戳或目标同步控制子卡接收下降沿时间戳确定。

[0123] 在一个实施例中,若所述目标同步控制子卡发送和接收时钟相位差小于第一数值且所述目标同步控制子卡接收上升沿时间戳等于所述目标同步控制子卡接收下降沿时间戳;则所述目标同步控制子卡接收时间戳为所述目标同步控制子卡接收下降沿时间戳加一;否则,所述目标同步控制子卡接收时间戳为所述目标同步控制子卡接收上升沿时间戳;

[0124] 若所述同步控制设备发送和接收时钟相位差大于第二数值,且所述同步控制设备上升沿时间戳不等于所述同步控制设备下降沿时间戳,则所述同步控制设备接收时间戳为所述同步控制设备接收下降沿时间戳;否则所述同步控制设备接收时间戳为所述同步控制设备上升沿时间戳。

[0125] 第一数值和第二数值的具体数值此处不作限定,示例性的,第一数值可以为零,第二数值可以为10ns。

[0126] 图6为本发明实施例提供的一种确定链路总延迟的流程示意图,参见图6, t_1 为主设备发送时间戳, t_{2r} 为从设备接收上升沿时间戳, t_{2f} 为从设备接收下降沿时间戳, t_3 为从设备发送时间戳, t_{4r} 为主设备接收上升沿时间戳, t_{4f} 为主设备接收下降沿时间戳, $phase_{ms}$ 为主设备发送和接收时间相位差, $phase_{ms}$ 取值零度到三百六十度。 $phase_{ms}$ 取值负一百八十度到正一百八十度。 T_{clk} 为主时钟周期, $delay_{ms}$ 为链路总延迟。其中,主设备可以为同步控制设备,从设备可以为目标同步控制子卡。

[0127] 图7a为本发明实施例一提供一种时钟架构示意图,参见图7a,同步控制设备和同步控制子卡可以均采用图7a所示的时钟架构。利用该架构,可以通过时钟差值来补偿主从设备之间的时钟差。图中SI549为数控晶振,用来产生DDMTD算法所需的辅助时钟;VC-TCXO是压控的温补晶振;PLL指的是时钟产生芯片;FPGA是现场可编程门阵列;GTH是FPGA芯片自带的高速串行接口,用作光通信;DDMTD和PID是在FPGA中执行的两种算法。其原理是GTH接口恢复的时钟与本地PLL产生的时钟通过DDMTD实时测量相位差,该相位差通过PID算法模块,产生DAC的电压控制字,DAC输出电压去调节VC-TCXO晶振,实时调节本地PLL产生的时钟,从而使本地时钟与GTH的恢复时钟同频同相。

[0128] a) 图7b为本发明实施例一提供的又一种同步控制方法的流程示意图,参见图7b,将同步控制设备和同步控制子卡的电源、接口连线和光线部署连接后进行上电开机。该示例以GPS/北斗铷原子频率标准系统为同步控制设备提供标准时钟源、秒脉冲和发送时间为例。在上电后,开启GPS/北斗铷原子频率标准系统电源开关,接收GPS/北斗系统的时间频率信息,GPS/北斗铷原子频率标准系统基于接收的GPS/北斗系统的时间频率信息驯服校准铷原子钟输出10MHz的高精度、高稳定的标准时钟信号(即标准时钟源)、秒脉冲(PPS)、时间信息(TOD信息)(即发送时间)等;

[0129] 同步控制设备锁定外部输入时钟信号的频率和相位,并此作为工作参考时钟;外部输入时钟信号可以为标准时钟信号,频率可以为设定频率如10M或20M。

[0130] 同步控制设备实时检测同步接口连接状态,若检测到同步接口已连接,同步控制

设备通过光纤通讯实现与已连接的同步控制子卡间的时钟同步控制,并将秒脉冲信号转发至对应的同步控制子卡;每隔5s重复一次同步控制(实现同步系统的子节点即插即用)。同步系统包括同步控制设备和同步控制子卡。同步控制设备是主设备,同步控制子卡是从设备,时序控制,可以通过主设备同步接口连接从设备同步接口,实现时序的下发和精准控制。

[0131] 其中延时校准参数可以是预先配置在同步控制设备中的。参考时钟模式可以指示同步控制设备和目标同步控制子卡同步的频率。如目标同步控制子卡所输出的同频同相的设定频率标准时钟源。参考时钟模式还可以提供同步参数。

[0132] 同步控制设备可以每隔5s同步所有与同步控制设备连接的目标同步控制子卡,即实现同步控制系统,即同步控制设备,与子节点,即目标同步控制子卡,时间延时校准和时钟同步控制(通过时间差值和时钟差值实现),并转发秒脉冲和TOD信息。同步控制子卡输出的同频同相的20MHz标准时钟源和秒脉冲信号可以输出至目标设备。20MHz仅为示例,此处不作限定。

[0133] 基于光传输控制技术使用的以太网技术为基础,在不会额外占用带宽,兼容原以太网应用的前提下,综合运用物理层同步(即通过单模光纤实现同步控制设备与目标控制子卡间的光通信)、时间戳对准(基于时间差值实现目标同步控制子卡和同步控制设备间,各目标同步控制子卡间的时间戳对齐)、相位测量和补偿(即基于时钟差值实现时钟对齐)、延迟自动校准(实现时间和时钟对齐)等多种技术,在多达上万个节点间实现高精度频率源广播、亚纳秒时间同步。该技术具有同步精度高、兼容性好、成本低能自动校准光纤长度和环境参数引起的延迟变化的突出优点,已广泛应用于分布式网络测控、时间统一系统、工业自动化控制、分布式基站和远端射频系统、电力电网同步、自适应阵列天线、多基地雷达、室内定位、时间频率传递、高能物理、大型科学仪器与装置等多种场合。

[0134] 实施例二

[0135] 图8为本发明实施例二提供的一种同步控制装置的结构示意图,该装置可适用于进行同步控制设备与目标同步控制子卡同步的情况,其中该装置可由软件和/或硬件实现,并配置于同步控制设备上。

[0136] 如图8所示,该装置包括:

[0137] 获取模块810,用于获取同步参数所述同步参数包括:设定频率的标准时钟源、秒脉冲和发送时间;

[0138] 确定模块820,用于从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;

[0139] 同步模块830,用于通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。

[0140] 在本实施例中,该装置首先通过获取模块810获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;其次通过确定模块820从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;最后通过同步模块830通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。

[0141] 本实施例提供了一种同步控制装置,利用上述同步控制装置,同步控制设备通过获取的同步参数有效的实现了同步控制设备与光通信的目标同步控制子卡间的同步,在实现同步的基础上保证了同步控制系统与目标同步控制子卡的远距离通信。

[0142] 在一个实施例中,同步模块830通过所述同步参数,同步所述同步控制设备和目标同步控制子卡,包括:

[0143] 基于所述标准时钟源,利用同步控制技术使所述同步控制设备和所述目标同步控制子卡同步;

[0144] 传输所述秒脉冲和所述发送时间至所述目标同步控制子卡。

[0145] 在一个实施例中,同步模块830通过所述同步参数,同步所述同步控制设备和目标同步控制子卡,包括:

[0146] 确定所述同步控制设备和所述目标同步控制子卡间的单向链路延迟;

[0147] 确定主时钟周期,所述主时钟周期为所述同步控制设备工作所需的时钟周期;

[0148] 将所述单向链路延迟与所述主时钟周期的商确定为时间差值;

[0149] 将所述单向链路延迟与所述主时钟周期的余数确定为时钟差值;

[0150] 向所述目标同步控制子卡传输所述时钟差值、所述时间差值、所述秒脉冲和所述发送时间,以使得所述目标同步控制子卡基于所述秒脉冲、所述发送时间和所述时间差值完成时间同步,基于所述时钟差值,利用比例积分微分PID算法完成时钟同步。

[0151] 在一个实施例中,同步模块830确定单向链路延迟,包括:

[0152] 确定所述同步控制设备和所述目标同步控制子卡间的链路总时延;

[0153] 根据所述链路总时延和预存的延时校准参数,确定所述单向链路延迟。

[0154] 在一个实施例中,所述延时校准参数包括:

[0155] 所述同步控制设备发送链路延迟、所述同步控制设备接收链路延迟、所述目标同步控制子卡接收链路延迟、所述目标同步控制子卡发送链路延迟、所述同步控制设备比特位滑动延迟和所述目标同步控制子卡比特位滑动延迟。

[0156] 在一个实施例中,同步模块830确定所述同步控制设备和所述目标同步控制子卡间的链路总时延,包括:

[0157] 根据测量参数确定所述链路总时延,所述测量参数包括:

[0158] 所述同步控制设备发送时间戳,所述目标同步控制子卡发送时间戳,所述同步控制设备发送和接收时钟相位差,所述目标同步控制子卡发送和接收时钟相位差,主时钟周期,所述同步控制设备接收时间戳,所述目标同步控制子卡接收时间戳。

[0159] 在一个实施例中,若所述目标同步控制子卡发送和接收时钟相位差小于第一数值且所述目标同步控制子卡接收上升沿时间戳等于所述目标同步控制子卡接收下降沿时间戳;则所述目标同步控制子卡接收时间戳为所述目标同步控制子卡接收下降沿时间戳加一;否则,所述目标同步控制子卡接收时间戳为所述目标同步控制子卡接收上升沿时间戳;

[0160] 若所述同步控制设备发送和接收时钟相位差大于第二数值,且所述同步控制设备上升沿时间戳不等于所述同步控制设备下降沿时间戳,则所述同步控制设备接收时间戳为所述同步控制设备接收下降沿时间戳;否则所述同步控制设备接收时间戳为所述同步控制设备上升沿时间戳。

[0161] 上述同步控制装置可执行本发明任意实施例所提供的同步控制方法,具备执行方

法相应的功能模块和有益效果。

[0162] 实施例三

[0163] 图9为本发明实施例三提供的一种同步控制设备的结构示意图。如图9所示,本发明实施例四提供的同步控制设备包括:一个或多个处理器41和存储装置42;该同步控制设备中的处理器41可以是一个或多个,图9中以一个处理器41为例;存储装置42用于存储一个或多个程序;所述一个或多个程序被所述一个或多个处理器41执行,使得所述一个或多个处理器41实现如本发明实施例中任一项所述的同步控制方法。

[0164] 所述同步控制设备还可以包括:输入装置43和输出装置44。

[0165] 同步控制设备中的处理器41、存储装置42、输入装置43和输出装置44可以通过总线或其他方式连接,图9中以通过总线连接为例。

[0166] 该同步控制设备中的存储装置42作为一种计算机可读存储介质,可用于存储一个或多个程序,所述程序可以是软件程序、计算机可执行程序以及模块,如本发明实施例所提供同步控制方法对应的程序指令/模块(例如,附图8所示的同步控制装置中的模块,包括:获取模块810、确定模块820和同步模块830)。处理器41通过运行存储在存储装置42中的软件程序、指令以及模块,从而执行同步控制设备的各种功能应用以及数据处理,即实现上述方法实施例中同步控制方法。

[0167] 存储装置42可包括存储程序区和存储数据区,其中,存储程序区可存储操作系统、至少一个功能所需的应用程序;存储数据区可存储根据同步控制设备的使用所创建的数据等。此外,存储装置42可以包括高速随机存取存储器,还可以包括非易失性存储器,例如至少一个磁盘存储器件、闪存器件、或其他非易失性固态存储器件。在一些实例中,存储装置42可进一步包括相对于处理器41远程设置的存储器,这些远程存储器可以通过网络连接至设备。上述网络的实例包括但不限于互联网、企业内部网、局域网、移动通信网及其组合。

[0168] 输入装置43可用于接收输入的数字或字符信息,以及产生与同步控制设备的用户设置以及功能控制有关的键信号输入。输出装置44可包括显示屏等显示设备。

[0169] 并且,当上述同步控制设备所包括一个或者多个程序被所述一个或者多个处理器41执行时,程序进行如下操作:

[0170] 获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;

[0171] 从同步控制子卡中,确定与所述同步控制设备已处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;

[0172] 通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。

[0173] 实施例四

[0174] 图10为本发明实施例四提供的一种同步系统的结构示意图,同步系统包括本发明实施例所述的同步控制设备和至少一个同步控制子卡;所述同步控制设备与各所述同步控制子卡连接后进行光通信;

[0175] 所述同步控制设备用于同步与所述同步控制设备连接的目标同步控制子卡;

[0176] 所述目标同步控制子卡用于控制目标设备。

[0177] 同步控制子卡可以与同步控制设备光纤连接。在目标同步控制子卡为多个时,各目标设备间同步,如时间、时钟和/或时序同步。

[0178] 基于同轴电缆时序传输主要缺点是不能远距离传输,当控制的设备距离达几十千

米的时候,如果采用同轴电缆,信号衰减较大,需要时序产生输出大功率,且电信号在远距离传输时极易受外部干扰,因此在远距离时序控制时该方法不可行。本发明提出一种基于光传输的控制方法可以有效解决远距离时序传输问题。光通信具有传输距离长、经济节能、通信速度快、传输带宽等优点。

[0179] 光传输的控制方法实现主从设备间高精度时间同步,其能够实现数十公里范围内多节点亚纳秒精度的时钟分发,可以实现长距离多节点之间的频率锁相及纳秒级的时序同步,保证全局同步数据获取及控制过程的实现。

[0180] 图11为本发明实施例四提供的又一种同步系统的结构示意图,如图11所示,同步系统可以包括同步控制设备,即同步控制系统和至少一个同步控制子卡。各同步控制子卡的设置位置可以不同。如连接至目标设备的同步控制子卡。目标设备可以包括设备1、设备2……设备N。同步控制设备与同步控制子卡间的连接可以采用单模光纤的方式连接。同步控制子卡与目标设备间可以采用同轴电缆连接,TOD的传输可以通过485双绞线传输。GPS/北斗铷原子频率标准系统传输的秒脉冲(即1PPS)和标准时钟源(如10MHz)可以通过同轴电缆传输至同步控制设备。在同步控制子卡为多个时,部分同步控制子卡可以设置在控制中心内,以作为控制使用。控制中心可以包括GPS/北斗铷原子频率标准系统、同步控制设备和部分同步控制子卡。无线同步模块和用户设备可以根据实际应用需求设置,此处不作限定。无线同步模块可以为与目标设备相同的设备。

[0181] 实施例五

[0182] 本发明实施例五提供了一种计算机可读存储介质,其上存储有计算机程序,该程序被处理器执行时用于执行同步控制方法,该方法包括:

[0183] 获取同步参数,所述同步参数包括设定频率的标准时钟源、秒脉冲和发送时间;

[0184] 确定与所述同步控制设备处于连接状态的目标同步控制子卡,所述目标同步控制子卡为与所述同步控制设备光通信的同步控制子卡;

[0185] 通过所述同步参数,同步所述同步控制设备和目标同步控制子卡。

[0186] 可选的,该程序被处理器执行时还可以用于执行本发明任意实施例所提供的同步控制方法。

[0187] 本发明实施例的计算机存储介质,可以采用一个或多个计算机可读的介质的任意组合。计算机可读介质可以是计算机可读信号介质或者计算机可读存储介质。计算机可读存储介质例如可以是,但不限于:电、磁、光、电磁、红外线、或半导体的系统、装置或器件,或者任意以上的组合。计算机可读存储介质的更具体的例子(非穷举的列表)包括:具有一个或多个导线的电连接、便携式计算机磁盘、硬盘、随机存取存储器(Random Access Memory, RAM)、只读存储器(Read Only Memory, ROM)、可擦式可编程只读存储器(Erasable Programmable Read Only Memory, EPROM)、闪存、光纤、便携式CD-ROM、光存储器件、磁存储器件、或者上述的任意合适的组合。计算机可读存储介质可以是任何包含或存储程序的有形介质,该程序可以被指令执行系统、装置或者器件使用或者与其结合使用。

[0188] 计算机可读的信号介质可以包括在基带中或者作为载波一部分传播的数据信号,其中承载了计算机可读的程序代码。这种传播的数据信号可以采用多种形式,包括但不限于:电磁信号、光信号或上述的任意合适的组合。计算机可读的信号介质还可以是计算机可读存储介质以外的任何计算机可读介质,该计算机可读介质可以发送、传播或者传输用于

由指令执行系统、装置或者器件使用或者与其结合使用的程序。

[0189] 计算机可读介质上包含的程序代码可以用任何适当的介质传输,包括但不限于:无线、电线、光缆、无线电频率(Radio Frequency,RF)等等,或者上述的任意合适的组合。

[0190] 可以以一种或多种程序设计语言或其组合来编写用于执行本发明操作的计算机程序代码,所述程序设计语言包括面向对象的程序设计语言,诸如Java、Smalltalk、C++,还包括常规的过程式程序设计语言,诸如“C”语言或类似的设计语言。程序代码可以完全地在用户计算机上执行、部分地在用户计算机上执行、作为一个独立的软件包执行、部分在用户计算机上部分在远程计算机上执行、或者完全在远程计算机或服务器上执行。在涉及远程计算机的情形中,远程计算机可以通过任意种类的网络,包括局域网(LAN)或广域网(WAN)连接到用户计算机,或者,可以连接到外部计算机(例如利用因特网服务提供商来通过因特网连接)。

[0191] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

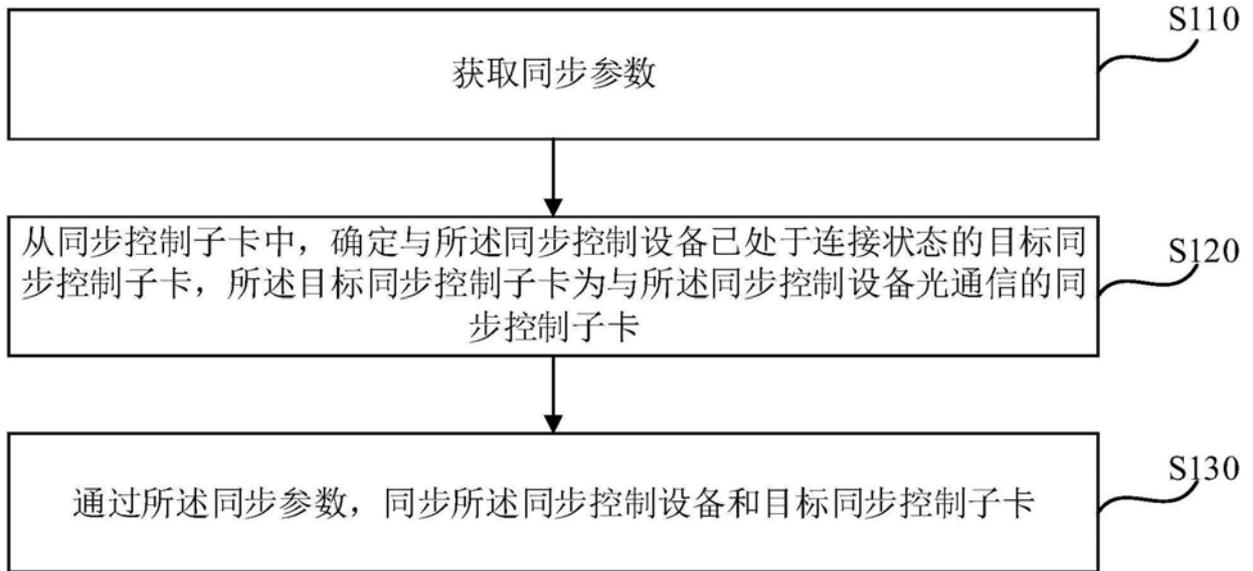


图1

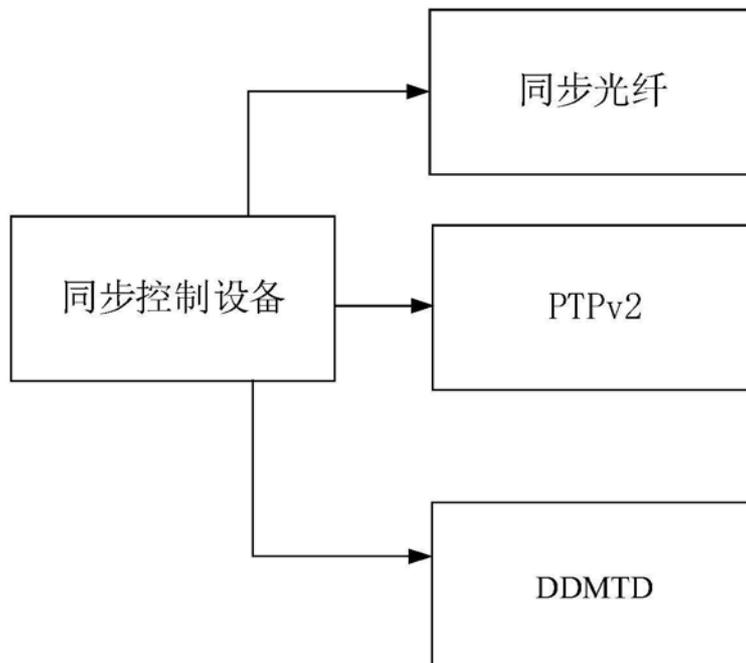


图2

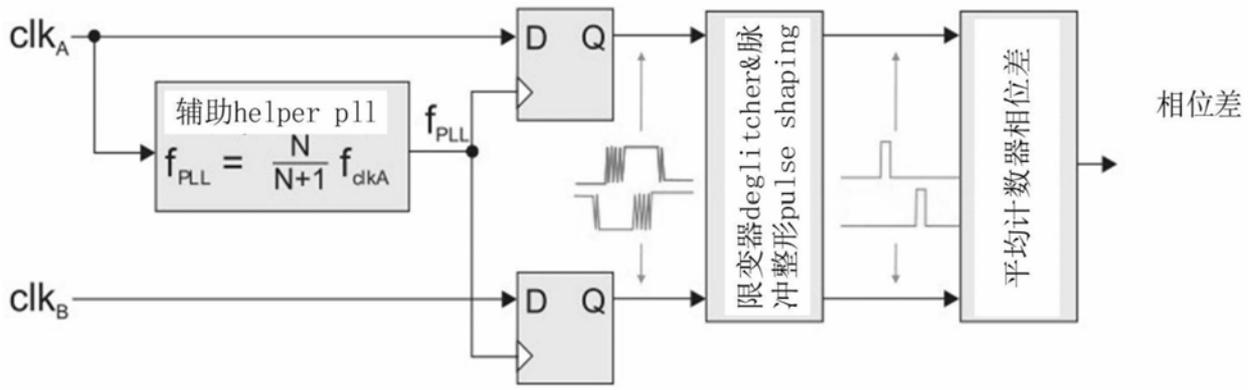


图3

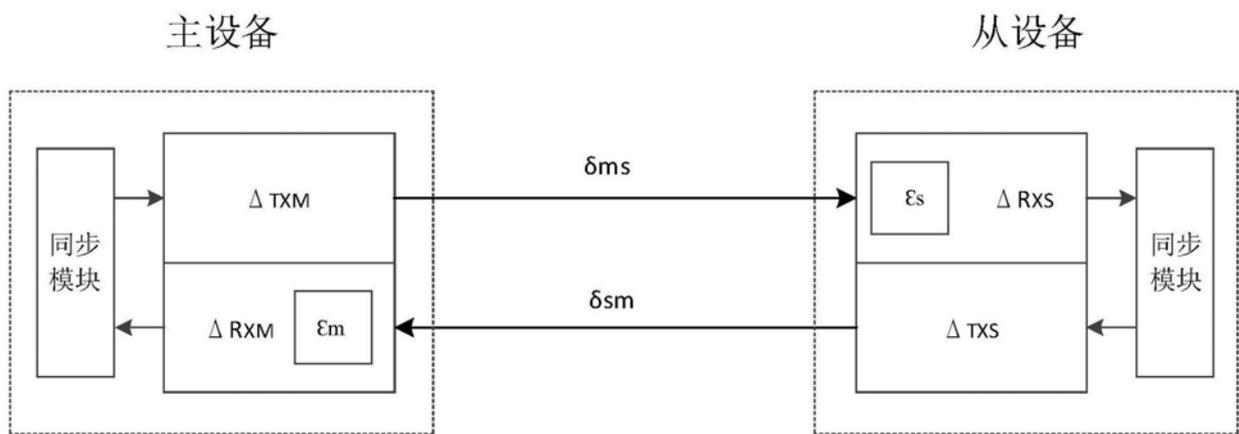


图4

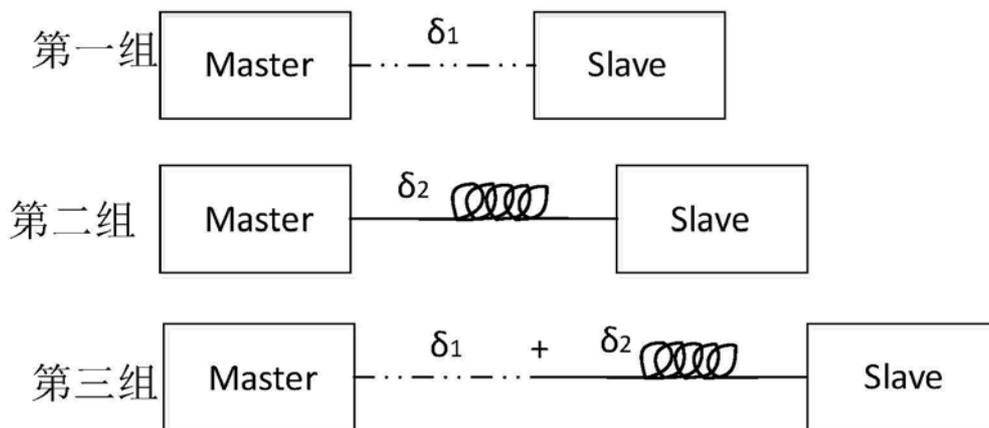


图5

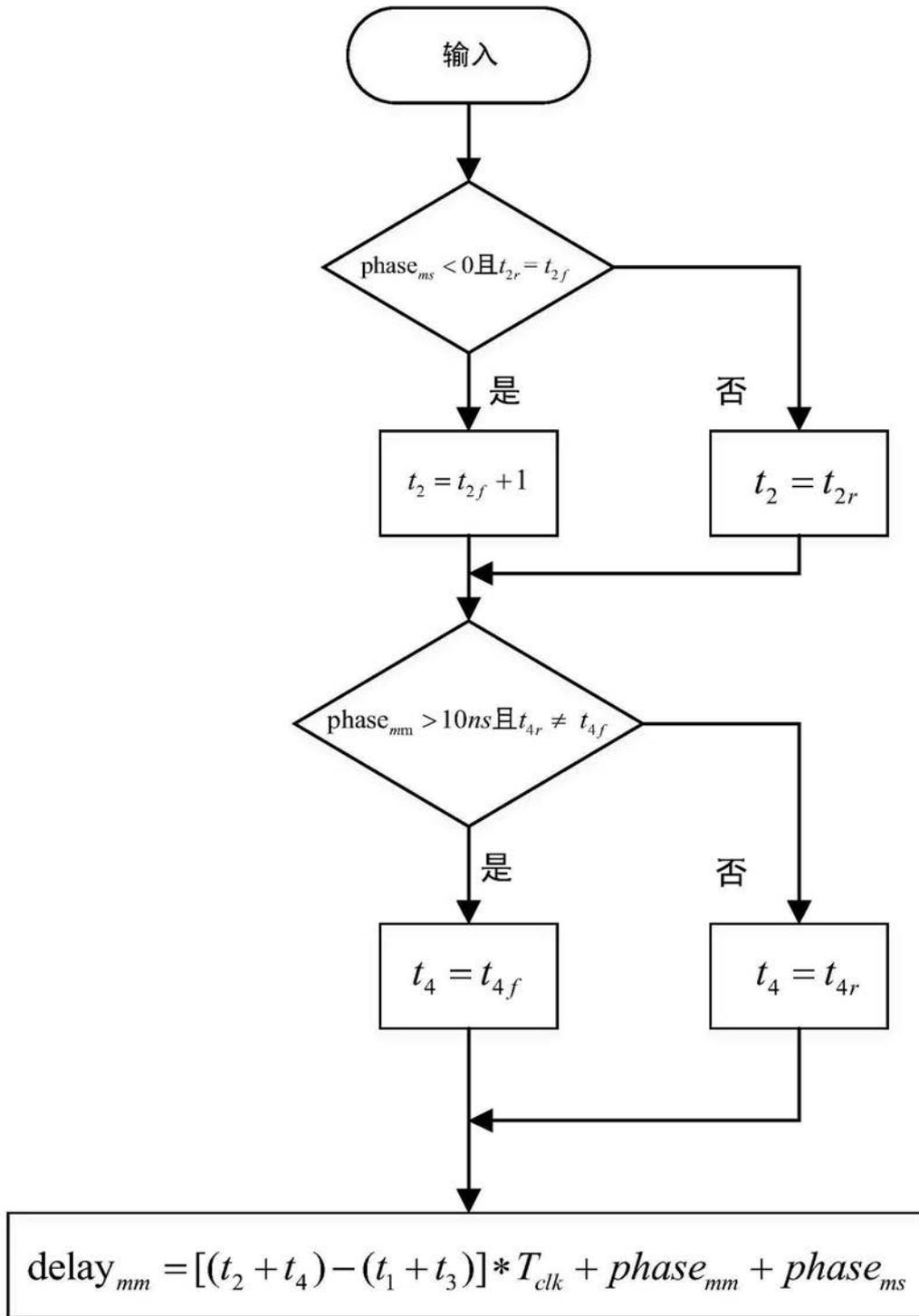


图6

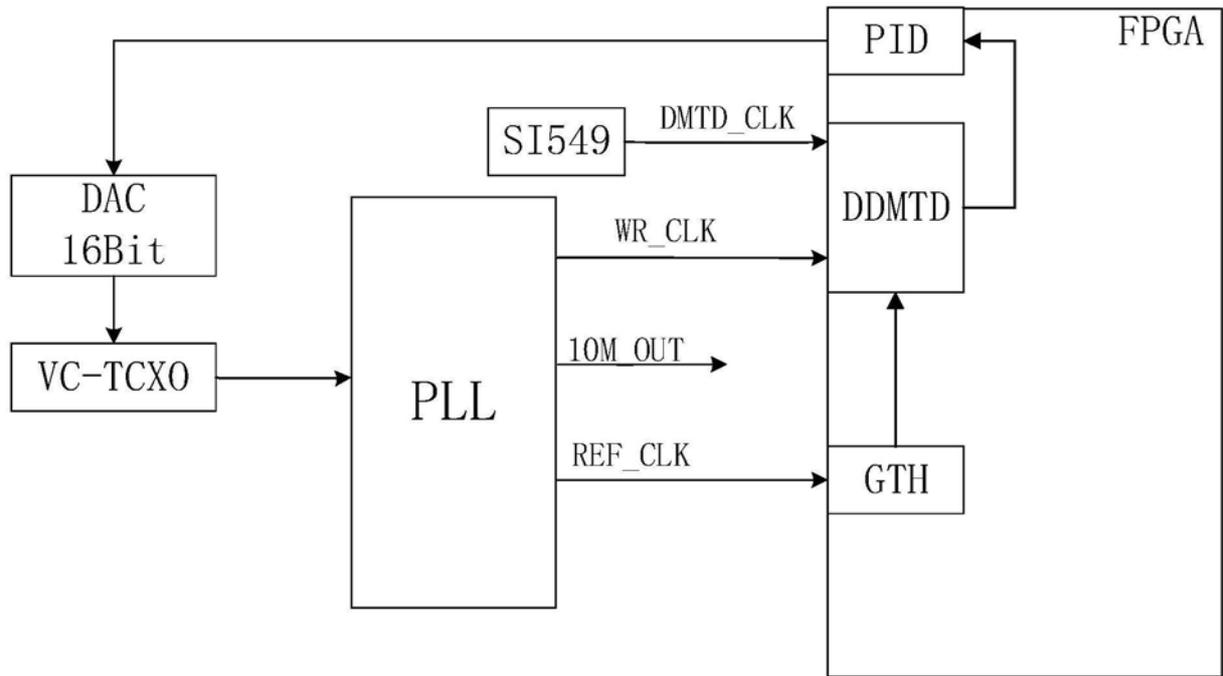


图7a

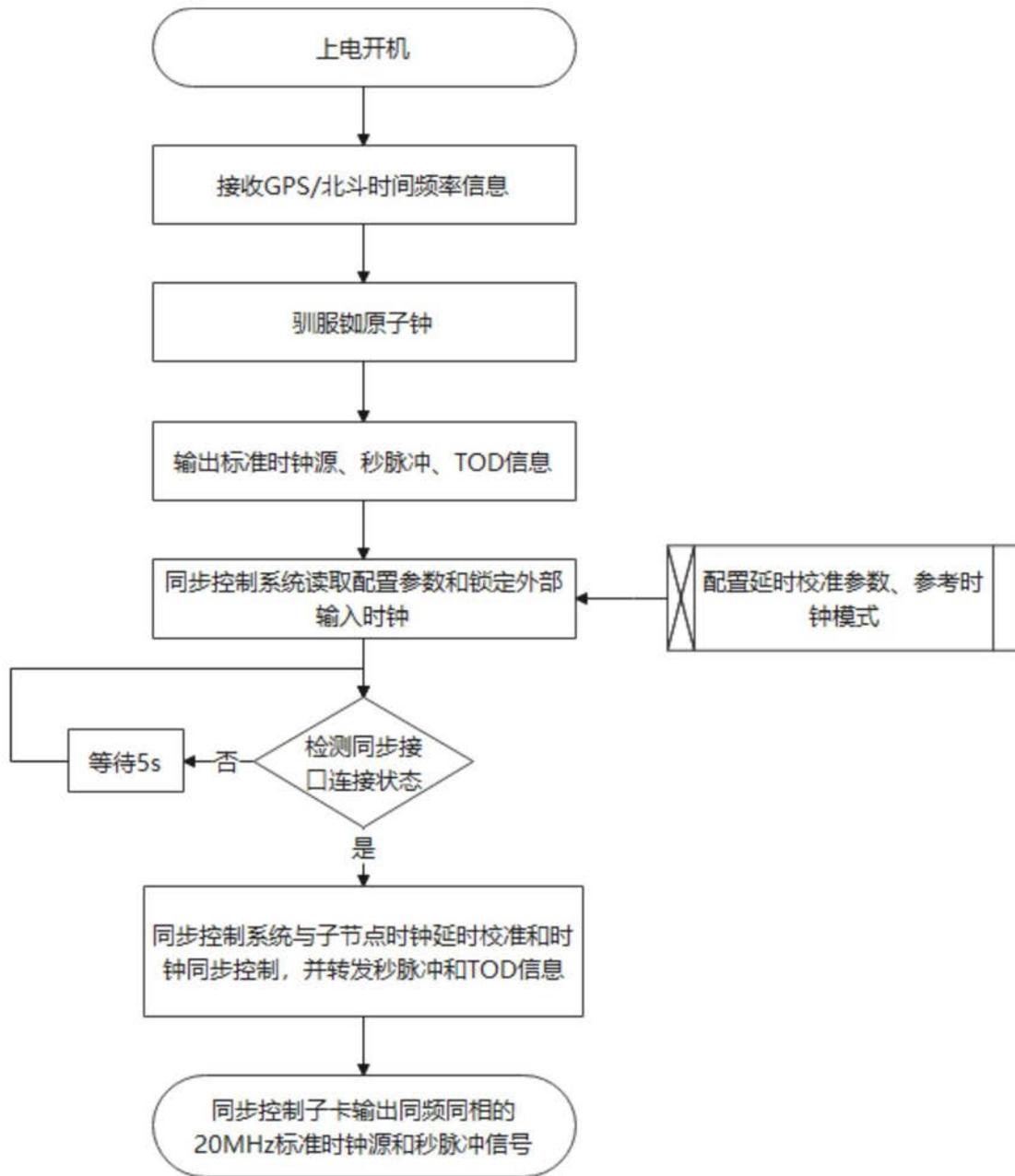


图7b

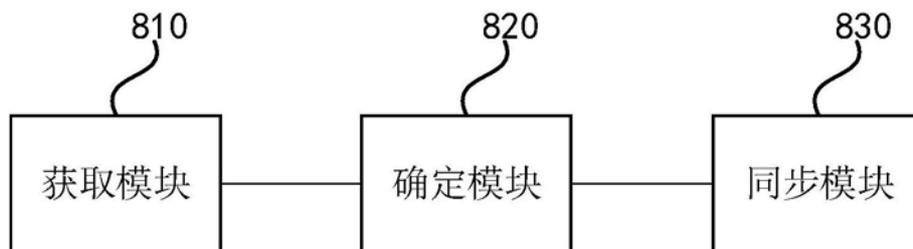


图8

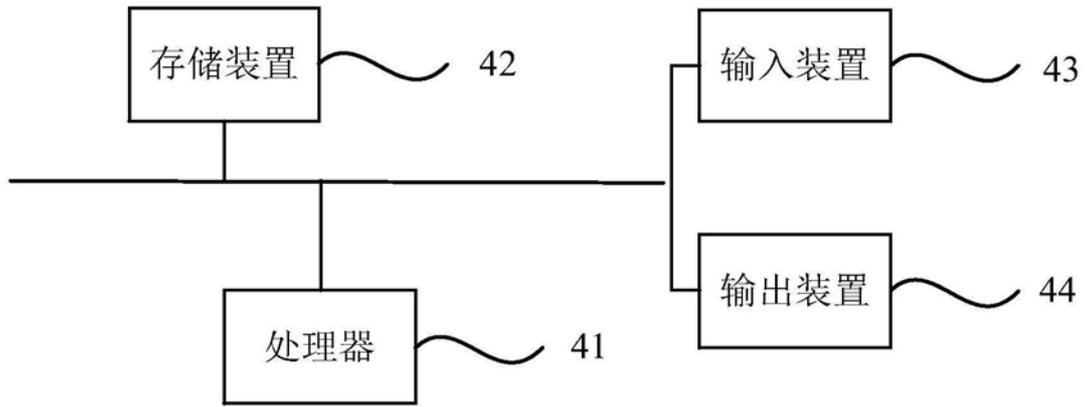


图9

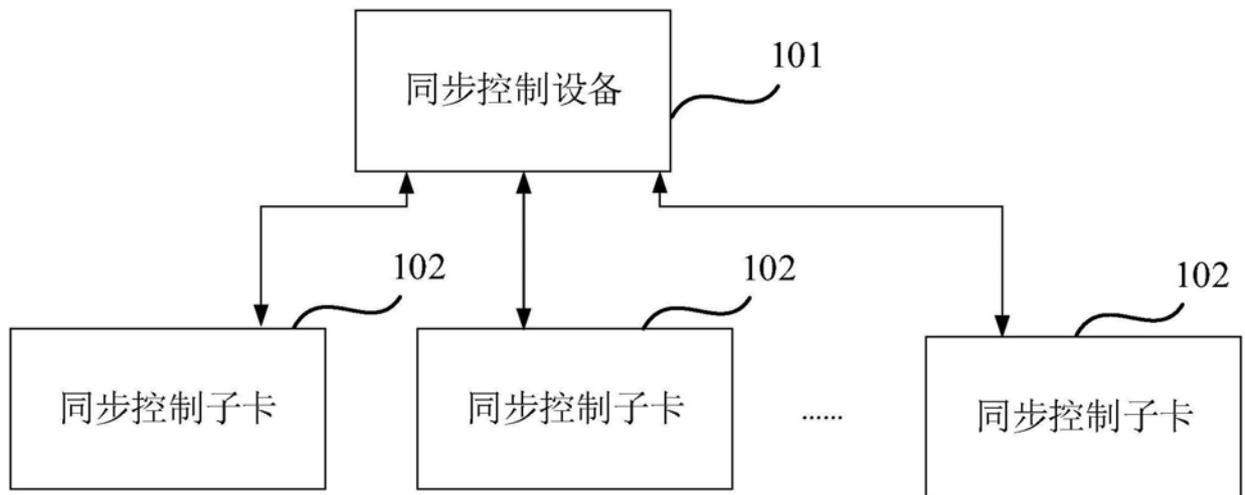


图10

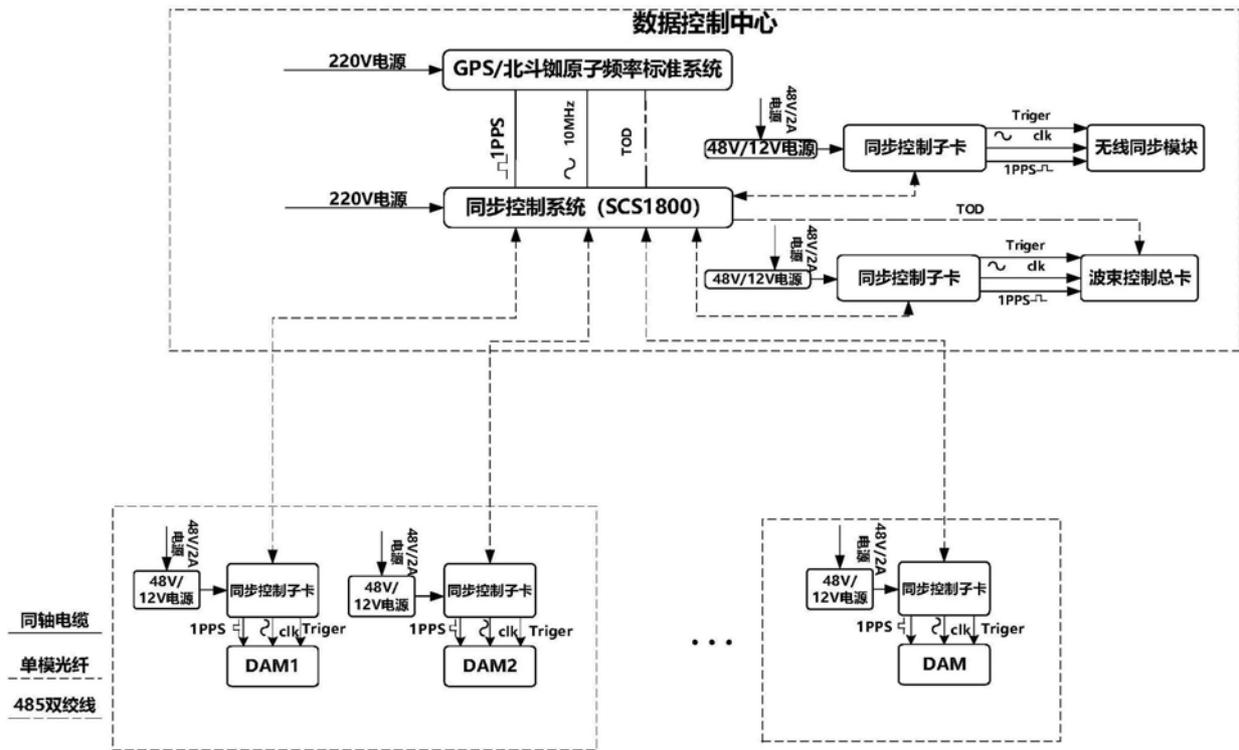


图11