



(21) 申請案號：098141859

(22) 申請日：中華民國 98 (2009) 年 12 月 07 日

(51) Int. Cl. : **H01L25/065 (2006.01)**

(71) 申請人：晶元光電股份有限公司 (中華民國) EPISTAR CORPORATION (TW)

新竹市新竹科學工業園區力行五路 5 號

(72) 發明人：陳昭興 CHEN, CHAO HSING (TW)

(56) 參考文獻：

TW 200509417A

TW 200514281A

TW 200625676A

TW 200640045A

US 20030132447A1

US 20080157097A1

審查人員：許志豪

申請專利範圍項數：34 項 圖式數：15 共 0 頁

(54) 名稱

發光二極體陣列

LIGHT EMITTING ELEMENT ARRAY

(57) 摘要

一種發光二極體陣列結構製造方法，其步驟至少包含：提供一暫時基板；依序形成複數個第一發光疊層及第二發光疊層；形成一第一絕緣層覆蓋部分第一發光疊層；形成一導線於第一絕緣層之上並與第一發光疊層及第二發光疊層電性連接；形成一第二絕緣層完全覆蓋第一發光疊層、導線及部分第二發光疊層；形成一金屬連接層於第二絕緣層之上，並與第二發光疊層電性連接；形成一導電基板於金屬連接層之上；移除暫時基板；及形成一第一電極連接第一發光疊層，使第一發光疊層與第二發光疊層形成一串聯電路結構。

A method of manufacturing a light emitting element array, including: providing a temporarily substrate, forming a plurality of first light emitting stack and a plurality of second light emitting stack sequentially, forming a first insulating layer covered partial of the first light emitting stack, forming a wire on the first insulating layer and electrically connected to the first light emitting stack and the second light emitting stack; forming a second insulating layer to fully cover the first light emitting stack, the wire and partial of the second light emitting stack, forming a metal connecting layer on the second light emitting stack and electrically connected to the second light emitting stack; forming a conductive substrate on the metal connecting layer; removing the temporarily substrate and forming a first electrode connecting to the first light emitting stack and making the first light emitting stack and the second light emitting stack a series circuit.

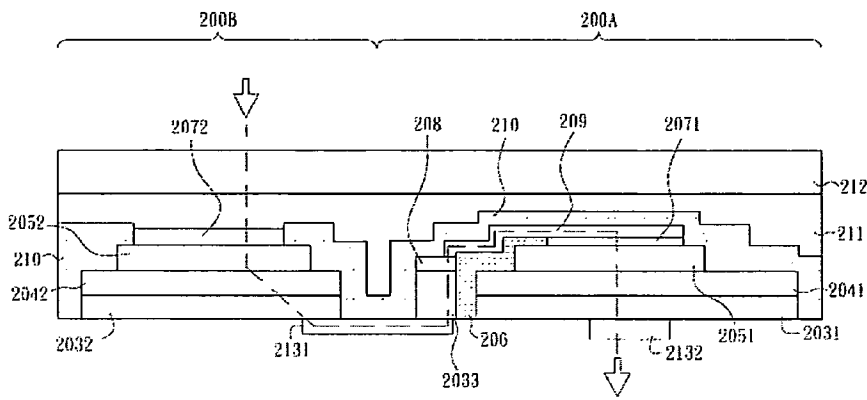


圖21

- 200A . . . 第一發光疊層
- 200B . . . 第二發光疊層
- 2031 . . . 第一 n 型半導體層
- 2032 . . . 第二 n 型半導體層
- 2033 . . . 第三 n 型半導體層
- 2041 . . . 第一主動層
- 2042 . . . 第二主動層
- 2051 . . . 第一 p 型半導體層
- 2052 . . . 第二 p 型半導體層
- 206 . . . 第一絕緣層
- 2071 . . . 第一 p 型電極
- 2072 . . . 第二 p 型電極
- 208 . . . 第一 n 型電極
- 209 . . . 導線
- 210 . . . 第二絕緣層
- 211 . . . 金屬連接層
- 212 . . . 導電基板
- 2131 . . . 第一電極
- 2132 . . . 第二電極

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98141859

※申請日：98.12.7

※IPC分類：H01L 15/065 (2006.01)

一、發明名稱：(中文/英文)

發光二極體陣列/ Light Emitting Element Array

二、中文發明摘要：

一種發光二極體陣列結構製造方法，其步驟至少包含：
提供一暫時基板；依序形成複數個第一發光疊層及第二發光疊層；形成一第一絕緣層覆蓋部分第一發光疊層；形成一導線於第一絕緣層之上並與第一發光疊層及第二發光疊層電性連接；形成一第二絕緣層完全覆蓋第一發光疊層、導線及部分第二發光疊層；形成一金屬連接層於第二絕緣層之上，並與第二發光疊層電性連接；形成一導電基板於金屬連接層之上；移除暫時基板；及形成一第一電極連接第一發光疊層，使第一發光疊層與第二發光疊層形成一串聯電路結構。

三、英文發明摘要：

A method of manufacturing a light emitting element array,

including: providing a temporarily substrate, forming a plurality of first light emitting stack and a plurality of second light emitting stack sequentially, forming a first insulating layer covered partial of the first light emitting stack, forming a wire on the first insulating layer and electrically connected to the first light emitting stack and the second light emitting stack; forming a second insulating layer to fully cover the first light emitting stack, the wire and partial of the second light emitting stack, forming a metal connecting layer on the second light emitting stack and electrically connected to the second light emitting stack; forming a conductive substrate on the metal connecting layer ; removing the temporarily substrate and forming a first electrode connecting to the first light emitting stack and making the first light emitting stack and the second light emitting stack a series circuit.

四、指定代表圖：

(一)本案指定代表圖為：第 21 圖。

(二)本代表圖之元件符號簡單說明：

200A~第一發光疊層； 200B~第二發光疊層；2031~第一 n 型半導體層； 2032~第二 n 型半導體層； 2033~第三 n 型半導體層； 2041~第一主動層； 2042~第二主動層； 2051~第一 p 型半導體層； 2052~第二 p 型半導體層； 206~第一絕緣層； 2071~第一 p 型電極； 2072~第二 p 型電極； 208~第一 n 型電極；209~導線；210~第二絕緣層； 211~金屬連接層； 212~導電基板； 2131~第一電極； 2132~第二電極；

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種發光二極體陣列結構。

【先前技術】

發光二極體(light-emitting diode; LED)的發光原理是利用電子在 n 型半導體與 p 型半導體間移動的能量差，以光的形式將能量釋放，這樣的發光原理係有別於白熾燈發熱的發光原理，因此發光二極體被稱為冷光源。此外，發光二極體具有高耐久性、壽命長、輕巧、耗電量低等優點，因此現今的照明市場對於發光二極體寄予厚望，將其視為新一代的照明工具。

傳統的陣列式發光二極體，如第 1 圖所示，包含一藍寶石基板 101、複數個發光疊層 100 形成於藍寶石基板 101 上，並可選擇性地形成一緩衝層 102 於上述藍寶石基板 101 與上述發光疊層 100 之間。上述發光疊層 100 包含一 n 型半導體層 103、一主動層 104、以及一 p 型半導體層 105。由於藍寶石基板 101 不導

電，複數個發光疊層 100 之間由經蝕刻發光疊層 100 至藍寶石基板形成的溝渠並覆蓋以絕緣層 108 做為隔離。另外再於部分蝕刻複數個發光疊層 100 至 n 型半導體層 103 後，於 n 型半導體層 103 暴露區域以及 p 型半導體層 105 上形成一第一連接電極 106 以及一第二連接電極 107。藉由導線 109 連接複數個發光疊層 100 之第一連接電極 106 及第二連接電極 107，使複數個發光疊層 100 之間形成串聯電路結構。

如第 1 圖所示的串聯電路結構就電性而言為一水平結構，且導線在基板之同一側做電性連接。其電流的橫向傳導須靠半導體層來完成，然而 p 型半導體層 105 其橫向傳導能力較差，通常可用 n 型半導體層朝上 (n side up) 之結構來解決此問題。但若要形成 n 型半導體層朝上 (n side up) 之結構，需磨除或雷射剝除藍寶石基板，使已形成之電性連接結構遭到破壞，因而造成製程上之困難。

【發明內容】

本發明擬提出一種新的發光二極體陣列結構，以解決先

前技術所產生之問題。

一種發光二極體陣列結構製造方法，其步驟至少包含：提供一暫時基板；依序交錯形成複數個第一發光疊層及第二發光疊層；形成一第一絕緣層覆蓋部分第一發光疊層；形成一導線於第一絕緣層之上並與第一發光疊層及第二發光疊層電性連接；形成一第二絕緣層完全覆蓋第一發光疊層、導線及部分第二發光疊層；形成一金屬連接層於第二絕緣層之上，並與第二發光疊層電性連接；形成一導電基板於金屬連接層之上；移除暫時基板；及形成一第一電極連接第一發光疊層，使第一發光疊層與第二發光疊層形成一串聯電路結構。

【實施方式】

本發明揭示一種發光二極體陣列結構及其製作方法。為了使本發明之敘述更加詳盡與完備，請參照下列描述並配合第 2A 圖至第 4 圖之圖示。

第 2A 圖至第 2K 圖為根據本發明第一實施例製造流程之結構示意圖。如第 2A 圖所示，包含一暫時基板 201、複數個第一發光疊層 200A 及複數個第二發光疊層 200B，其中複數

個第一發光疊層 200A 及複數個第二發光疊層 200B 依序交錯形成於暫時基板 201 上。第一發光疊層 200A 包括一形成在暫時基板 201 上之 n 型半導體層 203，一第一主動層 2041 形成在 n 型半導體層 203 之上、以及一第一 p 型半導體層 2051 形成在第一主動層 2041 之上。第二發光疊層 200B 包括一形成在暫時基板 201 上之 n 型半導體層 203，一第二主動層 2042 形成在 n 型半導體層 203 之上、以及一第二 p 型半導體層 2052 形成在第二主動層 2042 之上。此外，在 n 型半導體 203 與暫時基板 201 中也可選擇性的形成一緩衝層 202。

接著，如第 2B 圖所示，藉由蝕刻部分上述第一發光疊層 200A 及第二發光疊層 200B 至緩衝層 202 或暫時基板 201，使 n 型半導體層被區分為第一 n 型半導體層 2031、第二 n 型半導體層 2032 及一島狀之第三 n 型半導體層 2033。其中第一發光疊層 200A 包括第一 n 型半導體層 2031、第三 n 型半導體層 2033、第一主動層 2041、以及第一 p 型半導體層 2051。第二發光疊層 200B 則包括第二 n 型半導體層 2032、第二主動層 2042、以及第二 p 型半導體層 2052。

接著，如第 2C 圖所示，形成一第一絕緣層 206

覆蓋第三 n 型半導體層 2033 與第一 p 型半導體層 2051 之間的溝渠。

之後，如第 2D 圖所示，分別於第一 p 型半導體層 2051 與第二 p 型半導體層 2052 之上形成第一 p 型電極 2071 與第二 p 型電極 2072。在第三 n 型半導體 2033 上形成第一 n 型電極 208，並以導線 209 電性連接上述第一 p 型電極 2071 與第一 n 型電極 208，使得第一 p 型電極 2071 之電流可導入第一 n 型電極 208 之中。

接著，如第 2E 圖所示，形成一第二絕緣層 210 於第一發光疊層 200A 與第二發光疊層 200B 之上，其中第一發光疊層 200A 被第二絕緣層 210 覆蓋，但第二發光疊層 200B 中部份的第二 p 型電極 2072 則未被第二絕緣層 210 覆蓋。

接著，如第 2F 圖所示，提供一第一金屬連接層 211A 形成於上述第二絕緣層 210 及第二 p 型電極 2072 之上。另外提供一導電基板 212，並於其一側形成一第二金屬連接層 211B，並將第一金屬連接層 211A 與第二金屬連接層 211B 鍵合在一起。

接著，如第 2G 圖所示，翻轉晶片 (flip wafer)

並移除暫時基板 201。接下來，如第 2H 圖所示，移除緩衝層 202。

最後，如第 2I 圖所示，形成一第一電極 2131 連接上述第一發光疊層 200A 的第三 n 型半導體層 2033 及第二發光疊層 200B 的第二 n 型半導體層 2032，另外，形成一第二電極 2132 連接第一發光疊層 200A 的第一 n 型半導體層 2031。如第 2I 圖箭頭所示，電流可從第二發光疊層 200B 的第二 p 型電極 2072 流向第一電極 2131，電流再藉由第一電極 2131 流向第一發光疊層 200A 的第三 n 型半導體層 2033 後經過第一 n 型電極 208、導線 209、第一 p 型電極 2071 後流向第二電極 2132，以形成一垂直串聯發光二極體陣列結構。

此外，如第 2J 圖所示，也可以依上述製程，依序形成第二發光疊層 200B、第一發光疊層 200A、第一發光疊層 200A 及第二發光疊層 200B 之發光二極體陣列結構。在此結構中，如箭頭所示，可使電流由兩側的第二發光疊層 200B 之第二 p 型電極 2072 流向第一電極 2131，電流再藉由第一電極 2131 流向第一發光疊

層 200A 的第三 n 型半導體層 2033 後經過第一 n 型電極 208、導線 209、第一 p 型電極 2071 後流向一連接中央兩第一發光疊層 200A 之兩第一 n 型半導體層 2031 的第三電極 214，以形成一串並聯發光二極體陣列結構。電路圖如第 2K 圖所示，其中兩側之第二發光疊層 200B、第一發光疊層 200A 為串聯電路結構而兩組串聯電路結構又可依上述電流傳導方向結合為一並聯電路結構。

另外，本發明之發光二極體陣列結構也可依照設計或製程需要彈性的組合上述第一發光疊層 200A 及第二發光疊層 200B，並依電流的傳導方向形成一水平或垂直串聯或並聯電路結構，以下實施例列舉其中幾種可能的連接方式。

如第 3A 圖所示，可連續形成兩個第一發光疊層 200A，其中各層之組成與標號與第二圖相同，在此不再贅述。另外，形成一第四電極 301 連接左側第一發光疊層 200A 之第三 n 型半導體層 2033，並形成一第五電極 302 連接左側第一發光疊層 200A 之第一 n 型半導體層 2031 及右側第一發光疊層 200A 之第三 n 型半

導體層 2033。如箭頭所示，電流方向可從左側第一發光疊層 200A 之第四電極 301 流經第三 n 型半導體層 2033 後流向第一 n 型電極 208、導線 209、第一 p 型電極 2071 後，流向第五電極 302，再流入右側第一發光疊層 200A 之第三 n 型半導體層 2033 後流向其第一 n 型電極 208、導線 209、第一 p 型電極 2071 後，流向第二電極 2132，以形成一水平串聯發光二極體陣列結構。

在另一實施例中，如第 3B 圖所示，可連續形成兩個第一發光疊層 200A'，其中各層之組成與標號與第二圖相同，在此不再贅述，但在本實施例中，第一發光疊層 200A' 不需形成第三 n 型半導體層 2033 及第一 n 型電極 208。另外，形成一第四電極 301 連接左側第一發光疊層 200A' 之導線 209，並形成一第五電極 302 連接左側第一發光疊層 200A' 之第一 n 型半導體層 2031 及右側第一發光疊層 200A 之導線 209。如箭頭所示，電流方向可從左側第一發光疊層 200A 之第四電極 301 流經導線 209、第一 p 型電極 2071 後流向第五電極 302 後，再流入右側第一發光疊層 200A 之導

線 209、第一 p 型電極 2071 後流向第二電極 2132，以形成一水平串聯發光二極體陣列結構。

在另一實施例中，如第 4 圖所示，可依序形成一第一發光疊層 200A' 及一第二發光疊層 200B'。但在本實施例中，第一發光疊層 200A' 不需形成第三 n 型半導體層 2033 及第一 n 型電極 208，且在第二發光疊層 200B' 之第二 n 型半導體層之上形成一第二 n 型電極 2082。如箭頭所示，電流方向可從左側第二發光疊層 200B' 之第二 p 型電極 2072 流向第二 n 型半導體層 2032 後流向第二 n 型電極 2082，再經由導線 209 流入右側第一發光疊層 200A'、第一 p 型電極 2071 後流向第二電極 2132，以形成一垂直串聯發光二極體陣列結構。

上述各實施例中之暫時基板 201 之材料可選自藍寶石 (Sapphire)、碳化矽 (SiC)、氧化鋅 (ZnO)、氮化鎵 (GaN) 或矽、玻璃、石英、或陶瓷等高導熱基板；緩衝層 202 之材料可選自氮化鋁 (AlN)、氮化鎵 (GaN) 等與暫時基板適當匹配之材料；上述第一 n 型半導體層 2031、第二 n 型半導體層 2032、第三 n 型半導體層

2033、第一主動層 2041、第二主動層 2042、第一 p 型半導體層 2051 及第二 p 型半導體層 2052 之材料包含一種或一種以上之物質選自鎵(Ga)、鋁(Al)、銦(In)、砷(As)、磷(P)、氮(N)以及矽(Si)所構成群組。第一絕緣層 206 及第二絕緣層 210 之材料可選自氧化矽、氧化鋁、氧化鈦、等各式氧化物，或其他高分子材料、聚醯亞胺(PI)、苯并環丁烯(BCB)、過氟環丁烷(PFCB)、旋塗玻璃等各種絕緣材料均可選擇；第一 p 型電極 2071、第二 p 型電極 2072、第一 n 型電極 208、第二 n 型電極 2082、第一電極 2131、第二電極 2132、第三電極 214、第四電極 301、第五電極 302 及導線 209 之材料可選自金、鋁、合金或多層金屬結構。連接層 211 之材料可選自銀、金、鋁、或銦等其他適用於接合基板之金屬；導電基板 212 之材料可選自銅、鋁、陶瓷、或矽等導電性材料。

本發明所列舉之各實施例僅用以說明本發明，並非用以限制本發明之範圍。任何人對本發明所作之任何顯而易知之修飾或變更皆不脫離本發明之精神與範圍。

【圖式簡單說明】

根據以上所述之較佳實施例，並配合所附圖式說明，讀者當能對本發明之目的、特徵和優點有更深入的理解。但值得注意的是，為了清楚描述起見，本說明書所附之圖式並未按照比例尺加以繪示。

圖式簡單說明如下：

第 1 圖為傳統陣列式發光二極體示意圖；

第 2A 圖至第 2K 圖為本發明製造流程與結構示意圖；

第 3A 圖至第 3B 圖為本發明實施例之結構示意圖；

第 4 圖為本發明實施例之結構示意圖。

【主要元件符號說明】

100~發光疊層； 101~藍寶石基板； 102~緩衝層； 103~n 型半導體層； 104~主動層； 105~p 型半導體層； 106~第一連接電極； 107~第二連接電極； 108~絕緣層； 109~導線； 200A~第一發光疊層； 200B~第二發光疊層； 201~暫時基板； 202~緩衝層； 203~n 型半導體層； 2031~第一 n 型半導體層； 2032~第二 n 型半導體層； 2033~第三 n 型半導體層； 2041~

第一主動層； 2042~第二主動層； 2051~第一 p 型半導體層；
2052~第二 p 型半導體層； 206~第一絕緣層； 2071~第一 p
型電極； 2072~第二 p 型電極； 208~第一 n 型電極； 2082~
第二 n 型電極； 209~導線； 210~第二絕緣層； 211~金屬
連接層； 212~導電基板； 2131~第一電極； 2132~第二電
極； 214~第三電極； 301~第四電極； 302~第五電極。

七、申請專利範圍：

1. 一種發光二極體陣列結構製造方法，其步驟至少包含：
提供一暫時基板；
形成一第一發光疊層及一第二發光疊層於該暫時基板之上；
形成一第一絕緣層覆蓋部分該第一發光疊層；
形成一導線於該第一絕緣層之上並與該第一發光疊層及該第二發光疊層電性連接；
形成一第二絕緣層完全覆蓋該第一發光疊層、該導線及部分該第二發光疊層；
形成一金屬連接層於該第二絕緣層之上，並與該第二發光疊層電性連接；
形成一導電基板於該金屬連接層之上；
移除該暫時基板；及
形成一第一電極連接該第一發光疊層。
2. 如申請專利範圍第1項所述之發光二極體陣列結構製造方法，更包含提供一緩衝層形成在該暫時基板與該第一發光疊層及第二發光疊層之間。
3. 如申請專利範圍第1項所述之發光二極體陣列結構製造方法，其中該第一發光疊層包括一第一n型半導體層、一第

一 p 型半導體層、及一第一主動層形成於該第一 n 型半導體層與該第一 p 型半導體層之間；該第二發光疊層包括一第二 n 型半導體層、一第二 p 型半導體層、及一第二主動層形成於該第二 n 型半導體層與該第二 p 型半導體層之間。

4. 如申請專利範圍第 3 項所述之發光二極體陣列結構製造方法，其中該第一電極形成於該第一 n 型半導體層之上。

5. 如申請專利範圍第 3 項所述之發光二極體陣列結構製造方法，更包含一第一 n 型電極形成於該第二 n 型半導體層之上並與該導線電性連接。

6. 如申請專利範圍第 3 項所述之發光二極體陣列結構製造方法，其中該第一發光疊層更包含一第三 n 型半導體層形成於該暫時基板之上並與該導線電性連接。

7. 如申請專利範圍第 6 項所述之發光二極體陣列結構製造方法，更包含一第二電極連接該第三 n 型半導體層與該第二 n 型半導體層。

8. 如申請專利範圍第 1 項所述之發光二極體陣列結構製造方法，其中該第一絕緣層也可覆蓋部分該第二發光疊層。

9. 如申請專利範圍第 1 項所述之發光二極體陣列結構製造方法，其中該第一發光疊層與該第二發光疊層為一串聯電路

結構。

10. 一種發光二極體陣列結構製造方法，其步驟至少包含：

提供一暫時基板；

形成一第一發光疊層及一第二發光疊層於該暫時基板之上；

形成一第一絕緣層覆蓋部分該第一發光疊層及部分該第二發光疊層；

形成一第一導線在該第一絕緣層之上並覆蓋部分該第一發光疊層；

形成一第二導線在該絕緣層上並覆蓋部分該第二發光疊層；

形成一第二絕緣層完全覆蓋該第一發光疊層、該第二發光疊層、該第一導線及該第二導線；

形成一金屬連接層於該第二絕緣層之上；

形成一導電基板於該金屬連接層之上；

移除該暫時基板；及

形成一第一電極連接該第一發光疊層與第二發光疊層。

11. 如申請專利範圍第 10 項所述之發光二極體陣列結構製造方法，其中該第一發光疊層與該第二發光疊層為一串聯電路結構。

12. 如申請專利範圍第 10 項所述之發光二極體陣列結構製

造方法，更包含提供一緩衝層形成在該暫時基板與該第一發光疊層及第二發光疊層之間。

13. 如申請專利範圍第 10 項所述之發光二極體陣列結構製造方法，其中該第一發光疊層包括一第一 n 型半導體層、一第一 p 型半導體層、及一第一主動層形成於該第一 n 型半導體層與該第一 p 型半導體層之間；該第二發光疊層包括一第二 n 型半導體層、一第二 p 型半導體層、及一第二主動層形成於該第二 n 型半導體層與該第二 p 型半導體層之間。

14. 如申請專利範圍第 13 項所述之發光二極體陣列結構製造方法，更包含形成一第三 n 型半導體層形成於該暫時基板之上並與該導線電性連接及一第四 n 型半導體層形成於該暫時基板之上並與該導線電性連接。

15. 如申請專利範圍第 14 項所述之發光二極體陣列結構製造方法，其中該第一電極形成於部分該第二 n 型半導體層及部分該第三 n 型半導體層之上。

16. 如申請專利範圍第 13 項所述之發光二極體陣列結構製造方法，更包含一第二電極形成於該第二 n 型半導體層之上。

17. 如申請專利範圍第 13 項所述之發光二極體陣列結構製

造方法，更包含一第三電極形成於該第一 n 型半導體層之上。

18. 一種發光二極體陣列結構，至少包含：

一第一發光疊層及一第二發光疊層；

一第一絕緣層覆蓋部分該第一發光疊層；

一導線形成於該第一絕緣層之上並與該第一發光疊層及該第二發光疊層電性連接；

一第二絕緣層完全覆蓋該第一發光疊層、該導線及部分該第二發光疊層；

一金屬連接層覆蓋於該第二絕緣層之上，並與該第二發光疊層電性連接；

一導電基板形成於該金屬連接層之上；及

一第一電極形成於該第一發光疊層之上。

19. 如申請專利範圍第 18. 項所述之發光二極體陣列結構，其中該第一發光疊層與該第二發光疊層形成一串聯電路結構。

20. 如申請專利範圍第 18. 項所述之發光二極體陣列結構，其中該第一發光疊層包括一第一 n 型半導體層、一第一 p 型半導體層、及一第一主動層形成於該第一 n 型半導體層與

該第一 p 型半導體層之間；該第二發光疊層包括一第二 n 型半導體層、一第二 p 型半導體層、及一第二主動層形成於該第二 n 型半導體層與該第二 p 型半導體層之間。

21. 如申請專利範圍第 20 項所述之發光二極體陣列結構，其中該第一發光疊層更包含一與第一 n 型半導體層分開之島狀第三 n 型半導體層。

22. 一種發光二極體陣列結構，至少包含：

一第一發光疊層及一第二發光疊層；

一第一絕緣層覆蓋部分該第一發光疊層及部分該第二發光疊層；

一第一導線在該絕緣層上並覆蓋部分該第一發光疊層；

一第二導線在該絕緣層上並覆蓋部分該第二發光疊層；

一第二絕緣層完全覆蓋該第一發光疊層、該第二發光疊層、該第一導線及該第二導線；

一金屬連接層形成於該第二絕緣層之上；

一導電基板形成於該金屬連接層之上；及

一第一電極連接該第一發光疊層與第二發光疊層。

23. 如申請專利範圍第 22 項所述之發光二極體陣列結構，其中該第一發光疊層與該第二發光疊層為一串聯電路結構。

24. 如申請專利範圍第 22 項所述之發光二極體陣列結構，該第一發光疊層包括一第一 n 型半導體層、一第一 p 型半導體層、及一第一主動層形成於該第一 n 型半導體層與該第一 p 型半導體層之間；該第二發光疊層包括一第二 n 型半導體層、一第二 p 型半導體層、及一第二主動層形成於該第二 n 型半導體層與該第二 p 型半導體層之間。

25. 如申請專利範圍第 24 項所述之發光二極體陣列結構，其中該第一發光疊層更包含一與第一 n 型半導體層分開之島狀第三 n 型半導體層，該第二發光疊層更包含一與第三 n 型半導體層分開之島狀第四 n 型半導體層。

26. 如申請專利範圍第 25 項所述之發光二極體陣列結構，其中該第一電極形成於部分該第二 n 型半導體層及部分該第三 n 型半導體層之上。

27. 如申請專利範圍第 24 項所述之發光二極體陣列結構，更包含一第二電極形成於該第二 n 型半導體層之上。

28. 如申請專利範圍第 24 項所述之發光二極體陣列結構，更包含一第三電極形成於該第一 n 型半導體層之上。

29. 一種發光二極體陣列結構製造方法，其步驟包含：
提供一暫時基板；

形成一第一發光疊層、一第二發光疊層、一第三發光疊層及一第四發光疊層於該暫時基板之上，其中該第二發光疊層包含一第一 n 型半導體層及一第二 n 型半導體層；該第四發光疊層包含一第三 n 型半導體層及一第四 n 型半導體層；該第一發光疊層包含一第五 n 型半導體層；該第三發光疊層包含一第六 n 型半導體層；

形成第一絕緣層覆蓋部分該第二發光疊層及部分該第三發光疊層；

形成一第一導線于該第二發光疊層之上的該第一絕緣層之上並電性連接該第二發光疊層的該第二 n 型半導體層；

形成一第二導線于該第三發光疊層的該第一絕緣層之上並電性連接該第三發光疊層及該第四發光疊層的該第四 n 型半導體層；

形成一第二絕緣層完全覆蓋該第二發光疊層、該第三發光疊層、該第一導線及該第二導線並覆蓋部分該第一發光疊層及該第四發光疊層；

形成一第一電極連接該第一發光疊層的該第五 n 型半導體層及該第二發光疊層的第二 n 型半導體層；

形成一第二電極連接該第四發光疊層的第三 n 型半導體層

及該第四 n 型半導體層；及

形成一第三電極連接該第二發光疊層的第一 n 型半導體層與該第三發光疊層的第六 n 型半導體層。

30. 如權利要求 29 所述的發光二極體陣列結構製造方法，其中該第一發光疊層與該第二發光疊層為一串聯電路結構，且該第三發光疊層與該第四發光疊層為一串聯電路結構。

31. 如權利要求 30 所述的發光二極體陣列結構製造方法，其中該串聯的第一發光疊層及第二發光疊層與串聯之第三發光疊層及第四發光疊層可連接形成一並聯電路結構。

32. 一種發光二極體陣列結構，包含：

一第一發光疊層、一第二發光疊層、一第三發光疊層及一第四發光疊層，其中該第二發光疊層包含一第一 n 型半導體層及一第二 n 型半導體層，該第四發光疊層包含一第三 n 型半導體層及一第四 n 型半導體層，該第一發光疊層包含一第五 n 型半導體層；該第三發光疊層包含一第六 n 型半導體層；

一第一絕緣層覆蓋部分該第二發光疊層及部分該第三發光疊層；

一第一導線形成于該第二發光疊層之上的該第一絕緣層之

上並與該第一發光疊層電性連接；

一第二導線形成于該第三發光疊層之上的該第一絕緣層之上並與該第三發光疊層及該第四發光疊層的該第四 n 型半導體層電性連接；

一第二絕緣層完全覆蓋該第二發光疊層、該第三發光疊層、該第一導線及第二導線並覆蓋部分該第一發光疊層及該第四發光疊層；

一金屬連接層形成於該第二絕緣層之上，並與該第一發光疊層及該第四發光疊層電性連接；

一導電基板形成於該金屬連接層之上；

一第一電極連接該第一發光疊層的該第五 n 型半導體層及該第二發光疊層的該第二 n 型半導體層；

一第二電極連接該第三發光疊層的該第六 n 型半導體層及該第四發光疊層的該第四 n 型半導體層；及

一第三電極連接該第二發光疊層的第一 n 型半導體層與該第三發光疊層的該第六 n 型半導體層。

33. 如權利要求 32 所述的發光二極體陣列結構，其中該第一發光疊層與該第二發光疊層為一串聯電路結構，且該第三發光疊層與該第四發光疊層為一串聯電路結構。

34. 如權利要求 33 所述的發光二極體陣列結構，其中該串聯的第一發光疊層及第二發光疊層與串聯之第三發光疊層及第四發光疊層可連接形成一並聯電路結構。

八、圖示：

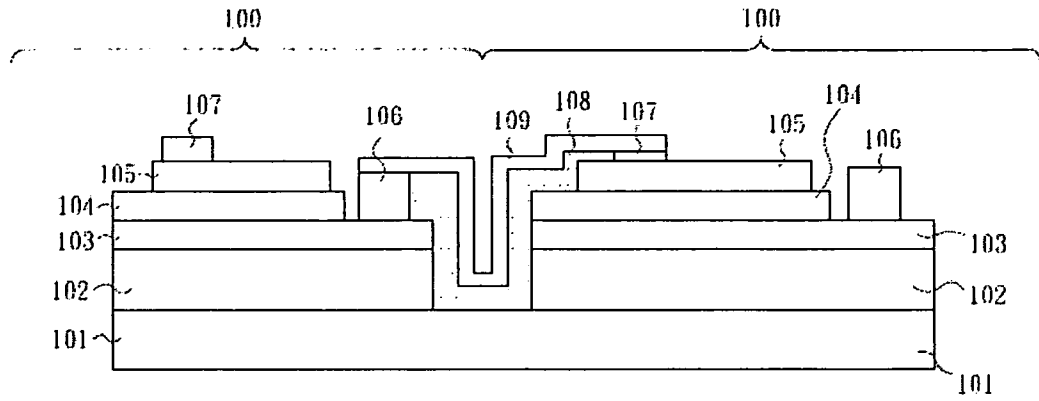


圖 1

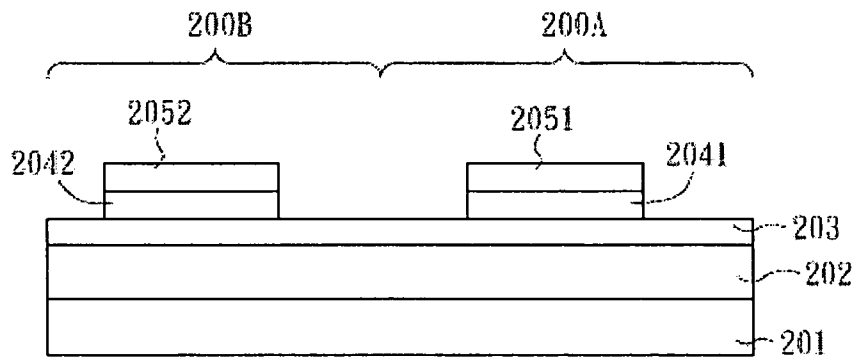


圖 2A

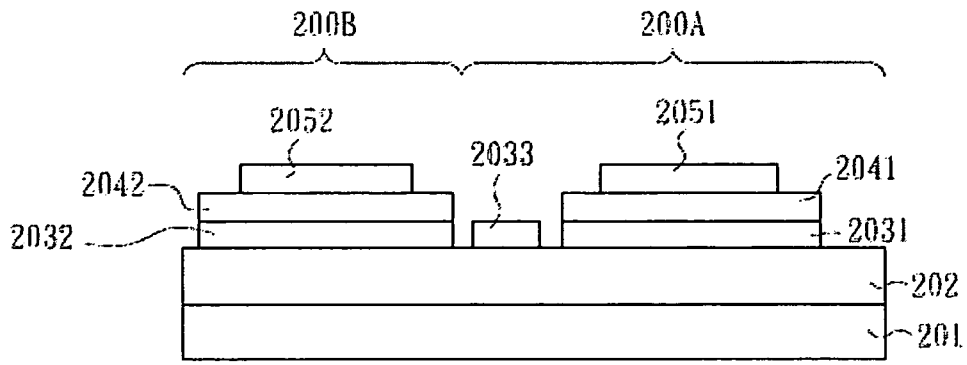


圖 2B

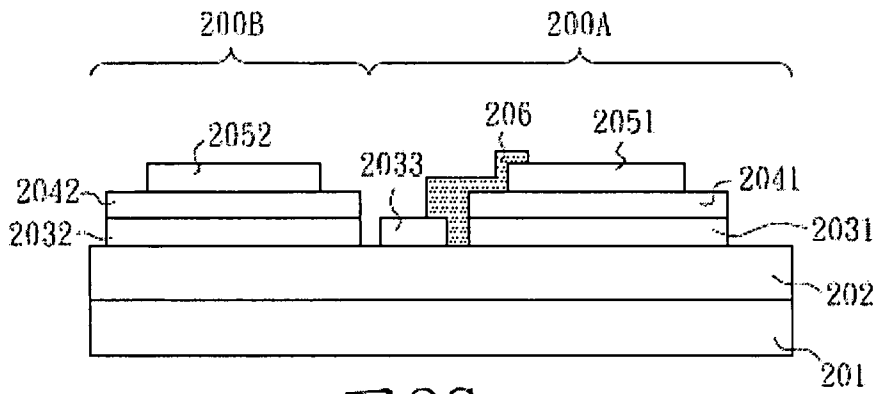


圖 2C

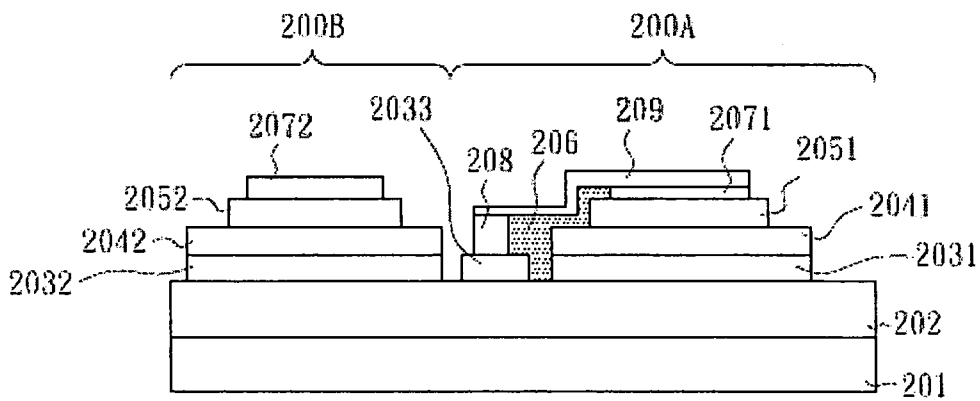


圖 2D

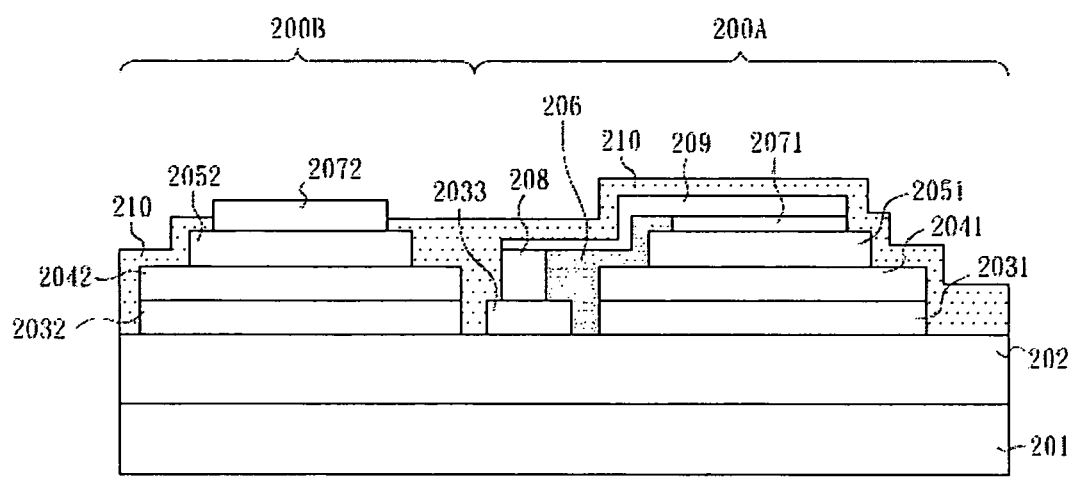


圖 2E

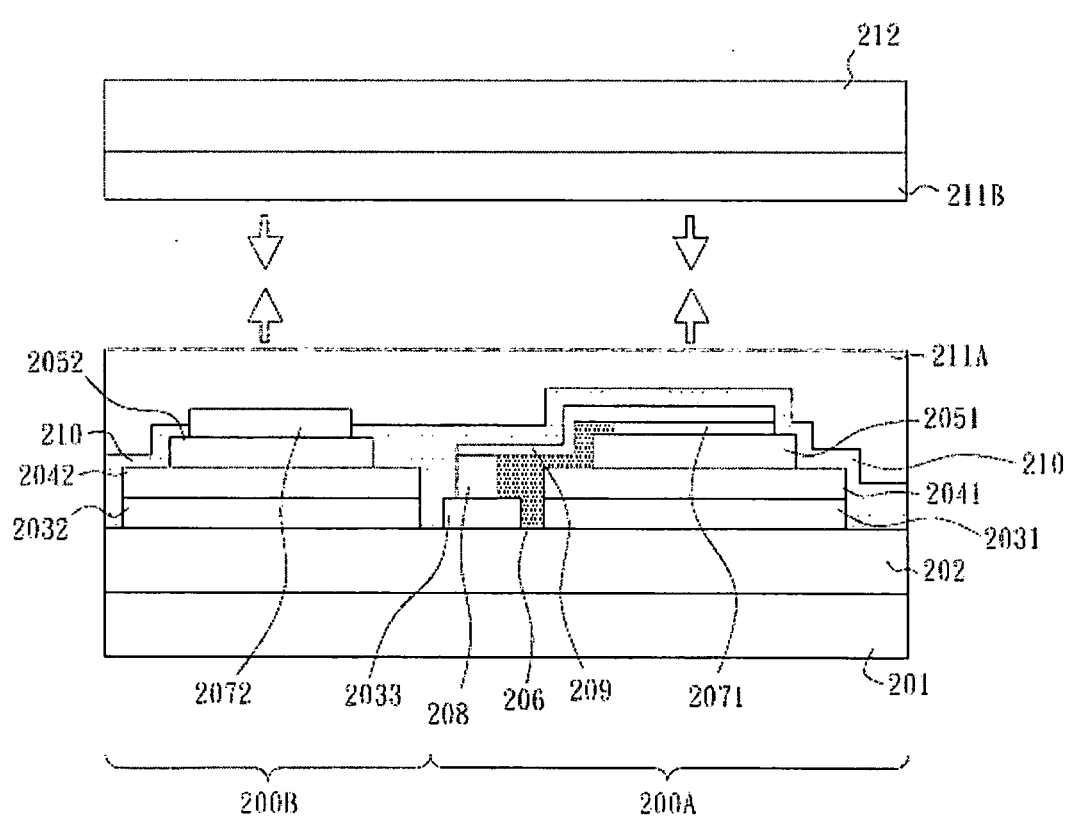


圖 2F

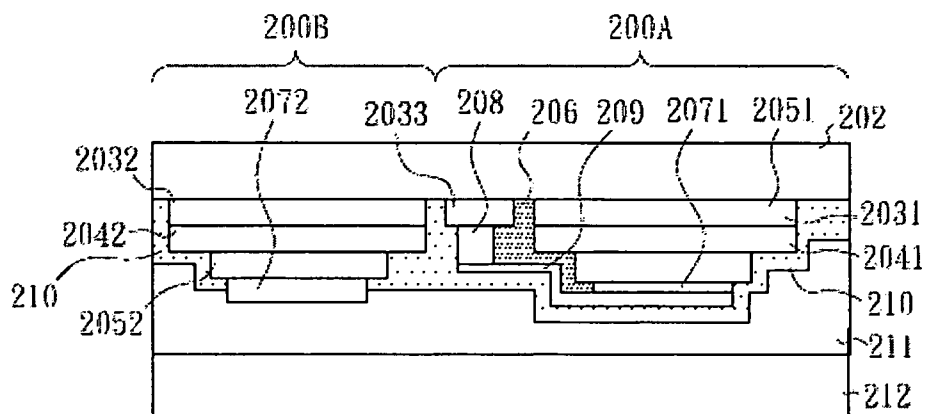


圖 2G

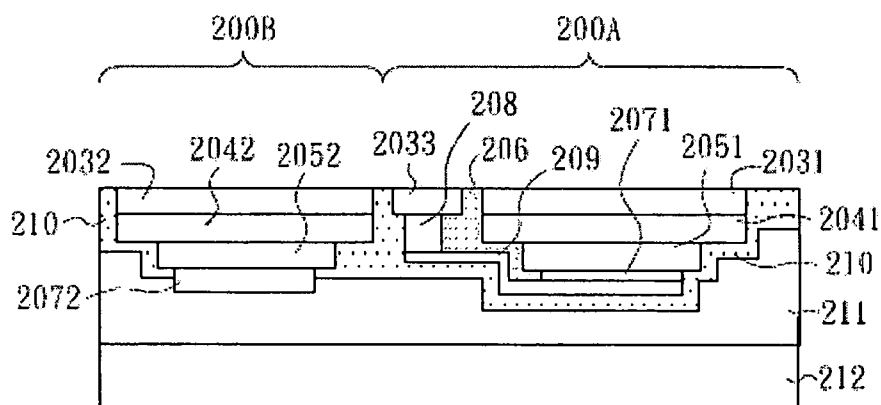


圖 2H

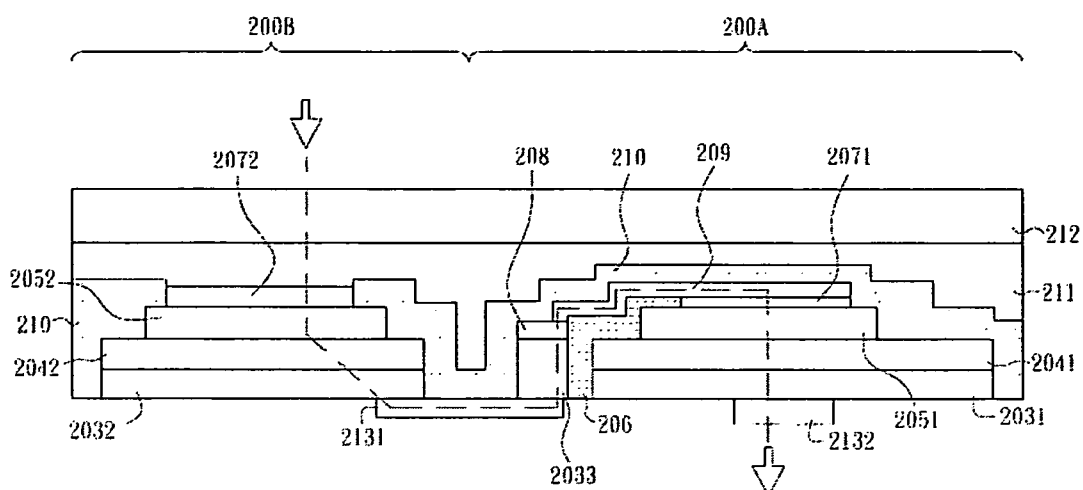


圖 2I

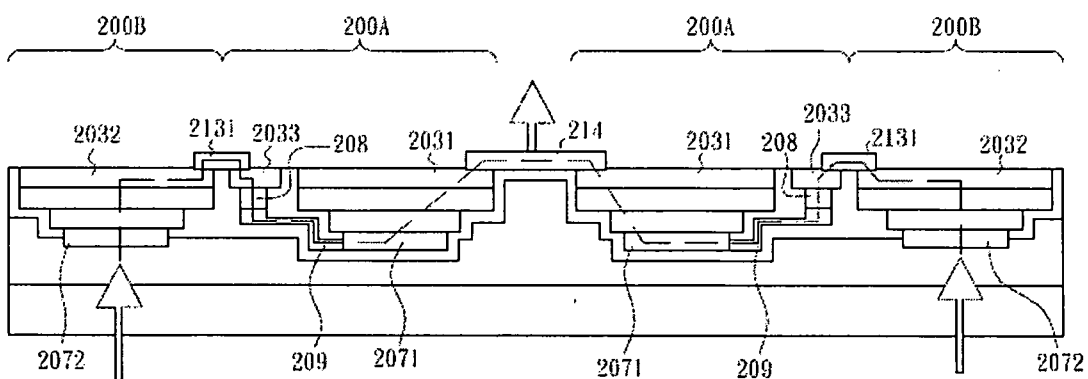


圖 2J

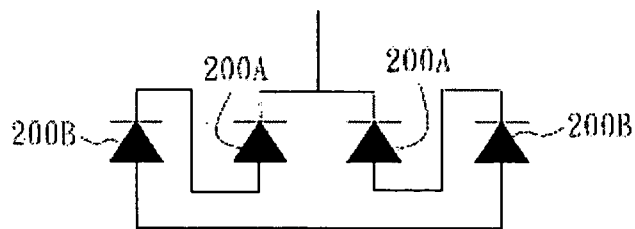


圖 2K

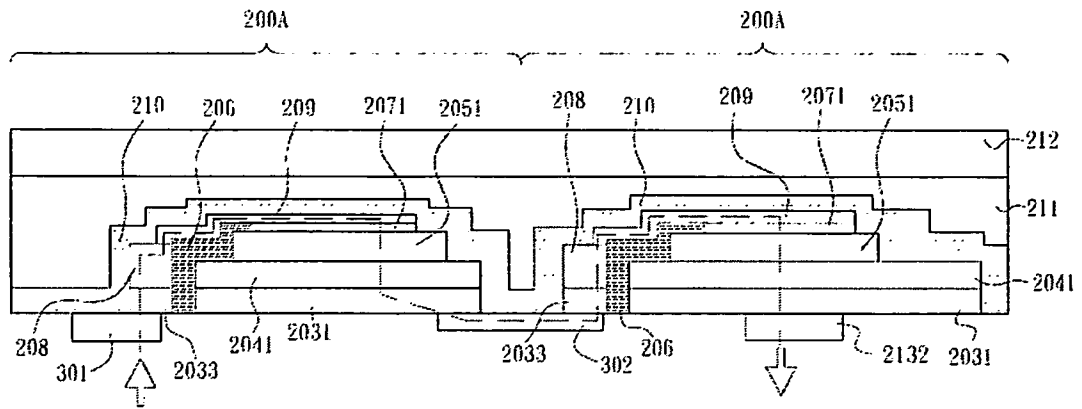


圖 3A

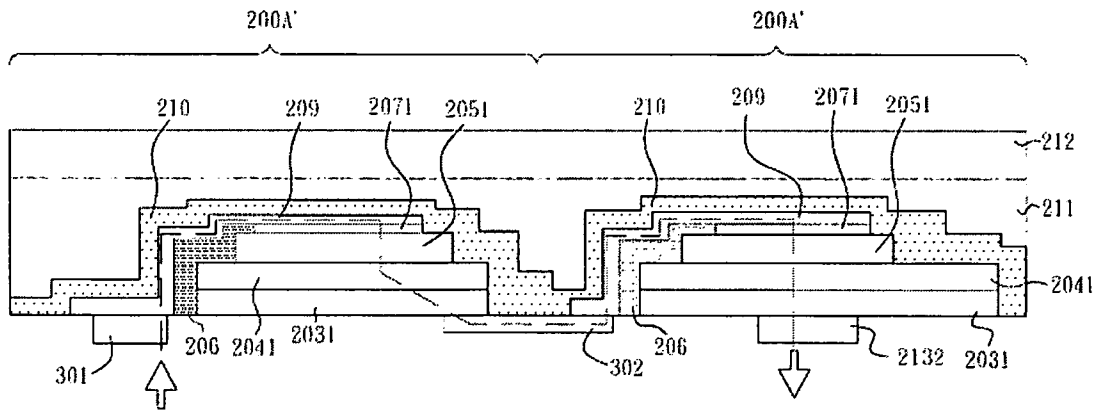


圖 3B

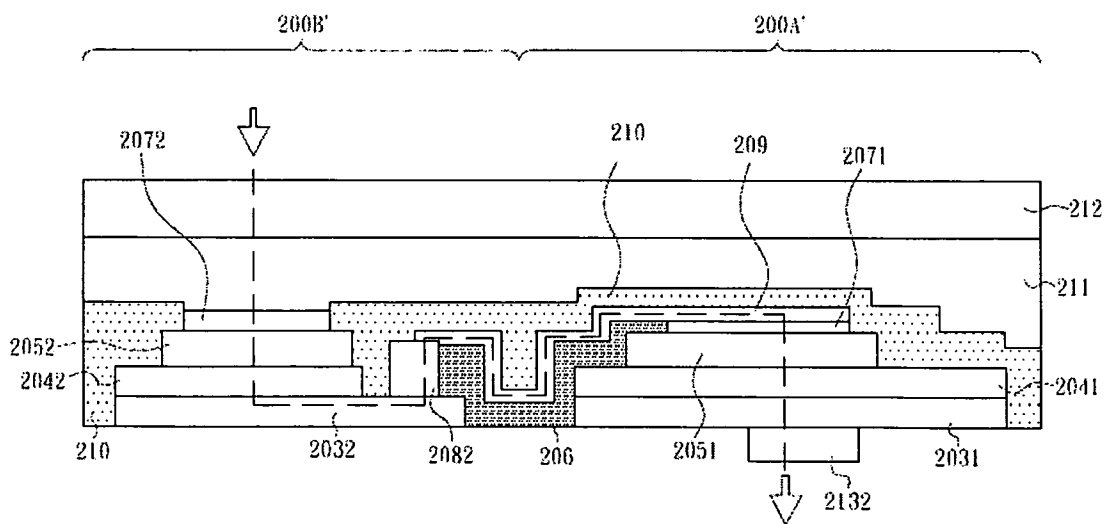


圖 4