

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04L 25/08

(45) 공고일자 2000년 12월 15일

(11) 등록번호 10-0275605

(24) 등록일자 2000년 09월 22일

(21) 출원번호	10-1997-0012553	(65) 공개번호	특 1997-0072832
(22) 출원일자	1997년 04월 04일	(43) 공개일자	1997년 11월 07일
(30) 우선권 주장	628,073 1996년 04월 04일 미국(US)		
(73) 특허권자	루센트 테크놀로지스 인코 미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)		
(72) 발명자	토마스 웨슬리 베이커 미국, 펜실베이니아 18069, 오레필드, 린디 드라이브 3728 모하매드 샤피울 모빈 미국, 펜실베이니아 18052, 화이트홀, 코너스톤 플레이스 112		
(74) 대리인	이병호, 최달용		

심사관 : 이선택

(54) 디코딩 방법 및 디코딩 장치(DECODING METHOD AND DECODING APPARATUS)

요약

해밍 브랜치 매트릭 구성 및 맨해튼 브랜치 매트릭 구성 사이의 등가성을 설정하기 위한 방법 및 장치가 나타난다. 신호 포맷 컨버터는 2진 또는 2의 보수와 같은 제 1 번호 시스템 내의 입력 신호를 제 2 번호 시스템으로 전환시키도록 제시된다. 입력 단자에서 비터비 디코더로 이행된 신호 포맷 컨버터는 신호가 2의 보수로 된 장치에서 맨해튼 매트릭 구성을 위해 설계된 비터비 디코더의 사용을 가능하게 한다. 유사하게 해밍 매트릭 구성을 위해 설계된 비터비 디코더는 신호가 표시되지 않은 2진법으로 나타나는 장치에서 이행될 수 있다. 신호 포맷 컨버터는 하드디지전 비터비 디코더 및 소프트 디지전 비터비 디코더용으로 사용될 수 있다. 소프트 디지전 비터비 디코더가 사용되는 곳에 비터비 디코더에 기초하는 맨해튼 매트릭 구성의 소프트 심벌이 축적된 코스트(cost) 차이의 절대 값의 2의 보수를 취함으로써 등가의 해밍 소프트 심벌로 전환될 수 있다. 비터비 디코더가 해밍 매트릭 구성에 기초하는 곳에서 등가의 맨해튼 소프트 심벌은 소프트 심벌이 디코드된 출력의 절대 값을 취함으로써 얻을 수 있다.

대표도

도 1

명세서

[발명의 명칭]

디코딩 방법 및 디코딩 장치

[도면의 간단한 설명]

제1도는 본 발명의 한 실시예를 도시하는 트랜시버의 일부 블록도.

제2도는 비터비 디코더의 임의의 다섯 트렐리스 경로를 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

113 : 신호 포맷 컨버터 116 : 비터비 디코더

[발명의 상세한 설명]

[발명의 목적]

[발명이 속하는 기술분야 및 그 분야의 종래기술]

본 발명은, 일반적으로는, 특정의 매트릭 계산을 채용하도록 설계된 비터비 디코더의, 그 입력에 제공되는 또는 그 출력에 요구되는, 통상은 그의 매트릭 스킴과는 호환성이 없는 기수법으로 표현되는 신호와의 호환성에 관한 것이다. 특히, 본 발명은 맨해튼 또는 해밍 매트릭 구성을 이용하는 비터비 디코더의 등가의 소프트 심벌로 디코드된 신호를 얻는 방법에 관한 것이다.

[발명이 이루고자 하는 기술적 과제]

디지털 시스템은 양자화된 데이터를 전송한다. 2진 시스템에서 양자화된 데이터는 0 또는 1로 표현된다. 디지털 신호의 전송동안 다양한 소스로부터의 잡음이 전송된 신호를 변조시키므로, 수신된 신호가 전송한 신호와 같지 않다. 잡음을 보상하고 검출을 보다 정확히 하기 위해 에러 정정 기법이 보통 이용된다.

전송된 신호를 검출하는 데 있어서 정확성을 향상시키는 한 가지 방법은, 전송에 앞서 신호를 컨벌루셔널하게(convolutionally) 인코딩하는 것이다. 소스 신호를 전송하는 대신 인코딩된 신호가 전송된다. 컨벌루셔널 인코더는 각각의 소스 신호 비트 또는 비트 세트에 대해 2진 논리 계산에 따라 소정 수의 비트를 발생시킴으로써, 소스 신호에 여분을 부가한다. 인코더에 의해 발생된 비트 수는 소스 신호로부터 인코더에 입력된 비트 수 보다 더 많다. 이어서 각각의 소스 신호를 식별하기 위한 정보가 한 비트 이상 전송된다. 따라서, 수신기는 소스 신호 비트만 전송된 경우에 제공된 것 보다, 소스 신호 비트를 정확하게 검출할 더 많은 기회를 갖는다. 컨벌루셔널 인코더의 사용은 본원에 참고자료로 참조된, Peyton Z. Peebles, Jr.에 의한 디지털 통신 시스템의 pp.87-102(Prentice Hall 1987)에 더욱 자세하게 기재되어 있다.

에러 정정 기법은 수신기 내에서 비터비 디코더로서 비터비 연산을 이용한다. 비터비 디코더는 어느 시간에 수신된 각각의 신호에 대해 소스 신호를 나타내기 위한 한정된 수의 상태가 존재한다는 것을 전제로 한다. 각각의 신호가 수신될 때, 비터비 디코더는 하나 전의 시점에서 수신된 신호를 반영하는 한정된 수의 가능한 현재의 상태에서부터 한정된 수의 가능한 다음 상태로의 변화를 추적한다. 소스 신호가 전송에 앞서 먼저 컨벌루셔널하게 인코딩되는 경우는, 비터비 디코더 구성은 현재의 상태에서 다음의 상태로의 각각의 변화에 대해 수신된 신호의 가능한 표현을 발생시킨다. 일반적으로 수신된 신호는 하나 이상의 비트를 포함하는 심벌로서 디코더에 나타난다. 수신된 심벌 세트에 대응하는 소스 신호의 크기는, 코드 속도에 종속된다. 따라서 1 비트의 소스 신호 비트가 2 비트로 전송되는 1/2 속도의 인코더의 경우 하나의 심벌 세트는 2 비트로 구성되며, 대응하는 소스 신호는 1 비트로 구성된다.

따라서, 세트로 전송된 디지털 신호들은 상태 변화의 하나 이상의 가능한 시퀀스로 나타난다. 각각의 변화는 브랜치로 불리며, 일련의 브랜치는 경로를 형성 한다. 각각의 브랜치가, 전송된 디지털 신호의 가능한 표현을 표시하므로, 특정 브랜치의 비터비 발생 신호 및 대응하는 어느 시간에서 실제로 수신된 신호 사이의 차이와 같은 에러 값이 계산될 수 있으며 평가될 수 있다. 이러한 에러는 브랜치 메트릭이라 불린다. 브랜치 메트릭은 어느 시간에서 특정 상태가 정확하게 대응하는 소스 신호를 나타내는 지의 여부를 판단하도록 사용될 수 있다. 각각의 상태의 정확성은, 그 상태에 이르기까지의 그 보다 앞선 시점에서의 상태들의 시퀀스에 종속하며, 각각의 상태는 에러, 즉, 그 상태에 이르기까지의 브랜치 메트릭의 시퀀스 합계와 동일한, 축적된 코스트 값과 관련될 수 있다. 마찬가지로, 모든 디지털 신호가 수신되어 경로가 완성된 후, 축적된 코스트는 각각의 경로와 관련될 수 있다. 가장 작은 에러를 표시하는 경로는 소스 신호 비트의 시퀀스를 나타내도록 선택된다.

비터비 디코더는 일반적으로 수신기 내에서 두 번 실행될 수 있다. 제 1 비터비 디코더는, 수신된 신호로부터 전송된 복수의 비트를 결정하도록 사용된다.

제 1 비터비 디코더는 일반적으로 이퀄라이저라 불린다. 제 2 비터비 디코더는 인코더 구성에 기초하여 전송 비트로부터 소스 신호를 결정하도록 사용된다. 제 2 비터비 디코더의 실행은 제 1 비터비 디코더가 소프트 심벌 출력을 제공하는 소프트 디시전 디코더(soft decision decoder)인 곳에서 향상된다. 앞서 설명한 비터비 디코더가 0 또는 1 소스 비트로서, 즉 하드 비트로서 각각의 수신된 심벌 세트를 해석하지만, 소프트 디시전 비터비 디코더는 그와 더불어 하드 비트의 신뢰성의 표시를 얻는다. 예컨대 0.9의 값을 갖는 수신 신호는 하드 1로 양자화된다. 0.9는 1로서 전송된 것과 같다. 이와 유사하게 0.1값은 하드 0으로서 양자화 된다. 또한 이러한 양자화가 옳다는 가능성은 높다. 그러나, 수신된 신호가 0.5일 때, 신호가 0 또는 1로서 전송됐다는 신뢰도의 레벨이 매우 낮다.

소프트 심벌 디시전을 얻는 하나의 방법은 "소프트 심벌 디코딩"이라는 제목의 미국 특허 제 5,471,500호에 기재되어 있고, 1995년 11월 28일에 Blaker에 발행 되었으며, 본 출원과 함께 양도되었다. 이러한 방법은 특정 브랜치와 관련된 디코딩된 하드 비트를 그 브랜치 메트릭과 연관시키는 처리를 포함한다. 이렇게 결함된 신호는 소프트 심벌 디코딩 신호라 불린다. 하드 비트가 단순히 가능한 대체물로부터의 가장 최선의 선택을 표시하는 한편, 브랜치 메트릭 또는 축적된 코스트의 차이는 선택된 하드 비트 및 수신된 디지털 신호 사이의 에러 정도를 표시한다. 소프트 심벌은 따라서 선택된 하드 비트의 신뢰성의 척도를 제공한다.

브랜치 메트릭을 계산하기 위한 두 일반적인 메트릭 구성은 "맨하탄(Manhattan)" 및 "해밍(Hmming)"이다. 맨하탄 메트릭 구성에서, 디지털 신호들은 통상 부호가 없는(unsigned) 2진 숫자 시스템으로 표현된다. 따라서 부호가 없는 2진수의 여덟 숫자로 표현된 논리 1은 1111 1111 로 표시된다. 마찬가지로, 논리 1은 1111 1111으로 나타낸다 어느 브랜치의 브랜치 메트릭은, 각각의 수신된 디지털 신호 및 비터비 디코더에 의해 내부적으로 계산되고, 브랜치에 대응하는 디지털 신호 사이의 절대 값 차이를 취함으로써 계산된다 맨하탄 브랜치 메트릭 구성을 위해 최소한의 에러는 극값(통상적으로는 가장 최소치)으로 표시된다.

따라서 맨하탄 브랜치 메트릭을 위해 설계된 비터비 디코더는 가장 유망한 경로, 즉 모든 가능한 경로 중 최소한의 코스트가 드는 경로로서 선택한다. 해밍 브랜치 메트릭 구성에서, 디지털 신호들은 보통 부호가 있는 보수 시스템으로 표현된다. 부호가 있는(signed) 보수에서 숫자의 부호는 최상위 숫자로 표시된다. 보통 0은 양의 값을 표시하고 1은 음의 값을 표시하지만, 그 역 또한 가능하다. 적당하게 보충된 나머지 숫자들은 크기를 나타낸다. 선두에 0을 갖는수의 크기는 그 수가 부호가 없는 2진 형태로 된 것과 같다. 예컨대 0110는 부호가 없는 2진 및 부호가 있는 보수 형태의 +6과 동일하며 여기서 0은 양의 값을 표시한다. 동일한 크기를 갖지만 두번째 숫자와 반대 부호인 수는 두 번째 숫자의 보수로서 표현된다. 예컨대 -6은 0110즉, +6의 보수로서 표현된다. 하나의 부호가 있는 보수 시스템은 모든 0을 1로 그리고 1을 0으로 바꾸는 것을 포함하는 1의 보수로서 공지된다. 따라서 1의 보수 형태의 -6은 1001로서 나타낸다. 다른 부호가 있는 보수 시스템은 2의 보수로서 공지되며 그것은 간단하게 1을 1의 보수에 부가하는 것을 필요로 한다. 따라서 2의 보수 형태의 -6은 1010으로서 나타낸다. 해밍 메트릭은 종종 2의 보수를 포함한다. 보수 시스템에서 보수의 서술 및 숫자으로써의 수학적 연산은 M.Morris Mano, Computer Engineering: Hardware Design, pp. 11-17(Prentice Hall 1988)에서 알 수 있으며, 이는 본원에 참고자료로 참조되었다.

해밍 1로 명칭된 해밍 메트릭 구성의 한 실행은, 논리 1을 양의 1로 그리고 논리 0을 음의 1로 매핑하여 2의 보수의 여덟 숫자로 표현된 논리 1은(0111 1111로 나타날 것이며 논리 0은 1000 0000으로 나타낸다.

또한 해밍 2 브랜치 메트릭 구성은 논리 0을 음의 1로 그리고 논리 0을 양의 1로 매핑하여 논리 1이 1000 0000으로 나타나게 하고 논리 0이 0111 1111로 나타나게 한다. 설명한 바와 같이 두해밍 메트릭 구성은 각각 서로의 1의 보수이다.

맨하탄 메트릭 구성에 기초한 디코더에 비해 해밍 메트릭 구성으로 설계된 비터비 디코더는 모든 가능한 경로에 관한 가장 높은 양 또는 음의 코스트와 관련된 경로를 선택할 것이다. 이러한 이유는 해밍 브랜치 메트릭의 계산으로부터 초래된다. 각각의 수신된 디지털 신호 및 비터비 디코더에 의해 내부적으로 계산된 대응하는 디지털 신호 사이의 절대 값 차이를 계산하는 대신 맨하탄 메트릭을 위해 행해진 바와 같이 해밍은 신호의 크기 표시를 고려한다. 부호가 있는 보수 시스템에서 수의 수학적 연산에 익숙한 사람이라면 해밍에서의 가장 작은 예러는 가장 큰 브랜치 메트릭에 의해 표시된다는 것을 쉽게 알 것이다.

앞서 설명한 바와 같이 맨하탄 메트릭 구성을 위해 설계된 비터비 디코더는, 통상적으로 최소한의 코스트가 관련된 경로를 선택한다. 그러나 최소한의 코스트가 관련된 경로는 디코딩될 신호가 부호가 없는 2진수일 때만 최선의 경로를 나타낸다. 이러한 시스템에서 수신된 신호가 1 값에 가까울수록 신호는 1로서 전송될 확률이 더 높다. 마찬가지로, 수신된 신호 및 가장 전송될 만한 신호 비트 사이의 차이 값은 수신된 신호 및 송신된 신호의 다른 가능한 임의의 표현 사이의 차이값 보다 더 작다. 따라서 맨하탄 메트릭 구성에 기초한 비터비 디코더는 부호가 없는 2진수의 입력 신호와 호환성이 있을 뿐이다. 이와 유사하게 소프트 디지전 비터비 디코더는 부호가 없는 2진수의 소프트 심벌 디코딩 출력을 나타낸다.

이에 비해 해밍 메트릭 구성을 위해 설계된 비터비 디코더는, 통상적으로 가장 큰 양 또는 음의 코스트가 관련된 경로를 선택한다. 가장 유망한 경로를 적합하게 선택하기 위해 비터비 디코더에 의해 수신된 신호는 반드시 부호가 있는 보수 시스템으로 되어야 하며 가장 바람직한 것은 2의 보수이다.

디지털 신호가 2의 보수로 나타나고 어떤 수, 예컨대 8로 한정될 때, 논리 1은 분리 값의 범위에 의해 표현되며, 각각의 값은 다른 정도의 신뢰성을 표시한다. 논리 0은 또한 다른 정도의 신뢰도를 나타내는 분리 값의 범위에 의해 표현된다. 논리 1을 위한 특정 정도의 신뢰성은 논리 0을 위한 동일한 정도의 신뢰성을 표시 하는 값의 2의 보수에 의해 표시된다.

예컨대 논리 1이 양의 값, 즉, 선두의 0으로 매핑되고 논리 0이 음의 값, 즉 선두의 1로 매핑되는 해밍 2의 여덟 숫자는, 가장 낮은 신뢰성을 갖는 1 및 0이 0000 0000 및 1111 1111으로 각각 표시된다. 가장 높은 신뢰성을 갖는 1 및 0은 0111 1111 및 1000 0000으로 각각 표시된다. 논리 1이 음의 값에 매핑되고 논리 0이 양의 값에 매핑되는 해밍 1을 위해 가장 낮은 신뢰성을 갖는 1 및 0이 1111 1111 및 0000 0000으로 각각 표시된다.

세심한 독자라면, 논리 1 및 0의 극단의 신뢰성 레벨을 나타내는 수들이, 실제로 서로 1의 보수이지만, 논리 1 및 0에 대한 신뢰성의 중간 레벨은 2의 보수로써 표시된다는 것을 알 수 있을 것이다.

문제는, 한 응용의 어떤 측면들, 예컨대 디코더의 이퀄라이저와 같은 측면들은 맨하탄 또는 해밍 브랜치 메트릭 구성을 이용하고, 상기 동일한 응용의 다른 측면들, 예컨대 제 2 단계 비터비 디코더와 같은 측면들은 그 나머지 브랜치 메트릭 구성을 이용하는 신호 처리 응용들에 있다.

특히, 몇몇 응용들은 2의 보수로 신호를 표현하도록 설계된다. 따라서 비터비 디코더와 같은, 하나의 메트릭을 계산해야 하거나 또는 인식하여야 하는 어떤 구성 요소는 해밍에서 반드시 그렇게 하여야 한다. 부호가 없는 2진 시스템으로 신호를 표현하도록 설계된 장치에도 마찬가지로 적용된다. 통상적으로 이러한 두 시스템은 그들의 숫자 시스템을 위해 특히 설계된 구성 요소를 필요로 한다. 즉 해밍은 제 1 시스템을 위한 것이고 맨하탄은 제 2 시스템을 위한 것이다. 이것은 두 구성 요소가 동일한 태스크에 요구되는 경우에 비효율적이다. 더욱이 맨하탄을 위해 설계된 구성 요소가 해밍을 위해 설계된 동일한 구성 요소 보다 더 나은 실행을 하거나 또는 그 역의 경우가 있을 수 있다. 따라서, 통상적으로 해밍 구성 요소를 요구하는 응용에서조차도 맨하탄 구성 요소를 사용할 수 있는 것이 바람직하다.

[발명의 구성 및 작용]

따라서 본 발명은, 어느 구성 요소의 설계로는 수신하는 것이 불가능한 제 1 숫자 시스템으로 표현된 디지털 신호를, 상기 구성 요소와 호환성 있는 제 2 숫자 시스템으로 변환시키는 방법 및 장치를 제공한다. 본 발명은 특히 구성 요소가 비터비 디코더인 경우 유용하다. 맨하탄 메트릭 구성을 위해 설계된 비터비 디코더가 부호가 있는 보수 디지털 신호를 수신하는 경우 신호의 숫자 시스템 포맷은 부호가 없는 2진수로 우선 변환되고 다음으로 디코더에 입력된다. 이와 유사하게 해밍 메트릭 구성을 위해 설계된 비터비 디코더에 나타난 부호가 없는 2진 형태의 신호는 우선 디코더에 입력되기 전에 부호가 있는 보수 형태로 변환된다.

본 발명은 또한 제 1 비터비 디코더의 소프트 심벌 출력의 제 1 숫자 시스템을, 메트릭 구성이 제 1 숫자 시스템이 아니라 제 2 숫자 시스템과 호환성 있는, 제 2 비터비 디코더에 출력된 소프트 심벌을 나타내기 전에 제 2 숫자 시스템으로 변환할 수 있게 한다. 입력 신호의 적합한 숫자 시스템 표현 및 출력 신호의 적합한 변환은 맨하탄 및 해밍 메트릭 구성 둘 다에 기초한 디코더를 위한 등가의 소프트 심벌 디코딩 출력을 제공한다. 디코더가 맨하탄 메트릭 구성을 이용할 때 부호가 없는 2진수로 된 소프트 심벌은 소프트 심벌이 디코딩된 출력의 절대 값을 취함으로써 얻어지며 반면에, 부호가 있는 보수로 된 등가의 소프트 심벌은 소프트 심벌 디코딩 출력의 절대 값을 부호가 있는 보수 시스템으로 변환함으로써 얻어진다. 디코더가 해밍 메트릭 구성을 사용하는 경우 소프트 심벌 디코딩 출력은 부호가 있는 보수로 되며 반면에 부호가 없는 2진수 시스템으로 출력된 소프트 심벌은 소프트 심벌 디코딩 출력의 절대 값을 취함으로써 얻어진다.

본 발명은 또한 한 숫자 시스템에서 다른 숫자 시스템으로 디지털 신호를 변환시키기 위한 시스템을 제공한다. 숫자 시스템이 그 메트릭 구성과 반드시 호환성 있는 경우의 비터비 디코더를 위해 시스템은 그 입력단에 비터비 디코더 및 신호 컨버터의 조합체를 구비한다. 디코더의 숫자 시스템의 출력, 특히 소프트 출력이 다른 처리를 위해 필요한 것과 다른 경우, 신호 컨버터는 디코더의 출력 단에서 또한 결합될 수 있다.

하기에 설명한 바와 같이, 본 발명은 셀룰러 텔레폰 및 기지국 사이의 지구대 위성 통신 및 디지털 셀룰러 전화 통신과 같은 통신 시스템에서의 유용한 장치를 갖는다. 도 1에서 전송기(10) 및 수신기(11)를 구비한 트랜시버가 도시된다. 수신기에서 공통으로 볼 수 있는 몇몇 구성 요소를 가진 수신기(11)가 도시된다. 최대 우도 시퀀스 추정 이퀄라이저("MLSE")(112), 디크립션(decryption) 디인터리브 및 리오더(reorder)(115) 및 비터비 디코더(116)는 모두 입력을 수신하고 부호가 없는 2진 형태의 출력을 제공하도록 설계된다. MLSE(111), 디크립션, 디인터리브 및 리오더(114), 비터비 디코더(117)는 모두 입력을 수신하고 2의 보수 형태의 출력을 제공하도록 설계된다. 비터비 디코더(116)는 또한 맨하탄 메트릭 구성을 위해 설계되며, 반면에 비터비 디코더(117)는 해밍 메트릭 구성을 위해 설계된다. 도 1에 도시된 바와 같이 신호 포맷 컨버터(113)는 부호가 없는 2진 또는 부호가 있는 보수 시스템으로 된 디지털 신호를 수신할 수 있고 디지털 신호의 숫자 시스템을 한 숫자 시스템에서 다른 숫자 시스템으로 변환시킬 수 있다. 이러한 두 시스템들, 즉 맨하탄 및 해밍 사이의 관계는 표 1에 도시되며 여기서 숫자들은 16진법으로 표현된다.

가장 확실한 0 0×00	최악의 0 0×7F	최악의 1 00×80	가장 확실한 1 0×FF 맨하탄
0×7F	0×00	0×FF	0×80 해밍 1
0×80	0×FF	0×00	0×7F 해밍 2

[표 1]

신호 포맷 컨버터(113)는 비터비 디코더의 출력단 뿐만 아니라 입력단에서 실행될 수 있다. 예컨대 맨하탄 메트릭 구성을 위해 설계된 비터비 디코더(116)에 2의 보수로 표현된 디지털 신호를 입력해야 된다면 신호 포맷 컨버터(113)는 2의 보수로 신호를 변환시키기 위한 비터비 디코더(116)로의 입력에 놓여질 수 있다. 이와 유사하게 해밍 메트릭 구성을 위해 설계된 비터비 디코더(117)로의 입력에 놓여진 신호 포맷 컨버터(113)는 비터비 디코더(117)가 부호가 없는 2진으로 된 입력 디지털 신호와 호환성 있게 한다.

비터비 디코더가 주어지면, 그 출력은 숫자 시스템에서 디코더의 메트릭 구성과 호환성 있다. 예컨대 비터비 디코더(116)에 나타날 이퀄라이저(111)의 출력이 다른 숫자 구성에서 입력을 필요로 하는 다른 구성 요소에 나타날 경우 신호 포맷 컨버터(113)는 이퀄라이저(111)의 출력 단에서의 신호를 변환시키도록 이행될 수 있다.

일반적으로 신호 포맷 컨버터(113)는 한 숫자 시스템으로 된 입력 디지털 신호를 제 2 숫자 시스템으로 변환시키도록 설계된다. 변환된 디지털 신호는 임의의 장치 및 제 1 숫자 시스템과 호환성 있는 소프트웨어 동작을 따라 통과될 수 있고 여전히 제 2 숫자 시스템과 호환성 있다.

당업자는 본 발명의 신호 포맷 컨버터가 소프트웨어 또는 하드웨어에서 이행될 수 있다는 것을 쉽게 알 수 있을 것이다. 본 발명의 신호 포맷 컨버터는 초대 규모 집적회로("VLSI") 기법을 이용한 집적 회로 상에 제조하기에 적합하다.

앞서 설명한 바와 같이 신호 포맷 컨버터(113)는 하드 디지전 비터비 디코더 및 소프트 디지전 비터비 디코더용으로 사용될 수 있다. 이러한 실행은 해밍 및 맨하탄 메트릭이 관계한다는 전제에 기초하고 이러한 관계는 2의 보수를 사용하는 수신기에서 맨하탄 메트릭 구성을 이용할 수 있도록 그리고 그 역도 성립할 수 있도록 등가성을 확립하도록 활용할 수 있다.

표 2에서 맨하탄 및 해밍 1 및 해밍 2인 두 개의 해밍 메트릭 구성 사이의 관계를 도시하며, 1/2의 컨벌루셔널 인코더 속도의 특정한 경우가 도시되고, 여기서 각각의 비트는 두 비트로서 전송된다. 따라서 네 개의 상태는 비터비 연산의 상태 공간, 즉 0,0; 0,1; 1,0; 1,1을 한정한다. 다시말해, 수신된 쌍인 r0 및 r1은 이러한 네 개의 쌍 중 하나로서 전송된다. 본 발명은 특정 코드 속도에 제한되지 않는다는 것을 당업자는 쉽게 알 수 있을 것이며 예시적인 코드 속도 1/2은 단지 설명을 위해서만 이용되었음을 알 수 있을 것이다.

각각의 수신된 신호를 위해 비터비 디코더는 각각의 현재 상태에서 다음 상태로의 각각의 가능한 천이를 위해 두 비트를 발생시킨다("디 비트(di bit)"). 각각의 발생된 디 비트를 위한 각각의 메트릭 구성에 대응하는 등식은 브랜치 메트릭 계산을 나타낸다.

	상태 발생 디비트	해밍 1 브랜치 메트릭 계산	해밍 2 브랜치 메트릭 계산	맨하탄 브랜치 메트릭 계산
c1	0,0	$r_0 + r_1$	$-r_0 - r_1$	$r_0 + r_1$
c2	0,1	$r_0 - r_1$	$-r_0 + r_1$	$r_0 + \overline{r_1}$
c3	1,0	$-r_0 + r_1$	$r_0 - r_1$	$\overline{r_0} + r_1$
c4	1,1	$-r_0 - r_1$	$r_0 + r_1$	$\overline{r_0} + \overline{r_1}$

[표 2]

표 2에 도시된 브랜치 메트릭의 계산을 도시하기 위해 $r_0 = 0110$ 및 $r_1 = 1010$ 을 고려한다. 부호가 없는 2진수의 경우 r_0 의 값은 기본 10에서 6이고 r_1 은 기본 10에서 10이다. 디 비트 0,0을 위한 맨하탄 메트릭을 계산하기 위해 각각의 비트는 우선 반드시 네 개의 숫자 2진수, 즉 0000 및 0000으로 변환되어야 한다. 각각의 발생된 비트는 다음으로 대응하는 수신 심버에서 공제된다. 따라서 r_0 마이너스 0는 0와 같다. 유사하게 r_1 마이너스 0는 r_1 과 동일하다. 그러므로 표 2에 반영된 바와 같이 디 비트 0,0에 대응하는 맨하탄 브랜치 메트릭은 $r_0 + r_1$ 이다.

열 c2에서 제 2 발생 비트가 1인 경우 1111으로서 표현되고 맨하탄 메트릭 $r_1 - 1$ 은 다음과 같다. 공제

$$\begin{array}{r} \underline{1010} \\ 1111 \\ \hline \end{array} \quad \approx \quad \begin{array}{r} 1010 \\ \underline{0001} \\ 1011 \end{array}$$

는 1을 그 2의 보수, 즉 $\overline{r_1}$ 으로 대체함으로써 추가적인 연산으로 변환될 수 있다. 메트릭은 합계 1011의 2의 보수와 동일하며 그것은 0101이다. 0101은 또한 r_1 의 1의 보수이다. 1의 보수는 단순히 모든 0을 1로 변환하고 모든 1을 0으로 변환함으로써 얻어진다. r_1 의 1

$$\overline{r_1}$$

의 보수는 r_1 (즉, $\overline{r_1}$)을 통과하는 라인으로서 도시된다.

설명된 바와 같이 맨하탄 메트릭은 수신된 심벌 세트 및 발생된 비트 사이의 차이를 포함한다. 이와 대조적으로 해밍 메트릭은 수신 심벌 세트를 그 대응하는 발생 비트와 승산 함으로써 도달하는 확률을 포함한다. 해밍 메트릭 구성에서 0 및 1이 양 및 음의 값으로 매핑되는 것을 상기하자. 그러므로 해밍 1을 위해 표 2에 도시된 바와 같이, 여기서 0은 양의 값으로 매핑되고, 0으로 곱해진 r_0 및 r_1 은 각각 r_0 및 r_1 과 동일하다. 1로 곱해진 r_0 및 r_1 은 $-r_0$ 및 $-r_1$ 과 각각 동일하다.

이와 유사하게 해밍 2에 대해서 발생 비트는 그 대응하는 수신 심벌만큼 곱해진다. 0이 음의 값으로 매핑되므로 0으로 곱해진 r_0 및 r_1 은 $-r_0$ 및 $-r_1$ 과 각각 동일하다. 1만큼 곱해진 r_0 및 r_1 은 r_0 및 r_1 과 각각 동일하다.

다른 메트릭 구성을 위해 브랜치 메트릭 계산을 거쳤으므로 임의의 두 상태 사이의 메트릭 차이를 취함으로써 이러한 세 구성에 대해 메트릭을 더욱 상호 관련 시킬 수 있다. 표 3에서 두 상태 사이의 메트릭 차이의 절대 값은 각각의 세 메트릭에 대해 동일하다. 제 1 및 제 2숫자사이의 공제 연산은 제 2숫자를 그

$$\overline{r_1}$$

보수로 대체함으로써 덧셈 연산으로 바뀔 수 있다. 따라서 $r_1 - \overline{r_1}$ 은 $r_1 + r_1$ 과 동일하며 그것은 $2r_1$ 과 동일하다.

두 상태 사이의 메트릭 차이	해밍 브랜치 메트릭 계산(매핑 1)	해밍 브랜치 메트릭 계산(매핑 2)	맨하탄 브랜치 메트릭 차이
c1-c2	$2r_1$	$-2r_1$	$r_1 - \overline{r_1}$
c1-c3	$2r_0$	$-2r_0$	$r_0 + \overline{r_0}$
c1-c4	$2r_0 + 2r_1$	$-2r_0 - 2r_1$	$(r_0 - \overline{r_0}) + (r_1 - \overline{r_1})$
c2-c3	$2r_0 - 2r_1$	$-2r_0 + 2r_1$	$(r_0 - \overline{r_0}) - (r_1 - \overline{r_1})$
c2-c4	$2r_0$	$-2r_0$	$r_0 - \overline{r_0}$
c3-c4	$2r_1$	$-2r_1$	$r_1 - \overline{r_1}$

[표 3]

소프트 디시전 비터비 디코더는 그 소프트 심벌 출력에 대해 다른 축적 코스트 차이, 즉 두 경로 사이의 차이를 이용한다. 따라서 비터비 입력 단에서 적합한 숫자 시스템을 이용하고 디코더 출력의 절대 값을 취함으로써 디코더의 매트릭 구성 및 수신 신호의 최초 숫자 시스템과 상관없이 유효한 소프트 심벌 디코딩 출력을 얻기 위해 본 발명을 이용할 수 있다. 디코더가 맨하탄 매트릭을 사용하도록 설계된 경우 비터비 디코더 출력은 부호가 없는 2진수로 된다. 장래의 처리를 위해 해밍 매트릭이 필요로 하는 경우 소프트 심벌 디코딩 출력의 절대 값은 2의 보수의 형태 또는 본 발명의 신호 포맷 컨버터로써 임의의 부호가 있는 보수로 간단하게 변환 될 수 있다

이와 유사하게, 비터비 디코더의 소프트 심벌 디코딩 출력이 해밍을 위해 설계되는 경우 수신 심벌의 숫자 시스템과 상관없이 부호가 있는 보수 시스템으로 된다. 장래의 처리를 위해 부호가 없는 숫자 시스템이 필요하다면, 본 발명의 신호 포맷 컨버터는 단순하게 소프트 심벌을 부호가 없는 신호 시스템으로 변환시킬 수 있다. 둘 다의 경우 소프트 심벌은 정확하게 디코딩 신호의 신뢰성을 반영한다.

도 2에서 설명을 위해 다섯 개의 다른 트렐리스 경로가 도시되며, 표 4의 공식에 따른 디 비트를 내부적으로 발생시키는 비터비 디코더의 상태 변천을 재 표현한다.

변천	디 비트
0,0 6 0,0	0,0
0,0 6 1,0	1,1
0,1 6 0,0	0,1
0,1 6 1,0	1,0
1,0 6 0,1	1,1
1,0 6 1,1	0,0
1,1 6 0,1	1,0
1,1 6 1,1	0,1

[표 4]

변천 및 디 비트 사이의 관계는 컨벌루셔널 인코더 구성에 기초한다. 이러한 예시에서 각각의 단일 소스 비트를 위해 전송된 두 개의 비트를 위한 산출 다항식은 $g(0) = 1 + D^1$ 및 $g(1) = 1 + D^1 + D^2$ 이다.

시점									
맨하탄에 대	0X00,	0X00,	0X00,	0X00,	0X00,	0X00,	0X40,	0XFF,	0X00,
해 수신	0XFF	0X40	0X7F						
해밍 1에 대	0X7F,	0X7F,	0X7F,	0X7F,	0X7F,	0X7F,	0X3F,	0X80,	0X7F,
해 수신	0X80	0X3F	0X80						
해밍 2에 대	0X80,	0X80,	0X80,	0X80,	0X80,	0X80,	0XC0,	0X7F,	0X80,
해 수신	0X7F	0XC0	0X7F						

[표 5]

이러한 예시에서 수신 신호는 표 5에 도시된 값을 갖는다. 값들은 여덟 숫자의 일렬을 피하도록 16진법으로 기록된다. 각각의 변천 및 각각의 상태에서의 축적된 코스트에 대한 브랜치 매트릭은 각각의 경로에 대해 표 6,7,8에 각각 맨하탄, 해밍1, 해밍 2로 도시된다.

맨하탄									
경로 1	0	0	0	0	0	0	64	64	0
누적 1	0	0	0	0	0	0	64	128	128
경로 2	255	255	255	255	255	255	x	x	x
누적 2	255	510	765	1020	1275	1530			
경로 3	255	255	255	255	255	255	446	191	x
누적 3	255	510	765	1020	1275	1530	1976	2167	
경로 4	0	0	0	0	510	0	191	191	0
누적 4	0	0	0	0	510	510	701	892	892
경로 5	0	0	0	510	510	255	x	x	x
누적 5	0	0	0	510	1020	1275			

[표 6]

해밍 1									
경로 1	255	255	255	255	255	255	191	191	255
누적 1	255	510	765	1020	1275	1530	1721	1912	2167
경로 2	-1	-1	-1	-1	1	-1	X	X	X
누적 2	-1	-2	-3	-4	-3	-4			
경로 3	-1	-1	-1	-1	1	1	-191	65	X
누적 3	-1	-2	-3	-4	-3	-2	-193	-128	
경로 4	255	255	255	255	-255	255	65	65	255
누적 4	255	510	765	1020	765	1020	1065	1085	1405
경로 5	255	255	255	-255	-255	-1	X	X	X
누적 5	255	510	765	510	255	254			

[표 7]

해밍 2									
경로 1	255	255	255	255	255	255	191	191	255
누적 1	255	510	765	1020	1275	1530	1721	1912	2167
경로 2	1	1	1	1	-1	1	X	X	X
누적 2	1	2	3	4	3	4			
경로 3	1	1	1	1	-1	-1	-191	63	X
누적 3	1	2	3	4	3	2	-189	-126	
경로 4	255	255	255	255	-255	255	63	63	255
누적 4	255	510	765	1020	765	1020	1083	1146	1401
경로 5	255	255	255	-255	-255	1	X	X	X
누적 5	255	510	765	510	255	256			

[표 8]

표 9에서 임의의 두 경로 사이의 코스트 차이의 절대 값은 메트릭 구성 및 사용된 대응 숫자 시스템과 상관없이 실제로 동일하다는 것을 쉽게 알 수 있다. 예컨대 경로 2 및 4 사이의 축적된 코스트 차이는 맨하탄, 해밍 1, 해밍 2에 대해서 각각 765, -768, -762이다. 해밍 브랜치 메트릭을 계산하는 데 있어서 공제하는 동안의 2의 보수보다는 감수의 1의 보수를 취함으로써 더 가까운 등가가 실현될 수 있다.

노드	축적된 코스트 차	맨하탄	해밍 1	해밍 2
노드 A	diff 2,4	765	-768	-762
노드 B	diff 1,2	-1530	1534	1526
	diff 1,5	-1275	1276	1274
	diff 2,5	255	-258	-252
노드 C	diff 3,4	1275	-1278	-1272
노드 D	diff 1,3	-2039	2040	2038
	diff 1,4	-764	762	766

[표 9]

앞에서는 본 발명의 원리를 단순하게 설명하기만 하였다. 당업자들은 다양한 변형을 고안할 수 있으며, 본원에 명백하게 기재되거나 도시되지 않았어도 본 발명의 원리를 구체화할 수 있고 따라서 그 사상 및 범위 내에 있다.

(57) 청구의 범위

청구항 1

둘 이상의 상이한 숫자 시수템중 어느 하나로 표현될 수 있는 소정의 정보를 전달하도록 수신된 디지털 신호를, 상기 디지털 신호가 특정 숫자 시스템으로 표현되는 것을 요구하는 매트릭 구성에 기초하여 디코드하는 디코더에 의해 디코드하는 방법에 있어서,

상기 디지털 신호를 수신하는 단계와,

상기 수신된 디지털 신호를 상기 디코더에 의해 요구되는 특정 숫자 시스템으로 변환하는 단계와,

디코드된 소정의 정보를 제공하기 위해 상기 디코더를 통한 단일 경로에서 상기 변환된 숫자 시스템에 의해 표현되는 상기 소정의 정보를 디코드하는 단계를 포함하는, 디코드 방법.

청구항 2

제 1 항에 있어서, 상기 수신된 디지털 신호에 의해 전달되는 상기 소정의 정보는 부호있는 2진 시스템(signed binary system)으로 표현되고, 상기 특정 숫자시스템은 부호없는 2진 시스템(unsigned binary system)이고, 상기 매트릭 구성은 맨하탄 매트릭 구성인, 디코드 방법.

청구항 3

제 1 항에 있어서, 상기 수신된 디지털 신호에 의해 전달되는 상기 소정의 정보는 부호없는 2진 시스템이고, 상기 특정 숫자 시스템은 부호있는 2진 시스템이고, 상기 매트릭 구성은 해밍 매트릭 구성인, 디코드 방법.

청구항 4

제 2 항에 있어서, 상기 디코더는 비터비 디코더인, 디코드 방법.

청구항 5

제 3 항에 있어서, 상기 디코더는 비터비 디코더인, 디코드 방법.

청구항 6

제 4 항에 있어서, 상기 비터비 디코더는 그 출력이 소프트 심벌 디코드된 출력(soft symbol decoded output)인 소프트 디시전 비터비 디코더(soft decision Viterbi decoder)인, 디코드 방법.

청구항 7

제 5 항에 있어서, 상기 비터비 디코더는 그 출력이 소프트 심벌 디코드된 출력인 소프트 디시전 비터비 디코더인, 디코드 방법.

청구항 8

제 2 항에 있어서, 상기 부호있는 2진 시스템은 부호있는 보수 시스템(signed complement system)인, 디코드 방법.

청구항 9

제 3 항에 있어서, 상기 부호있는 2진 시스템은 부호있는 보수 시스템인, 디코드 방법.

청구항 10

제 8 항에 있어서, 상기 부호있는 보수 시스템은 2의 보수(2's complement)인, 디코드 방법.

청구항 11

제 9 항에 있어서, 상기 부호있는 보수 시스템은 2의 보수인, 디코드 방법.

청구항 12

제 8 항에 있어서, 상기 부호있는 보수 시스템은 1의 보수(1's complement)인, 디코드 방법.

청구항 13

제 9 항에 있어서, 상기 부호있는 보수 시스템은 1의 보수인, 디코드 방법.

청구항 14

제 6 항에 있어서, 상기 소프트 디시전 비터비 디코더는 그 출력에서 축적된 코스트 차이(accumulated cost difference)와 동일한 소프트 심벌을 제공하고, 상기 디코드 단계는 상기 축적된 코스트 차이를 얻는 단계를 포함하는, 디코드 방법.

청구항 15

제 14 항에 있어서, 상기 디코드 단계는 상기 축적된 코스트 차이의 부호있는 보수를 계산하는 단계를 포함하는, 디코드 방법.

청구항 16

제 14 항에 있어서, 상기 디코드 단계는 상기 축적된 코스트 차이의 절대값을 얻는 단계와, 상기 축적된 코스트 차이의 절대값을 부호없는 2진 숫자 시스템으로 변환하는 단계를 포함하는, 디코드 방법.

청구항 17

여러개의 상이한 숫자 시스템중의 하나로 표현되는 소정의 정보를 전달하는 디지털 신호를, 상기 디지털 신호가 제 1 숫자 시스템으로 표현되는 것을 요구하는 메트릭 구성에 기초하여 디코드하는 디코더에 의해 디코드하는 장치에 있어서,

상기 디지털 신호를 수신하는 수신기와,

상기 디지털 신호를 상기 제 1 숫자 시스템으로 변환하는 신호 포맷 컨버터와,

디코드된 소정의 정보를 제공하기 위해 상기 디코더를 통해 단일 경로에서 상기 제 1 숫자 시스템으로 변환된 상기 디지털 신호에 의해 표현되는 상기 소정의 정보를 디코드하는 디코더를 포함하는 디코드 장치.

청구항 18

제 17 항에 있어서, 상기 신호 포맷 컨버터 및 상기 디코더는 직접 회로로서 제조되는 디코드 장치.

청구항 19

제 17 항에 있어서, 상기 디코더는 비터비 디코더인, 디코드 장치.

청구항 20

제 18 항에 있어서, 상기 디코더는 그 출력이 소프트 심벌 디코드된 출력인 소프트 디시전 비터비 디코더인, 디코드 장치.

청구항 21

제 20 항에 있어서, 상기 소프트 디시전 비터비 디코더는 그 출력에서 축적된 코스트 차이와 동일한 소프트 심벌을 제공하며, 상기 디코더는 상기 축적된 코스트 차이의 절대값을 얻는 수단을 포함하는, 디코드 장치.

청구항 22

제 20 항에 있어서, 상기 디코드된 출력은 부호있는 보수 시스템으로 표현되고, 상기 비터비 디코더는 해밍 브랜치 메트릭을 계산하도록 설계되며, 상기 디코더는 축적된 코스트 차이의 절대값의 부호있는 보수를 계산하는 수단을 더 포함하는, 디코드 장치.

청구항 23

제 20 항에 있어서,

상기 디코드된 출력은 부호없는 2진 숫자 시스템으로 표현되고, 상기 비터비 디코더는 맨하탄 브랜치 메트릭을 계산하도록 설계되며,

상기 디코더는 상기 축적된 코스트 차이의 상기 절대값을 상기 부호없는 2진 숫자 시스템으로 변환하는

수단을 포함하는, 디코드 장치.

청구항 24

두개 이상의 상이한 숫자 시스템중 어느 하나로 표현될 수 있는 소정의 정보를 전달하는 수신된 디지털 신호를, 상기 디지털 신호가 특정 숫자 시스템으로 표현되는 것을 요구하는 매트릭 구성에 기초하여 디코드하는 디코더에 의해 디코드하는 장치에 있어서,

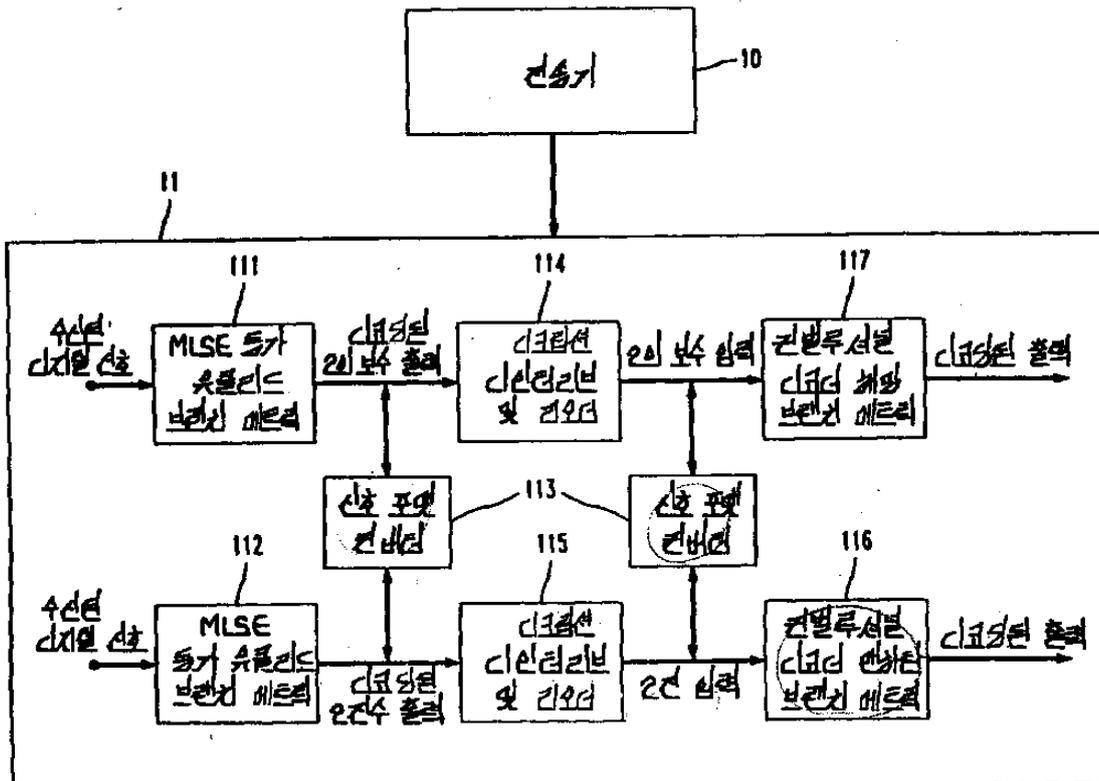
상기 디지털 신호를 수신하는 수단과,

상기 디지털 신호를 상기 디코더에 의해 요구되는 상기 특정 숫자 시스템으로 변환하는 수단과,

디코드된 소정의 정보를 제공하기 위해 상기 디코더를 통해 단일 경로에서 상기 변환된 숫자 시스템에 의해 표현되는 상기 소정의 정보를 디코드하는 수단을 포함하는, 디코드 장치.

도면

도면1



도면2

