

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-186926

(P2013-186926A)

(43) 公開日 平成25年9月19日(2013.9.19)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 11/41 (2006.01)</b>	G 1 1 C 11/40 C	5 B 0 1 5
<b>G 1 1 C 11/413 (2006.01)</b>	G 1 1 C 11/34 3 3 5 A	

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2012-53074 (P2012-53074)  
 (22) 出願日 平成24年3月9日 (2012.3.9)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (72) 発明者 武山 泰久  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 Fターム(参考) 5B015 HH03 JJ24 KA06 KA13 KB62  
 KB66 KB72 KB74 QQ02

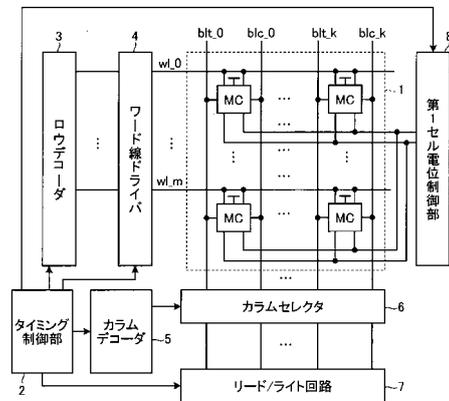
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】メモリセルの微細化および電源電圧の低下に対応しつつ、スタティックノイズマージンを向上させる。

【解決手段】駆動トランジスタD1よりも駆動トランジスタD2の方がしきい値が低いものとする、第1セル電位制御部8は、駆動トランジスタD2にホットキャリアが注入されるように駆動トランジスタD2の第1セル電位を制御し、駆動トランジスタD2にホットキャリアが注入される時に、記憶ノードNtには‘1’が記憶され、記憶ノードNcには‘0’が記憶されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

データが互いに相補的に記憶される第 1 の記憶ノードおよび第 2 の記憶ノードが設けられたメモリセルがロウ方向およびカラム方向にマトリックス状に配置される半導体記憶装置において、

前記メモリセルをロウごとに選択するワード線と、

前記メモリセルをカラムごとに選択する第 1 および第 2 のビット線と、

前記第 2 の記憶ノードの電位に基づいて、第 1 の記憶ノードの電位をプルアップする第 1 の負荷トランジスタと、

前記第 2 の記憶ノードの電位に基づいて、前記第 1 の記憶ノードの電位をプルダウンする第 1 の駆動トランジスタと、

前記第 1 の記憶ノードの電位に基づいて、前記第 2 の記憶ノードの電位をプルアップする第 2 の負荷トランジスタと、

前記第 1 の記憶ノードの電位に基づいて、前記第 2 の記憶ノードの電位をプルダウンする第 2 の駆動トランジスタと、

前記ワード線の電位に基づいて、前記第 1 の記憶ノードと前記第 1 のビット線とを接続する第 1 の伝送トランジスタと、

前記ワード線の電位に基づいて、前記第 2 の記憶ノードと前記第 2 のビット線とを接続する第 2 の伝送トランジスタと、

前記第 1 の駆動トランジスタの第 1 セル電位と前記第 2 の駆動トランジスタの第 1 セル電位とを個別に制御する第 1 セル電位制御部とを備え、

前記第 1 の駆動トランジスタよりも前記第 2 の駆動トランジスタの方がしきい値が低いものとする、前記第 1 セル電位制御部は、前記第 2 の駆動トランジスタにホットキャリアが注入されるように前記第 1 セル電位を制御し、

前記第 2 の駆動トランジスタに前記ホットキャリアが注入される時に、前記第 1 の記憶ノードには ' 1 ' が記憶され、前記第 2 の記憶ノードには ' 0 ' が記憶されていることを特徴とする半導体記憶装置。

## 【請求項 2】

データが互いに相補的に記憶される第 1 の記憶ノードおよび第 2 の記憶ノードが設けられたメモリセルがロウ方向およびカラム方向にマトリックス状に配置される半導体記憶装置において、

前記メモリセルをロウごとに選択するワード線と、

前記メモリセルをカラムごとに選択する第 1 および第 2 のビット線と、

前記第 2 の記憶ノードの電位に基づいて、第 1 の記憶ノードの電位をプルアップする第 1 の負荷トランジスタと、

前記第 2 の記憶ノードの電位に基づいて、前記第 1 の記憶ノードの電位をプルダウンする第 1 の駆動トランジスタと、

前記第 1 の記憶ノードの電位に基づいて、前記第 2 の記憶ノードの電位をプルアップする第 2 の負荷トランジスタと、

前記第 1 の記憶ノードの電位に基づいて、前記第 2 の記憶ノードの電位をプルダウンする第 2 の駆動トランジスタと、

前記ワード線の電位に基づいて、前記第 1 の記憶ノードと前記第 1 のビット線とを接続する第 1 の伝送トランジスタと、

前記ワード線の電位に基づいて、前記第 2 の記憶ノードと前記第 2 のビット線とを接続する第 2 の伝送トランジスタと、

前記第 1 の駆動トランジスタの第 1 セル電位と前記第 2 の駆動トランジスタの第 1 セル電位とを個別に制御する第 1 セル電位制御部とを備えることを特徴とする半導体記憶装置

。

## 【請求項 3】

前記第 1 の駆動トランジスタよりも前記第 2 の駆動トランジスタの方がしきい値が低い

ものとする、前記第 1 セル電位制御部は、前記第 2 の駆動トランジスタにホットキャリアが注入されるように前記第 1 セル電位を制御することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記第 2 の駆動トランジスタに前記ホットキャリアが注入される時に、前記第 1 の記憶ノードには ' 1 ' が記憶され、前記第 2 の記憶ノードには ' 0 ' が記憶されていることを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 5】

前記第 1 セル電位制御部は、前記第 1 の駆動トランジスタの第 1 セル電位、前記第 1 の負荷トランジスタの第 2 セル電位および前記第 2 の負荷トランジスタの第 2 セル電位よりも高くなるように前記第 2 の駆動トランジスタの第 1 セル電位を制御することを特徴とする請求項 4 に記載の半導体記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は半導体記憶装置に関する。

【背景技術】

【0002】

半導体記憶装置の集積度向上のため、メモリセルをはじめとするトランジスタのサイズが縮小されている。また、電源電圧の低下に対応して、トランジスタの閾値も低下している。これらに伴い、メモリセルを構成するトランジスタの閾値ばらつきが大きくなり、メモリセルによってはスタティックノイズマージンが十分でないものが現れている。スタティックノイズマージンが十分でないと、メモリセルにデータを書き込んだり、メモリセルからデータを読み出したりする時に、メモリセルに保持されたデータが反転する可能性がある。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2010 - 182344 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

本発明の一つの実施形態の目的は、メモリセルの微細化および電源電圧の低下に対応しつつ、スタティックノイズマージンを向上させることが可能な半導体記憶装置を提供することである。

【課題を解決するための手段】

【0005】

実施形態の半導体記憶装置によれば、データが互いに相補的に記憶される第 1 の記憶ノードおよび第 2 の記憶ノードが設けられたメモリセルがロウ方向およびカラム方向にマトリックス状に配置され、前記メモリセルをロウごとに選択するワード線と、前記メモリセルをカラムごとに選択する第 1 および第 2 のビット線と、前記第 2 の記憶ノードの電位に基づいて、第 1 の記憶ノードの電位をプルアップする第 1 の負荷トランジスタと、前記第 2 の記憶ノードの電位に基づいて、前記第 1 の記憶ノードの電位をプルダウンする第 1 の駆動トランジスタと、前記第 1 の記憶ノードの電位に基づいて、前記第 2 の記憶ノードの電位をプルアップする第 2 の負荷トランジスタと、前記第 1 の記憶ノードの電位に基づいて、前記第 2 の記憶ノードの電位をプルダウンする第 2 の駆動トランジスタと、前記ワード線の電位に基づいて、前記第 1 の記憶ノードと前記第 1 のビット線とを接続する第 1 の伝送トランジスタと、前記ワード線の電位に基づいて、前記第 2 の記憶ノードと前記第 2 のビット線とを接続する第 2 の伝送トランジスタと、前記第 1 の駆動トランジスタの第 1 セル電位と前記第 2 の駆動トランジスタの第 1 セル電位とを個別に制御する第 1 セル電位

40

50

制御部とを備える。

【図面の簡単な説明】

【0006】

【図1】図1は、第1実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

【図2】図2は、図1のメモリセルMCの構成例を示す回路図である。

【図3】図3は、図2のメモリセルMCのレイアウト構成例を示す平面図である。

【図4】図4は、図1の半導体記憶装置のソース電位の切替方法を示すブロック図である。

【図5】図5は、図1の実施形態に係る半導体記憶装置の各部の電圧レベルを示す図である。 10

【図6】図6は、第2実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

【図7】図7は、第2実施形態に係る半導体記憶装置の各部の電圧レベルを示す図である。

【図8】図8は、第3実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

【図9】図9は、第3実施形態に係る半導体記憶装置のソース電位の切替方法を示すブロック図である。

【図10】図10は、第3実施形態に係る半導体記憶装置の各部の電圧レベルを示す図である。 20

【図11】図11は、第4実施形態に係る半導体記憶装置の各部の電圧レベルを示す図である。

【発明を実施するための形態】

【0007】

以下、実施形態に係る半導体記憶装置について図面を参照しながら説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(第1実施形態)

図1は、第1実施形態に係る半導体記憶装置の概略構成を示すブロック図である。 30

図1において、半導体記憶装置には、メモリセルアレイ1、タイミング制御部2、ロウデコーダ3、ワード線ドライバ4、カラムデコーダ5、カラムセクタ6、リード/ライト回路7および第1セル電位制御部8が設けられている。

【0009】

ここで、メモリセルアレイ1には、メモリセルMCがロウ方向およびカラム方向にマトリックス状に配置されている。メモリセルMCは、相補的にデータを記憶することができ、例えば、SRAMセルを用いることができる。また、メモリセルアレイ1には、メモリセルMCのロウ選択を行うワード線 $w1\_0 \sim w1\_m$  ( $m$ は正の整数)がロウごとに設けられるとともに、メモリセルMCのカラム選択を行うビット線 $b1t\_0 \sim b1t\_k$ 、 $b1c\_0 \sim b1c\_k$  ( $k$ は正の整数)がカラムごとに設けられている。 40

【0010】

図2は、図1のメモリセルMCの構成例を示す回路図である。

図2において、メモリセルMCには、一对の駆動トランジスタD1、D2、一对の負荷トランジスタL1、L2、一对の伝送トランジスタF1、F2が設けられている。なお、負荷トランジスタL1、L2としては、Pチャンネル電界効果トランジスタ、駆動トランジスタD1、D2および伝送トランジスタF1、F2としては、Nチャンネル電界効果トランジスタを用いることができる。

【0011】

そして、駆動トランジスタD1と負荷トランジスタL1とは互いに直列接続されることでCMOSインバータが構成されるとともに、駆動トランジスタD2と負荷トランジスタ 50

L2とは互いに直列接続されることでCMOSインバータが構成されている。そして、これらの一对のCMOSインバータの出力と入力とが互いにクロスカップリングされることでフリップフロップが構成されている。そして、ワード線w1は、伝送トランジスタF1、F2のゲートに接続されている。

#### 【0012】

ここで、駆動トランジスタD1のドレインと負荷トランジスタL1のドレインとの接続点は記憶ノードNtを構成し、駆動トランジスタD2のドレインと負荷トランジスタL2のドレインとの接続点は記憶ノードNcを構成することができる。

#### 【0013】

また、ビット線bltは、伝送トランジスタF1を介して記憶ノードNtに接続されている。また、ビット線blcは、伝送トランジスタF2を介して記憶ノードNcに接続されている。また、負荷トランジスタL1、L2のソースは第2セル電位VDDに接続されている。なお、第2セル電位VDDは、例えば、セル電源電位に設定することができる。駆動トランジスタD1のソースは第1セル電位VSS1に接続され、駆動トランジスタD2のソースは第1セル電位VSS2に接続されている。これらの第1セル電位VSS1、VSS2は独立に設定することができる。また、負荷トランジスタL1、L2のNウェル電位はVnwに設定し、駆動トランジスタD1、D2のPウェル電位はVpwに設定することができる。

10

#### 【0014】

また、図1において、ロウデコーダ3は、ロウアドレスに基づいてメモリセルMCのロウ選択を行わせるワード線w1\_0~w1\_mを選択することができる。ワード線ドライバ4は、ロウデコーダ3にて選択されたワード線w1\_0~w1\_mを駆動することができる。

20

#### 【0015】

カラムデコーダ5は、カラムアドレスに基づいてメモリセルMCのカラム選択を行わせるビット線blt\_0~blt\_k、blc\_0~blc\_kを選択することができる。カラムセクタ6は、カラムデコーダ5にて選択されたビット線blt\_0~blt\_k、blc\_0~blc\_kをリード/ライト回路7に接続することができる。リード/ライト回路7は、メモリセルMCに記憶されているデータを読み出したり、メモリセルMCにデータを書き込んだりすることができる。なお、リード回路としては、メモリセルMCからビット線blt\_0~blt\_k、blc\_0~blc\_k上に読み出された信号に基づいて、メモリセルMCに記憶されているデータを検知するセンスアンプを用いることができる。ライト回路としては、書き込みデータに応じてビット線blt\_0~blt\_kとビット線blc\_0~blc\_kとを互いに相補的に駆動するライトアンプを用いることができる。

30

#### 【0016】

第1セル電位制御部8は、駆動トランジスタD1の第1セル電位VSS1と駆動トランジスタD2の第1セル電位VSS2とを個別に制御することができる。例えば、駆動トランジスタD1よりも駆動トランジスタD2の方がしきい値が低いものとする、第1セル電位制御部8は、駆動トランジスタD2にホットキャリアが注入されるように第1セル電位VSS2を制御することができる。タイミング制御部2は、ロウデコーダ3、ワード線ドライバ4、カラムデコーダ5、カラムセクタ6、リード/ライト回路および第1セル電位制御部8を動作させるタイミングを制御することができる。

40

#### 【0017】

図3は、図2のメモリセルMCのレイアウト構成例を示す平面図である。

図3において、駆動トランジスタD1、負荷トランジスタL1および伝送トランジスタF1は、駆動トランジスタD2、負荷トランジスタL2および伝送トランジスタF2に対して点対称になるように配置されている。すなわち、この点対称の中心の回りに駆動トランジスタD1、負荷トランジスタL1および伝送トランジスタF1を180°だけ回転させると、駆動トランジスタD2、負荷トランジスタL2および伝送トランジスタF2に重ねることができる。

50

## 【0018】

また、第1セル電位 $V_{SS1}$ を設定する第1の配線と第1セル電位 $V_{SS2}$ を設定する第2の配線とは分離され、これらの第1の配線および第2の配線はワード線 $w_1$ に並列に配置することができる。第2セル電位 $V_{DD}$ を設定する第3の配線はビット線 $b_{1t}$ 、 $b_{1c}$ に並列に配置することができる。

## 【0019】

ここで、駆動トランジスタ $D_1$ 、 $D_2$ 、負荷トランジスタ $L_1$ 、 $L_2$ および伝送トランジスタ $F_1$ 、 $F_2$ のレイアウトは、第1セル電位 $V_{SS1}$ 、 $V_{SS2}$ が独立に設定される場合においても、第1セル電位 $V_{SS1}$ 、 $V_{SS2}$ が共通に設定される場合と等しくすることができる。

10

## 【0020】

そして、図2において、メモリセル $MC$ の駆動トランジスタ $D_1$ 、 $D_2$ のしきい値にバラツキがあり、駆動トランジスタ $D_1$ よりも駆動トランジスタ $D_2$ の方がしきい値が低いものとする。

## 【0021】

この場合、リード/ライト回路7を介して選択セルの記憶ノード $N_t$ に‘1’を書き込むとともに、選択セルの記憶ノード $N_c$ に‘0’を書き込む。その後、リード/ライト回路7を介してビット線 $b_{1t}$ をハイレベル（例えば、1V）にするとともに、ビット線 $b_{1c}$ をロウレベル（例えば、0V）にする。さらに、ワード線ドライバ4を介して選択ロウのワード線 $w_1$ をハイレベル（例えば、1V）にし、伝送トランジスタ $F_1$ 、 $F_2$ をオンさせる。

20

## 【0022】

そして、第1セル電位制御部8を介して第1セル電位 $V_{SS1}$ を基準電位（例えば、0V）に設定したまま、第1セル電位 $V_{SS2}$ を基準電位から高電位（例えば、3V）に上昇させる。ここで、第2セル電位 $V_{DD}$ は、セル電源電位（例えば、1V）に設定することができる。また、Pウェル電位 $V_{pw}$ は第1セル電位 $V_{SS1}$ よりも低電位（例えば、-4V）に設定することができる。

## 【0023】

この時、記憶ノード $N_t$ に‘1’が書き込まれているので、駆動トランジスタ $D_2$ がオンする。また、ビット線 $b_{1c}$ がロウレベル（例えば、0V）に設定されているので、駆動トランジスタ $D_2$ のドレイン電位が低くなる。このため、第1セル電位 $V_{SS2}$ が高電位に上昇されると、駆動トランジスタ $D_2$ のソース電位が上昇し、駆動トランジスタ $D_2$ のソースとチャンネルとの間に高電圧が印加されることから、駆動トランジスタ $D_2$ のソース側でホットキャリアが生成され、駆動トランジスタ $D_2$ のゲート絶縁膜にホットキャリアがトラップされる。このため、駆動トランジスタ $D_2$ のしきい値が上昇し、駆動トランジスタ $D_1$ 、 $D_2$ 間でのしきい値のバラツキを低減させることができる。

30

## 【0024】

また、駆動トランジスタ $D_1$ よりも駆動トランジスタ $D_2$ の方がしきい値が低い場合、駆動トランジスタ $D_2$ のしきい値を上昇させることにより、選択ロウおよび選択カラムで指定される選択セルへのリードまたはライト時において、セル電流の減少を抑制しつつ、選択ロウおよび非選択カラムに接続された非選択セルのリードディスタープおよびライトディスタープを低減することができる。

40

## 【0025】

図4は、図1の半導体記憶装置のソース電位の切替方法を示すブロック図である。

図4において、図2の第1のメモリセル $MC$ の駆動トランジスタ $D_1$ のソース電源は、第1のメモリセル $MC$ に対して一方のカラム方向に隣接する第2のメモリセル $MC$ の駆動トランジスタ $D_1$ のソース電源と共有され、第1のメモリセル $MC$ の駆動トランジスタ $D_2$ のソース電源は第1のメモリセル $MC$ に対して他方のカラム方向に隣接する第3のメモリセル $MC$ の駆動トランジスタ $D_2$ のソース電源と共有されている。

## 【0026】

50

ここで、選択ロウおよび選択カラムで指定されるメモリセルをMCs、選択ロウおよび非選択カラムに接続されたメモリセルをMCr、メモリセルMCsに対して一方のカラム方向に隣接するメモリセルをMCc1、メモリセルMCsに対して他方のカラム方向に隣接するメモリセルをMCc0、非選択ロウおよび非選択カラムに接続されたメモリセルをMCxとする。

【0027】

そして、各メモリセルMCs、MCr、MCc0、MCc1、MCxにおいて、第1セル電位VSS1を設定する配線H1と第1セル電位VSS2を設定する配線H2とは分離されている。そして、各ロウ間で配線H1は共有され、各ロウ間で配線H2は共有されている。そして、配線H1、H2の電位は、スイッチSW1、SW2をそれぞれ介して基準電位（例えば、0V）または高電位（例えば、3V）に切り替えられる。

10

【0028】

なお、以下の説明では、メモリセルMCsの駆動トランジスタD1、D2のしきい値にバラツキがあり、駆動トランジスタD1よりも駆動トランジスタD2の方がしきい値が低いものとする。そして、メモリセルMCsの駆動トランジスタD2にホットキャリアを注入するものとする。

【0029】

図5は、図1の半導体記憶装置の各部の電圧レベルを示す図である。なお、図5の例では、図1の構成に図4の構成が適用された場合について説明する。

図5において、メモリセルMCsの駆動トランジスタD2にホットキャリアを注入する場合、各メモリセルMCs、MCr、MCc0、MCc1、MCxにおいて、第1セル電位VSS1はロウレベルに設定され、第2セル電位VDDおよびビット線bltの電位はハイレベルに設定され、第1セル電位VSS2は高電位に設定される。ビット線blcの電位は、メモリセルMCs、MCc0、MCc1ではロウレベルに設定され、メモリセルMCr、MCxではハイレベルに設定される。ワード線w1の電位は、メモリセルMCs、MCrでは高電位に設定され、メモリセルMCc0、MCc1、MCxではロウレベルに設定される。

20

【0030】

この時、メモリセルMCsでは、記憶ノードNtに‘1’が書き込まれ、記憶ノードNcに‘0’が書き込まれているとすると、駆動トランジスタD2がオンする。このため、駆動トランジスタD2のソースとチャネルとの間に高電圧が印加され、駆動トランジスタD2のソース側でホットキャリアが生成される。

30

【0031】

一方、メモリセルMCr、MCc0、MCc1、MCxでは、記憶ノードNtに‘0’が書き込まれ、記憶ノードNcに‘1’が書き込まれているとすると、駆動トランジスタD2がオフする。このため、駆動トランジスタD2のソースとチャネルとの間に高電圧が印加されないようにすることができ、駆動トランジスタD2のソース側でホットキャリアが生成されないようにすることができる。

【0032】

また、メモリセルMCr、MCc0、MCc1、MCxにおいて、記憶ノードNtに‘1’が書き込まれ、記憶ノードNcに‘0’が書き込まれているとすると、駆動トランジスタD2がオンする。このため、第1セル電位VSS2が高くなると、駆動トランジスタD2のソース側でホットキャリアが生成される可能性がある。ただし、メモリセルMCr、MCc0、MCc1、MCxにおいても、駆動トランジスタD1よりも駆動トランジスタD2の方がしきい値が低いものとする、駆動トランジスタD2のソース側でホットキャリアが生成されても、しきい値のバラツキが増大しないようにできる。

40

【0033】

また、メモリセルMCr、MCc0、MCc1、MCxにおいて、記憶ノードNtに‘1’が書き込まれ、記憶ノードNcに‘0’が書き込まれている場合、第1セル電位VSS2が高くなると、記憶ノードNt、Ncのデータが反転する。このため、駆動トランジ

50

スタD 2がオフし、駆動トランジスタD 2のソース側でホットキャリアが生成されないようにすることができる。

【0034】

(第2実施形態)

図6は、第2実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

図6において、この半導体記憶装置では、図1の半導体記憶装置の構成に加え、第2セル電位制御部10が設けられている。第2セル電位制御部10は、負荷トランジスタL 1、L 2の第2セル電位VDDをカラムごとに制御することができる。そして、選択カラムでは、第2セル電位VDDおよびビット線bltの電位をハイレベル(例えば、1V)、非選択カラムでは、第2セル電位VDDおよびビット線bltの電位をロウレベル(例えば、0V)にすることができる。

10

【0035】

これにより、非選択カラムでは、駆動トランジスタD 1、D 2をオフさせることができ、非選択カラムの第1セル電位VSS2が高電位に設定された場合においても、駆動トランジスタD 1、D 2のソース側でホットキャリアが生成されないようにすることができる。また、非選択カラムの駆動トランジスタD 1、D 2をオフさせることにより、非選択カラムの駆動トランジスタD 1、D 2に電流が流れないようにことができ、消費電力を低減することができる。

【0036】

図7は、第2実施形態に係る半導体記憶装置の各部の電圧レベルを示す図である。なお、図7の例では、図6の構成に図4の構成が適用された場合について説明する。

20

図7において、この方法では、非選択カラムのメモリセルMCr、MCxの第2セル電位VDDおよびビット線bltの電位がロウレベルに設定される点を除いては、図5の方法と同様である。

【0037】

これにより、メモリセルMCr、MCxでは、駆動トランジスタD 1、D 2をオフさせることができ、メモリセルMCr、MCxの第1セル電位VSS2が高電位に設定された場合においても、駆動トランジスタD 1、D 2のソース側でホットキャリアが生成されないようにすることが可能となるとともに、消費電力を低減することができる。

【0038】

30

(第3実施形態)

図8は、第3実施形態に係る半導体記憶装置の概略構成を示すブロック図である。

図8において、この半導体記憶装置では、図1の半導体記憶装置の第1セル電位制御部8の代わりに、第1セル電位制御部9が設けられている。第1セル電位制御部9は、負荷トランジスタL 2の第1セル電位VSS2をロウごとに制御することができる。この制御では、2ロウをペアとして行うことができる。そして、選択ロウおよび第1セル電位VSS2を共有する隣接ロウでは、第1セル電位VSS2を高電位(例えば、3V)、それ以外の非選択ロウでは、第1セル電位VSS2をロウレベル(例えば、0V)にすることができる。

【0039】

40

これにより、非選択ロウの第1セル電位VSS2を高電位に上昇させることなく、選択ロウの第1セル電位VSS2を高電位に上昇させることができ、非選択ロウの駆動トランジスタD 2にホットキャリアが注入されないようにすることができる。

【0040】

図9は、第3実施形態に係る半導体記憶装置のソース電位の切替方法を示すブロック図である。

図4の構成では、各ロウ間で配線H 1が共有されるとともに、各ロウ間で配線H 2が共有されているのに対し、図9の構成では、各ロウ間で配線H 1が分離されるとともに、各ロウ間で配線H 2が分離されている。そして、配線H 1の電位は、スイッチSW 12、SW 14をそれぞれ介してロウごとに基準電位(例えば、0V)または高電位(例えば、3

50

V)に切り替えられる。また、配線H2の電位は、スイッチSW11、SW13をそれぞれ介してロウごとに基準電位(例えば、0V)または高電位(例えば、3V)に切り替えられる。なお、図9の例では、駆動トランジスタD1、D2のソース電源がカラム方向に隣接する2個のメモリセル間で共有されているため、配線H1、H2の電位は2ロウ単位で切り替えることができる。

#### 【0041】

図10は、第3実施形態に係る半導体記憶装置の各部の電圧レベルを示す図である。なお、図10の例では、図8の構成に図9の構成が適用された場合について説明する。

図10において、この方法では、非選択ロウのメモリセルMCc1、MCxの第1セル電位VSS2がロウレベルに設定される点を除いては、図5の方法と同様である。

10

#### 【0042】

これにより、メモリセルMCc1、MCxの第1セル電位VSS2を高電位に上昇させることなく、メモリセルMCsの第1セル電位VSS2を高電位に上昇させることができ、メモリセルMCc1、MCxの駆動トランジスタD2にホットキャリアが注入されないようにすることができる。

#### 【0043】

(第4実施形態)

図11は、第8実施形態に係る半導体記憶装置の各部の電圧レベルを示す図である。なお、図11の例では、図6の構成に図9の構成が適用された場合について説明する。

図11において、この方法では、非選択カラムのメモリセルMCr、MCxの第2セル電位VDDおよびビット線blt、blcの電位がロウレベルに設定され、非選択ロウのメモリセルMCc1、MCxの第1セル電位VSS2がロウレベルに設定される点を除いては、図5の方法と同様である。

20

#### 【0044】

これにより、メモリセルMCr、MCxでは、駆動トランジスタD1、D2をオフさせることが可能となるとともに、メモリセルMCc1、MCxの第1セル電位VSS2を高電位に上昇させることなく、メモリセルMCsの第1セル電位VSS2を高電位に上昇させることができる。このため、メモリセルMCc1、MCr、MCxの駆動トランジスタD2にホットキャリアが注入されないようにすることが可能となるとともに、消費電力を低減することができる。

30

#### 【0045】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

#### 【0046】

(付記)

(請求項6)

前記第2の駆動トランジスタに前記ホットキャリアが注入される時に、前記第2の駆動トランジスタのウェル電位が前記第1セル電位よりも低くなるように設定されることを特徴とする請求項5に記載の半導体記憶装置。

40

(請求項7)

選択ロウおよび選択カラムで指定される選択セルの前記第2の駆動トランジスタに前記ホットキャリアが注入される時に、選択ロウのワード線がハイレベルに設定され、非選択ロウのワード線がロウレベルに設定され、選択カラムの前記第1のビット線と非選択カラムの前記第1のビット線と非選択カラムの前記第2のビット線がハイレベルに設定され、選択カラムの前記第2のビット線がロウレベルに設定されることを特徴とする請求項5に記載の半導体記憶装置。

50

(請求項 8)

第 1 のメモリセルの第 1 の駆動トランジスタのソース電源は前記第 1 のメモリセルに対して同一カラムアドレスで一方に隣接するロウアドレスの第 2 のメモリセルの第 1 の駆動トランジスタのソース電源と共有され、前記第 1 のメモリセルの第 2 の駆動トランジスタのソース電源は前記第 1 のメモリセルに対して同一カラムアドレスで他方に隣接するロウアドレスの第 3 のメモリセルの第 2 の駆動トランジスタのソース電源と共有されていることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の半導体記憶装置。

(請求項 9)

前記第 1 セル電位制御部は、前記第 1 の駆動トランジスタの第 1 セル電位と前記第 2 の駆動トランジスタの第 1 セル電位とをロウごとに制御することを特徴とする請求項 1 から 6 のいずれか 1 項に記載の半導体記憶装置。

10

(請求項 10)

選択ロウおよび選択カラムで指定される選択セルの前記第 2 の駆動トランジスタに前記ホットキャリアが注入される時に、選択ロウのワード線がハイレベルに設定され、非選択ロウのワード線がロウレベルに設定され、選択カラムの前記第 1 のビット線と非選択カラムの前記第 1 のビット線と非選択カラムの前記第 2 のビット線がハイレベルに設定され、選択カラムの前記第 2 のビット線がロウレベルに設定されることを特徴とする請求項 9 に記載の半導体記憶装置。

(請求項 11)

前記第 1 セル電位制御部は、選択ロウの前記第 2 の駆動トランジスタの第 1 セル電位を非選択ロウの前記第 2 の駆動トランジスタの第 1 セル電位より高くすることを特徴とする請求項 10 に記載の半導体記憶装置。

20

(請求項 12)

前記第 1 の負荷トランジスタの第 2 セル電位と前記第 2 の負荷トランジスタの第 2 セル電位とをカラムごとに制御する第 2 セル電位制御部をさらに備えることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の半導体記憶装置。

(請求項 13)

選択ロウおよび選択カラムで指定される選択セルの前記第 2 の駆動トランジスタに前記ホットキャリアが注入される時に、選択ロウのワード線がハイレベルに設定され、非選択ロウのワード線がロウレベルに設定され、選択カラムの前記第 1 のビット線がハイレベルに設定され、選択カラムの前記第 2 のビット線と非選択カラムの前記第 1 のビット線と非選択カラムの前記第 2 のビット線とがロウレベルに設定されることを特徴とする請求項 11 に記載の半導体記憶装置。

30

(請求項 14)

前記第 2 セル電位制御部は、非選択カラムの前記第 1 および第 2 の負荷トランジスタの第 2 セル電位を選択カラムの前記第 1 および第 2 の負荷トランジスタの第 2 セル電位より低くすることを特徴とする請求項 13 に記載の半導体記憶装置。

(請求項 15)

前記第 1 の駆動トランジスタと前記第 1 の負荷トランジスタとが互いに直列接続されることで第 1 の CMOS インバータが構成され、前記第 2 の駆動トランジスタと前記第 2 の負荷トランジスタとが互いに直列接続されることで第 2 の CMOS インバータが構成され、前記第 1 の CMOS インバータおよび前記第 2 の CMOS インバータの出力と入力とが互いにクロスカップリングされることでフリップフロップが構成されていることを特徴とする請求項 1 から 14 のいずれか 1 項に記載の半導体記憶装置。

40

(請求項 16)

前記ワード線に並列に配置され、前記第 1 の駆動トランジスタの第 1 セル電位を設定する第 1 の配線と、

前記ワード線に並列に配置され、前記第 2 の駆動トランジスタの第 1 セル電位を設定する第 2 の配線とを備えることを特徴とする請求項 1 から 15 のいずれか 1 項に記載の半導体記憶装置。

50

(請求項17)

前記第1および第2のビット線に並列に配置され、前記第1および第2の記憶ノードの第2セル電位を設定する第3の配線を備えることを特徴とする請求項1から16のいずれか1項に記載の半導体記憶装置。

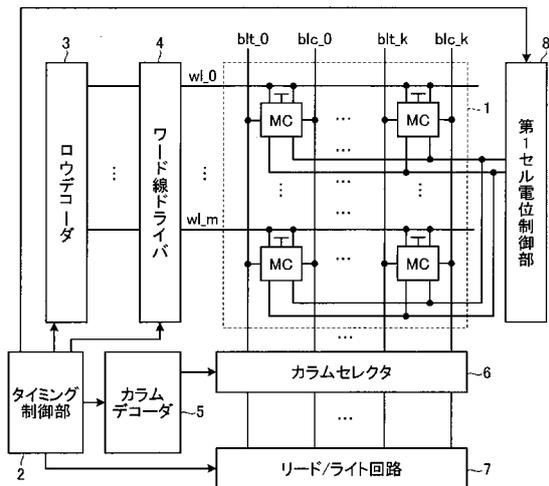
【符号の説明】

【0047】

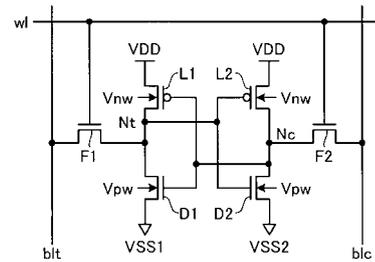
MC メモリセル、1 メモリセルアレイ、2 タイミング制御部、3 ロウデコーダ、4 ワード線ドライバ、5 カラムデコーダ、6 カラムセレクタ、7 リード/ライト回路、8、9 第1セル電位制御部、10 第2セル電位制御部、blt、blt\_0~blt\_k、blc、blc\_0~blc\_k ビット線、wl、wl\_0~wl\_m ワード線、L1、L2 負荷トランジスタ、D1、D2 駆動トランジスタ、F1、F2 伝送トランジスタ、SW1、SW2、SW11~SW14 スイッチ、H1、H2 配線

10

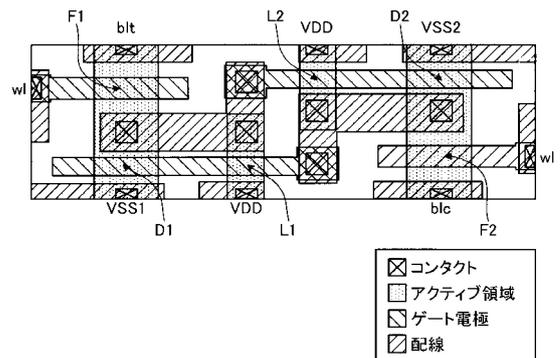
【図1】



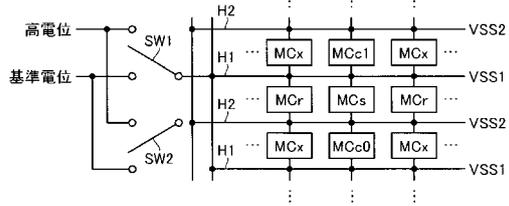
【図2】



【図3】



【 図 4 】



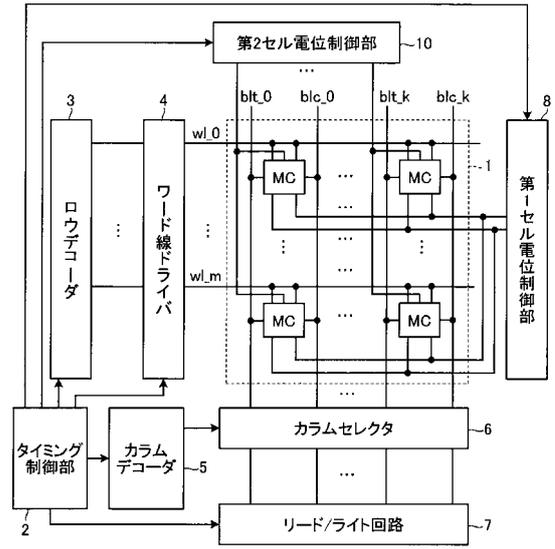
【 図 5 】

	ロウ	カラム	VSS1	VSS2	VDD	blt	blc	wl
メモリセル MCs	選択	選択	L	高電位 (>H)	H	H	L	H
メモリセル MCr	選択	非選択	L	高電位 (>H)	H	H	H	H
メモリセル MCc0	非選択	選択	L	高電位 (>H)	H	H	L	L
メモリセル MCc1	非選択	選択	L	高電位 (>H)	H	H	L	L
メモリセル MCx	非選択	非選択	L	高電位 (>H)	H	H	H	L

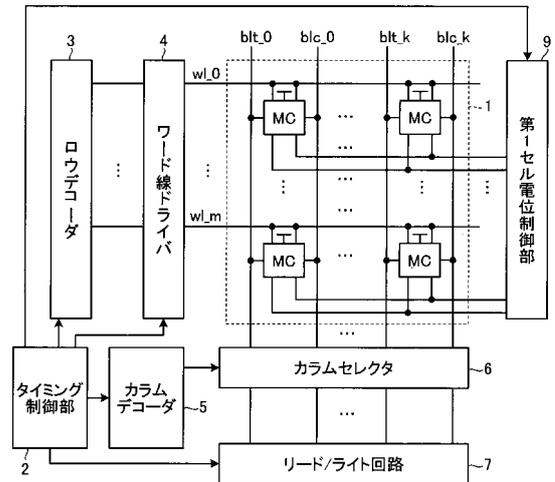
【 図 7 】

	ロウ	カラム	VSS1	VSS2	VDD	blt	blc	wl
メモリセル MCs	選択	選択	L	高電位 (>H)	H	H	L	H
メモリセル MCr	選択	非選択	L	高電位 (>H)	L	L	L	H
メモリセル MCc0	非選択	選択	L	高電位 (>H)	H	H	L	L
メモリセル MCc1	非選択	選択	L	高電位 (>H)	H	H	L	L
メモリセル MCx	非選択	非選択	L	高電位 (>H)	L	L	L	L

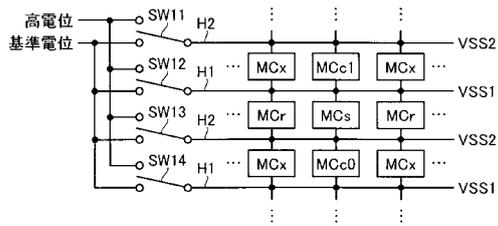
【 図 6 】



【 図 8 】



【 図 9 】



【 図 1 0 】

	ロウ	カラム	VSS1	VSS2	VDD	blt	blc	wl
メモリセル MCs	選択	選択	L	高電位 (>H)	H	H	L	H
メモリセル MCr	選択	非選択	L	高電位 (>H)	H	H	H	H
メモリセル MCc0	非選択	選択	L	高電位 (>H)	H	H	L	L
メモリセル MCc1	非選択	選択	L	L	H	H	L	L
メモリセル MCx	非選択	非選択	L	L	H	H	H	L

【 図 1 1 】

	ロウ	カラム	VSS1	VSS2	VDD	blt	blc	wl
メモリセル MCs	選択	選択	L	高電位 (>H)	H	H	L	H
メモリセル MCr	選択	非選択	L	高電位 (>H)	L	L	L	H
メモリセル MCc0	非選択	選択	L	高電位 (>H)	H	H	L	L
メモリセル MCc1	非選択	選択	L	L	H	H	L	L
メモリセル MCx	非選択	非選択	L	L	L	L	L	L