



(12) 发明专利

(10) 授权公告号 CN 101577248 B

(45) 授权公告日 2012. 02. 29

(21) 申请号 200910146112. 7

(22) 申请日 2009. 06. 12

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 林祥麟 林敬桓 石志鸿 黄伟明

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 任默闻

(51) Int. Cl.

H01L 21/82(2006. 01)

H01L 21/768(2006. 01)

H01L 27/02(2006. 01)

H01L 23/528(2006. 01)

G02F 1/1368(2006. 01)

审查员 王海涛

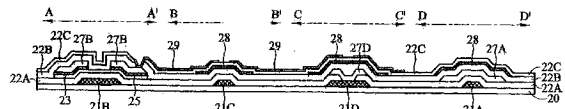
权利要求书 2 页 说明书 5 页 附图 4 页

(54) 发明名称

阵列基板及其形成方法

(57) 摘要

本发明提供一种阵列基板及其形成方法,其数据线是由第一线段及第二线段组成,两者以接触垫电连接。上述的数据线与像素电极之间夹设一遮蔽电极,且遮蔽电极与数据线的第一线段之间夹设有第一及第二绝缘层。另一方面,数据线的第二线段与栅极线垂直相交的部分夹设有第一绝缘层。藉由上述设计,可减少导电层之间的偶合效应,例如降低数据线和遮蔽电极的寄生电容延迟。同时由于遮蔽电极与数据线的第一线段之间相隔两层绝缘层,可以减少两电极层短路的机率,而增加生产时的良率。



1. 一种形成阵列基板的方法,其特征在于,所述方法包括:
 - 提供一基板;
 - 形成一第一图案化导电层于所述基板上以定义一栅极线、一栅极、与一第一数据线及其一端具一第一数据线接触垫;
 - 形成一第一绝缘层于所述第一图案化导电层上;
 - 形成一图案化半导体通道层于所述栅极上;
 - 移除部分所述第一绝缘层,以露出部分所述第一数据线接触垫;
 - 形成一第二图案化导电层,以同时定义一源极/漏极于所述半导体通道层上,以及一第二数据线及其一端具有第二数据线接触垫,其中所述第二数据线跨过所述栅极线,且所述第二数据线与所述栅极线相交处隔有所述第一绝缘层;
 - 形成一第二绝缘层覆盖所述第二图案化导电层;
 - 形成一第三图案化导电层于所述第一数据线与所述第二数据线上,其中所述第一数据线与所述第三图案化导电层之间隔有所述第一绝缘层与所述第二绝缘层;
 - 形成一第三绝缘层覆盖所述第三图案化导电层、所述第二数据线、所述源极/漏极、及所述第二绝缘层;
 - 移除所述漏极上的部分所述第二绝缘层及所述第三绝缘层,露出部分所述漏极,以形成一接触窗;以及
 - 形成一像素电极覆盖所述第三绝缘层并经由所述接触窗电连接至露出的部分漏极。
2. 如权利要求1所述的形成阵列基板的方法,其特征在于,所述第一绝缘层与所述第二绝缘层包括氮化硅、氧化硅、氮氧化硅、碳化硅、或上述材质的多层结构。
3. 如权利要求1所述的形成阵列基板的方法,其特征在于,所述第一绝缘层与所述第二绝缘层的组成相同或不同。
4. 如权利要求1所述的形成阵列基板的方法,其特征在于,所述第二绝缘层的厚度介于 $1500\mu\text{m}$ 至 $6000\mu\text{m}$ 。
5. 如权利要求1所述的形成阵列基板的方法,其特征在于,所述第二绝缘层的厚度介于 $3000\mu\text{m}$ 至 $4000\mu\text{m}$ 。
6. 如权利要求1所述的形成阵列基板的方法,其特征在于,所述第一绝缘层及所述第二绝缘层的总厚度介于 $6000\mu\text{m}$ 至 $12000\mu\text{m}$ 。
7. 如权利要求1所述的形成阵列基板的方法,其特征在于,所述第一绝缘层及所述第二绝缘层的总厚度介于 $4000\mu\text{m}$ 至 $7000\mu\text{m}$ 。
8. 如权利要求1所述的形成阵列基板的方法,其特征在于,所述方法更包括形成一欧姆接触层于所述半导体通道层与所述源极/漏极之间。
9. 如权利要求1所述的形成阵列基板的方法,其特征在于,部分所述像素电极和所述第三图案化导电层重迭。
10. 如权利要求9所述的形成阵列基板的方法,其特征在于,所述第三图案化导电层、所述第三图案化导电层上方的所述第三绝缘层、及和第三图案化导电层重迭的部分像素电极形成一储存电容。
11. 一种阵列基板,其特征在于,所述阵列基板包括:
 - 一基板;

一像素区位于所述基板上,是由一栅极线与一第一数据线及一第二数据线定义而成,其中所述第一数据线的一端与所述第二数据线电连接,所述第二数据线跨过所述栅极线,且所述第二数据线与所述栅极线相交处隔有一第一绝缘层;

一薄膜晶体管,包括一栅极连接至所述栅极线、一半导体通道层、以及一源极/漏极;

一第一绝缘层,位于所述第一数据线及所述栅极上;

一第二绝缘层,位于所述第二数据线、所述第一绝缘层、所述源极/漏极、及部分所述半导体通道层上,并露出部分所述漏极;

一遮蔽电极,位于所述第一数据线及/或所述第二数据线上,其中部分所述遮蔽电极与所述第一数据线之间隔有所述第一绝缘层及所述第二绝缘层;

一第三绝缘层,覆盖所述遮蔽电极及所述第二绝缘层,并露出部分所述漏极;以及

一像素电极,覆盖所述像素区的部分所述第三绝缘层并电连接所述漏极。

12. 如权利要求 11 所述的阵列基板,其特征在于,所述第一绝缘层与所述第二绝缘层包括氮化硅、氧化硅、氮氧化硅、碳化硅、或上述材质的多层结构。

13. 如权利要求 11 所述的阵列基板,其特征在于,所述第一绝缘层与所述第二绝缘层的组成相同或不同。

14. 如权利要求 11 所述的阵列基板,其特征在于,所述第二绝缘层的厚度介于 $1500\ \mu\text{m}$ 至 $6000\ \mu\text{m}$ 。

15. 如权利要求 11 所述的阵列基板,其特征在于,所述第二绝缘层的厚度介于 $3000\ \mu\text{m}$ 至 $4000\ \mu\text{m}$ 。

16. 如权利要求 11 所述的阵列基板,其特征在于,所述第一绝缘层及所述第二绝缘层的总厚度介于 $6000\ \mu\text{m}$ 至 $12000\ \mu\text{m}$ 。

17. 如权利要求 11 所述的阵列基板,其特征在于,所述第一绝缘层及所述第二绝缘层的总厚度介于 $4000\ \mu\text{m}$ 至 $7000\ \mu\text{m}$ 。

18. 如权利要求 11 所述的阵列基板,其特征在于,更包括形成一欧姆接触层于所述半导体通道层与所述源极/漏极之间。

19. 如权利要求 11 所述的阵列基板,其特征在于,部分所述像素电极和所述遮蔽电极重迭。

20. 如权利要求 19 所述的阵列基板,其特征在于,所述遮蔽电极、所述遮蔽电极上方的所述第三绝缘层、及和遮蔽电极重迭的部分像素电极形成一储存电容。

21. 如权利要求 11 所述的阵列基板,其特征在于,部分所述遮蔽电极和部分所述像素区重迭。

阵列基板及其形成方法

技术领域

[0001] 本发明是关于一种显示器,更特别关于阵列基板结构及其形成方法。

背景技术

[0002] 目前的液晶显示器制造,元件像素开口率的设计大小直接影响到背光来源的利用率,也影响到面板的显示亮度。影响开口率设计大小的最主要因素,在于透明导电电极与数据配线(data line)之间的距离,当透明导电电极与数据配线过于接近,其所受的杂散电容Cpd(capacitance between pixel and data line)会变大。这将导致像素电极上充饱的电荷在下一个信号转换前,受到数据配线传送不同电压的影响而产生串音效应(cross talk)。

[0003] 为减少Cpd的效应,有一种高开口率的结构为在数据线与像素电极之间再夹设遮蔽电极,而此遮蔽电极电连结共通电位(common voltage),因为遮蔽电极遮蔽掉数据线的电场,所以像素电极并不会受数据电极信号的影响,减少了Cpd所产生的串音效应。上述结构的上视图如图1A所示。在图1A中,关于晶体管的A-A'切线及关于数据线的B-B'切线的剖视结构如图1B所示。在上述结构中,先在基板10上形成栅极线11后,以绝缘层12A覆盖上述结构。接着依序形成半导体层13及欧姆接触层15,再形成金属图案作为晶体管的源极/漏极17A及数据线17B,接着形成绝缘层12B覆盖上述结构后,然后形成遮蔽电极18于数据线17B上方,用以降低Cpd效应。接着形成绝缘层12C覆盖上述结构,并移除部分绝缘层12B及12C以露出晶体管部分漏极17A而形成接触窗A。最后形成像素电极19于像素区的绝缘层12C上,且像素电极19经由接触窗A电连接至控制所述像素区的晶体管的部分漏极17A。

[0004] 虽然上述结构可解决Cpd的问题,但由于数据线17B和遮蔽电极18,亦称共通电极(common electrode)的重迭面积增加,两者之间的电性耦合将使数据线的寄生电容延迟问题恶化。

[0005] 综上所述,目前急需在不大幅更动现有有机台及工艺的前提下,同时改善Cpd及共通电极(common line)与数据线(data line)之间的寄生电容的结构。

发明内容

[0006] 本发明提供一种一种形成阵列基板的方法,包括提供基板;形成第一图案化导电层于基板上以定义栅极线、栅极、与第一数据线及其一端具第一数据线接触垫;形成第一绝缘层于第一图案化导电层上;形成图案化半导体通道层于栅极上;移除部分第一绝缘层,以露出部分第一数据线接触垫;形成第二图案化导电层,以同时定义源极/漏极于半导体通道层上,以及第二数据线及其一端具有第二数据线接触垫,其中第二数据线跨过栅极线,且第二数据线与栅极线相交处隔有第一绝缘层;形成第二绝缘层覆盖第二图案化导电层;形成第三图案化导电层于第一数据线与第二数据线上,其中第一数据线与第三图案化导电层之间隔有第一绝缘层与第二绝缘层;形成第三绝缘层覆盖第三图案化导电层、第二数据线、源极/漏极、及第二绝缘层;移除漏极上的部分第二绝缘层及第三绝缘层,露出部分漏

极,以形成接触窗;以及形成像素电极覆盖第三绝缘层并经由接触窗电连接至露出的部分漏极。

[0007] 本发明更提供一种阵列基板,包括像素区位于基板上,是由栅极线与第一数据线及第二数据线定义而成,其中第一数据线的一端与第二数据线电连接,第二数据线跨过栅极线,且第二数据线与栅极线相交处隔有第一绝缘层;薄膜晶体管,包括栅极连接至栅极线、半导体通道层、以及源极/漏极;第一绝缘层,位于第一数据线及栅极上;第二绝缘层,位于第二数据线、第一绝缘层、源极/漏极、及部分半导体层上,并露出部分漏极;遮蔽电极,位于第一数据线及/或第二数据线上,其中部分电极与第一数据线之间隔有第一绝缘层及第二绝缘层;第三绝缘层,覆盖遮蔽电极及第二绝缘层,并露出部分漏极;以及像素电极,覆盖像素区的部分第三绝缘层并电连接漏极。

附图说明

- [0008] 图 1A 是已知技艺中,阵列基板的上视图;
- [0009] 图 1B 是已知技艺中,阵列基板的剖视图;
- [0010] 图 2 是本发明一实施例中,阵列基板的上视图;以及
- [0011] 图 3A- 图 3G 是本发明一实施例中,形成阵列基板的工艺剖视图。
- [0012] 附图标号:
- [0013] 10、20 ~基板;
- [0014] 11、21A ~栅极线;
- [0015] 12A、12B、12C、22B、22C ~绝缘层;
- [0016] 13、23 ~半导体通道层;
- [0017] 15、25 ~欧姆接触层;
- [0018] 17A、27B ~源极/漏极;
- [0019] 17B ~数据线;
- [0020] 18、28 ~遮蔽电极;
- [0021] 19、29 ~像素电极;
- [0022] 21B ~栅极;
- [0023] 21C ~第一数据线;
- [0024] 21D ~第一数据线接触垫;
- [0025] 22A ~栅极绝缘层;
- [0026] 27A ~第二数据线;
- [0027] 27D ~第二数据线接触垫;
- [0028] 100、200 ~像素区;
- [0029] 101 ~图案化导电层;
- [0030] 103 ~第二图案化导电层;
- [0031] A ~接触窗;
- [0032] B ~第一接触窗;
- [0033] C ~第二接触窗。

具体实施方式

[0034] 为解决已知工艺的问题,本发明提供一种阵列基板的结构,其上视图如图 2 所示,且图 2 中切线 A-A'、B-B'、与 C-C' 的剖视图均图示于图 3G 中。

[0035] 为形成上述结构,首先提供基板 20。接着形成图案化导电层 101 于基板 20 上如图 3A 所示,此图案化导电层 101 定义出栅极线 21A、与栅极线 21A 电连接的晶体管栅极 21B、第一数据线 21C 及其一端具第一数据线接触垫 21D,且第一数据线及其一端的第一数据线接触垫是同时定义完成,且接触垫亦可因设计不同,而位于数据线的各端。形成第一图案化导电层 101 的方式包括先于基板 100 上形成第一导电层(未图示),并将第一导电层(未图示)图案化。上述的基板 20 的材质可为透光材质如玻璃、石英或其它透明材质、不透光材质如陶瓷、晶圆或其它不透明材质、或可挠性材质如塑胶、橡胶、聚酯、聚碳酸酯或其它可挠性材质。图案化导电层 101 可为金属如钛、钽、银、金、铂、铜、铝、钼、钨、钨、铬、铯、铷、钕、钴、其他合适金属、或上述合金;金属氧化物如铟锡氧化物(indium tin oxide, ITO)、铟锌氧化物(indium zinc oxide, IZO)、或上述的多层结构。

[0036] 接着如图 3B 所示,以栅极绝缘层 22A 覆盖图案化导电层 101 后,于栅极 21B 上方的栅极绝缘层 22A 上形成半导体通道层 23。在本发明一实施例中,可视情况需要进一步形成欧姆接触层 25 于半导体通道层 23 上。栅极绝缘层 22A 的材质可为有机材质如光阻、有机硅化合物、或其它有机材质、无机材质如氮化硅、氧化硅、氮氧化硅、碳化硅、其他无机材质、或上述材料的组合。半导体通道层 23 一般为半导体层如非晶硅、多晶硅、微晶硅、单晶硅、或上述材料的组合,其形成方式可为化学气相沉积法(CVD)、等离子体增强化学气相沉积法(PECVD)、快速升温式化学气相沉积法(RTCVD)、超高真空化学气相沉积法(UHV/CVD)、或分子束外延成长法(MBE)。欧姆接触层 25 一般为掺杂硅,可视情况需要选择 n 型或 p 型掺杂。

[0037] 另外,形成半导体通道层 23 的方法包括以下步骤。首先,于栅极绝缘层 22A 上形成非晶硅等半导体材料层(未图示),并可选择性进行掺杂工艺,以于半导体材料层(未图示)的上表面形成欧姆接触材料层(未图示),然后,图案化半导体材料层(未图示),以形成位于栅极 112 上方的半导体通道层 23 及其上表面的欧姆接触层 25。接下来的说明将以具有欧姆接触为例来说明。

[0038] 接着如图 3C 所示,移除部分栅极绝缘层 22A,以形成第一接触窗 B 并露出部分第一数据线一端的接触垫 21D。移除栅极绝缘层 22A 方式为一般光刻工艺配合干刻蚀或湿刻蚀。

[0039] 接着请参考图 3D 及图 2,于栅极绝缘层 22A、半导体通道层 23 以及欧姆接触层 25 上形成第二图案化导电层 103。具体而言,形成第二图案化导电层 103 的方式例如是于栅极绝缘层 22A 以及欧姆接触层 25 上形成第二导电层(未图示),并将第二导电层(未图示)图案化,以形成第二图案化导电层 103。值得注意的是,在第二导电层(未图示)进行图案化的同时,部分的欧姆接触层 25 会一并地被移除。详言之,在第二导电层(未图示)被图案化之后,会形成第二数据线 27A 及其一端具有第二数据线接触垫 27D、源极与漏极 27B,且第二数据线及其一端的第二数据线接触垫是同时定义完成,且接触垫亦可因设计不同,而位于数据线的各端,而未被源极以及漏极 27B 所覆盖住的欧姆接触层 25 会被移除,直到部分的半导体通道层 23 被暴露出来为止。

[0040] 由图 3D 及图 2 可知,第二数据线接触垫 27D 与第一数据线接触垫 21D,经由第一接触窗 B 而电连接,且第二数据线 27A 并跨过栅极线 21A 以连接另一像素的第一数据线接触垫(未图示)。由图 3D 的 D-D' 切线可知,第二数据线 27A 与栅极线相交重迭的部分隔有栅极绝缘层 22A。在这必需说明的是,第一数据线 21C 与第二数据线 27A 之间的长度比例约介于 1 : 1 至 15 : 1 之间,且以第一数据线 27A 的长度越长于第二数据现为最佳,例如第一数据线 21C 与第二数据线 27A 之间的长度比介于 13 : 1 至 15 : 1 之间。当后续形成的共通电极(或称遮蔽电极)与第二数据线 27A 的重迭比例比起第一数据线较低时,可有效减少数据线与共通电极之间的寄生电容。上述的第二图案化导电层 103 可为金属如钛、钼、银、金、铂、铜、铝、钨、钽、钨、铬、铯、铟、钕、或其它金属、上述的合金、或上述的多层结构。

[0041] 接着如图 3E 所示,于栅极绝缘层 22A 上形成绝缘层 22B,以覆盖第二图案化导电层 103。形成绝缘层 22B 的方法包括先于基板 100 上形成覆盖于栅极绝缘层 22A 以及第二图案化导电层 103 上的第二介电层(未图示)。接下来,形成遮蔽电极 28 于第一数据线 21C、第一数据线接触垫 21D、及第二数据线 27A 上。形成遮蔽电极 28 的方法包括先形成覆盖于绝缘层 22B 上的第三层导体层(未图示),并将第三导电层(未图示)图案化。

[0042] 绝缘层 22B 的材质选择及形成方法类似栅极绝缘层 22A,两者可采用相同或不同材质。在本发明一实施例中,栅极绝缘层 22A 及绝缘层 22B 的总厚度介于 $6000\ \mu\text{m}$ 至 $12000\ \mu\text{m}$,或介于 $4000\ \mu\text{m}$ 至 $7000\ \mu\text{m}$ 。在本发明另一实施例中,绝缘层 22B 的厚度介于 $1500\ \mu\text{m}$ 至 $6000\ \mu\text{m}$,其中以厚度介于 $3000\ \mu\text{m}$ 至 $4000\ \mu\text{m}$ 较佳。遮蔽电极 28 的材质选择类似前述的图案化导电层。遮蔽电极 28 电连接共通电极,所以兼具共通电极的作用,其共通电位可遮蔽数据线电场并降低 Cpd 效应以改善串音问题。与已知技艺相较,其数据线 17B 及遮蔽电极 18 之间只有单一绝缘层 12B 如图 1B 所示。本发明的数据线段的主要部分第一数据线 21C 与遮蔽电极 28 之间隔有栅极绝缘层 22A 及 22B,可减少两者之间的耦合效应,并降低数据线的寄生电容延迟的问题。另一方面,由于第一数据线 21C 与遮蔽电极 28 之间隔有两层绝缘层,更可减少两电极层之间线路短路的机率,进而增加产品良率。

[0043] 接着如图 3F 所示,于遮蔽电极 28 及绝缘层 22B 上形成保护层 22C,接下来移除部分的绝缘层 22B 及其下的保护层 22C,形成第二接触窗 C 以露出晶体管的部分漏极 27B。保护层 22C 的组成及形成方法类似于栅极绝缘层 22A 及绝缘层 22B,可采用相同或不同的材料。

[0044] 最后如图 3G 所示,于保护层 22C 上形成像素电极 29,以使像素电极 29 是藉由第二接触窗 C 与漏极 27B 电连接。像素电极 29 的形成方式可以是于保护层 22C 上形成铟锡氧化物、铟锌氧化物或是其他材质的透明导体层(未图示),并将透明导体层(未图示)图案化以形成像素电极 29。

[0045] 像素电极 29 的材质为透明导体层,较佳为铟锡氧化物、铟锌氧化物、铝锌氧化物、镉锡氧化物、或上述材质的组合。如图 3G 的 B-B' 切线所示,像素电极 29、绝缘层 22C、与遮蔽电极 28 重迭的部分可构成储存电容。由于第一数据线 21C 与遮蔽电极 28 之间隔有两层绝缘层,也就是栅极绝缘层 22A 及绝缘层 22B,除了可以减少导体层之间的耦合效应、串音等问题,例如降低第一数据线 21C 和遮蔽电极 28 的寄生电容延迟、第一数据线 21C 与像素电极 29 之间串音等问题外,更可减少两电极层之间线路短路的机率,进而增加产品良率。

[0046] 虽然本发明已以数个较佳实施例揭露如上,然其并非用以限定本发明,任何熟悉

本技术领域的人员,在不脱离本发明的精神和范围内,当可作任意的更动与润饰,因此本发明的保护范围当视权利要求范围所界定为准。

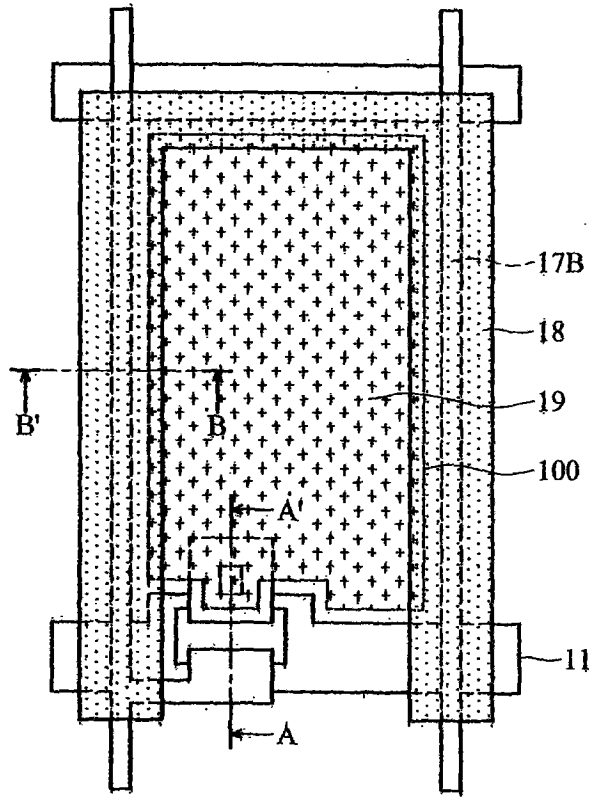


图 1A

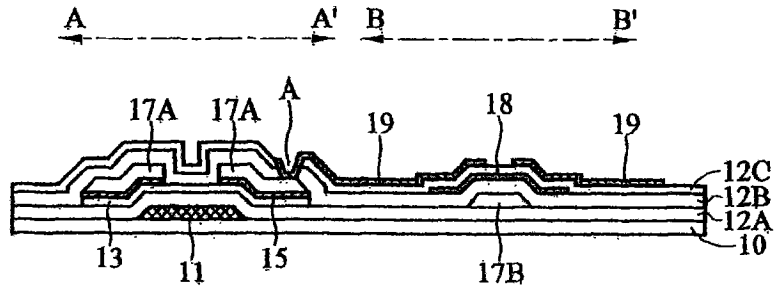


图 1B

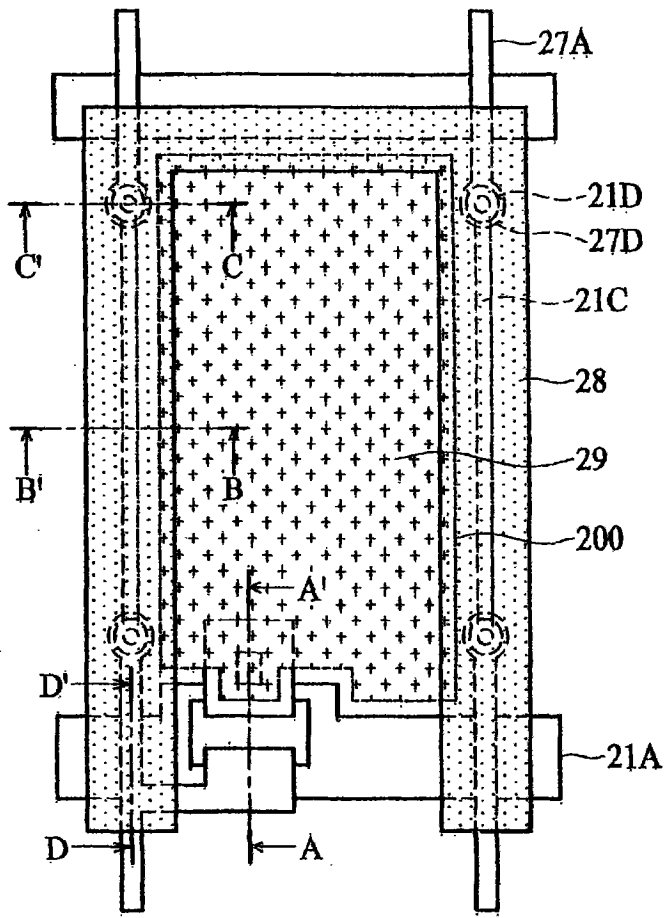


图 2

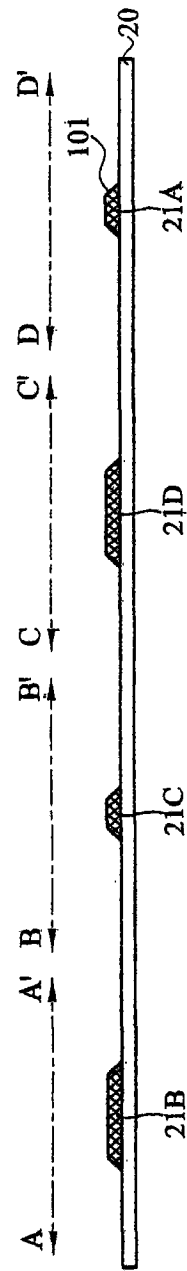


图 3A

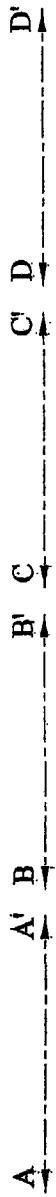


图 3B

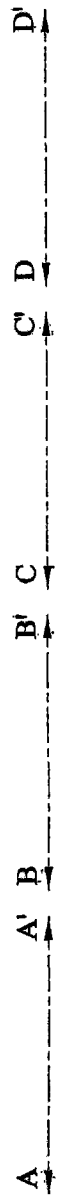


图 3C

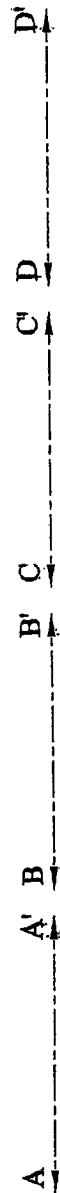
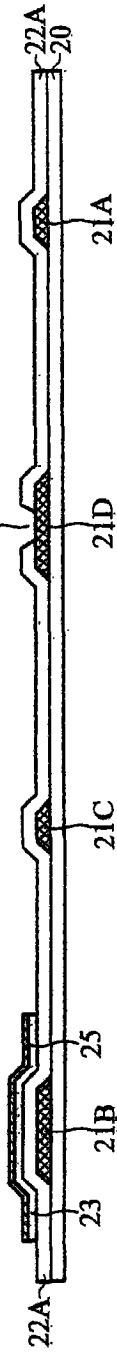


图 3D

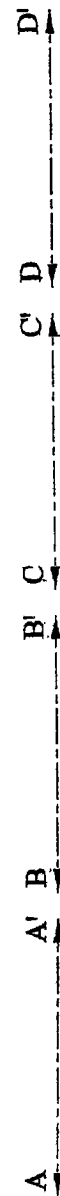
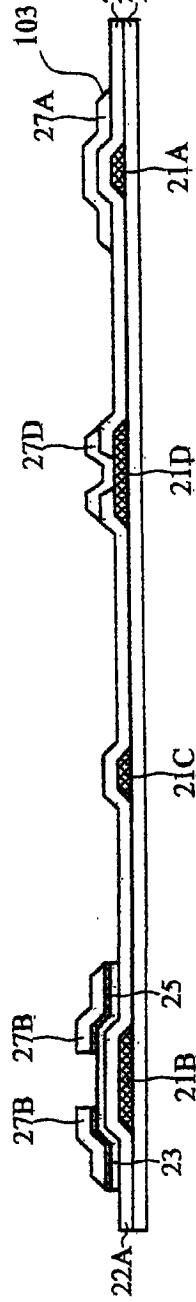
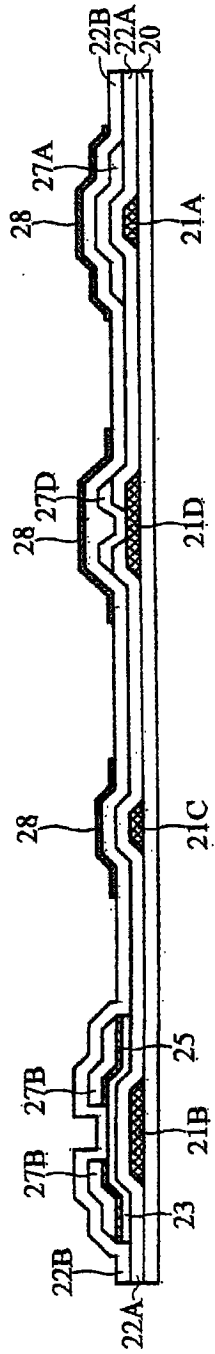


图 3E



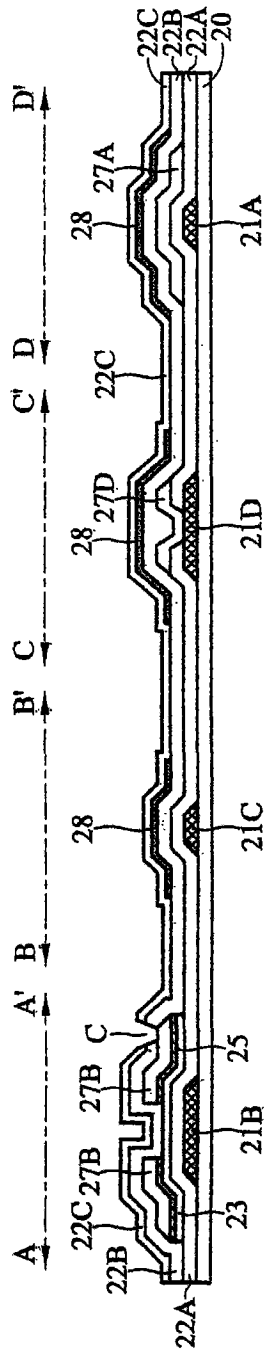


图 3F

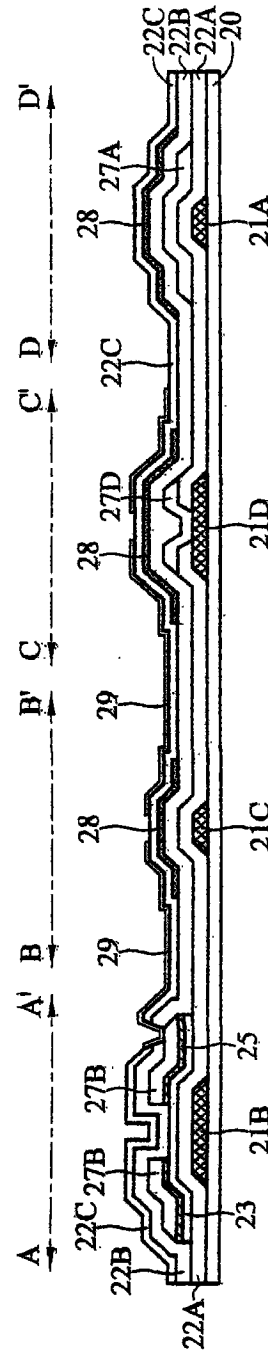


图 3G