

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-28273
(P2024-28273A)

(43)公開日 令和6年3月4日(2024.3.4)

(51)国際特許分類

F I

H 0 1 L	27/146 (2006.01)	H 0 1 L	27/146	C
H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78	6 1 3 Z
H 0 4 N	25/70 (2023.01)	H 0 4 N	25/70	

審査請求 有 請求項の数 6 O L (全69頁)

(21)出願番号 特願2023-213829(P2023-213829)
 (22)出願日 令和5年12月19日(2023.12.19)
 (62)分割の表示 特願2022-177828(P2022-177828)
)の分割
 原出願日 平成23年8月24日(2011.8.24)
 (31)優先権主張番号 特願2010-190239(P2010-190239)
 (32)優先日 平成22年8月27日(2010.8.27)
 (33)優先権主張国・地域又は機関
 日本国(JP)
 (31)優先権主張番号 特願2011-107813(P2011-107813)
 (32)優先日 平成23年5月13日(2011.5.13)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(71)出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷3 9 8 番地
 (72)発明者 黒川 義元
 神奈川県厚木市長谷3 9 8 番地 株式会
 社半導体エネルギー研究所内

(54)【発明の名称】 半導体装置、電子機器及び携帯型情報端末

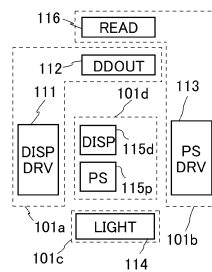
(57)【要約】

【課題】光電変換素子に対するトランジスタの数を低減する。

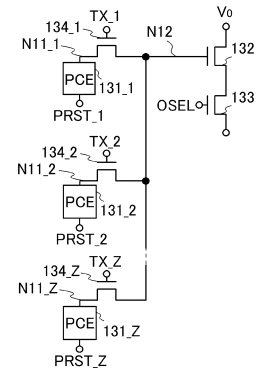
【解決手段】表示データ信号のデータに応じた表示状態になる表示回路と、それぞれ入射する光の照度に応じた光データを生成する複数の光検出回路と、を含み、光検出回路は、
 X個(Xは2以上の自然数)の光電変換素子と、ソース及びドレインの一方がX個の光電変換素子のうちの一つの光電変換素子の第2の電流端子に電氣的に接続され、ゲートに光検出回路制御部からX個の電荷蓄積制御信号うち一つの電荷蓄積制御信号が入力されるX個の電荷蓄積制御トランジスタと、ゲートがX個の電荷蓄積制御トランジスタのソース及びドレインの一方のそれぞれに電氣的に接続される増幅トランジスタと、を備える。

【選択図】図1

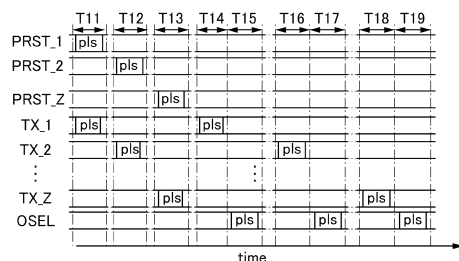
(A)



(B)



(C)



【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 1 のフォトダイオードと、第 2 のフォトダイオードと、を有し、

前記第 1 のフォトダイオードのアノードは、第 1 の導電層と電氣的に接続され、

前記第 1 の導電層は、第 2 の導電層と電氣的に接続され、

前記第 1 のフォトダイオードのカソードは、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 3 の導電層と電氣的に接続され、

前記第 2 のフォトダイオードのアノードは、第 4 の導電層と電氣的に接続され、

前記第 4 の導電層は、第 5 の導電層と電氣的に接続され、

前記第 2 のフォトダイオードのカソードは、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 3 の導電層と電氣的に接続され、

前記第 3 の導電層は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 6 の導電層と電氣的に接続され、

前記第 6 の導電層は、第 7 の導電層と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、信号を出力する配線として機能する領域を有する第 8 の導電層と電氣的に接続され、

前記第 1 の導電層と前記第 3 の導電層と前記第 4 の導電層と前記第 7 の導電層とは、同層に配置され、

前記第 1 の導電層と前記第 2 の導電層とは、前記第 1 のフォトダイオードの受光面側とは逆側に配置され、

前記第 1 の導電層と前記第 2 の導電層とは、電氣的に接続され、

前記第 4 の導電層と前記第 5 の導電層とは、前記第 2 のフォトダイオードの受光面側とは逆側に配置され、

前記第 4 の導電層と前記第 5 の導電層とは、電氣的に接続され、

第 1 の絶縁層は、前記第 1 のフォトダイオードの側面の少なくとも一部を覆う領域を有し、

平面視において、前記第 3 の導電層は、第 2 の絶縁層を介して前記第 2 の導電層と重なる領域を有する、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、入出力装置に関する。

【背景技術】

【0002】

近年、情報を入力する機能を有し、且つ光の入射により情報を入力する機能を有する装置（入出力装置ともいう）の技術開発が進められている。

【0003】

入出力装置としては、行列方向に配置された複数の表示回路及び複数の光検出回路（光センサともいう）を画素部に備え、光センサに入射する光の照度を検出することにより、画素部に重畳する被読み取り物の座標を検出する機能（座標検出機能ともいう）及び被読み取り物の画像データを生成する機能（読み取り機能）を有する入出力装置が挙げられる（例えば特許文献 1）。特許文献 1 に示す入出力装置では、フォトダイオード、増幅トラン

10

20

30

40

50

ジスタ、初期化（リセット）トランジスタ、及び選択トランジスタにより光検出回路が構成されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-182064号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来の入出力装置では、光電変換素子であるフォトダイオード毎に増幅トランジスタ、初期化（光検出リセット）トランジスタ、及び選択トランジスタを設けるため、1つの光電変換素子に対するトランジスタの数が多いといった問題があった。トランジスタの数が多いと、例えば画素のサイズの縮小が難しく、また、トランジスタのリーク電流における影響も大きくなる。

10

【0006】

本発明の一態様は、1つの光電変換素子に対するトランジスタの数を少なくすること及びトランジスタのリーク電流における影響を小さくすることの一つ又は複数を課題の一つとする。

【課題を解決するための手段】

【0007】

本発明の一態様は、光電変換素子、電荷蓄積制御トランジスタ、及び増幅トランジスタを備える光検出回路を含み、少なくとも増幅トランジスタを複数の光電変換素子により共有させて光検出回路を構成するものである。これにより、画素部におけるトランジスタの数の低減を図る。

20

【0008】

また、本発明の一態様は、光電変換素子、電荷蓄積制御トランジスタ、増幅トランジスタ、及び出力選択トランジスタを備える光検出回路を含み、少なくとも増幅トランジスタ及び出力選択トランジスタを複数の光電変換素子により共有させて光検出回路を構成するものである。これにより、画素部におけるトランジスタの数の低減を図る。

【0009】

また、本発明の一態様は、光電変換素子、電荷蓄積制御トランジスタ、増幅トランジスタ、出力選択トランジスタ、及び光検出リセットトランジスタを備える光検出回路を含み、少なくとも増幅トランジスタ、出力選択トランジスタ、及び光検出リセットトランジスタを複数の光電変換素子により共有させて光検出回路を構成するものである。これにより、画素部におけるトランジスタの数の低減を図る。

30

【0010】

また、本発明の一態様は、光電変換素子毎に、オフ電流の少ない電荷蓄積制御トランジスタを設け、光電変換素子に入射する光の照度に応じた量の電荷を一定期間保持するものである。これにより、トランジスタのリーク電流における影響の低減を図る。

【発明の効果】

40

【0011】

本発明の一態様により、光電変換素子の数に対するトランジスタの数を少なくすることができるため、画素部におけるトランジスタの数を少なくすることができる。

【図面の簡単な説明】

【0012】

【図1】実施の形態1における入出力装置を説明するための図。

【図2】実施の形態2における光検出回路の例を説明するための図。

【図3】実施の形態3における光検出回路の例を説明するための図。

【図4】実施の形態4における表示回路の例を説明するための図。

【図5】実施の形態5におけるトランジスタの例を説明するための図。

50

- 【図 6】図 5 (A) に示すトランジスタの作製方法例を説明するための断面模式図。
- 【図 7】特性評価回路を説明するための図。
- 【図 8】SMP 4、SMP 5、及びSMP 6における測定に係る経過時間Timeと、出力電圧Vout及び該測定によって算出されたリーク電流との関係を示す図。
- 【図 9】測定により見積もられたノードAの電圧とリーク電流の関係を示す図。
- 【図 10】測定により見積もられたノードAの電圧とリーク電流の関係を示す図。
- 【図 11】測定により見積もられたノードAの電圧とリーク電流の関係を示す図。
- 【図 12】測定により見積もられたノードAの電圧とリーク電流の関係を示す図。
- 【図 13】実施の形態6の入出力装置におけるアクティブマトリクス基板の構造例を示す図。 10
- 【図 14】実施の形態6の入出力装置におけるアクティブマトリクス基板の構造例を示す図。
- 【図 15】実施の形態6における入出力装置の構造例を示す図。
- 【図 16】実施の形態6における入出力装置の構造例を示す図。
- 【図 17】実施の形態7における電子機器の構成例を示す模式図。
- 【図 18】本発明の一態様に係る酸化物材料の構造を説明する図。
- 【図 19】本発明の一態様に係る酸化物材料の構造を説明する図。
- 【図 20】本発明の一態様に係る酸化物材料の構造を説明する図。
- 【図 21】計算によって得られた移動度のゲート電圧依存性を説明する図である。
- 【図 22】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図である。 20
- 【図 23】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図である。
- 【図 24】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図である。
- 【図 25】計算に用いたトランジスタの断面構造を説明する図である。
- 【図 26】本発明の一態様であるトランジスタの上面図及び断面図。
- 【図 27】試料1乃至試料6に対応するトランジスタの構造を示す上面図及び断面図。
- 【図 28】試料3及び試料4であるトランジスタのVg - Id特性及び電界効果移動度を示す図。 30
- 【図 29】試料1であるトランジスタのBT試験前後のVg - Id特性及び電界効果移動度を示す図。
- 【図 30】試料4であるトランジスタのBT試験前後のVg - Id特性及び電界効果移動度を示す図。
- 【図 31】試料4であるトランジスタの測定温度によるVg - Id特性及び電界効果移動度を示す図。
- 【図 32】試料4であるトランジスタの閾値電圧及び電界効果移動度の温度特性を示す図。
- 【図 33】In - Sn - Zn - O膜のXRDスペクトルを示す図。
- 【図 34】In - Sn - Zn - O膜を用いたトランジスタのオフ電流を示す図。 40
- 【発明を実施するための形態】
- 【0013】
- 本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。
- 【0014】
- なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに置き換えることができる。
- 【0015】 50

また、第 1、第 2 などの序数を用いた用語は、構成要素の混同を避けるために付したものであり、各構成要素は、序数の数に限定されない。

【0016】

(実施の形態 1)

本実施の形態では、画像を表示することにより情報の出力が可能であり、且つ入射する光により情報の入力可能な入出力装置の例について説明する。

【0017】

本実施の形態における入出力装置の例について、図 1 を用いて説明する。図 1 は、本実施の形態における入出力装置の例を説明するための図である。

【0018】

まず、本実施の形態における入出力装置の構成例について、図 1 (A) を用いて説明する。図 1 (A) は、本実施の形態における入出力装置の構成例を示す模式図である。

【0019】

図 1 (A) に示す入出力装置は、表示回路制御部 101a と、光検出回路制御部 101b と、光源部 101c と、画素部 101d と、を含む。

【0020】

表示回路制御部 101a は、表示駆動回路 (DISPDRV ともいう) 111 と、表示データ信号出力回路 (DDOUT ともいう) 112 と、を含む。

【0021】

光検出回路制御部 101b は、光検出駆動回路 (PSDRV ともいう) 113 と、読み出し回路 116 と、を含む。

【0022】

光源部 101c は、ライトユニット (LIGHT ともいう) 114 を含む。

【0023】

画素部 101d は、複数の表示回路 (DISP ともいう) 115d と、複数の光検出回路 (PS ともいう) 115p と、を含む。なお、1 個以上の表示回路 115d により 1 つの画素が構成される。また、画素に 1 個以上の光検出回路 115p が含まれてもよい。また、複数の表示回路 115d は、画素部 101d において、行列方向に配置される。また、複数の光検出回路 115p は、画素部 101d において、行列方向に配置される。

【0024】

表示駆動回路 111 は、パルス信号である複数の表示選択信号 (信号 DSEL ともいう) を出力する機能を有する。

【0025】

表示駆動回路 111 は、例えばシフトレジスタを備える。表示駆動回路 111 は、シフトレジスタからパルス信号を出力させることにより、表示選択信号を出力することができる。

【0026】

表示データ信号出力回路 112 には、画像信号が入力される。表示データ信号出力回路 112 は、入力された画像信号を元に電圧信号である表示データ信号 (信号 DD ともいう) を生成し、生成した表示データ信号を出力する機能を有する。

【0027】

表示データ信号出力回路 112 は、例えばスイッチングトランジスタを備える。

【0028】

なお、入出力装置において、トランジスタは、2 つの端子と、印加される電圧により該 2 つの端子の間に流れる電流を制御する電流制御端子と、を有する。なお、トランジスタに限らず、素子において、互いの間に流れる電流が制御される端子を電流端子ともいい、2 つの電流端子のそれぞれを第 1 の電流端子及び第 2 の電流端子ともいう。

【0029】

また、入出力装置において、トランジスタとしては、例えば電界効果トランジスタを用いることができる。電界効果トランジスタの場合、第 1 の電流端子は、ソース及びドレイン

10

20

30

40

50

の一方であり、第2の電流端子は、ソース及びドレインの他方であり、電流制御端子は、ゲートである。

【0030】

また、一般的に電圧とは、ある二点間における電位の差（電位差ともいう）のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト（V）で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位（基準電位ともいう）との電位差を、該一点の電圧として用いる場合がある。

【0031】

表示データ信号出力回路112は、スイッチングトランジスタがオン状態のときに画像信号のデータを表示データ信号として出力することができる。スイッチングトランジスタは、電流制御端子にパルス信号である制御信号を入力することにより制御することができる。なお、表示回路115dの数が複数である場合には、複数のスイッチングトランジスタを選択的にオン状態又はオフ状態にすることにより、画像信号のデータを複数の表示データ信号として出力してもよい。

10

【0032】

光検出駆動回路113は、パルス信号である光検出リセット信号（信号PRSTともいう）、パルス信号である蓄積制御信号（信号TXともいう）を出力する機能を有する。なお、必要に応じて光検出駆動回路113がパルス信号である出力選択信号（信号OSLともいう）を出力する機能を有する構成にしてもよい。

20

【0033】

光検出駆動回路113は、例えばシフトレジスタを備える。このとき、光検出駆動回路113は、シフトレジスタからパルス信号を出力させることにより、光検出リセット信号及び蓄積制御信号、又は光検出リセット信号、蓄積制御信号、及び出力選択信号を出力することができる。

【0034】

ライトユニット114は、光源を備える発光ユニットである。

【0035】

光源としては、例えば冷陰極管又は発光ダイオードを用いることができる。発光ダイオードは、可視光領域（例えば光の波長が360nm乃至830nmである領域）の波長を有する光を発する発光ダイオードである。発光ダイオードとしては、例えば白色発光ダイオードを用いることができる。なお、それぞれの色の発光ダイオードの数は、複数でもよい。また、発光ダイオードとして、例えば赤色発光ダイオード、緑色発光ダイオード、及び青色発光ダイオードを用いてもよい。赤色発光ダイオード、緑色発光ダイオード、及び青色発光ダイオードを用いることにより、例えば1つのフレーム期間中に表示選択信号に従って、赤色発光ダイオード、緑色発光ダイオード、及び青色発光ダイオードの一つ又は複数を順次切り替えて発光させることにより、フルカラーの画像を表示する駆動方式（フィールドシーケンシャル駆動方式）を用いることができ、且つフルカラーでの被読み取り物の読み取りを行うことができる。

30

【0036】

なお、例えば発光ダイオードの点灯を制御する制御回路を設け、パルス信号であり、該制御回路に入力される制御信号に従って、発光ダイオードの点灯を制御することもできる。

40

【0037】

表示回路115dは、ライトユニット114に重畳する。表示回路115dには、ライトユニット114から光が入射する。また、表示回路115dには、パルス信号である表示選択信号が入力され、且つ入力された表示選択信号に従って表示データ信号が入力される。表示回路115dは、入力された表示データ信号のデータに応じた表示状態になる機能を有する。

【0038】

表示回路115dは、例えば表示選択トランジスタ及び表示素子を備える。

50

【0039】

表示選択トランジスタは、表示素子に表示データ信号のデータを入力させるか否かを選択する機能を有する。

【0040】

表示素子は、表示選択トランジスタに従って表示データ信号のデータが入力されることにより、表示データ信号のデータに応じた表示状態になる機能を有する。

【0041】

表示素子としては、例えば液晶素子などを用いることができる。

【0042】

また、液晶素子を備える入出力装置の表示方式としては、TN (Twisted Nematic) モード、IPS (In Plane Switching) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モード、又はFFS (Fringe Field Switching) モードなどを用いてもよい。

【0043】

光検出回路115pは、ライトユニット114に重畳する。例えば画素部101dに被読み取り物がある場合、ライトユニット114から照射された光が被読み取り物により反射し、該反射した光が光検出回路115pに入射する。光検出回路115pには、光検出しセット信号及び電荷蓄積制御信号が入力される。また、赤色用、緑色用、及び青色用の光検出回路115pを設けることもできる。例えば、赤色、緑色、及び青色のカラーフィルタを設け、赤色、緑色、及び青色のカラーフィルタを介してそれぞれの色用の光検出回路115pにより光データを生成し、生成した複数の光データを合成して画像データを生成することにより、フルカラーの画像データを生成することもできる。

【0044】

光検出回路115pは、X個(Xは2以上の自然数)の光電変換素子(PCEともいう)と、X個の電荷蓄積制御トランジスタ、及び増幅トランジスタを少なくとも備える。

【0045】

X個の光電変換素子のそれぞれは、第1の電流端子及び第2の電流端子を有し、X個の光電変換素子の第1の電流端子のそれぞれには、単位電圧又はX個の光検出しセット信号のうち、互いに異なる光検出しセット信号が入力される。光電変換素子は、第1の光が入射することにより、入射した光の照度に応じて電流(光電流ともいう)が流れる機能を有する。なお、光電変換素子の第1の電流端子に単位電圧が入力される場合、光電変換素子の第1の電流端子に入力される単位電圧の値は適宜設定される。

【0046】

X個の電荷蓄積制御トランジスタの第1の電流端子のそれぞれは、X個の光電変換素子のうち、互いに異なる光電変換素子の第2の電流端子に電氣的に接続され、X個の電荷蓄積制御トランジスタの電流制御端子のそれぞれには、X個の電荷蓄積制御信号のうち、互いに異なる電荷蓄積制御信号が入力される。

【0047】

増幅トランジスタの第1の電流端子及び第2の電流端子の一方には、単位電圧が入力され、増幅トランジスタの第1の電流端子及び第2の電流端子の他方を介して光データが光データ信号として出力され、増幅トランジスタの電流制御端子は、X個の電荷蓄積制御トランジスタの第2の電流端子のそれぞれに電氣的に接続される。つまり、X個の電荷蓄積

御トランジスタにより1つの増幅トランジスタが共有して用いられる。なお、単位電圧の値は適宜設定される。

【0048】

なお、光検出回路115pは、増幅トランジスタの第1の電流端子又は第2の電流端子を介して光データを光データ信号として出力する。

【0049】

読み出し回路116は、光データを読み出す光検出回路115pを選択し、選択した光検出回路115pから光データを読み出す機能を有する。

【0050】

読み出し回路116は、例えば選択回路を用いて構成される。例えば、選択回路は、スイッチングトランジスタを備え、該スイッチングトランジスタに従って光検出回路115pから光データ信号が入力されることにより光データを読み出すことができる。

【0051】

さらに、光検出回路115pの構成例について、図1(B)を用いて説明する。図1(B)は、図1(A)に示す入出力装置における光検出回路の構成例を示す回路図である。

【0052】

図1(B)に示す光検出回路は、光電変換素子131__1乃至光電変換素子131__Z(Zは3以上の自然数)のZ個の光電変換素子と、トランジスタ132と、トランジスタ133と、トランジスタ134__1乃至トランジスタ134__ZのZ個のトランジスタ134と、を備える。

【0053】

光電変換素子131__K(Kは1乃至Zの自然数)の第1の電流端子には、光検出リセット信号PRST__Kが入力される。

【0054】

光電変換素子131__1乃至光電変換素子131__Zのそれぞれとしては、例えばフォトダイオード又はフォトトランジスタなどを用いることができる。フォトダイオードの場合、フォトダイオードのアノード及びカソードの一方が光電変換素子の第1の電流端子に相当し、フォトダイオードのアノード及びカソードの他方が光電変換素子の第2の電流端子に相当する。また、フォトトランジスタの場合、フォトトランジスタのソース及びドレインの一方が光電変換素子の第1の電流端子に相当し、フォトトランジスタのソース及びドレインの他方が光電変換素子の第2の電流端子に相当する。

【0055】

トランジスタ134__Kのソース及びドレインの一方は、光電変換素子131__Kの第2の電流端子に接続され、トランジスタ134__Kのゲートには、電荷蓄積制御信号TX__Kが入力される。なお、トランジスタ134__Kのソース及びドレインの一方と光電変換素子131__Kとの接続箇所をノードN11__Kともいう。

【0056】

トランジスタ134__1乃至トランジスタ134__Zのそれぞれは、電荷蓄積制御トランジスタとしての機能を有する。

【0057】

トランジスタ134__1乃至トランジスタ134__Zのそれぞれとしては、例えばチャンネルが形成される酸化物半導体層を含むトランジスタを用いることができる。上記酸化物半導体層は、真性(I型ともいう)、又は実質的に真性である半導体層であり、キャリアの数が極めて少なく、キャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0058】

また、上記酸化物半導体層を含むトランジスタのオフ電流は、チャンネル幅 $1 \mu\text{m}$ あたり 10 aA ($1 \times 10^{-17} \text{ A}$)以下、好ましくは 1 aA ($1 \times 10^{-18} \text{ A}$)以下、さらには好ましくは 10 zA ($1 \times 10^{-20} \text{ A}$)以下、さらに好ましくは 1 zA ($1 \times 10^{-21} \text{ A}$)以下、さらに好ましくは 100 yA ($1 \times 10^{-22} \text{ A}$)以下である。

10

20

30

40

50

【 0 0 5 9 】

また、上記酸化物半導体層は、キャリア濃度が低いため、該酸化物半導体層を含むトランジスタは、温度が変化した場合であっても、オフ電流が低い。例えばトランジスタの温度が 150 であっても、オフ電流は、 $100 \text{ z A} / \mu\text{m}$ 以下である。

【 0 0 6 0 】

トランジスタ 132 のソース及びドレインの一方には、電圧 V_0 が入力され、トランジスタ 132 のゲートは、トランジスタ 134 __ 1 乃至トランジスタ 134 __ Z のソース及びドレインの他方のそれぞれに接続される。なお、トランジスタ 132 のゲートと、トランジスタ 134 __ 1 乃至トランジスタ 134 __ Z のソース及びドレインの他方のそれぞれの接続箇所をノード N12 ともいう。また、電圧 V_0 の値は、適宜設定される。

10

【 0 0 6 1 】

トランジスタ 132 は、増幅トランジスタとしての機能を有する。

【 0 0 6 2 】

トランジスタ 133 のソース及びドレインの一方は、トランジスタ 132 のソース及びドレインの他方に接続され、トランジスタ 133 のゲートには、信号 OSEL が入力される。

【 0 0 6 3 】

なお、トランジスタ 132 及びトランジスタ 133 としては、例えばチャネルが形成され、元素周期表における第 14 族の半導体（シリコンなど）を含有する半導体層又はチャネルが形成される酸化物半導体層を含むトランジスタを用いることができる。酸化物半導体層を含むトランジスタとしては、トランジスタ 134 __ 1 乃至トランジスタ 134 __ Z に適用可能な酸化物半導体層を用いたトランジスタを用いることができる。

20

【 0 0 6 4 】

また、トランジスタ 134 __ 1 乃至トランジスタ 134 __ Z 及びトランジスタ 133 としてチャネルが形成される酸化物半導体層を用い、トランジスタ 132 として、例えばチャネルが形成され、元素周期表における第 14 族の半導体（シリコンなど）を含有する半導体層を用いることもできる。

【 0 0 6 5 】

次に、図 1 (B) に示す光検出回路の駆動方法例について、図 1 (C) を用いて説明する。図 1 (C) は、図 1 (B) に示す光検出回路の駆動方法例を説明するためのタイミングチャートであり、信号 PRST __ 1 乃至信号 PRST __ Z、信号 TX __ 1 乃至信号 TX __ Z、及び信号 OSEL のそれぞれの状態を示す。なお、ここでは、一例として光電変換素子 131 __ 1 乃至光電変換素子 131 __ Z のそれぞれがフォトダイオードであり、電圧 V_0 の値が基準電位と同じ値である場合について説明する。

30

【 0 0 6 6 】

図 1 (B) に示す光検出回路の駆動方法例では、期間 T11 において、信号 PRST __ 1 のパルス (pls ともいう) 及び信号 TX __ 1 のパルスが入力され、さらに、期間 T12 において、信号 PRST __ 2 のパルス及び信号 TX __ 2 のパルスが入力される。その後、期間毎に、異なる信号 PRST 及び信号 TX のパルスが順次入力され、期間 T13 において、信号 PRST __ Z のパルス及び信号 TX __ Z のパルスが入力される。

40

【 0 0 6 7 】

信号 PRST __ K 及び信号 TX __ K のパルスが入力されている間、光電変換素子 131 __ K は、順方向に電流が流れる状態になり、且つトランジスタ 134 __ K がオン状態になる。これにより、ノード N11 __ K 及びノード N12 の電圧は、一定の値にリセットされる。よって、ノード N11 __ 1 乃至ノード N11 __ Z の電圧は、順次リセットされ、またノード N12 の電圧もリセットされる。

【 0 0 6 8 】

なお、期間 T11 乃至期間 T13 において、信号 PRST __ K のパルス幅は、信号 TX __ K のパルス幅より長いことが好ましく、信号 TX __ K のパルスの入力が終わったときに信号 PRST __ K のパルスがまだ入力されていることが好ましい。

50

【 0 0 6 9 】

さらに、期間 T 1 1 乃至期間 T 1 3 において、信号 P R S T _ K のパルスが入力された後、再度信号 T X _ K のパルスが入力されるまで、光電変換素子 1 3 1 _ K は、第 1 の電流端子及び第 2 の電流端子の間に、順方向とは逆方向に電圧が印加された状態になる。このとき、光電変換素子 1 3 1 _ K には、入射する光の照度に応じて電流が流れ、光電変換素子 1 3 1 _ K に流れる電流に応じてノード N 1 1 _ K の電圧値が変化する。なお、期間 T 1 1 乃至期間 T 1 3 において、信号 P R S T _ K のパルスが入力された後、再度信号 T X _ K のパルスが入力されるまでの期間を蓄積期間ともいう。

【 0 0 7 0 】

さらに、期間 T 1 4 において、信号 T X _ 1 のパルスが入力され、期間 T 1 5 において、信号 O S E L のパルスが入力される。さらに、期間 T 1 6 において、信号 T X _ 2 のパルスが入力され、期間 T 1 7 において、信号 O S E L のパルスが入力される。その後、異なる信号 P R S T のパルスが順次入力され、信号 P R S T のパルスが入力された後の期間において、信号 O S E L のパルスが入力され、期間 T 1 8 において、信号 T X _ Z のパルスが入力され、期間 T 1 9 において、信号 O S E L のパルスが入力される。

10

【 0 0 7 1 】

期間 T 1 4 乃至期間 T 1 9 において、信号 T X _ K のパルスが入力されている間、トランジスタ 1 3 4 _ K がオン状態になり、ノード N 1 1 _ K の電圧及びノード N 1 2 の電圧が変化する。このとき、ノード N 1 1 _ K の電圧及びノード N 1 2 の電圧は、それぞれに付加する容量比に応じた値に変化する。ノード N 1 2 の電圧が変化するとトランジスタ 1 3 2 のソース及びドレインの間のチャンネル抵抗の値が変化する。

20

【 0 0 7 2 】

また、信号 O S E L のパルスが入力されている間、トランジスタ 1 3 3 がオン状態になり、トランジスタ 1 3 2 のソース及びドレイン、並びにトランジスタ 1 3 3 のソース及びドレインを介して電流が流れる。トランジスタ 1 3 2 のソース及びドレイン、並びにトランジスタ 1 3 3 のソース及びドレインを介して流れる電流は、ノード N 1 2 の電圧、すなわちトランジスタ 1 3 2 のゲートの電圧の値に依存する。よって、トランジスタ 1 3 2 のソース及びドレイン、並びにトランジスタ 1 3 3 のソース及びドレインを介して流れる電流は、蓄積期間に光電変換素子 1 3 1 _ K に入射する光の照度に応じた値となる。例えば、光電変換素子 1 3 1 _ K に入射する光の照度が高いほど、光データの電圧を低くすることもできる。なお、これに限定されず、光の照度が高いほど、光データの電圧を高くすることもできる。図 1 (B) に示す光検出回路は、トランジスタ 1 3 3 のソース及びドレインの他方から光データを光データ信号として出力する。

30

【 0 0 7 3 】

なお、期間 T 1 4 乃至期間 T 1 9 において、信号 O S E L のパルスが入力された後、次の信号 T X _ M (M は 2 乃至 Z の自然数) のパルスが入力される前に、信号 T X _ M - 1 及び信号 P R S T _ M - 1 のパルスを入力してノード N 1 2 を再びリセット状態にしてもよい。このように、期間 T 1 4 乃至期間 T 1 9 において、信号 O S E L のパルスが入力された後、次の信号 T X _ M (M は 2 乃至 Z の自然数) のパルスが入力される前に、信号 T X _ M - 1 及び信号 P R S T _ M - 1 のパルスを入力することにより、改めてリセット動作を行う必要がないため、読み取り (撮像ともいう) の周期を短くすることができる。以上が図 1 (B) に示す光検出回路の駆動方法例である。

40

【 0 0 7 4 】

次に、本実施の形態における入出力装置の駆動方法例として、図 1 (A) に示す入出力装置の駆動方法例について説明する。

【 0 0 7 5 】

図 1 (A) に示す入出力装置の駆動方法例では、表示選択信号のパルスに従って表示回路 1 1 5 d に表示データ信号が入力され、表示回路 1 1 5 d は、入力された表示データ信号のデータに応じた表示状態になり、画素部 1 0 1 d は、画像を表示する。

【 0 0 7 6 】

50

また、図 1 (A) に示す入出力装置の駆動方法例では、図 1 (C) を用いて説明した光検出回路の駆動方法を用いて複数の光検出回路 1 1 5 p のそれぞれに入射する光の照度に応じた複数の光データを生成し、光データ信号として順次出力する。

【 0 0 7 7 】

さらに、読み出し回路 1 1 6 により複数の光検出回路 1 1 5 p から出力された光データを順次読み出す。読み出された光データは、例えば被読み取り物の座標検出又は画像データ生成など、所定の処理に用いられる。

【 0 0 7 8 】

なお、上記生成した光データから画像信号を生成し、該画像信号を用いて表示データ信号を生成してもよい。これにより、光データに応じて表示画像を変化させることもできる。

10

【 0 0 7 9 】

図 1 を用いて説明したように、本実施の形態における入出力装置の一例は、光検出回路において、1つの増幅トランジスタ及び1つの出力選択トランジスタを複数の電荷蓄積制御トランジスタ及び複数の光電変換素子により共有して用いる構成である。上記構成にすることにより、画素部におけるトランジスタの数を少なくすることができる。画素部におけるトランジスタの数を少なくすることにより、1つの画素のサイズの縮小又は光電変換素子のサイズの拡大を行うことができる。例えば光電変換素子のサイズが大きくなるほど入射する光の感度が向上する。

【 0 0 8 0 】

また、本実施の形態における入出力装置の一例は、少なくとも電荷蓄積制御トランジスタとして、オフ電流が少なく、チャンネルが形成される酸化物半導体層を含むトランジスタを用いる構成である。上記構成にすることにより、電荷蓄積制御トランジスタのリーク電流による光データの変動を抑制することができるため、S/N比を向上させることができる。また、従来では1つの増幅トランジスタのゲートに複数の電荷蓄積制御トランジスタのソース及びドレインの他方を接続させた場合、電荷蓄積制御トランジスタのリーク電流により増幅トランジスタのゲートの電圧の変動が大きかった。しかしながら、上記構成にすることにより、電荷蓄積制御トランジスタのリーク電流による光データの変動を抑制することができるため、1つの増幅トランジスタのゲートに複数の電荷蓄積制御トランジスタのソース及びドレインの他方を接続させた構成であっても増幅トランジスタのゲートの電圧の変動を抑制することができる。よって、1つの増幅トランジスタを複数の電荷蓄積制御トランジスタ及び光電変換素子により共有して用いる構成である場合、電荷蓄積制御トランジスタとして、オフ電流が少なく、チャンネルが形成される酸化物半導体層を含むトランジスタを用いることが好適である。

20

30

【 0 0 8 1 】

(実施の形態 2)

本実施の形態では、上記実施の形態の入出力装置における光検出回路の他の例について説明する。なお、本実施の形態における光検出回路の例において、上記実施の形態の入出力装置における光検出回路と同じ部分については、上記実施の形態の入出力装置における光検出回路の説明を適宜援用する。

【 0 0 8 2 】

本実施の形態における光検出回路の例について、図 2 を用いて説明する。図 2 は、本実施の形態における光検出回路を説明するための図である。

40

【 0 0 8 3 】

まず、本実施の形態における光検出回路の構成例について、図 2 (A) を用いて説明する。図 2 (A) は、本実施の形態における光検出回路の構成例を示す回路図である。

【 0 0 8 4 】

図 2 (A) に示す光検出回路は、図 1 (B) に示す光検出回路と同様に光電変換素子 1 3 1 __ 1 乃至光電変換素子 1 3 1 __ Z の Z 個の光電変換素子と、トランジスタ 1 3 2 と、トランジスタ 1 3 3 と、トランジスタ 1 3 4 __ 1 乃至トランジスタ 1 3 4 __ Z の Z 個のトランジスタと、を備える。さらに、図 2 (A) に示す光検出回路は、トランジスタ 1 3 5 を

50

備える。

【0085】

図2(A)に示す光検出回路において、光電変換素子131_Kの第1の電流端子には、電圧V_bが入力される。

【0086】

トランジスタ134_Kのソース及びドレインの一方は、光電変換素子131_Kの第2の電流端子に接続され、トランジスタ134_Kのゲートには、電荷蓄積制御信号TX_Kが入力される。

【0087】

トランジスタ132のソース及びドレインの一方には、電圧V₀が入力され、トランジスタ132のゲートは、トランジスタ134_1乃至トランジスタ134_Zのソース及びドレインの他方のそれぞれに接続される。

10

【0088】

トランジスタ133のソース及びドレインの一方は、トランジスタ132のソース及びドレインの他方に接続され、トランジスタ133のゲートには、信号OSELが入力される。

【0089】

トランジスタ135のソース及びドレインの一方には、電圧V_aが入力され、トランジスタ135のソース及びドレインの他方は、トランジスタ132のゲートに接続され、トランジスタ135のゲートには、光検出リセット信号PRSTが入力される。

20

【0090】

トランジスタ135は、トランジスタ132のゲート(ノードN12)の電圧をリセットする光検出リセットトランジスタとしての機能を有する。

【0091】

なお、電圧V_a及び電圧V_bの一方は、高電源電圧V_{dd}であり、電圧V_a及び電圧V_bの他方は、低電源電圧V_{ss}である。電圧V_a及び電圧V_bの値は、例えばトランジスタの極性などにより互いに入れ替わる場合がある。

【0092】

次に、図2(A)に示す光検出回路の駆動方法例について、図2(B)を用いて説明する。図2(B)は、図2(A)に示す光検出回路の駆動方法例を説明するためのタイミングチャートであり、信号PRST、信号TX_1乃至信号TX_Z、及び信号OSELのそれぞれの状態を示す。なお、ここでは、一例として光電変換素子131_1乃至光電変換素子131_Zのそれぞれがフォトダイオードであり、電圧V_aが高電源電圧であり、電圧V_bが低電源電圧であり、電圧V₀の値が基準電位と同じ値である場合について説明する。

30

【0093】

図2(A)に示す光検出回路の駆動方法例では、期間T21において、信号TX_1のパルスが入力され、さらに、期間T22において、信号TX_2のパルスが入力される。その後、期間毎に、異なる信号TXのパルスが順次入力され、期間T23において、信号TX_Zのパルスが入力される。また、信号PRSTの1つのパルスが期間T21乃至期間T23にかけて入力される。

40

【0094】

信号PRST及び信号TX_Kのパルスが入力されている間、トランジスタ135がオン状態になり、光電変換素子131_Kは、順方向に電流が流れる状態になり、且つトランジスタ134_Kがオン状態になる。これにより、ノードN11_K及びノードN12の電圧は、一定の値にリセットされる。よって、ノードN11_1乃至ノードN11_Zの電圧は、順次リセットされる。

【0095】

さらに、期間T21乃至期間T23において、信号TX_Kのパルスが入力された後、再度信号TX_Kのパルスが入力されるまで、光電変換素子131_Kは、第1の電流端子

50

及び第 2 の電流端子の間に、順方向とは逆方向に電圧が印加された状態になる。このとき、光電変換素子 1 3 1 __ K には、入射する光の照度に応じて電流が流れ、光電変換素子 1 3 1 __ K に流れる電流に応じてノード N 1 1 __ K の電圧値が変化する。なお、期間 T 2 1 乃至期間 T 2 3 において、信号 T X __ K のパルスが入力された後、再度信号 T X __ K のパルスが入力されるまでの期間を蓄積期間ともいう。

【 0 0 9 6 】

さらに、期間 T 2 4 において、信号 P R S T のパルスが入力され、期間 T 2 5 において、信号 T X __ 1 のパルスが入力され、期間 T 2 6 において、信号 O S E L のパルスが入力される。さらに、期間 T 2 7 において、信号 P R S T のパルスが入力され、期間 T 2 8 において、信号 T X __ 2 のパルスが入力され、期間 T 2 9 において、信号 O S E L のパルスが入力される。その後、信号 P R S T のパルスが複数回入力され、信号 P R S T のパルスが入力される毎にその後の期間において、異なる信号 T X のパルスが入力され、信号 T X のパルスが入力された後の期間において、信号 O S E L のパルスが入力され、期間 T 3 0 において、信号 P R S T のパルスが入力され、期間 T 3 1 において信号 T X __ Z のパルスが入力され、期間 T 3 2 において、信号 O S E L のパルスが入力される。

10

【 0 0 9 7 】

期間 T 2 4 乃至期間 T 3 2 において、信号 P R S T のパルスが入力されている間、ノード N 1 2 の電圧がリセットされる。

【 0 0 9 8 】

また、期間 T 2 4 乃至期間 T 3 2 において、信号 T X __ K のパルスが入力されている間、トランジスタ 1 3 4 __ K がオン状態になり、ノード N 1 1 __ K の電圧及びノード N 1 2 の電圧が変化する。このとき、ノード N 1 1 __ K の電圧及びノード N 1 2 の電圧は、それぞれに付加する容量比に応じた値に変化する。ノード N 1 2 の電圧が変化するとトランジスタ 1 3 2 のソース及びドレインの間のチャンネル抵抗の値が変化する。

20

【 0 0 9 9 】

また、期間 T 2 4 乃至期間 T 3 2 において、信号 O S E L のパルスが入力されている間、トランジスタ 1 3 3 がオン状態になり、トランジスタ 1 3 2 のソース及びドレイン、並びにトランジスタ 1 3 3 のソース及びドレインを介して電流が流れる。トランジスタ 1 3 2 のソース及びドレイン、並びにトランジスタ 1 3 3 のソース及びドレインを介して流れる電流は、ノード N 1 2 の電圧、すなわちトランジスタ 1 3 2 のゲートの電圧の値に依存する。よって、トランジスタ 1 3 2 のソース及びドレイン、並びにトランジスタ 1 3 3 のソース及びドレインを介して流れる電流は、蓄積期間に光電変換素子 1 3 1 __ K に入射する光の照度に応じた値となる。例えば、光電変換素子 1 3 1 __ K の入射する光の照度が高いほど、光データの電圧を低くすることもできる。なお、これに限定されず、光電変換素子 1 3 1 __ K の入射する光の照度が高いほど、光データの電圧を高くすることもできる。図 2 (A) に示す光検出回路は、トランジスタ 1 3 3 のソース及びドレインの他方から光データを光データ信号として出力する。

30

【 0 1 0 0 】

なお、期間 T 2 4 乃至期間 T 3 2 において、信号 O S E L のパルスが入力された後、次の信号 T X __ M (M は 2 乃至 Z の自然数) のパルスが入力される前に、信号 T X __ M - 1 及び信号 P R S T __ M - 1 のパルスを入力してノード N 1 2 を再びリセット状態にしてもよい。このように、期間 T 2 4 乃至期間 T 3 2 において、信号 O S E L のパルスが入力された後、次の信号 T X __ M (M は 2 乃至 Z の自然数) のパルスが入力される前に、信号 T X __ M - 1 及び信号 P R S T __ M - 1 のパルスを入力することにより、改めてリセット動作を行う必要がないため、読み取り (撮像ともいう) の周期を短くすることができる。以上が図 2 (A) に示す光検出回路の駆動方法例である。

40

【 0 1 0 1 】

図 2 を用いて説明したように、本実施の形態における光検出回路の一例は、1 つの増幅トランジスタ及び 1 つの出力選択トランジスタを複数の電荷蓄積制御トランジスタ及び複数の光電変換素子により共有して用いる構成である。上記構成にすることにより、画素部に

50

おけるトランジスタの数を少なくすることができる。画素部におけるトランジスタの数を少なくすることにより、1つの画素のサイズの縮小又は光電変換素子のサイズの拡大を行うことができる。例えば光電変換素子のサイズが大きくなるほど入射する光の感度が向上する。

【0102】

さらに、本実施の形態における光検出回路の一例は、増幅トランジスタのゲートの電圧をリセットさせるか否かを選択する光検出リセットトランジスタを備える構成である。上記構成にすることにより、光検出回路に入射する光の照度に応じた光データの精度を向上させることができる。

【0103】

(実施の形態3)

上記実施の形態の入出力装置における光検出回路の他の例について説明する。なお、本実施の形態における光検出回路の例において、上記実施の形態の入出力装置における光検出回路と同じ部分については、上記実施の形態の入出力装置における光検出回路の説明を適宜援用する。

【0104】

本実施の形態における光検出回路の例について、図3を用いて説明する。図3は、本実施の形態における光検出回路を説明するための図である。

【0105】

まず、本実施の形態における光検出回路の構成例について、図3(A)を用いて説明する。図3(A)は、本実施の形態における光検出回路の構成例を示す回路図である。

【0106】

図3(A)に示す光検出回路は、図2(A)に示す光検出回路と同様に光電変換素子131_1乃至光電変換素子131_ZのZ個の光電変換素子と、トランジスタ132と、トランジスタ134_1乃至トランジスタ134_ZのZ個のトランジスタと、トランジスタ135を備える。また、図3(A)に示す光検出回路と図2(A)に示す光検出回路を比較すると、図3(A)に示す光検出回路には、トランジスタ133が設けられていない。

【0107】

図3(A)に示す光検出回路において、光電変換素子131_Kの第1の電流端子には、電圧V_bが入力される。

【0108】

トランジスタ134_Kのソース及びドレインの一方は、光電変換素子131_Kの第2の電流端子に接続され、トランジスタ134_Kのゲートには、電荷蓄積制御信号TX_Kが入力される。

【0109】

トランジスタ132のソース及びドレインの一方には、電圧V₀が入力され、トランジスタ132のゲートは、トランジスタ134_1乃至トランジスタ134_Zのソース及びドレインの他方のそれぞれに接続される。

【0110】

トランジスタ135のソース及びドレインの一方には、リセット電圧信号(信号V_{RS}ともいう)が入力され、トランジスタ135のソース及びドレインの他方は、トランジスタ132のゲートに接続され、トランジスタ135のゲートには、光検出リセット信号PRSTが入力される。

【0111】

次に、図3(A)に示す光検出回路の駆動方法例について、図3(B)を用いて説明する。図3(B)は、図3(A)に示す光検出回路の駆動方法例を説明するためのタイミングチャートであり、信号PRST、信号TX_1乃至信号TX_Z、及び信号OSLのそれぞれの状態を示す。なお、ここでは、一例として光電変換素子131_1乃至光電変換素子131_Zのそれぞれがフォトダイオードであり、電圧V_aが高電源電圧であり、電

10

20

30

40

50

圧 V_b が低電源電圧であり、電圧 V_0 の値が基準電位と同じ場合について説明する。

【0112】

図3(A)に示す光検出回路の駆動方法例では、期間 T_{41} において、信号 $PRST$ のパルスが入力される。また、信号 VRS の1つのパルスが期間 T_{41} 乃至期間 T_{45} にかけて入力される。

【0113】

信号 $PRST$ 及び信号 VRS のパルスが入力されている間、トランジスタ 135 がオン状態になり、ノード $N12$ の電圧は、一定の値にリセットされる。

【0114】

さらに、期間 T_{42} において信号 TX_1 のパルスが入力され、期間 T_{42} において信号 TX_1 のパルスが入力されている間に信号 $PRST$ のパルスが入力される。さらに、期間 T_{43} において、信号 TX_2 のパルスが入力され、期間 T_{43} において信号 TX_2 のパルスが入力されている間に信号 $PRST$ のパルスが入力される。その後、異なる信号 TX のパルスが順次入力され、信号 TX のパルスが入力されている間に信号 $PRST$ のパルスが入力され、期間 T_{44} において、信号 TX_Z のパルスが入力され、期間 T_{44} において信号 TX_Z のパルスが入力されている間に信号 $PRST$ のパルスが入力される。

【0115】

期間 T_{42} 乃至期間 T_{44} において、信号 $PRST_K$ のパルスが入力される前に信号 TX_K のパルスが入力されている間、トランジスタ 134_K がオン状態になり、ノード $N11_K$ の電圧及びノード $N12$ の電圧が変化する。このとき、ノード $N11_K$ の電圧及びノード $N12$ の電圧は、それぞれに付加する容量比に応じて変化する。ノード $N12$ の電圧が変化するとトランジスタ 132 のソース及びドレインの間のチャネル抵抗の値が変化する。

【0116】

さらに、トランジスタ 132 のソース及びドレインを介して電流が流れる。トランジスタ 132 のソース及びドレインを介して流れる電流は、ノード $N12$ の電圧、すなわちトランジスタ 132 のゲートの電圧の値に依存する。

【0117】

また、期間 T_{42} 乃至期間 T_{44} において、信号 TX_K 及び信号 VRS のパルスが入力されている間、ノード $N12$ の電圧がリセットされ、電圧 V_a と同等の値になる。

【0118】

さらに、期間 T_{42} 乃至期間 T_{44} において、信号 $PRST_K$ のパルスが入力された後、再度信号 TX_K のパルスが入力されるまで（例えば次の読み取り期間における信号 TX_K のパルスが入力されるまで）、光電変換素子 131_K は、第1の電流端子及び第2の電流端子の間に、順方向とは逆方向に電圧が印加された状態になる。このとき、光電変換素子 131_K には、入射する光の照度に応じて電流が流れ、光電変換素子 131_K に流れる電流に応じてノード $N11_K$ の値が変化する。なお、期間 T_{42} 乃至期間 T_{44} において、信号 $PRST_K$ のパルスが入力された後、再度信号 TX_K のパルスが入力されるまでの期間を蓄積期間ともいう。

【0119】

なお、トランジスタ 132 のソース及びドレインを介して流れる電流は、蓄積期間に光電変換素子 131_K に入射する光の照度に応じた値となる。例えば、光電変換素子 131_K の入射する光の照度が高いほど、光データの電圧を低くすることもできる。図3(A)に示す光検出回路は、トランジスタ 132 のソース及びドレインの他方から光データを表す光データ信号を出力する。

【0120】

さらに、期間 T_{45} において、信号 VRS のパルスが入力された後に信号 $PRST$ のパルスが入力される。

【0121】

期間 T_{45} において、信号 $PRST$ のパルスが入力されている間、トランジスタ 135 が

10

20

30

40

50

オン状態になる。このとき、ノード N 1 2 の電圧がリセットされ、ノード N 1 2 の電圧は信号 V R S の電圧と同等の値になり、トランジスタ 1 3 2 がオフ状態になる。以上が図 3 (A) に示す光検出回路の駆動方法例である。

【 0 1 2 2 】

図 3 を用いて説明したように、本実施の形態における光検出回路の一例は、1 つの増幅トランジスタを複数の電荷蓄積制御トランジスタ及び複数の光電変換素子により共有して用いる構成である。上記構成にすることにより、画素部におけるトランジスタの数を少なくすることができる。画素部におけるトランジスタの数を少なくすることにより、1 つの画素のサイズの縮小又は光電変換素子のサイズの拡大を行うことができる。例えば光電変換素子のサイズが大きくなるほど入射する光の感度が向上する。

10

【 0 1 2 3 】

さらに、本実施の形態における光検出回路の一例は、増幅トランジスタのゲートの電圧をリセットさせるか否かを選択する光検出リセットトランジスタを備える構成である。上記構成にすることにより、光検出回路に入射する光の照度に応じた光データの精度を向上させることができる。

【 0 1 2 4 】

図 3 を用いて説明したように、本実施の形態における光検出回路の一例は、光電変換素子、電荷蓄積制御トランジスタ、増幅トランジスタ、及び該増幅トランジスタのゲートの電圧をリセットさせるか否かを選択する光検出リセットトランジスタを備える構成である。上記構成にすることにより、光検出回路に入射する光の照度に応じた光データの生成精度を向上させつつ、出力選択トランジスタが無い分、トランジスタの数を低減することができる。

20

【 0 1 2 5 】

(実施の形態 4)

本実施の形態では、上記実施の形態の入出力装置における表示回路の例について説明する。

【 0 1 2 6 】

本実施の形態における表示回路の例について、図 4 を用いて説明する。図 4 は、本実施の形態における表示回路の例を説明するための図である。

【 0 1 2 7 】

まず、本実施の形態における表示回路の構成例について、図 4 (A) 及び図 4 (B) を用いて説明する。図 4 (A) 及び図 4 (B) は、本実施の形態における表示回路の構成例を示す図である。

30

【 0 1 2 8 】

図 4 (A) に示す表示回路は、トランジスタ 1 6 1 a と、液晶素子 1 6 2 a と、容量素子 1 6 3 a と、を備える。

【 0 1 2 9 】

なお、図 4 (A) に示す表示回路において、トランジスタ 1 6 1 a は、電界効果トランジスタである。

【 0 1 3 0 】

また、入出力装置において、液晶素子は、第 1 の表示電極、第 2 の表示電極、及び液晶層により構成される。液晶層は、第 1 の表示電極及び第 2 の表示電極の間に印加される電圧に応じて光の透過率が変化する。

40

【 0 1 3 1 】

また、入出力装置において、容量素子は、第 1 の容量電極、第 2 の容量電極、並びに第 1 の容量電極及び第 2 の容量電極に重畳する誘電体層を含む。容量素子は、第 1 の容量電極及び第 2 の容量電極の間に印加される電圧に応じて電荷が蓄積される。

【 0 1 3 2 】

トランジスタ 1 6 1 a のソース及びドレインの一方には、信号 D D が入力され、トランジスタ 1 6 1 a のゲートには、信号 D S E L が入力される。

50

【 0 1 3 3 】

液晶素子 1 6 2 a の第 1 の表示電極は、トランジスタ 1 6 1 a のソース及びドレインの他方に電氣的に接続され、液晶素子 1 6 2 a の第 2 の表示電極には、電圧 V_c が入力される。電圧 V_c の値は、適宜設定することができる。

【 0 1 3 4 】

容量素子 1 6 3 a の第 1 の容量電極は、トランジスタ 1 6 1 a のソース及びドレインの他方に電氣的に接続され、容量素子 1 6 3 a の第 2 の容量電極には、電圧 V_c が入力される。

【 0 1 3 5 】

図 4 (B) に示す表示回路は、トランジスタ 1 6 1 b と、液晶素子 1 6 2 b と、容量素子 1 6 3 b と、容量素子 1 6 4 と、トランジスタ 1 6 5 と、トランジスタ 1 6 6 と、を備える。

【 0 1 3 6 】

なお、図 4 (B) に示す表示回路において、トランジスタ 1 6 1 b、トランジスタ 1 6 5、及びトランジスタ 1 6 6 は、電界効果トランジスタである。

【 0 1 3 7 】

トランジスタ 1 6 5 のソース及びドレインの一方には、信号 DD が入力され、トランジスタ 1 6 5 のゲートには、パルス信号である書き込み選択信号 (信号 $WSEL$ ともいう) が入力される。

【 0 1 3 8 】

容量素子 1 6 4 の第 1 の容量電極は、トランジスタ 1 6 5 のソース及びドレインの他方に電氣的に接続され、容量素子 1 6 4 の第 2 の容量電極には、電圧 V_c が入力される。

【 0 1 3 9 】

トランジスタ 1 6 1 b のソース及びドレインの一方は、トランジスタ 1 6 5 のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 6 1 b のゲートには、信号 $DSEL$ が入力される。

【 0 1 4 0 】

液晶素子 1 6 2 b の第 1 の表示電極は、トランジスタ 1 6 1 b のソース及びドレインの他方に電氣的に接続され、液晶素子 1 6 2 b の第 2 の表示電極には、電圧 V_c が入力される。

【 0 1 4 1 】

容量素子 1 6 3 b の第 1 の容量電極は、トランジスタ 1 6 1 b のソース及びドレインの他方に電氣的に接続され、容量素子 1 6 3 b の第 2 の容量電極には、電圧 V_c が入力される。電圧 V_c の値は、表示回路の仕様に依じて適宜設定される。

【 0 1 4 2 】

トランジスタ 1 6 6 のソース及びドレインの一方には、基準となる電圧が入力され、トランジスタ 1 6 6 のソース及びドレインの他方は、トランジスタ 1 6 1 b のソース及びドレインの他方に電氣的に接続され、トランジスタ 1 6 6 のゲートには、パルス信号である表示リセット信号 (信号 $DRST$ ともいう) が入力される。

【 0 1 4 3 】

さらに、図 4 (A) 及び図 4 (B) に示す表示回路の各構成要素について説明する。

【 0 1 4 4 】

トランジスタ 1 6 1 a 及びトランジスタ 1 6 1 b は、表示選択トランジスタとしての機能を有する。

【 0 1 4 5 】

液晶素子 1 6 2 a 及び液晶素子 1 6 2 b における液晶層としては、第 1 の表示電極及び第 2 の表示電極に印加される電圧が $0V$ のときに光を透過する液晶層を用いることができ、例えば電気制御複屈折型液晶 (ECB 型液晶ともいう)、二色性色素を添加した液晶 (GH 液晶ともいう)、高分子分散型液晶、又はディスコチック液晶を含む液晶層などを用いることができる。また、液晶層としては、ブルー相を示す液晶層を用いてもよい。ブルー

10

20

30

40

50

相を示す液晶層は、例えばブルー相を示す液晶とカイラル剤とを含む液晶組成物により構成される。ブルー相を示す液晶は、応答速度が1 m s e c以下と短く、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。よって、ブルー相を示す液晶を用いることにより、動作速度を向上させることができる。

【0146】

容量素子163a及び容量素子163bは、トランジスタ161a又はトランジスタ161bに従って第1の容量電極及び第2の容量電極の間に信号DDに応じた値の電圧が印加される保持容量としての機能を有する。容量素子163a及び容量素子163bを必ずしも設けなくてもよいが、容量素子163a及び容量素子163bを設けることにより、表示選択トランジスタのリーク電流に起因する液晶素子に印加された電圧の変動を抑制することができる。

10

【0147】

容量素子164は、トランジスタ165に従って第1の容量電極及び第2の容量電極の間に信号DDに応じた値の電圧が印加される保持容量としての機能を有する。

【0148】

トランジスタ165は、容量素子164に信号DDを入力させるか否かを選択する書き込み選択トランジスタとしての機能を有する。

【0149】

トランジスタ166は、液晶素子162bに印加される電圧をリセットさせるか否かを選択する表示リセット選択トランジスタとしての機能を有する。

20

【0150】

なお、トランジスタ161a、トランジスタ161b、トランジスタ165、及びトランジスタ166としては、例えばチャンネルが形成され、元素周期表における第14族の半導体（シリコンなど）を含有する半導体層又は酸化物半導体層を含むトランジスタを用いることができる。

【0151】

次に、図4(A)及び図4(B)に示す表示回路の駆動方法例について説明する。

【0152】

まず、図4(A)に示す表示回路の駆動方法例について、図4(C)を用いて説明する。図4(C)は、図4(A)に示す表示回路の駆動方法例を説明するためのタイミングチャートであり、信号DD及び信号DSELのそれぞれの状態を示す。

30

【0153】

図4(A)に示す表示回路の駆動方法例では、信号DSELのパルスが入力されると、トランジスタ161aがオン状態になる。

【0154】

トランジスタ161aがオン状態になると、表示回路に信号DDが入力され、液晶素子162aの第1の表示電極及び容量素子163aの第1の容量電極の電圧が信号DDの電圧と同等の値になる。

【0155】

このとき、液晶素子162aは、書き込み状態（状態w tともいう）になり、信号DDに応じた光の透過率になる。これにより、表示回路は、信号DDのデータ（データD1乃至データDQ（Qは2以上の自然数）のそれぞれ）に応じた表示状態になる。

40

【0156】

その後、トランジスタ161aがオフ状態になり、液晶素子162aは、保持状態（状態h l dともいう）になり、第1の表示電極及び第2の表示電極の間に印加される電圧を、次に信号DSELのパルスが入力されるまで、初期値からの変動量が基準値より大きくなるように保持する。また、液晶素子162aが保持状態のとき、上記実施の形態の入出力装置におけるライトユニットは、点灯状態になる。

【0157】

次に、図4(B)に示す表示回路の駆動方法例について、図4(D)を用いて説明する。

50

図 4 (D) は、図 4 (B) に示す表示回路の駆動方法例を説明するためのタイミングチャートである。

【 0 1 5 8 】

図 4 (B) に示す表示回路の駆動方法例では、信号 D R S T のパルスが入力されると、トランジスタ 1 6 6 がオン状態になり、液晶素子 1 6 2 b の第 1 の表示電極及び容量素子 1 6 3 b の第 1 の容量電極の電圧が基準となる電圧にリセットされる。

【 0 1 5 9 】

また、信号 W S E L のパルスが入力されると、トランジスタ 1 6 5 がオン状態になり、信号 D D が表示回路に入力され、容量素子 1 6 4 の第 1 の容量電極が信号 D D の電圧と同等の値になる。

10

【 0 1 6 0 】

その後、信号 D S E L のパルスが入力されると、トランジスタ 1 6 1 b がオン状態になり、液晶素子 1 6 2 b の第 1 の表示電極及び容量素子 1 6 3 b の第 1 の容量電極の電圧が容量素子 1 6 4 の第 1 の容量電極の電圧と同等の値になる。

【 0 1 6 1 】

このとき、液晶素子 1 6 2 b は、書き込み状態になり、信号 D D に応じた光の透過率になる。これにより、表示回路は、信号 D D のデータ (データ D 1 乃至データ D Q のそれぞれ) に応じた表示状態になる。

【 0 1 6 2 】

その後、トランジスタ 1 6 1 b がオフ状態になり、液晶素子 1 6 2 b は、保持状態になり、第 1 の表示電極及び第 2 の表示電極の間に印加される電圧を、次に信号 D S E L のパルスが入力されるまで、初期値からの変動量が基準値より大きくなるように保持する。また、液晶素子 1 6 2 b が保持状態のとき、上記実施の形態の入出力装置におけるライトユニットは、点灯状態になる。

20

【 0 1 6 3 】

図 4 (A) 及び図 4 (B) を用いて説明したように、本実施の形態における表示回路の一例は、表示選択トランジスタ及び液晶素子を備える構成である。上記構成にすることにより、表示回路を表示データ信号に応じた表示状態にすることができる。

【 0 1 6 4 】

また、図 4 (B) を用いて説明したように、本実施の形態における表示回路の一例は、表示選択トランジスタ及び液晶素子に加え、書き込み選択トランジスタ及び容量素子を備える構成である。上記構成にすることにより、液晶素子のある表示データ信号のデータに応じた表示状態に設定している間に、容量素子に次の表示データ信号のデータを書き込むことができる。よって、表示回路の動作速度を向上させることができる。

30

【 0 1 6 5 】

(実施の形態 5)

本実施の形態では、上記実施の形態を用いて説明した入出力装置におけるトランジスタに適用可能なトランジスタについて説明する。

【 0 1 6 6 】

上記実施の形態を用いて説明した入出力装置において、トランジスタとしては、例えばチャンネルが形成され、元素周期表における第 1 4 族の半導体 (シリコンなど) を含有する半導体層又は酸化物半導体層を含むトランジスタを用いることができる。なお、チャンネルが形成される層をチャンネル形成層ともいう。

40

【 0 1 6 7 】

なお、上記半導体層は、単結晶半導体層、多結晶半導体層、微結晶半導体層、又は非晶質半導体層でもよい。

【 0 1 6 8 】

さらに、上記実施の形態を用いて説明した入出力装置において、トランジスタとして適用可能な酸化物半導体層を含むトランジスタとしては、例えば高純度化することにより、真性 (I 型ともいう) 、又は実質的に真性にさせた酸化物半導体層を有するトランジスタを

50

用いることができる。

【0169】

上記酸化物半導体層を含むトランジスタの構造例について、図5を用いて説明する。図5は、本実施の形態におけるトランジスタの構造例を示す断面模式図である。

【0170】

図5(A)に示すトランジスタは、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

【0171】

図5(A)に示すトランジスタは、導電層401aと、絶縁層402aと、酸化物半導体層403aと、導電層405aと、導電層406aと、を含む。

10

【0172】

導電層401aは、基板400aの上に設けられる。

【0173】

絶縁層402aは、導電層401aの上に設けられる。

【0174】

酸化物半導体層403aは、絶縁層402aを介して導電層401aに重畳する。

【0175】

導電層405a及び導電層406aのそれぞれは、酸化物半導体層403aの一部の上に設けられる。

【0176】

さらに、図5(A)において、トランジスタの酸化物半導体層403aの上面の一部(上面に導電層405a及び導電層406aが設けられていない部分)は、絶縁層407aに接する。

20

【0177】

また、絶縁層407aは、導電層405a、導電層406a、及び酸化物半導体層403aが設けられていない箇所において絶縁層402aに接する。

【0178】

図5(B)に示すトランジスタは、図5(A)に示す構造に加え、導電層408aを含む。

【0179】

導電層408aは、絶縁層407aを介して酸化物半導体層403aに重畳する。

30

【0180】

図5(C)に示すトランジスタは、ボトムゲート構造のトランジスタの一つである。

【0181】

図5(C)に示すトランジスタは、導電層401bと、絶縁層402bと、酸化物半導体層403bと、導電層405bと、導電層406bと、を含む。

【0182】

導電層401bは、基板400bの上に設けられる。

【0183】

絶縁層402bは、導電層401bの上に設けられる。

40

【0184】

導電層405b及び導電層406bは、絶縁層402bの一部の上に設けられる。

【0185】

酸化物半導体層403bは、絶縁層402bを介して導電層401bに重畳する。

【0186】

さらに、図5(C)において、トランジスタにおける酸化物半導体層403bの上面及び側面は、絶縁層407bに接する。

【0187】

また、絶縁層407bは、導電層405b、導電層406b、及び酸化物半導体層403bが設けられていない箇所において絶縁層402bに接する。

50

【 0 1 8 8 】

なお、図 5 (A) 及び図 5 (C) において、絶縁層の上に保護絶縁層を設けてもよい。

【 0 1 8 9 】

図 5 (D) に示すトランジスタは、図 5 (C) に示す構造に加え、導電層 4 0 8 b を含む。

【 0 1 9 0 】

導電層 4 0 8 b は、絶縁層 4 0 7 b を介して酸化物半導体層 4 0 3 b に重畳する。

【 0 1 9 1 】

図 5 (E) に示すトランジスタは、トップゲート構造のトランジスタの一つである。

【 0 1 9 2 】

図 5 (E) に示すトランジスタは、導電層 4 0 1 c と、絶縁層 4 0 2 c と、酸化物半導体層 4 0 3 c と、導電層 4 0 5 c 及び導電層 4 0 6 c と、を含む。

【 0 1 9 3 】

酸化物半導体層 4 0 3 c は、絶縁層 4 4 7 を介して基板 4 0 0 c の上に設けられる。

【 0 1 9 4 】

導電層 4 0 5 c 及び導電層 4 0 6 c は、それぞれ酸化物半導体層 4 0 3 c の上に設けられる。

【 0 1 9 5 】

絶縁層 4 0 2 c は、酸化物半導体層 4 0 3 c 、導電層 4 0 5 c 、及び導電層 4 0 6 c の上に設けられる。

【 0 1 9 6 】

導電層 4 0 1 c は、絶縁層 4 0 2 c を介して酸化物半導体層 4 0 3 c に重畳する。

【 0 1 9 7 】

さらに、図 5 (A) 乃至図 5 (E) に示す各構成要素について説明する。

【 0 1 9 8 】

基板 4 0 0 a 乃至基板 4 0 0 c としては、例えば透光性を有する基板を用いることができ、透光性を有する基板としては、例えばガラス基板又はプラスチック基板を用いることができる。

【 0 1 9 9 】

導電層 4 0 1 a 乃至導電層 4 0 1 c のそれぞれは、トランジスタのゲートとしての機能を有する。なお、トランジスタのゲートとしての機能を有する導電層をゲート電極又はゲート配線ともいう。

【 0 2 0 0 】

導電層 4 0 1 a 乃至導電層 4 0 1 c としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層 4 0 1 a 乃至導電層 4 0 1 c の形成に適用可能な材料の層の積層により、導電層 4 0 1 a 乃至導電層 4 0 1 c を構成することもできる。

【 0 2 0 1 】

絶縁層 4 0 2 a 乃至絶縁層 4 0 2 c のそれぞれは、トランジスタのゲート絶縁層としての機能を有する。

【 0 2 0 2 】

絶縁層 4 0 2 a 乃至絶縁層 4 0 2 c としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層 4 0 2 a 乃至絶縁層 4 0 2 c に適用可能な材料の層の積層により絶縁層 4 0 2 a 乃至絶縁層 4 0 2 c を構成することもできる。

【 0 2 0 3 】

また、絶縁層 4 0 2 a 乃至絶縁層 4 0 2 c としては、例えば元素周期表における第 1 3 族元素及び酸素元素を含む材料の絶縁層を用いることもできる。酸化物半導体層 4 0 3 a 乃

10

20

30

40

50

至酸化物半導体層 403c が第 13 族元素を含む場合に、酸化物半導体層 403a 乃至酸化物半導体層 403c に接する絶縁層として第 13 族元素を含む絶縁層を用いることにより、該絶縁層と酸化物半導体層との界面の状態を良好にすることができる。

【0204】

第 13 族元素を含む材料としては、例えば酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが挙げられる。なお、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多い物質のことをいい、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子%）がアルミニウムの含有量（原子%）以上の物質のことをいう。

【0205】

例えば、絶縁層 402a 乃至絶縁層 402c として、酸化ガリウムを含む絶縁層を用いることにより、絶縁層 402a 乃至絶縁層 402c と、酸化物半導体層 403a 乃至酸化物半導体層 403c との界面における水素又は水素イオンの蓄積を低減することができる。

【0206】

また、例えば、絶縁層 402a 乃至絶縁層 402c として、酸化アルミニウムを含む絶縁層を用いることにより、絶縁層 402a 乃至絶縁層 402c と、酸化物半導体層 403a 乃至酸化物半導体層 403c との界面における水素又は水素イオンの蓄積を低減することができる。また、酸化アルミニウムを含む絶縁層は、水が通りにくいいため、酸化アルミニウムを含む絶縁層を用いることにより、該絶縁層を介して酸化物半導体層への水の侵入を抑制することができる。

【0207】

また、絶縁層 402a 乃至絶縁層 402c として、例えば、 Al_2O_x （ $x = 3 +$ 、 \quad は 0 より大きく 1 より小さい値）、 Ga_2O_x （ $x = 3 +$ 、 \quad は 0 より大きく 1 より小さい値）、又は $Ga_x Al_{2-x} O_{3+}$ （ x は 0 より大きく 2 より小さい値、 \quad は 0 より大きく 1 より小さい値）で表記される材料を用いることもできる。また、絶縁層 402a 乃至絶縁層 402c に適用可能な材料の層の積層により絶縁層 402a 乃至絶縁層 402c を構成することもできる。例えば、複数の Ga_2O_x で表記される酸化ガリウムを含む層の積層により絶縁層 402a 乃至絶縁層 402c を構成してもよい。また、 Ga_2O_x で表記される酸化ガリウムを含む絶縁層及び Al_2O_x で表記される酸化アルミニウムを含む絶縁層の積層により絶縁層 402a 乃至絶縁層 402c を構成してもよい。

【0208】

絶縁層 447 は、基板 400c からの不純物元素の拡散を防止する下地層としての機能を有する。なお、絶縁層 447 を図 5 (A) 乃至図 5 (D) に示す構造のトランジスタに付けてもよい。

【0209】

絶縁層 447 としては、例えば絶縁層 402a 乃至絶縁層 402c に適用可能な材料の層を用いることができる。また、絶縁層 402a 乃至絶縁層 402c に適用可能な材料の層の積層により絶縁層 447 を構成してもよい。

【0210】

酸化物半導体層 403a 乃至酸化物半導体層 403c のそれぞれは、トランジスタのチャンネルが形成される層としての機能を有する。なお、トランジスタのチャンネルが形成される層としての機能を有する層をチャンネル形成層ともいう。酸化物半導体層 403a 乃至酸化物半導体層 403c に適用可能な酸化物半導体としては、少なくともインジウム (In) 又は亜鉛 (Zn) を含む酸化物半導体を用いることが好ましい。また、In と Zn を含む酸化物半導体を用いることが好ましい。また、酸化物半導体としては、例えば Sn 系金属酸化物などを用いることもできる。また、上記酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、上記酸化物半導体にガリウム (Ga) を有することが好ましい。また、スタビライザーとして上記酸化物半導体にスズ (Sn) を有することが好ましい。また、スタビライザーとして上記酸化物半導体にハフニウム (Hf) を有することが好ましい。また、スタビライザーとして上記酸化物半導体にア

10

20

30

40

50

ルミニウム (Al) を有することが好ましい。

【0211】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種或いは複数種を上記酸化物半導体に有してもよい。

【0212】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物である In-Ga-Zn系酸化物 (IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。また、上記酸化物半導体として適用可能な金属酸化物は、酸化シリコンを含んでいてもよい。

【0213】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0214】

In-Zn系金属酸化物を用いる場合、例えば、In:Zn=50:1乃至In:Zn=1:2 (モル数比に換算するとIn₂O₃:ZnO=25:1乃至In₂O₃:ZnO=1:4)、好ましくはIn:Zn=20:1乃至In:Zn=1:1 (モル数比に換算するとIn₂O₃:ZnO=10:1乃至In₂O₃:ZnO=1:2)、さらに好ましくはIn:Zn=15:1乃至In:Zn=1.5:1 (モル数比に換算するとIn₂O₃:ZnO=15:2乃至In₂O₃:ZnO=3:4)の組成比である酸化物ターゲットを用いてIn-Zn系金属酸化物の半導体層を形成することができる。例えば、In-Zn系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=P:U:Rのとき、R>1.5P+Uとする。Inの量を多くすることにより、トランジスタの移動度 (電界効果移動度ともいう) を向上させることができる。

【0215】

また、酸化物半導体としては、InM₃(ZnO)_m (mは0より大きい数) で表記される材料を用いることもできる。InM₃(ZnO)_mのMは、Ga、Al、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。

【0216】

例えば、In:Ga:Zn=1:1:1 (=1/3:1/3:1/3) 或いはIn:Ga:Zn=2:2:1 (=2/5:2/5:1/5)の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。或いは、In:Sn:Zn=1:1:1 (=1/3:1/3:1/3)、In:Sn:Zn=2:1:3 (=1/3:1/6:1/2) 或いはIn:Sn:Zn=2:1:5 (=1/4:1/8:5/8)の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0217】

10

20

30

40

50

しかし、これらに限られず、必要とする半導体特性（移動度、閾値電圧、その他の電気特性のばらつきなど）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度などを適切なものとするのが好ましい。

【0218】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度を得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0219】

なお、例えば、In、Ga、Znの原子数比がIn:Ga:Zn = a:b:c (a+b+c = 1) である酸化物の組成が、原子数比がIn:Ga:Zn = A:B:C (A+B+C = 1) の酸化物の組成だけ近傍であるとは、a、b、cが $(\frac{a}{A})^2 + (\frac{b}{B})^2 + (\frac{c}{C})^2 \leq r^2$ を満たすことをいう。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0220】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0221】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0222】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

【0223】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張した値であり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0224】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0225】

なお、上記において、S₀は、測定面（座標(x₁, y₁)(x₁, y₂)(x₂, y₁)(x₂, y₂)で表される4点によって囲まれる長方形の領域）の面積を指し、Z₀は測定面の平均高さを指す。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。なお、測定面とは、全測定データの示す面であり、三つのパラメータ(X, Y, Z)から成り立っており、Z = F(X, Y)で表される。なお、Xの(及びY)の範囲は0乃至XMAX(及びYMAX)であり、Zの範囲はZMIN乃至ZMAXである。

【0226】

また、酸化物半導体としては、c軸配向し、かつab面、表面又は界面の方向から見て三角形又は六角形状の原子配列を有し、c軸においては金属原子が層状又は金属原子と酸素原子とが層状に配列しており、ab面においてはa軸又はb軸の向きが異なる(c軸を

中心に回転した)結晶(CAAC: C Axis Aligned Crystalともいう。)を含む酸化物を用いてもよい。次にCAACについて説明する。

【0227】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形又は正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、又は金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0228】

CAACは、単結晶ではなく、全てが非晶質でもない。また、CAACは、結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこ

10

【0229】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は一定の方向(例えば、CAACが形成される基板面、CAACの表面などに垂直な方向)に揃っていてもよい。又は、CAACを構成する個々の結晶部分のab面の法線は一定の方向(例えば、CAACを支持する基板面、CAACの表面などに垂直な方向)を向いていてもよい。

【0230】

CAACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

20

【0231】

このようなCAACの例として、膜状に形成され、膜表面又は支持する基板面に垂直な方向から観察すると三角形又は六角形の原子配列が認められ、かつその膜断面を観察すると金属原子又は金属原子及び酸素原子(又は窒素原子)の層状配列が認められる結晶を挙げることができる。

【0232】

次に、CAACに含まれる結晶構造の一例について図18乃至図20を用いて詳細に説明する。なお、特に断りがない限り、図18乃至図20は上方向をc軸方向とし、c軸方向と直交する面をab面とする。なお、単に上半分、下半分という場合、ab面を境にした場合の上半分、下半分をいう。

30

【0233】

図18(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子(以下4配位のO)と、を有する構造を示す。ここでは、金属原子が1個に対して、金属原子に近接の酸素原子のみ示した構造を小グループという。図18(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図18(A)の上半分及び下半分にはそれぞれ3個ずつ4配位のOがある。図18(A)に示す小グループは電荷が0である。

【0234】

図18(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子(以下3配位のO)と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもab面に存在する。図18(B)の上半分及び下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図18(B)に示す構造をとりうる。図18(B)に示す小グループは電荷が0である。

40

【0235】

図18(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図18(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図18(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあってもよい。図18(C)に示す小グループは電荷が0である。

【0236】

図18(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構

50

造を示す。図 18 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 18 (D) に示す小グループは電荷が + 1 となる。

【 0 2 3 7 】

図 18 (E) に、2 個の Zn を含む小グループを示す。図 18 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 18 (E) に示す小グループは電荷が - 1 となる。

【 0 2 3 8 】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ (ユニットセルともいう。) という。

【 0 2 3 9 】

ここで、これらの小グループ同士が結合する規則について説明する。図 18 (A) に示す 6 配位の In の上半分の 3 個の O は下方向にそれぞれ 3 個の近接 In を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 In を有する。5 配位の Ga の上半分の 1 個の O は下方向に 1 個の近接 Ga を有し、下半分の 1 個の O は上方向に 1 個の近接 Ga を有する。4 配位の Zn の上半分の 1 個の O は下方向に 1 個の近接 Zn を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 Zn を有する。このように、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子 (In 又は Sn) が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子 (Ga 又は In) 又は 4 配位の金属原子 (Zn) のいずれかと結合することになる。

【 0 2 4 0 】

これらの配位数を有する金属原子は、c 軸方向において、4 配位の O を介して結合する。また、この他にも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【 0 2 4 1 】

図 19 (A) に、In - Sn - Zn - O 系の層構造を構成する中グループのモデル図を示す。図 19 (B) に、3 つの中グループで構成される大グループを示す。なお、図 19 (C) は、図 19 (B) の層構造を c 軸方向から観察した場合の原子配列を示す。

【 0 2 4 2 】

図 19 (A) においては、簡単のため、3 配位の O は省略し、4 配位の O は個数のみ示し、例えば、Sn の上半分及び下半分にはそれぞれ 3 個ずつ 4 配位の O があることを丸枠の 3 として示している。同様に、図 19 (A) において、In の上半分及び下半分にはそれぞれ 1 個ずつ 4 配位の O があり、丸枠の 1 として示している。また、同様に、図 19 (A) において、下半分には 1 個の 4 配位の O があり、上半分には 3 個の 4 配位の O がある Zn と、上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある Zn とを示している。

【 0 2 4 3 】

図 19 (A) において、In - Sn - Zn - O 系の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分及び下半分にある Sn が、4 配位の O が 1 個ずつ上半分及び下半分にある In と結合し、その In が、上半分に 3 個の 4 配位の O がある Zn と結合し、その Zn の下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分及び下半分にある In と結合し、その In が、上半分に 1 個の 4 配位の O がある Zn 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分及び下半分にある Sn と結合している構成である。この中グループが複数結合して大グループを構成する。

【 0 2 4 4 】

10

20

30

40

50

ここで、3配位のO及び4配位のOの場合、結合1本当当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位又は5配位)、Zn(4配位)、Sn(5配位又は6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図18(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

【0245】

具体的には、図19(B)に示した大グループが繰り返されることにより、In-Sn-Zn-O系の結晶($\text{In}_2\text{SnZn}_3\text{O}_8$)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (mは0又は自然数)とする組成式で表すことができる。

【0246】

また、この他にも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物などを用いた場合も同様である。

【0247】

例えば、図20(A)に、In-Ga-Zn-O系の層構造を構成する中グループのモデル図を示す。

【0248】

図20(A)において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分及び下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分及び下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分及び下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0249】

図20(B)に3つの中グループで構成される大グループを示す。なお、図20(C)は、図20(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0250】

ここで、In(6配位又は5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、Zn及びGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0251】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図20(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループもとらうる。

【0252】

以上がCAACに含まれる結晶構造の一例の説明である。

【0253】

さらに、図5に示す導電層405a乃至導電層405c及び導電層406a乃至導電層406cのそれぞれは、トランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する導電層をソース電極又はソース配線ともいい、トランジスタのドレインとしての機能を有する導電層をドレイン電極又はドレイン配線ともいう。

【0254】

導電層405a乃至導電層405c及び導電層406a乃至導電層406cとしては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層405a乃至導電層405c、及び導電層406a乃至導電層406cに適用可能な材料の層の積層により、導電層405a乃至導電層405c、及び導電層406a乃至導電層406cを構成することもできる。

10

【0255】

また、導電層405a乃至導電層405c及び導電層406a乃至導電層406cとしては、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ合金、又は酸化インジウム酸化亜鉛合金を用いることができる。なお、導電層405a乃至導電層405c及び導電層406a乃至導電層406cに適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

【0256】

絶縁層407a及び絶縁層407bとしては、絶縁層402a乃至絶縁層402cと同様に、例えば元素周期表における第13族元素及び酸素元素を含む材料の絶縁層を用いることができる。また、絶縁層407a及び絶縁層407bとしては、例えば、 Al_2O_x 、 Ga_2O_x 、又は $Ga_xAl_{2-x}O_{3+}$ で表記される材料を用いることもできる。

20

【0257】

例えば、絶縁層402a乃至絶縁層402c並びに絶縁層407a及び絶縁層407bを、 Ga_2O_x で表記される酸化ガリウムを含む絶縁層により構成してもよい。また、絶縁層402a乃至絶縁層402c、並びに絶縁層407a及び絶縁層407bの一方を、 Ga_2O_x で表記される酸化ガリウムを含む絶縁層により構成し、絶縁層402a乃至絶縁層402c、並びに絶縁層407a及び絶縁層407bの他方を、 Al_2O_x で表記される酸化アルミニウムを含む絶縁層により構成してもよい。

30

【0258】

導電層408a及び導電層408bのそれぞれは、トランジスタのゲートとしての機能を有する。なお、トランジスタが導電層408a及び導電層408bを有する構造である場合、導電層401a及び導電層408aの一方、又は導電層401b及び導電層408bの一方を、バックゲート、バックゲート電極、又はバックゲート配線ともいう。ゲートとしての機能を有する層を、チャンネル形成層を介して複数設けることにより、トランジスタの閾値電圧を制御することができる。

【0259】

導電層408a及び導電層408bとしては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層408a及び導電層408bに適用可能な材料の層の積層により導電層408a及び導電層408bのそれぞれを構成することもできる。

40

【0260】

また、導電層408a及び導電層408bとしては、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ合金、又は酸化インジウム酸化亜鉛合金を用いることができる。なお、導電層408a及び導電層408bに適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

50

【 0 2 6 1 】

なお、本実施の形態のトランジスタを、チャンネル形成層としての機能を有する酸化物半導体層の一部の上に絶縁層を含み、該絶縁層を介して酸化物半導体層に重畳するように、ソース又はドレインとしての機能を有する導電層を含む構造としてもよい。上記構造である場合、絶縁層は、トランジスタのチャンネル形成層を保護する層（チャンネル保護層ともいう）としての機能を有する。チャンネル保護層としての機能を有する絶縁層としては、例えば絶縁層 4 0 2 a 乃至絶縁層 4 0 2 c に適用可能な材料の層を用いることができる。また、絶縁層 4 0 2 a 乃至絶縁層 4 0 2 c に適用可能な材料の層の積層によりチャンネル保護層としての機能を有する絶縁層を構成してもよい。

【 0 2 6 2 】

なお、図 5 (A) 乃至図 5 (E) に示すように、本実施の形態のトランジスタを、必ずしも酸化物半導体層の全てがゲート電極としての機能を有する導電層に重畳する構造にしなくてもよいが、酸化物半導体層の全てがゲート電極としての機能を有する導電層に重畳する構造にすることにより、酸化物半導体層への光の入射を抑制することができる。

【 0 2 6 3 】

なお、酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、様々な理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinson モデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【 0 2 6 4 】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界など）が存在すると仮定すると以下の式で表現できる。

【 0 2 6 5 】

【 数 2 】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【 0 2 6 6 】

ここで、E はポテンシャル障壁の高さであり、k がボルツマン定数、T は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinson モデルにおいて、E は以下の式で表される。

【 0 2 6 7 】

【 数 3 】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon Cox Vg}$$

【 0 2 6 8 】

ここで、e は電気素量、N はチャンネル内の単位面積当たりの平均欠陥密度、 μ は半導体の誘電率、n は単位面積当たりのチャンネルに含まれるキャリア数、Cox は単位面積当たりの容量、Vg はゲート電圧、t はチャンネルの厚さである。なお、厚さ 30 nm 以下の半導体層であれば、チャンネルの厚さは半導体層の厚さと同一として差し支えない。また、線形領域におけるドレイン電流 Id は、以下の式で表される。

【 0 2 6 9 】

【 数 4 】

$$Id = \frac{W \mu Vg Vd Cox}{L} \exp\left(-\frac{E}{kT}\right)$$

10

20

30

40

50

【 0 2 7 0 】

ここで、Lはチャネル長、Wはチャネル幅であり、ここでは、 $L = W = 10 \mu\text{m}$ である。また、 V_d はドレイン電圧である。

上式の両辺を V_g で割り、さらに両辺の対数をとると、以下の式ようになる。

【 0 2 7 1 】

【 数 5 】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

10

【 0 2 7 2 】

数5の右辺（一番右の部分）は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム（In）、スズ（Sn）、亜鉛（Zn）の比率が、 $I_n : S_n : Z_n = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / \text{cm}^2$ 程度である。

【 0 2 7 3 】

このようにして求めた欠陥密度などをもとに数2及び数3より $\mu_0 = 120 \text{cm}^2 / \text{Vs}$ が導出される。欠陥のあるIn-Sn-Zn酸化物で測定される移動度は $40 \text{cm}^2 / \text{Vs}$ 程度である。しかし、半導体内部及び半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{cm}^2 / \text{Vs}$ となると予想できる。

20

【 0 2 7 4 】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、チャネルとゲート絶縁層との界面から x だけ離れた場所における移動度 μ_1 は、次の式で表される。

【 0 2 7 5 】

【 数 6 】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

30

【 0 2 7 6 】

ここで、 D はゲート方向の電界、 B 、 l は定数である。 B 及び l は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{cm/s}$ 、 $l = 10 \text{nm}$ （界面散乱が及ぶ深さ）である。 D が増加する（すなわち、ゲート電圧が高くなる）と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【 0 2 7 7 】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図21に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

40

【 0 2 7 8 】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁層の厚さは100nm、比誘電率は4.1とした。チャネル長及びチャネル幅はともに $10 \mu\text{m}$ 、ドレイン電圧 V_d は0.1Vである。

【 0 2 7 9 】

50

図 2 1 に示すように、ゲート電圧 1 V で移動度 $100 \text{ cm}^2 / \text{Vs}$ 以上であるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること (Atomic Layer Flatness) が望ましい。

【0280】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図 2 2 乃至図 2 4 に示す。なお、計算に用いたトランジスタの断面構造を図 2 5 に示す。図 2 5 に示すトランジスタは、酸化物半導体層に n^+ の導電性を呈する半導体領域 703a 及び半導体領域 703c を有する。半導体領域 703a 及び半導体領域 703c の抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

10

【0281】

図 2 5 (A) に示すトランジスタは、下地絶縁層 701 と、下地絶縁層 701 に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物 702 の上に形成される。トランジスタは半導体領域 703a、半導体領域 703c と、それらに挟まれ、チャネル形成領域となる真性の半導体領域 703b と、ゲート電極 705 を有する。ゲート電極 705 の幅を 33 nm とする。

【0282】

ゲート電極 705 と半導体領域 703b の間には、ゲート絶縁層 704 を有し、また、ゲート電極 705 の両側面には側壁絶縁物 706a 及び側壁絶縁物 706b、ゲート電極 705 の上部には、ゲート電極 705 と他の配線との短絡を防止するための絶縁物 707 を有する。側壁絶縁物の幅は 5 nm とする。また、半導体領域 703a 及び半導体領域 703c に接して、ソース電極 708a 及びドレイン電極 708b を有する。なお、図 2 5 (A) に示すトランジスタのチャネル幅を 40 nm とする。

20

【0283】

図 2 5 (B) に示すトランジスタは、下地絶縁層 701 と、酸化アルミニウムよりなる埋め込み絶縁物 702 の上に形成され、半導体領域 703a、半導体領域 703c と、それらに挟まれた真性の半導体領域 703b と、幅 33 nm のゲート電極 705 と、ゲート絶縁層 704 と、側壁絶縁物 706a 及び側壁絶縁物 706b と、絶縁物 707 と、ソース電極 708a 及びドレイン電極 708b と、を含む点で図 2 5 (A) に示すトランジスタと同じである。

30

【0284】

図 2 5 (A) に示すトランジスタと図 2 5 (B) に示すトランジスタの相違点は、側壁絶縁物 706a 及び側壁絶縁物 706b の下の半導体領域の導電型である。図 2 5 (A) に示すトランジスタでは、側壁絶縁物 706a 及び側壁絶縁物 706b の下の半導体領域は n^+ の導電性を呈する半導体領域 703a 及び半導体領域 703c であるが、図 2 5 (B) に示すトランジスタでは、真性の半導体領域 703b である。すなわち、図 2 5 (B) に示す半導体層において、半導体領域 703a (半導体領域 703c) とゲート電極 705 が *loff* だけ重ならない領域ができています。この領域をオフセット領域といい、その幅 *loff* をオフセット長という。図から明らかのように、オフセット長は、側壁絶縁物 706a (側壁絶縁物 706b) の幅と同じである。

40

【0285】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 2 2 は、図 2 5 (A) に示す構造のトランジスタのドレイン電流 (I_d 、実線) 及び移動度 (μ 、点線) のゲート電圧 (V_g) 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。

【0286】

図 2 2 (A) はゲート絶縁層の厚さを 15 nm としたときの図であり、図 2 2 (B) はゲート絶縁層の厚さを 10 nm としたときの図であり、図 2 2 (C) はゲート絶縁層の厚さを 5 nm としたときの図である。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイ

50

ン電流 I_d (オフ電流) が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。ゲート電圧 1 V 前後で、ドレイン電流は $10 \mu A$ を超えることが示された。

【0287】

図 23 は、図 25 (B) に示される構造のトランジスタで、オフセット長 L_{off} を 5 nm としたときのドレイン電流 I_d (実線) 及び移動度 μ (点線) のゲート電圧 V_g 依存性を示す図である。なお、ドレイン電圧を $+1 \text{ V}$ としてドレイン電流 I_d を計算し、ドレイン電圧を $+0.1 \text{ V}$ として移動度 μ を計算した。図 23 (A) は、ゲート絶縁層の厚さを 15 nm としたときの図であり、図 23 (B) は、ゲート絶縁層の厚さを 10 nm としたときの図であり、図 23 (C) は、ゲート絶縁層の厚さを 5 nm としたときの図である。

10

【0288】

また、図 24 は、図 25 (B) に示す構造のトランジスタで、オフセット長 L_{off} を 15 nm としたときのドレイン電流 I_d (実線) 及び移動度 μ (点線) のゲート電圧依存性を示す図である。なお、ドレイン電圧を $+1 \text{ V}$ としてドレイン電流 I_d を計算し、ドレイン電圧を $+0.1 \text{ V}$ として移動度 μ を計算した。図 24 (A) は、ゲート絶縁層の厚さを 15 nm としたときの図であり、図 24 (B) は、ゲート絶縁層の厚さを 10 nm としたときの図であり、図 24 (C) は、ゲート絶縁層の厚さを 5 nm としたときの図である。

【0289】

いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

20

【0290】

なお、移動度 μ のピークは、図 22 では $80 \text{ cm}^2 / \text{Vs}$ 程度であるが、図 23 では $60 \text{ cm}^2 / \text{Vs}$ 程度、図 24 では $40 \text{ cm}^2 / \text{Vs}$ 程度と、オフセット長 L_{off} が増加するほど移動度 μ は低下する。また、オフ電流も同様に低下する傾向がある。一方、オン電流はオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧 1 V 前後で、ドレイン電流は $10 \mu A$ を超えることが示された。

【0291】

また、 In 、 Sn 、 Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタでは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体層を形成した後に熱処理を行うことにより良好な特性を得ることができる。なお、主成分とは組成比で $5 \text{ atomic} \%$ 以上含まれる元素をいう。

30

【0292】

In 、 Sn 、 Zn を主成分とする酸化物半導体層の成膜後に基板を意図的に加熱することにより、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタの閾値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

【0293】

例えば、図 28 は、 In 、 Sn 、 Zn を主成分とし、チャネル長 L が $3 \mu \text{ m}$ 、チャネル幅 W が $10 \mu \text{ m}$ である酸化物半導体層と、厚さ 100 nm のゲート絶縁層を用いたトランジスタの特性を示す図である。なお、ここでは V_d を 10 V とした。

40

【0294】

図 28 (A) は、基板を意図的に加熱せずにスパッタリング法で In 、 Sn 、 Zn を主成分とする酸化物半導体層を形成したときのトランジスタ特性を示す図である。このとき、電界効果移動度は、 $18.8 \text{ cm}^2 / \text{Vs}$ である。一方、基板を意図的に加熱して In 、 Sn 、 Zn を主成分とする酸化物半導体層を形成すると電界効果移動度を向上させることが可能となる。図 28 (B) は、基板を 200 に加熱して In 、 Sn 、 Zn を主成分とする酸化物半導体層を形成したときのトランジスタ特性を示す図である。このとき、電界効果移動度は、 $32.2 \text{ cm}^2 / \text{Vs}$ である。

【0295】

電界効果移動度は、 In 、 Sn 、 Zn を主成分とする酸化物半導体層を形成した後に熱処

50

理をすることによって、さらに高めることができる。図 28 (C) は、In、Sn、Zn を主成分とする酸化物半導体層を 200 でスパッタリング成膜した後、650 で熱処理をしたときのトランジスタ特性を示す図である。このとき、電界効果移動度は、 $34.5 \text{ cm}^2 / \text{V sec}$ である。

【0296】

基板を意図的に加熱することによりスパッタリング成膜中の水分が酸化物半導体層中に取り込まれるのを低減することができる。また、成膜後に熱処理をすることによっても、酸化物半導体層から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるため

10

【0297】

In、Sn、Zn を主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させてもよい。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0298】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることに寄与している。基板を意図的に加熱しないで形成された In、Sn、Zn を主成分とする酸化物半導体層をチャネル形成領域としたトランジスタは、閾値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体層を用いた場合、この閾値電圧のマイナスシフト化は解消される。つまり、閾値電圧はトランジスタがノーマリ・オフとなる方向に動き。このような傾向は図 28 (A) と図 28 (B) の対比からも確認することができる。

20

【0299】

なお、In、Sn 及び Zn の比率を変えることによっても閾値電圧を制御することが可能であり、組成比として In : Sn : Zn = 2 : 1 : 3 とすることにより、トランジスタをノーマリ・オフ化しやすくすることができる。また、ターゲットの組成比を In : Sn : Zn = 2 : 1 : 3 とすることにより結晶性の高い酸化物半導体層を得ることができる。

30

【0300】

意図的な基板加熱温度若しくは熱処理温度は、150 以上、好ましくは 200 以上、より好ましくは 400 以上であり、より高温で成膜し或いは熱処理することによりトランジスタのノーマリ・オフ化を図ることが可能となる。

【0301】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることにより、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、 $2 \text{ MV} / \text{cm}$ 、1500、1 時間印加の条件において、しきい値電圧のドリフトがそれぞれ $\pm 1.5 \text{ V}$ 未満、好ましくは 1.0 V 未満を得ることができる。

40

【0302】

実際に、酸化物半導体層成膜後に加熱処理を行っていない試料 1 と、650 の加熱処理を行った試料 2 のトランジスタに対して BT 試験を行った。

【0303】

まず基板温度を 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150 とし、 V_d (ドレインとソースの間の電圧) を 0.1 V とした。次に、ゲート絶縁層 608 に印加される電界強度が $2 \text{ MV} / \text{cm}$ となるように V_g (ゲートとソースの間の電圧) に 20 V を印加し、そのまま 1 時間保持した。次に、

50

V_g を 0 V とした。次に、基板温度 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行った。これをプラス BT 試験という。

【0304】

同様に、まず基板温度を 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150 とし、 V_d を 0.1 V とした。次に、ゲート絶縁層 608 に印加される電界強度が -2 MV/cm となるように V_g に -20 V を印加し、そのまま 1 時間保持した。次に、 V_g を 0 V とした。次に、基板温度 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナス BT 試験という。

【0305】

試料 1 のプラス BT 試験の結果を図 29 (A) に、マイナス BT 試験の結果を図 29 (B) に示す。また、試料 2 のプラス BT 試験の結果を図 30 (A) に、マイナス BT 試験の結果を図 30 (B) に示す。

【0306】

試料 1 のプラス BT 試験及びマイナス BT 試験による閾値電圧の変動は、それぞれ 1.80 V 及び -0.42 V であった。また、試料 2 のプラス BT 試験及びマイナス BT 試験による閾値電圧の変動は、それぞれ 0.79 V 及び 0.76 V であった。

試料 1 及び試料 2 のいずれも、BT 試験前後における閾値電圧の変動が小さく、信頼性が高いことがわかる。

【0307】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、又は減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行ってもよい。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることにより、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体層に注入する方法を適用してもよい。

【0308】

酸化物半導体中及び該酸化物半導体に積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、係る熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪みなどを与えることなく酸化物半導体中に含ませることができる。

【0309】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることにより、安定な酸化物半導体層を得ることができる。例えば、組成比 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体層は、X線回折 (XRD: X-Ray Diffraction) でハローパターンが観測される。この成膜された酸化物半導体層を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことにより、X線回折により明確な回折ピークを観測することができる。

【0310】

実際に、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜の XRD 分析を行った。XRD 分析には、Bruker AXS 社製 X線回折装置 D8 ADVANCE を用い、Out-of-Plane 法で測定した。

【0311】

XRD 分析を行った試料として、試料 A 及び試料 B を用意した。以下に試料 A 及び試料 B の作製方法を説明する。

【0312】

まず、脱水素化処理済みの石英基板上に $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜を 100 nm の厚さで成膜した。

10

20

30

40

50

【0313】

In-Sn-Zn-O膜は、スパッタリング装置を用い、酸素雰囲気中で電力を100W(DC)として成膜した。ターゲットは、In:Sn:Zn=1:1:1[原子数比]のIn-Sn-Zn-Oターゲットを用いた。なお、成膜時の基板加熱温度は200とした。このようにして作製した試料を試料Aとした。

【0314】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を650の温度で行った。加熱処理は、はじめに窒素雰囲気中で1時間の加熱処理を行い、温度を下げずに酸素雰囲気中でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0315】

図33に試料A及び試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2θが35deg近傍及び37deg~38degに結晶由来のピークが観測された。

【0316】

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に基板を意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0317】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含まないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することにより高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を1aA/μm以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅1μmあたりの電流値を示す。

【0318】

具体的には、図34に示すように、基板温度が125の場合には1aA/μm(1×10^{-18} A/μm)以下、85の場合には100zA/μm(1×10^{-19} A/μm)以下、室温(27)の場合には1zA/μm(1×10^{-21} A/μm)以下にすることができる。好ましくは、125において100zA/μm(1×10^{-19} A/μm)以下に、85において10zA/μm(1×10^{-20} A/μm)以下に、室温において0.1zA/μm(1×10^{-22} A/μm)以下にすることができる。

【0319】

もっとも、酸化物半導体層の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点-70以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0320】

また、酸化物半導体層成膜後に650の加熱処理を行った試料を用いたトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0321】

測定に用いたトランジスタは、チャンネル長Lが3μm、チャンネル幅Wが10μm、Lovが片側3μm(合計6μm)、dWが0μmである。なお、Vdは10Vとした。なお、基板温度は-40、-25、25、75、125及び150で行った。ここで、トランジスタにおいて、ゲート電極と一对の電極との重畳する幅をLovと呼び、酸化物半導体層に対する一对の電極のはみ出しをdWという。

【0322】

10

20

30

40

50

図 3 1 に、 I_d (実線) 及び電界効果移動度 (点線) の V_g 依存性を示す。また、図 3 2 (A) に基板温度と閾値電圧の関係を、図 3 2 (B) に基板温度と電界効果移動度の関係を示す。

【0323】

図 3 2 (A) より、基板温度が高いほど閾値電圧は低くなることがわかる。なお、その範囲は $-40 \sim 150$ で $0.38 \text{ V} \sim -1.08 \text{ V}$ であった。

【0324】

また、図 3 2 (B) より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は $-40 \sim 150$ で $37.4 \text{ cm}^2/\text{Vs} \sim 33.4 \text{ cm}^2/\text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

10

【0325】

上記のような I_n 、 S_n 、 Z_n を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA}/\mu\text{m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2/\text{Vs}$ 以上、好ましくは $40 \text{ cm}^2/\text{Vs}$ 以上、より好ましくは $60 \text{ cm}^2/\text{Vs}$ 以上とし、LSI で要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm}/40 \text{ nm}$ の FET で、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

20

【0326】

次に、 $I_n - S_n - Z_n - O$ 膜を酸化物半導体層に用いたトランジスタの一例について、図 2 6 などを用いて説明する。

【0327】

図 2 6 は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図及び断面図である。図 2 6 (A) にトランジスタの上面図を示す。また、図 2 6 (B) に図 2 6 (A) の一点鎖線 A - B に対応する断面 A - B を示す。

【0328】

図 2 6 (B) に示すトランジスタは、基板 7 5 0 と、基板 7 5 0 上に設けられた下地絶縁層 7 5 2 と、下地絶縁層 7 5 2 の周辺に設けられた保護絶縁層 7 5 4 と、下地絶縁層 7 5 2 及び保護絶縁層 7 5 4 上に設けられた高抵抗領域 7 5 6 a 及び低抵抗領域 7 5 6 b を有する酸化物半導体層 7 5 6 と、酸化物半導体層 7 5 6 上に設けられたゲート絶縁層 7 5 8 と、ゲート絶縁層 7 5 8 を介して酸化物半導体層 7 5 6 と重畳して設けられたゲート電極 7 6 0 と、ゲート電極 7 6 0 の側面と接して設けられた側壁絶縁物 7 6 2 と、少なくとも低抵抗領域 7 5 6 b と接して設けられた一对の電極 7 6 4 と、少なくとも酸化物半導体層 7 5 6、ゲート電極 7 6 0 及び一对の電極 7 6 4 を覆って設けられた層間絶縁層 7 6 6 と、層間絶縁層 7 6 6 に設けられた開口部を介して少なくとも一对の電極 7 6 4 の一方と接続して設けられた配線 7 6 8 と、を有する。

30

【0329】

なお、図示しないが、層間絶縁層 7 6 6 及び配線 7 6 8 を覆って設けられた保護膜を有していても構わない。該保護膜を設けることにより、層間絶縁層 7 6 6 の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

40

【0330】

次に、上記とは異なる $I_n - S_n - Z_n - O$ 膜を酸化物半導体層に用いたトランジスタの他の一例について示す。

【0331】

図 2 7 は、本実施の形態で作製したトランジスタの構造を示す上面図及び断面図である。図 2 7 (A) はトランジスタの上面図である。また、図 2 7 (B) は図 2 7 (A) の一点

50

鎖線 A - B に対応する断面図である。

【0332】

図 27 (B) に示すトランジスタは、基板 6 0 0 と、基板 6 0 0 上に設けられた下地絶縁層 6 0 2 と、下地絶縁層 6 0 2 上に設けられた酸化物半導体層 6 0 6 と、酸化物半導体層 6 0 6 と接する一対の電極 6 1 4 と、酸化物半導体層 6 0 6 及び一対の電極 6 1 4 上に設けられたゲート絶縁層 6 0 8 と、ゲート絶縁層 6 0 8 を介して酸化物半導体層 6 0 6 と重畳して設けられたゲート電極 6 1 0 と、ゲート絶縁層 6 0 8 及びゲート電極 6 1 0 を覆って設けられた層間絶縁層 6 1 6 と、層間絶縁層 6 1 6 に設けられた開口部を介して一対の電極 6 1 4 と接続する配線 6 1 8 と、層間絶縁層 6 1 6 及び配線 6 1 8 を覆って設けられた保護膜 6 2 0 と、を有する。

10

【0333】

基板 6 0 0 としてはガラス基板を、下地絶縁層 6 0 2 としては酸化シリコン膜を、酸化物半導体層 6 0 6 としては In-Sn-Zn-O 膜を、一対の電極 6 1 4 としてはタングステン膜を、ゲート絶縁層 6 0 8 としては酸化シリコン膜を、ゲート電極 6 1 0 としては窒化タンタル膜とタングステン膜との積層構造を、層間絶縁層 6 1 6 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 6 1 8 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 6 2 0 としてはポリイミド膜を、それぞれ用いた。

【0334】

なお、図 27 (A) に示す構造のトランジスタにおいて、ゲート電極 6 1 0 と一対の電極 6 1 4 との重畳する幅を L_{ov} という。同様に、酸化物半導体層 6 0 6 に対する一対の電極 6 1 4 のはみ出しを dW という。

20

【0335】

さらに、本実施の形態におけるトランジスタの作製方法例として、図 5 (A) に示すトランジスタの作製方法例について、図 6 (A) 乃至図 6 (E) を用いて説明する。図 6 (A) 乃至図 6 (E) は、図 5 (A) に示すトランジスタの作製方法例を説明するための断面模式図である。

【0336】

まず、図 6 (A) に示すように、基板 4 0 0 a を準備し、基板 4 0 0 a の上に第 1 の導電膜を形成し、第 1 の導電膜の一部をエッチングすることにより導電層 4 0 1 a を形成する。

30

【0337】

例えば、スパッタリング法を用いて導電層 4 0 1 a に適用可能な材料の膜を形成することにより第 1 の導電膜を形成することができる。また、導電層 4 0 1 a に適用可能な材料の膜を積層させ、第 1 の導電膜を形成することもできる。

【0338】

なお、スパッタリングガスとして、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることにより、形成される膜の上記不純物濃度を低減することができる。

【0339】

なお、スパッタリング法を用いて膜を形成する前に、スパッタリング装置の予備加熱室にて予備加熱処理を行ってもよい。上記予備加熱処理を行うことにより、水素、水分などの不純物を脱離することができる。

40

【0340】

また、スパッタリング法を用いて膜を形成する前に、例えばアルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、基板側に RF 電源を用いて電圧を印加し、プラズマを形成して被形成面を改質する処理（逆スパッタともいう）を行ってもよい。逆スパッタを行うことにより、被形成面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【0341】

50

また、スパッタリング法を用いて膜を形成する場合、吸着型の真空ポンプなどを用いて、膜を形成する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリーションポンプなどを用いることができる。また、コールドトラップを設けたターボ分子ポンプを用いて成膜室内の残留水分を除去することもできる。

【0342】

また、上記導電層401aの形成方法のように、本実施の形態におけるトランジスタの作製方法例において、膜の一部をエッチングして層を形成する場合、例えば、フォトリソグラフィ工程により膜の一部の上にレジストマスクを形成し、レジストマスクを用いて膜をエッチングすることにより、層を形成することができる。なお、この場合、層の形成後にレジストマスクを除去する。

10

【0343】

また、インクジェット法を用いてレジストマスクを形成してもよい。インクジェット法を用いることにより、フォトマスクが不要になるため、製造コストを低減することができる。また、透過率の異なる複数の領域を有する露光マスク（多階調マスクともいう）を用いてレジストマスクを形成してもよい。多階調マスクを用いることにより、異なる厚さの領域を有するレジストマスクを形成することができ、トランジスタの作製に使用するレジストマスクの数を低減することができる。

【0344】

次に、図6(B)に示すように、導電層401aの上に第1の絶縁膜を形成することにより絶縁層402aを形成する。

20

【0345】

例えば、スパッタリング法やプラズマCVD法などを用いて絶縁層402aに適用可能な材料の膜を形成することにより第1の絶縁膜を形成することができる。また、絶縁層402aに適用可能な材料の膜を積層させることにより第1の絶縁膜を形成することもできる。また、高密度プラズマCVD法（例えばμ波（例えば、周波数2.45GHzのμ波）を用いた高密度プラズマCVD法）を用いて絶縁層402aに適用可能な材料の膜を形成することにより、絶縁層402aを緻密にすることができ、絶縁層402aの絶縁耐圧を向上させることができる。

【0346】

次に、図6(C)に示すように、絶縁層402aの上に酸化物半導体層を形成し、その後酸化物半導体層の一部をエッチングすることにより酸化物半導体層403aを形成する。

30

【0347】

例えば、スパッタリング法を用いて酸化物半導体層403aに適用可能な酸化物半導体材料の膜を形成することにより酸化物半導体層を形成することができる。なお、希ガス雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で酸化物半導体層を形成してもよい。

【0348】

また、スパッタリングターゲットとして、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の組成比である酸化物ターゲットを用いて酸化物半導体層を形成することができる。また、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比である酸化物ターゲットを用いて酸化物半導体層を形成してもよい。

40

【0349】

また、酸化物半導体としてIn-Sn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、In:Sn:Znが原子数比で、1:2:2、2:1:3、1:1:1、又は20:45:35などとなる酸化物ターゲットを用いる。なお、In-Sn-Zn系酸化物は、ITZOとすることができる。

【0350】

また、スパッタリング法を用いて酸化物半導体層を形成する際に、基板400aを減圧状態にし、基板400aを100以上600以下、好ましくは200以上400以

50

下に加熱してもよい。基板400aを加熱することにより、酸化物半導体層の上記不純物濃度を低減することができ、また、スパッタリング法による酸化物半導体層の損傷を軽減することができる。

【0351】

次に、図6(D)に示すように、絶縁層402a及び酸化物半導体層403aの上に第2の導電膜を形成し、第2の導電膜の一部をエッチングすることにより導電層405a及び導電層406aを形成する。

【0352】

例えば、スパッタリング法などを用いて導電層405a及び導電層406aに適用可能な材料の膜を形成することにより第2の導電膜を形成することができる。また、導電層405a及び導電層406aに適用可能な材料の膜を積層させることにより第2の導電膜を形成することもできる。

10

【0353】

次に、図6(E)に示すように、酸化物半導体層403aに接するように絶縁層407aを形成する。

【0354】

例えば、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で、スパッタリング法を用いて絶縁層407aに適用可能な膜を形成することにより、絶縁層407aを形成することができる。スパッタリング法を用いて絶縁層407aを形成することにより、トランジスタのバックチャネルとしての機能を有する酸化物半導体層403aの部分の抵抗の低下を抑制することができる。また、絶縁層407aを形成する際の基板温度は、室温以上300以下であることが好ましい。

20

【0355】

また、絶縁層407aを形成する前にN₂O、N₂、又はArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層403aの表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、その後、大気に触れることなく、絶縁層407aを形成することが好ましい。

【0356】

さらに、図5(A)に示すトランジスタの作製方法の一例では、例えば400以上750以下、又は400以上基板の歪み点未満の温度で加熱処理を行う。例えば、酸化物半導体層を形成した後、酸化物半導体層の一部をエッチングした後、第2の導電膜を形成した後、第2の導電膜の一部をエッチングした後、又は絶縁層407aを形成した後に上記加熱処理を行う。

30

【0357】

なお、上記加熱処理を行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えばGRTA(Gas Rapid Thermal Annealing)装置又はLRTA(Lamp Rapid Thermal Annealing)装置などのRTA(Rapid Thermal Annealing)装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体(例えば窒素)を用いることができる。

40

【0358】

また、上記加熱処理を行った後、その加熱温度を維持しながら又はその加熱温度から降温する過程で上記加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下の雰囲気)を導入してもよい。このとき、酸素ガス又はN₂Oガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又はN₂Oガスの純度を、6N以上、好ましくは

50

7 N 以上、すなわち、酸素ガス又は N_2O ガス中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下とすることが好ましい。酸素ガス又は N_2O ガスの作用により、酸化物半導体層 403a に酸素が供給され、酸化物半導体層 403a 中の酸素欠乏に起因する欠陥を低減することができる。

【0359】

さらに、上記加熱処理とは別に、絶縁層 407a を形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で加熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行ってもよい。

【0360】

また、絶縁層 402a 形成後、酸化物半導体層形成後、ソース電極又はドレイン電極となる導電層形成後、絶縁層形成後、又は加熱処理後に酸素プラズマによる酸素ドーピング処理を行ってもよい。例えば 2.45 GHz の高密度プラズマにより酸素ドーピング処理を行ってもよい。また、イオン注入法又はイオンドーピングを用いて酸素ドーピング処理を行ってもよい。酸素ドーピング処理を行うことにより、作製されるトランジスタの電気特性のばらつきを低減することができる。例えば、酸素ドーピング処理を行い、絶縁層 402a 及び絶縁層 407a の一方又は両方を、化学量論的組成比より酸素が多い状態にする。これにより、絶縁層中の過剰な酸素が酸化物半導体層 403a に供給されやすくなる。よって、酸化物半導体層 403a 中、又は絶縁層 402a 及び絶縁層 407a の一方又は両方と、酸化物半導体層 403a との界面における酸素欠陥を低減することができるため、酸化物半導体層 403a のキャリア濃度をより低減することができる。

【0361】

例えば、絶縁層 402a 及び絶縁層 407a の一方又は両方として、酸化ガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムの組成を Ga_2O_x にすることができる。

【0362】

また、絶縁層 402a 及び絶縁層 407a の一方又は両方として、酸化アルミニウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化アルミニウムの組成を Al_2O_x にすることができる。

【0363】

また、絶縁層 402a 及び絶縁層 407a の一方又は両方として、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムの組成を $Ga_xAl_{2-x}O_{3+}$ とすることができる。

【0364】

以上の工程により、酸化物半導体層 403a から、水素、水、水酸基、又は水素化物（水素化合物ともいう）などの不純物を排除し、且つ酸化物半導体層 403a に酸素を供給することにより、酸化物半導体層を高純度化させることができる。

【0365】

なお、図 5 (A) に示すトランジスタの作製方法例を示したが、これに限定されず、例えば図 5 (B) 乃至図 5 (E) に示す各構成要素において、名称が図 5 (A) に示す各構成要素と同じであり且つ機能の少なくとも一部が図 5 (A) に示す各構成要素と同じであれば、図 5 (A) に示すトランジスタの作製方法例の説明を適宜援用することができる。

【0366】

図 5 及び図 6 を用いて説明したように、本実施の形態におけるトランジスタの一例は、ゲートとしての機能を有する導電層と、ゲート絶縁層としての機能を有する絶縁層と、ゲート絶縁層としての機能を有する絶縁層を介してゲートとしての機能を有する導電層に重畳し、チャンネルが形成される酸化物半導体層と、酸化物半導体層に電氣的に接続され、ソース及びドレインの一方としての機能を有する導電層と、酸化物半導体層に電氣的に接続され、ソース及びドレインの他方としての機能を有する導電層と、を含む構造である。

【0367】

10

20

30

40

50

また、本実施の形態におけるトランジスタの一例は、酸化物半導体層、ソース及びドレインの一方としての機能を有する導電層、並びにソース及びドレインの他方としての機能を有する導電層が設けられていない箇所において酸化物半導体層に接する絶縁層がゲート絶縁層としての機能を有する絶縁層に接する構造である。上記構造にすることにより、酸化物半導体層、ソース及びドレインの一方としての機能を有する導電層、並びにソース及びドレインの他方としての機能を有する導電層が酸化物半導体層に接する絶縁層及びゲート絶縁層としての機能を有する絶縁層に囲まれるため、酸化物半導体層、ソース及びドレインの一方としての機能を有する導電層、並びにソース及びドレインの他方としての機能を有する導電層への不純物の侵入を抑制することができる。

【0368】

また、チャネルが形成される酸化物半導体層に含まれるアルカリ金属の濃度は低いことが好ましい。例えばチャネルが形成される酸化物半導体層にナトリウムが含まれる場合、チャネルが形成される酸化物半導体層に含まれるナトリウムの濃度は、 $5 \times 10^{16} / \text{cm}^3$ 以下、さらには、 $1 \times 10^{16} / \text{cm}^3$ 以下、さらには $1 \times 10^{15} / \text{cm}^3$ 以下であることが好ましい。また、例えばチャネルが形成される酸化物半導体層にリチウムが含まれる場合、チャネルが形成される酸化物半導体層に含まれるリチウムの濃度は、 $5 \times 10^{15} / \text{cm}^3$ 以下、さらには、 $1 \times 10^{15} / \text{cm}^3$ 以下であることが好ましい。また、例えばチャネルが形成される酸化物半導体層にカリウムが含まれる場合、チャネルが形成される酸化物半導体層に含まれるカリウムの濃度は、 $5 \times 10^{15} / \text{cm}^3$ 以下、さらには、 $1 \times 10^{15} / \text{cm}^3$ 以下であることが好ましい。例えば、ナトリウムは、酸化物半導体層に接する絶縁層が酸化物である場合、酸化物絶縁層内に入り、トランジスタの特性の劣化（例えば閾値電圧のシフト、移動度の低下など）が起こる。さらに、複数のトランジスタ間における特性のばらつきの原因にもなる。よって、チャネルが形成される酸化物半導体層に含まれるアルカリ金属の濃度の少なくすることにより、アルカリ金属に起因するトランジスタの特性の劣化を抑制することができる。

【0369】

以上のように、チャネルが形成される酸化物半導体層は、高純度化させることによりI型又は実質的にI型となった酸化物半導体層である。酸化物半導体層を高純度化させることにより、酸化物半導体層のキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができ、温度変化による特性変化を抑制することができる。また、上記構造にすることにより、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 aA ($1 \times 10^{-17} \text{ A}$)以下にすること、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 aA ($1 \times 10^{-18} \text{ A}$)以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 zA ($1 \times 10^{-20} \text{ A}$)以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 zA ($1 \times 10^{-21} \text{ A}$)以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 100 yA ($1 \times 10^{-22} \text{ A}$)以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、本実施の形態におけるトランジスタのオフ電流の下限値は、約 $10^{-30} \text{ A} / \mu\text{m}$ であると見積もられる。

【0370】

本実施の形態の酸化物半導体層を含むトランジスタを、例えば上記実施の形態における入出力装置の表示回路、表示選択信号出力回路、表示データ信号出力回路、光検出回路、光検出リセット信号出力回路、及び出力選択信号出力回路の一つ又は複数におけるトランジスタに用いることにより、入出力装置の信頼性を向上させることができる。

【0371】

さらに、特性評価用回路によるリーク電流測定を用いた、本実施の形態における酸化物半導体層を含むトランジスタの一例におけるオフ電流の値の算出例について以下に説明する。

【0372】

特性評価用回路によるリーク電流測定について、図7を用いて説明する。図7は、特性評価用回路を説明するための図である。

10

20

30

40

50

【 0 3 7 3 】

まず、特性評価用回路の回路構成について図 7 (A) を用いて説明する。図 7 (A) は、特性評価用回路の回路構成を示す回路図である。

【 0 3 7 4 】

図 7 (A) に示す特性評価用回路は、複数の測定系 8 0 1 を備える。複数の測定系 8 0 1 は、互いに並列に接続される。ここでは、一例として 8 個の測定系 8 0 1 が並列に接続される構成とする。複数の測定系 8 0 1 を用いることにより、同時に複数の測定を行うことができる。

【 0 3 7 5 】

測定系 8 0 1 は、トランジスタ 8 1 1 と、トランジスタ 8 1 2 と、容量素子 8 1 3 と、トランジスタ 8 1 4 と、トランジスタ 8 1 5 と、を含む。

【 0 3 7 6 】

トランジスタ 8 1 1、トランジスタ 8 1 2、トランジスタ 8 1 4、及びトランジスタ 8 1 5 は、N 型の電界効果トランジスタである。

【 0 3 7 7 】

トランジスタ 8 1 1 のソース及びドレインの一方には、電圧 V_1 が入力され、トランジスタ 8 1 1 のゲートには、電圧 V_{ext_a} が入力される。トランジスタ 8 1 1 は、電荷注入用のトランジスタである。

【 0 3 7 8 】

トランジスタ 8 1 2 のソース及びドレインの一方は、トランジスタ 8 1 1 のソース及びドレインの他方に接続され、トランジスタ 8 1 2 のソース及びドレインの他方には、電圧 V_2 が入力され、トランジスタ 8 1 2 のゲートには、電圧 V_{ext_b} が入力される。トランジスタ 8 1 2 は、リーク電流評価用のトランジスタである。なお、ここでのリーク電流とは、トランジスタのオフ電流を含むリーク電流である。

【 0 3 7 9 】

容量素子 8 1 3 の第 1 の容量電極は、トランジスタ 8 1 1 のソース及びドレインの他方に接続され、容量素子 8 1 3 の第 2 の容量電極には、電圧 V_2 が入力される。なお、ここでは、電圧 V_2 は、0 V である。

【 0 3 8 0 】

トランジスタ 8 1 4 のソース及びドレインの一方には、電圧 V_3 が入力され、トランジスタ 8 1 4 のゲートは、トランジスタ 8 1 1 のソース及びドレインの他方に接続される。なお、トランジスタ 8 1 4 のゲートと、トランジスタ 8 1 1 のソース及びドレインの他方、トランジスタ 8 1 2 のソース及びドレインの一方、並びに容量素子 8 1 3 の第 1 の電極との接続箇所をノード A ともいう。なお、ここでは、電圧 V_3 は、5 V である。

【 0 3 8 1 】

トランジスタ 8 1 5 のソース及びドレインの一方は、トランジスタ 8 1 4 のソース及びドレインの他方に接続され、トランジスタ 8 1 5 のソース及びドレインの他方には、電圧 V_4 が入力され、トランジスタ 8 1 5 のゲートには、電圧 V_{ext_c} が入力される。なお、ここでは、電圧 V_{ext_c} は、0.5 V である。

【 0 3 8 2 】

さらに、測定系 8 0 1 は、トランジスタ 8 1 4 のソース及びドレインの他方と、トランジスタ 8 1 5 のソース及びドレインの一方との接続箇所の電圧を出力電圧 V_{out} として出力する。

【 0 3 8 3 】

ここでは、トランジスタ 8 1 1 の一例として、酸化物半導体層を含み、チャンネル長 $L = 10 \mu\text{m}$ 、チャンネル幅 $W = 10 \mu\text{m}$ のトランジスタを用いる。

【 0 3 8 4 】

また、トランジスタ 8 1 4 及びトランジスタ 8 1 5 の一例として、酸化物半導体層を含み、チャンネル長 $L = 3 \mu\text{m}$ 、チャンネル幅 $W = 100 \mu\text{m}$ のトランジスタを用いる。

【 0 3 8 5 】

10

20

30

40

50

また、トランジスタ 812 の構造について、図 7 (B) に示す。図 7 (B) は、トランジスタの構造を示す断面模式図である。

【 0 3 8 6 】

図 7 (B) に示すように、トランジスタ 812 は、ゲートとしての機能を有する導電層 901 と、ゲート絶縁層としての機能を有する絶縁層 902 と、絶縁層 902 を介して導電層 901 の上に設けられ、チャンネル形成層としての機能を有する酸化物半導体層 903 と、酸化物半導体層 903 に接し、ソース及びドレインの一方としての機能を有する導電層 905 及びソース及びドレインの他方としての機能を有する導電層 906 と、を含む。さらに、トランジスタ 812 は、酸化物半導体層 903、導電層 905、及び導電層 906 の上に絶縁層 907 及び平坦化層 908 が積層され、平坦化層 908 の上に、開口部を介して導電層 905 に接する導電層 909 及び開口部を介して導電層 906 に接する導電層 910 が設けられ、導電層 905 及び導電層 906 と、導電層 901 とが重畳せず、幅 1 μm のオフセット領域を有する。オフセット領域を設けることにより、寄生容量を低減することができる。さらに、トランジスタ 812 としては、チャンネル長 L 及びチャンネル幅 W の異なる 6 つのトランジスタのサンプル (SMP ともいう) を用いる (表 1 参照) 。

10

【 0 3 8 7 】

【 表 1 】

	L [μm]	W [μm]
SMP1	1.5	1×10^5
SMP2	3	1×10^5
SMP3	10	1×10^5
SMP4	1.5	1×10^6
SMP5	3	1×10^6
SMP6	10	1×10^6

20

【 0 3 8 8 】

次に、トランジスタ 812 の作製方法について以下に説明する。

【 0 3 8 9 】

まず、基板 900 となるガラス基板を準備し、基板 900 の上に絶縁層 927 を形成する。ここでは、基板 900 の上に厚さが 100 nm の窒化シリコン膜を形成し、該窒化シリコン膜の上に厚さが 150 nm の酸化窒化シリコン膜を形成することにより絶縁層 927 を形成する。

30

【 0 3 9 0 】

次に、絶縁層 927 を介して基板 900 の上に導電層 901 を形成する。ここでは、絶縁層 927 を介して基板 900 の上に、スパッタリング法により、厚さが 100 nm のタングステン膜を形成し、該タングステン膜の一部をエッチングすることにより導電層 901 を形成する。

【 0 3 9 1 】

次に、導電層 901 及び絶縁層 927 の上に絶縁層 902 を形成する。ここでは、導電層 901 及び絶縁層 927 の上に、CVD 法により、厚さが 100 nm の酸化窒化シリコン膜を形成することにより絶縁層 902 を形成する。

40

【 0 3 9 2 】

次に、絶縁層 902 を介して導電層 901 の上に酸化物半導体層 903 を形成する。ここでは、絶縁層 902 を介して導電層 901 の上に、スパッタリング法により酸化物半導体層を形成し、該酸化物半導体層の一部をエッチングすることにより酸化物半導体層 903 を形成する。なお、酸化物半導体層の作製工程では、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol] の金属酸化物ターゲットを用い、基板温度を 200 とし、スパッタリング装置におけるチャンパー内の圧力を 0.6 Pa とし、スパッタリング装置における直流電源を 5 kV とし、成膜雰囲気酸素及びアルゴンの混合雰囲気 (酸素流量 50 sccm、アルゴン流量 50 sccm) として上記酸化物半導体層を形成する。

50

【0393】

次に、窒素及び酸素の混合雰囲気（窒素80%、酸素20%）下で450、1時間の熱処理を行う。

【0394】

次に、絶縁層902の一部をエッチングし、導電層901に貫通する開口部を形成する。

【0395】

次に、酸化物半導体層903の上に導電層905及び導電層906を形成する。ここでは、スパッタリング法により、酸化物半導体層903の上に厚さが100nmのチタン膜を形成し、該チタン膜の上に、厚さが200nmのアルミニウム膜を形成し、該アルミニウム膜の上に厚さが100nmのチタン膜を形成し、該チタン膜、アルミニウム膜、及びチタン膜の積層の一部をエッチングすることにより導電層905及び導電層906を形成する。

10

【0396】

次に、窒素雰囲気下で300、1時間の熱処理を行う。

【0397】

次に、絶縁層902、酸化物半導体層903、導電層905、及び導電層906の上に、絶縁層907を形成する。ここでは、絶縁層902、酸化物半導体層903、導電層905、及び導電層906の上に、厚さが300nmの酸化シリコン膜を形成することにより絶縁層907を形成する。

【0398】

次に、絶縁層907の一部をエッチングすることにより、導電層905に貫通する開口部及び導電層906に貫通する開口部を形成する。

20

【0399】

次に、絶縁層907の上に平坦化層908を形成する。ここでは、厚さが1.5µmのアクリル層を塗布し、該アクリル層の一部を露光することにより平坦化層908を形成する。

【0400】

さらに、窒素雰囲気下で250、1時間の熱処理を行う。

【0401】

次に、平坦化層908の上に、導電層905に接する導電層909及び導電層906に接する導電層910を形成する。ここでは、スパッタリング法により、平坦化層908の上に厚さが200nmのチタン膜を形成し、該チタン膜の一部をエッチングすることにより導電層909及び導電層910を形成する。

30

【0402】

次に、窒素雰囲気下で250、1時間の熱処理を行う。以上がトランジスタ812の作製方法である。

【0403】

図7(A)に示すように、電荷注入用のトランジスタと、リーク電流評価用のトランジスタとを別々に設けることにより、電荷注入の際に、リーク電流評価用のトランジスタを常にオフ状態に保つことができる。

40

【0404】

また、電荷注入用のトランジスタと、リーク電流評価用のトランジスタとを別々に設けることにより、それぞれのトランジスタを適切なサイズとすることができる。また、リーク電流評価用トランジスタのチャンネル幅Wを、電荷注入用のトランジスタのチャンネル幅Wよりも大きくすることにより、リーク電流評価用トランジスタのリーク電流以外の特性評価回路のリーク電流成分を相対的に小さくすることができる。その結果、リーク電流評価用トランジスタのリーク電流を高い精度で測定することができる。同時に、電荷注入の際に、リーク電流評価用トランジスタを一度オン状態とする必要がないため、リーク電流評価用トランジスタのチャンネル形成領域の電荷の一部がノードAに流れ込むことによるノードAの電圧変動の影響もない。

50

【 0 4 0 5 】

次に、図 7 (A) に示す特性評価回路のリーク電流測定方法について、図 7 (C) を用いて説明する。図 7 (C) は、図 7 (A) に示す特性評価回路を用いたリーク電流測定方法を説明するためのタイミングチャートである。

【 0 4 0 6 】

図 7 (A) に示す特性評価回路を用いたリーク電流測定方法は、書き込み期間及び保持期間に分けられる。それぞれの期間における動作について、以下に説明する。

【 0 4 0 7 】

書き込み期間では、電圧 V_{ext_b} として、トランジスタ 8 1 2 がオフ状態となるような電圧 V_L (- 3 V) を入力する。また、電圧 V_1 として、書き込み電圧 V_w を入力した後、電圧 V_{ext_a} として、一定期間トランジスタ 8 1 1 がオン状態となるような電圧 V_H (5 V) を入力する。これによって、ノード A に電荷が蓄積され、ノード A の電圧は、書き込み電圧 V_w と同等の値になる。その後、電圧 V_{ext_a} として、トランジスタ 8 1 1 がオフ状態となるような電圧 V_L を入力する。その後、電圧 V_1 として、電圧 V_S (0 V) を入力する。

10

【 0 4 0 8 】

また、保持期間では、ノード A が保持する電荷量の変化に起因して生じるノード A の電圧の変化量の測定を行う。電圧の変化量から、トランジスタ 8 1 2 のソース電極とドレイン電極との間を流れる電流値を算出することができる。以上により、ノード A の電荷の蓄積とノード A の電圧の変化量の測定とを行うことができる。

20

【 0 4 0 9 】

このとき、ノード A の電荷の蓄積及びノード A の電圧の変化量の測定 (蓄積及び測定動作ともいう) を繰り返し行う。まず、第 1 の蓄積及び測定動作を 1 5 回繰り返し行う。第 1 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 5 V の電圧を入力し、保持期間に 1 時間の保持を行う。次に、第 2 の蓄積及び測定動作を 2 回繰り返し行う。第 2 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 3 . 5 V の電圧を入力し、保持期間に 5 0 時間の保持を行う。次に、第 3 の蓄積及び測定動作を 1 回行う。第 3 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 4 . 5 V の電圧を入力し、保持期間に 1 0 時間の保持を行う。蓄積及び測定動作を繰り返し行うことにより、測定した電流値が、定常状態における値であることを確認することができる。言い換えると、ノード A を流れる電流 I_A のうち、過渡電流 (測定開始後から時間経過とともに減少していく電流成分) を除くことができる。その結果、より高い精度でリーク電流を測定することができる。

30

【 0 4 1 0 】

一般に、ノード A の電圧 V_A は、出力電圧 V_{out} の関数として次の式のように表される。

【 0 4 1 1 】

【 数 7 】

$$V_A = F(V_{out})$$

40

【 0 4 1 2 】

また、ノード A の電荷 Q_A は、ノード A の電圧 V_A 、ノード A に接続される容量 C_A 、定数 ($const$) を用いて、次の式のように表される。

【 0 4 1 3 】

【 数 8 】

$$Q_A = C_A V_A + const$$

【 0 4 1 4 】

50

ここで、ノード A に接続される容量 C_A は、容量素子 8 1 3 の容量と容量素子 8 1 3 以外の容量成分の和である。

【0 4 1 5】

ノード A の電流 I_A は、ノード A に流れ込む電荷（又はノード A から流れ出る電荷）の時間微分であるから、ノード A の電流 I_A は、次の式のように表される。

【0 4 1 6】

【数 9】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

10

【0 4 1 7】

なお、ここでは、一例として、 t を約 5 4 0 0 0 s e c とする。このように、ノード A に接続される容量 C_A と、出力電圧 V_{out} から、リーク電流であるノード A の電流 I_A を求めることができるため、特性評価回路のリーク電流を求めることができる。

【0 4 1 8】

次に、上記特性評価回路を用いた測定方法による出力電圧の測定結果及び該測定結果より算出した特性評価回路のリーク電流の値について、図 8 を用いて説明する。

【0 4 1 9】

図 8 (A) に、一例として、S M P 4、S M P 5、及び S M P 6 におけるトランジスタの上記測定（第 1 の蓄積及び測定動作）に係る経過時間 T_{ime} と、出力電圧 V_{out} との関係を示し、図 8 (B) に、上記測定に係る経過時間 T_{ime} と、該測定によって算出された電流 I_A との関係を示す。測定開始後から出力電圧 V_{out} が変動しており、定常状態に到るためには 1 0 時間以上必要であることがわかる。

20

【0 4 2 0】

また、図 9 に、上記測定により得られた値から見積もられた S M P 1 乃至 S M P 6 におけるノード A の電圧とリーク電流の関係を示す。図 9 では、例えば S M P 4 において、ノード A の電圧が 3 . 0 V の場合、リーク電流は 2 8 y A / μ m である。リーク電流にはトランジスタ 8 1 2 のオフ電流も含まれるため、トランジスタ 8 1 2 のオフ電流も 2 8 y A / μ m 以下とみなすことができる。

30

【0 4 2 1】

また、図 1 0、図 1 1、及び図 1 2 に、8 5、1 2 5、及び 1 5 0 における上記測定により見積もられた S M P 1 乃至 S M P 6 におけるノード A の電圧とリーク電流の関係を示す。図 1 0 乃至図 1 2 に示すように、1 5 0 の場合であっても、リーク電流は、1 0 0 z A / μ m 以下であることがわかる。

【0 4 2 2】

以上のように、チャネル形成層としての機能を有し、高純度化された酸化物半導体層を含むトランジスタを用いた特性評価用回路において、リーク電流が十分に低いため、該トランジスタのオフ電流が十分に小さいことがわかる。また、上記トランジスタのオフ電流は、温度が上昇した場合であっても十分に低いことがわかる。

40

【0 4 2 3】

（実施の形態 6）

本実施の形態では、上記実施の形態における入出力装置の構造例について説明する。

【0 4 2 4】

本実施の形態における入出力装置は、トランジスタなどの半導体素子が設けられた第 1 の基板（アクティブマトリクス基板）と、第 2 の基板と、第 1 の基板及び第 2 の基板の間に設けられた液晶層と、を含む。

【0 4 2 5】

まず、本実施の形態の入出力装置におけるアクティブマトリクス基板の構造例について、図 1 3 及び図 1 4 を用いて説明する。図 1 3 及び図 1 4 は、本実施の形態の入出力装置に

50

おけるアクティブマトリクス基板の構造例を示す図であり、図 13 (A) は、平面模式図であり、図 13 (B) は、図 13 (A) における線分 A - B の断面模式図であり、図 14 (A) は、平面模式図であり、図 14 (B) は、図 14 (A) における線分 C - D の断面模式図である。なお、図 14 では、光検出回路の一例として、図 1 (B) に示す構成の光検出回路を用いる場合を示し、一例として 2 つの光電変換素子、2 つの電荷蓄積制御トランジスタ、増幅トランジスタ、及び出力選択トランジスタを示す。また、図 13 及び図 14 では、トランジスタの一例として図 5 (A) を用いて説明した構造のトランジスタを用いる場合を示す。

【0426】

図 13 及び図 14 に示すアクティブマトリクス基板は、基板 500 と、導電層 501 a 乃至導電層 501 k と、絶縁層 502 と、半導体層 503 a 乃至半導体層 503 e と、導電層 504 a 乃至導電層 504 n と、絶縁層 505 と、半導体層 506 a と、半導体層 506 b と、半導体層 507 a と、半導体層 507 b と、半導体層 508 a と、半導体層 508 b と、絶縁層 509 と、導電層 510 a 乃至導電層 510 c と、を含む。

【0427】

導電層 501 a 乃至導電層 501 k のそれぞれは、基板 500 の一平面に設けられる。

【0428】

導電層 501 a は、表示回路における表示選択トランジスタのゲートとしての機能を有する。

【0429】

導電層 501 b は、表示回路における保持容量の第 1 の容量電極としての機能を有する。なお、容量素子 (保持容量) の第 1 の容量電極としての機能を有する層を第 1 の容量電極ともいう。

【0430】

導電層 501 c は、第 1 の光検出リセット信号が入力される配線としての機能を有する。なお、配線としての機能を有する層を配線ともいう。

【0431】

導電層 501 d は、第 2 の光検出リセット信号が入力される配線としての機能を有する。

【0432】

導電層 501 e は、光検出回路における第 1 の電荷蓄積制御トランジスタのゲートとしての機能を有する。

【0433】

導電層 501 f は、光検出回路における第 2 の電荷蓄積制御トランジスタのゲートとしての機能を有する。

【0434】

導電層 501 g は、第 1 の電荷蓄積制御信号が入力される信号線としての機能を有する。なお、信号線としての機能を有する層を信号線ともいう。

【0435】

導電層 501 h は、第 2 の電荷蓄積制御信号が入力される信号線としての機能を有する。

【0436】

導電層 501 i は、光検出回路における出力選択トランジスタのゲートとしての機能を有する。

【0437】

導電層 501 j は、光検出回路における増幅トランジスタのゲートとしての機能を有する。

【0438】

導電層 501 k は、電圧 V_0 が入力される配線としての機能を有する。

【0439】

絶縁層 502 は、導電層 501 a 乃至導電層 501 k を介して基板 500 の一平面に設けられる。

10

20

30

40

50

【0440】

絶縁層502は、表示回路における表示選択トランジスタのゲート絶縁層、表示回路における保持容量の誘電体層、光検出回路におけるX個の電荷蓄積制御トランジスタのそれぞれのゲート絶縁層、光検出回路における増幅トランジスタのゲート絶縁層、及び光検出回路における出力選択トランジスタのゲート絶縁層としての機能を有する。

【0441】

半導体層503aは、絶縁層502を介して導電層501aに重畳する。半導体層503aは、表示回路における表示選択トランジスタのチャンネル形成層としての機能を有する。

【0442】

半導体層503bは、絶縁層502を介して導電層501dに重畳する。半導体層503bは、光検出回路における第1の電荷蓄積制御トランジスタのチャンネル形成層としての機能を有する。

10

【0443】

半導体層503cは、絶縁層502を介して導電層501fに重畳する。半導体層503cは、光検出回路における第2の電荷蓄積制御トランジスタのチャンネル形成層としての機能を有する。

【0444】

半導体層503dは、絶縁層502を介して導電層501iに重畳する。半導体層503dは、光検出回路における出力選択トランジスタのチャンネル形成層としての機能を有する。

20

【0445】

半導体層503eは、絶縁層502を介して導電層501jに重畳する。半導体層503eは、光検出回路における増幅トランジスタのチャンネル形成層としての機能を有する。

【0446】

導電層504aは、半導体層503aに電氣的に接続される。導電層504aは、表示回路における表示選択トランジスタのソース及びドレインの一方としての機能を有する。

【0447】

導電層504bは、導電層501b及び半導体層503aに電氣的に接続される。導電層504bは、表示回路における表示選択トランジスタのソース及びドレインの他方としての機能を有する。

30

【0448】

導電層504cは、絶縁層502を介して導電層501bに重畳する。導電層504cは、表示回路における保持容量の第2の容量電極としての機能を有する。

【0449】

導電層504dは、絶縁層502を貫通する開口部において導電層501cに電氣的に接続される。導電層504dは、光検出回路における第1の光電変換素子の第1の電流端子及び第2の電流端子の一方としての機能を有する。

【0450】

導電層504eは、絶縁層502を貫通する開口部において導電層501dに電氣的に接続される。導電層504eは、光検出回路における第2の光電変換素子の第1の電流端子及び第2の電流端子の一方としての機能を有する。

40

【0451】

導電層504fは、半導体層503bに電氣的に接続される。導電層504fは、光検出回路における第1の電荷蓄積制御トランジスタのソース及びドレインの一方としての機能を有する。

【0452】

導電層504gは、半導体層503cに電氣的に接続される。導電層504gは、光検出回路における第2の電荷蓄積制御トランジスタのソース及びドレインの一方としての機能を有する。

【0453】

50

導電層 504 h は、絶縁層 502 を貫通する開口部において導電層 501 e 及び導電層 501 g に電氣的に接続される。導電層 504 h は、第 1 の電荷蓄積制御信号が入力される信号線としての機能を有する。

【0454】

導電層 504 i は、絶縁層 502 を貫通する開口部において導電層 501 f 及び導電層 501 h に電氣的に接続される。導電層 504 i は、第 2 の電荷蓄積制御信号が入力される信号線としての機能を有する。

【0455】

導電層 504 j は、半導体層 503 b 及び半導体層 503 c に電氣的に接続され、且つ絶縁層 502 を貫通する開口部において導電層 501 j に電氣的に接続される。導電層 504 j は、光検出回路における第 1 の電荷蓄積制御トランジスタ及び第 2 の電荷蓄積制御トランジスタのソース及びドレインの他方としての機能を有する。

10

【0456】

導電層 504 k は、半導体層 503 d に電氣的に接続される。導電層 504 k は、光検出回路における出力選択トランジスタのソース及びドレインの一方としての機能を有する。

【0457】

導電層 504 l は、半導体層 503 d 及び半導体層 503 e に電氣的に接続される。導電層 504 l は、光検出回路における出力選択トランジスタのソース及びドレインの他方、並びに光検出回路における増幅トランジスタのソース及びドレインの一方としての機能を有する。

20

【0458】

導電層 504 m は、半導体層 503 e に電氣的に接続され、絶縁層 502 を貫通する開口部において導電層 501 k に電氣的に接続される。導電層 504 m は、光検出回路における増幅トランジスタのソース及びドレインの他方としての機能を有する。

【0459】

導電層 504 n は、絶縁層 502 を貫通する開口部において導電層 501 k に電氣的に接続される。導電層 504 n は、電圧 V_0 が入力される配線としての機能を有する。

【0460】

絶縁層 505 は、導電層 504 a 乃至導電層 504 k を介して半導体層 503 a 乃至半導体層 503 d に接する。

30

【0461】

半導体層 506 a は、絶縁層 505 を貫通して設けられた開口部において導電層 504 d に電氣的に接続される。

【0462】

半導体層 506 b は、絶縁層 505 を貫通して設けられた開口部において導電層 504 e に電氣的に接続される。

【0463】

半導体層 507 a は、半導体層 506 a に接する。

【0464】

半導体層 507 b は、半導体層 506 b に接する。

40

【0465】

半導体層 508 a は、半導体層 507 a に接する。

【0466】

半導体層 508 b は、半導体層 507 b に接する。

【0467】

絶縁層 509 は、絶縁層 505、半導体層 506 a、半導体層 506 b、半導体層 507 a、半導体層 507 b、半導体層 508 a、及び半導体層 508 b に重畳する。絶縁層 509 は、表示回路及び光検出回路における平坦化絶縁層としての機能を有する。なお、必ずしも絶縁層 509 を設けなくてもよい。

【0468】

50

導電層 5 1 0 a は、絶縁層 5 0 5 及び絶縁層 5 0 9 を貫通する開口部において導電層 5 0 4 b に電氣的に接続される。また、導電層 5 1 0 a を、導電層 5 0 1 a に重畳させることにより、光漏れを防止することができる。導電層 5 1 0 a は、表示回路における表示素子の画素電極としての機能を有する。なお、画素電極としての機能を有する層を画素電極ともいう。

【 0 4 6 9 】

導電層 5 1 0 b は、絶縁層 5 0 5 及び絶縁層 5 0 9 を貫通する開口部において導電層 5 0 4 f に電氣的に接続され、絶縁層 5 0 5 及び絶縁層 5 0 9 を貫通する開口部において半導体層 5 0 8 a に電氣的に接続される。

【 0 4 7 0 】

導電層 5 1 0 c は、絶縁層 5 0 5 及び絶縁層 5 0 9 を貫通する開口部において導電層 5 0 4 g に電氣的に接続され、絶縁層 5 0 5 及び絶縁層 5 0 9 を貫通する開口部において半導体層 5 0 8 b に電氣的に接続される。

【 0 4 7 1 】

さらに、本実施の形態における入出力装置の構造例について、図 1 5 及び図 1 6 を用いて説明する。図 1 5 及び図 1 6 は、図 1 3 及び図 1 4 に示すアクティブマトリクス基板を用いた入出力装置の構造例を示す図であり、図 1 5 (A) は、平面模式図であり、図 1 5 (B) は、図 1 5 (A) における線分 A - B の断面模式図であり、図 1 6 (A) は、平面模式図であり、図 1 6 (B) は、図 1 6 (A) における線分 C - D の断面模式図である。なお、一例として光電変換素子をフォトダイオードとし、表示素子を液晶素子とする。

【 0 4 7 2 】

図 1 5 及び図 1 6 に示す入出力装置は、図 1 3 及び図 1 4 に示すアクティブマトリクス基板に加え、基板 5 1 2 と、遮光層 5 1 3 と、絶縁層 5 1 6 と、導電層 5 1 7 と、液晶層 5 1 8 と、を含む。なお、図 1 5 (A) 及び図 1 6 (A) では、便宜のため、導電層 5 1 7 を省略する。

【 0 4 7 3 】

遮光層 5 1 3 は、基板 5 1 2 の一平面の一部に設けられる。例えば遮光層 5 1 3 は、光電変換素子が形成された部分を除く基板 5 1 2 の一平面に設けられる。

【 0 4 7 4 】

絶縁層 5 1 6 は、遮光層 5 1 3 を介して基板 5 1 2 の一平面に設けられる。

【 0 4 7 5 】

導電層 5 1 7 は、基板 5 1 2 の一平面に設けられる。導電層 5 1 7 は、表示回路における共通電極としての機能を有する。なお、光検出回路において、必ずしも導電層 5 1 7 が設けられなくてもよい。

【 0 4 7 6 】

液晶層 5 1 8 は、導電層 5 1 0 a 及び導電層 5 1 7 の間に設けられ、絶縁層 5 0 9 を介して半導体層 5 0 8 に重畳する。

【 0 4 7 7 】

なお、導電層 5 1 0 a、液晶層 5 1 8、及び導電層 5 1 7 は、表示回路における表示素子としての機能を有する。

【 0 4 7 8 】

さらに、図 1 5 及び図 1 6 に示す入出力装置の各構成要素について説明する。

【 0 4 7 9 】

基板 5 0 0 及び基板 5 1 2 としては、図 5 (A) における基板 4 0 0 a に適用可能な基板を用いることができる。

【 0 4 8 0 】

導電層 5 0 1 a 乃至導電層 5 0 1 k としては、図 5 (A) における導電層 4 0 1 a に適用可能な材料の層を用いることができる。また、導電層 4 0 1 a に適用可能な材料の層を積層して導電層 5 0 1 a 乃至導電層 5 0 1 k を構成してもよい。

【 0 4 8 1 】

10

20

30

40

50

絶縁層 502 としては、図 5 (A) における絶縁層 402 a に適用可能な材料の層を用いることができる。また、絶縁層 402 a に適用可能な材料の層を積層して絶縁層 502 を構成してもよい。

【 0 4 8 2 】

半導体層 503 a 乃至半導体層 503 e としては、図 5 (A) に示す酸化物半導体層 403 a に適用可能な材料の層を用いることができる。

【 0 4 8 3 】

導電層 504 a 乃至導電層 504 n としては、図 5 (A) における導電層 405 a 又は導電層 406 a に適用可能な材料の層を用いることができる。また、導電層 405 a 又は導電層 406 a に適用可能な材料の層を積層して導電層 504 a 乃至導電層 504 n を構成してもよい。

10

【 0 4 8 4 】

絶縁層 505 としては、図 5 (A) における絶縁層 407 a に適用可能な材料の層を用いることができる。また、絶縁層 407 a に適用可能な層を積層して絶縁層 505 を構成してもよい。

【 0 4 8 5 】

半導体層 506 a 及び半導体層 506 b は、一導電型 (P 型及び N 型の一方) の半導体層である。半導体層 506 a 及び半導体層 506 b としては、例えばシリコンを含有する半導体層を用いることができる。

【 0 4 8 6 】

半導体層 507 a 及び半導体層 507 b は、半導体層 506 より抵抗の高い半導体層である。半導体層 507 a 及び半導体層 507 b としては、例えばシリコンを含有する半導体層を用いることができる。

20

【 0 4 8 7 】

半導体層 508 a 及び半導体層 508 b は、半導体層 506 とは異なる導電型 (P 型及び N 型の他方) の半導体層である。半導体層 508 a 及び半導体層 508 b としては、例えばシリコンを含有する半導体層を用いることができる。

【 0 4 8 8 】

絶縁層 509 及び絶縁層 516 としては、例えばポリイミド、アクリル、ベンゾシクロブテン、などの有機材料の層を用いることができる。また絶縁層 509 としては、低誘電率材料 (low - k 材料ともいう) の層を用いることもできる。

30

【 0 4 8 9 】

導電層 510 乃至導電層 510 c、及び導電層 517 としては、例えば透光性を有する導電材料の層を用いることができ、透光性を有する導電材料としては、例えばインジウム錫酸化物、酸化インジウムに酸化亜鉛を混合した金属酸化物 (I Z O : i n d i u m z i n c o x i d e と もい う)、酸化インジウムに酸化珪素 (S i O ₂) を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、又は酸化チタンを含むインジウム錫酸化物などを用いることができる。

【 0 4 9 0 】

また、導電性高分子 (導電性ポリマーともいう) を含む導電性組成物を用いて導電層 510 a 乃至導電層 510 c、及び導電層 517 を形成することもできる。導電性組成物を用いて形成した導電層は、シート抵抗が 10000 / 以下、波長 550 nm における透光率が 70 % 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率は、0.1 · cm 以下であることが好ましい。

40

【 0 4 9 1 】

導電性高分子としては、いわゆる 電子共役系導電性高分子が用いることができる。電子共役系導電性高分子としては、例えばポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、又はアニリン、ピロール及びチオフェンの 2 種以上の共重合体若しくはその誘導体などが挙げられる。

50

【0492】

また、グラフェンを用いて導電層510a乃至導電層510c、及び導電層517を形成することもできる。

【0493】

遮光層513としては、例えば金属材料の層を用いることができる。

【0494】

液晶層518としては、例えばTN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、又はディスコチック液晶などを含む層を用いることができる。なお、液晶層518として、導電層510c及び導電層517に印加される電圧が0Vのときに光を透過する液晶を用いることが好ましい。

10

【0495】

図13乃至図16を用いて説明したように、本実施の形態における入出力装置の構造例は、トランジスタ、画素電極、及び光電変換素子を含むアクティブマトリクス基板と、対向基板と、アクティブマトリクス基板及び対向基板の間に液晶を有する液晶層と、を含む構造である。上記構造にすることにより、同一工程により同一基板上に表示回路及び光検出回路を作製することができるため、製造コストを低減することができる。

【0496】

また、図13乃至図16を用いて説明したように、本実施の形態における入出力装置の構造例は、光を透過させる部分を除き、遮光層が設けられた構造である。上記構造にすることにより、例えばアクティブマトリクス基板に設けられたトランジスタへの光の入射を抑制することができるため、光によるトランジスタの電気的特性（例えば閾値電圧など）の変動を抑制することができる。

20

【0497】

また、本実施の形態における入出力装置において、表示回路及び光検出回路と同一基板上に表示駆動回路及び光検出駆動回路などの回路を設けてもよい。このとき、表示駆動回路及び光検出駆動回路などの回路のトランジスタの構造を、表示回路及び光検出回路におけるトランジスタの構造と同じにしてもよい。

【0498】

(実施の形態7)

本実施の形態では、上記実施の形態における入出力装置を備えた電子機器の例について説明する。

30

【0499】

本実施の形態における電子機器の構成例について、図17(A)乃至図17(D)を用いて説明する。図17(A)乃至図17(D)は、本実施の形態における電子機器の構成例を説明するための模式図である。

【0500】

図17(A)に示す電子機器は、携帯型情報端末の例である。図17(A)に示す情報端末は、筐体1001aと、筐体1001aに設けられた表示部1002aと、を具備する。

【0501】

なお、筐体1001aの側面1003aに外部機器に接続させるための接続端子、及び図17(A)に示す携帯型情報端末を操作するためのボタンの一つ又は複数も設けてもよい。

40

【0502】

図17(A)に示す携帯型情報端末は、筐体1001aの中に、CPUと、メインメモリと、外部機器とCPU及びメインメモリとの信号の送受信を行うインターフェースと、外部機器との信号の送受信を行うアンテナと、を備える。なお、筐体1001aの中に、特定の機能を有する集積回路の一つ又は複数も設けてもよい。

【0503】

図17(A)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュー

50

タ、及び遊技機の一つ又は複数としての機能を有する。

【0504】

図17(B)に示す電子機器は、折り畳み式の携帯型情報端末の例である。図17(B)に示す携帯型情報端末は、筐体1001bと、筐体1001bに設けられた表示部1002bと、筐体1004と、筐体1004に設けられた表示部1005と、筐体1001b及び筐体1004を接続する軸部1006と、を具備する。

【0505】

また、図17(B)に示す携帯型情報端末では、軸部1006により筐体1001b又は筐体1004を動かすことにより、筐体1001bを筐体1004に重畳させることができる。

10

【0506】

なお、筐体1001bの側面1003b又は筐体1004の側面1007に外部機器に接続させるための接続端子、及び図17(B)に示す携帯型情報端末を操作するためのボタンの一つ又は複数も設けてもよい。

【0507】

また、表示部1002b及び表示部1005に、互いに異なる画像又は一続きの画像を表示させてもよい。なお、表示部1005を必ずしも設けなくてもよく、表示部1005の代わりに、入力装置であるキーボードを設けてもよい。

【0508】

図17(B)に示す携帯型情報端末は、筐体1001b又は筐体1004の中に、CPUと、メインメモリと、外部機器とCPU及びメインメモリとの信号の送受信を行うインターフェースと、を備える。また、筐体1001b又は筐体1004の中に、特定の機能を有する集積回路を一つ又は複数設けてもよい。また、図17(B)に示す携帯型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

20

【0509】

図17(B)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0510】

図17(C)に示す電子機器は、設置型情報端末の例である。図17(C)に示す設置型情報端末は、筐体1001cと、筐体1001cに設けられた表示部1002cと、を具備する。

30

【0511】

なお、表示部1002cを、筐体1001cにおける甲板部1008に設けることもできる。

【0512】

また、図17(C)に示す設置型情報端末は、筐体1001cの中に、CPUと、メインメモリと、外部機器とCPU及びメインメモリとの信号の送受信を行うインターフェースと、を備える。なお、筐体1001cの中に、特定の機能を有する集積回路を一つ又は複数設けてもよい。また、図17(C)に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

40

【0513】

さらに、図17(C)に示す設置型情報端末における筐体1001cの側面1003cに券などを出力する券出力部、硬貨投入部、及び紙幣挿入部の一つ又は複数も設けてもよい。

【0514】

図17(C)に示す設置型情報端末は、例えば現金自動預け払い機、券などの注文をするための情報通信端末(マルチメディアステーションともいう)、又は遊技機としての機能を有する。

【0515】

図17(D)は、設置型情報端末の例である。図17(D)に示す設置型情報端末は、筐

50

体 1 0 0 1 d と、筐体 1 0 0 1 d に設けられた表示部 1 0 0 2 d と、を具備する。なお、筐体 1 0 0 1 d を支持する支持台を設けてもよい。

【 0 5 1 6 】

なお、筐体 1 0 0 1 d の側面 1 0 0 3 d に外部機器に接続させるための接続端子、及び図 1 7 (D) に示す設置型情報端末を操作するためのボタンの一つ又は複数を設けてもよい。

【 0 5 1 7 】

また、図 1 7 (D) に示す設置型情報端末は、筐体 1 0 0 1 d の中に、CPU と、メインメモリ と、外部機器と CPU 及びメインメモリ との信号の送受信を行うインターフェースと、を備えてもよい。また、筐体 1 0 0 1 d の中に、特定の機能を有する集積回路を一つ又は複数設けてもよい。また、図 1 7 (D) に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

10

【 0 5 1 8 】

図 1 7 (D) に示す設置型情報端末は、例えばデジタルフォトフレーム、入出力モニタ、又はテレビジョン装置としての機能を有する。

【 0 5 1 9 】

上記実施の形態の入出力装置は、例えば電子機器の表示部として用いられ、例えば図 1 7 (A) 乃至図 1 7 (D) に示す表示部 1 0 0 2 a 乃至表示部 1 0 0 2 d として用いられる。また、図 1 7 (B) に示す表示部 1 0 0 5 として上記実施の形態の入出力装置を用いてもよい。

20

【 0 5 2 0 】

図 1 7 を用いて説明したように、本実施の形態における電子機器の一例は、上記実施の形態における入出力装置が用いられた入出力部を具備する構成である。上記構成にすることにより、例えば指又はペンを用いて電子機器の操作又は電子機器への情報の入力を行うことができる。

【 0 5 2 1 】

また、本実施の形態における電子機器の一例では、筐体に、入射する照度に応じて電源電圧を生成する光電変換部、及び入出力装置を操作する操作部のいずれか一つ又は複数を設けてもよい。例えば光電変換部を設けることにより、外部電源が不要となるため、外部電源が無い場所であっても、上記電子機器を長時間使用することができる。

30

【 符号の説明 】

【 0 5 2 2 】

- 1 0 1 a 表示回路制御部
- 1 0 1 b 光検出回路制御部
- 1 0 1 c 光源部
- 1 0 1 d 画素部
- 1 1 1 表示駆動回路
- 1 1 2 表示データ信号出力回路
- 1 1 3 光検出駆動回路
- 1 1 4 ライトユニット
- 1 1 5 d 表示回路
- 1 1 5 p 光検出回路
- 1 1 6 読み出し回路
- 1 3 1 光電変換素子
- 1 3 2 トランジスタ
- 1 3 3 トランジスタ
- 1 3 4 トランジスタ
- 1 3 5 トランジスタ
- 1 6 1 a トランジスタ
- 1 6 1 b トランジスタ

40

50

1 6 2 a	液晶素子	
1 6 2 b	液晶素子	
1 6 3 a	容量素子	
1 6 3 b	容量素子	
1 6 4	容量素子	
1 6 5	トランジスタ	
1 6 6	トランジスタ	
4 0 0 a	基板	
4 0 0 b	基板	
4 0 0 c	基板	10
4 0 1 a	導電層	
4 0 1 b	導電層	
4 0 1 c	導電層	
4 0 2 a	絶縁層	
4 0 2 b	絶縁層	
4 0 2 c	絶縁層	
4 0 3 a	酸化物半導体層	
4 0 3 b	酸化物半導体層	
4 0 3 c	酸化物半導体層	
4 0 5 a	導電層	20
4 0 5 b	導電層	
4 0 5 c	導電層	
4 0 6 a	導電層	
4 0 6 b	導電層	
4 0 6 c	導電層	
4 0 7 a	絶縁層	
4 0 7 b	絶縁層	
4 0 8 a	導電層	
4 0 8 b	導電層	
4 4 7	絶縁層	30
5 0 0	基板	
5 0 1 a	導電層	
5 0 1 b	導電層	
5 0 1 c	導電層	
5 0 1 d	導電層	
5 0 1 e	導電層	
5 0 1 f	導電層	
5 0 1 g	導電層	
5 0 1 h	導電層	
5 0 1 i	導電層	40
5 0 1 j	導電層	
5 0 1 k	導電層	
5 0 2	絶縁層	
5 0 3 a	半導体層	
5 0 3 b	半導体層	
5 0 3 c	半導体層	
5 0 3 d	半導体層	
5 0 3 e	半導体層	
5 0 3 j	半導体層	
5 0 4 a	導電層	50

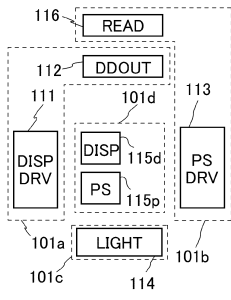
5 0 4 b	導電層	
5 0 4 c	導電層	
5 0 4 d	導電層	
5 0 4 e	導電層	
5 0 4 f	導電層	
5 0 4 g	導電層	
5 0 4 h	導電層	
5 0 4 i	導電層	
5 0 4 j	導電層	
5 0 4 k	導電層	10
5 0 4 l	導電層	
5 0 4 m	導電層	
5 0 4 n	導電層	
5 0 5	絶縁層	
5 0 6	半導体層	
5 0 6 a	半導体層	
5 0 6 b	半導体層	
5 0 7 a	半導体層	
5 0 7 b	半導体層	
5 0 8	半導体層	20
5 0 8 a	半導体層	
5 0 8 b	半導体層	
5 0 9	絶縁層	
5 1 0	導電層	
5 1 0 a	導電層	
5 1 0 b	導電層	
5 1 0 c	導電層	
5 1 2	基板	
5 1 3	遮光層	
5 1 6	絶縁層	30
5 1 7	導電層	
5 1 8	液晶層	
6 0 0	基板	
6 0 2	下地絶縁層	
6 0 6	酸化物半導体層	
6 0 8	ゲート絶縁層	
6 1 0	ゲート電極	
6 1 4	電極	
6 1 6	層間絶縁層	
6 1 8	配線	40
6 2 0	保護膜	
7 0 1	下地絶縁層	
7 0 2	絶縁物	
7 0 3 a	半導体領域	
7 0 3 b	半導体領域	
7 0 3 c	半導体領域	
7 0 4	ゲート絶縁層	
7 0 5	ゲート電極	
7 0 6 a	側壁絶縁物	
7 0 6 b	側壁絶縁物	50

7 0 7	絶縁物	
7 0 8 a	ソース電極	
7 0 8 b	ドレイン電極	
7 5 0	基板	
7 5 2	下地絶縁層	
7 5 4	保護絶縁層	
7 5 6	酸化物半導体層	
7 5 6 a	高抵抗領域	
7 5 6 b	低抵抗領域	
7 5 8	ゲート絶縁層	10
7 6 0	ゲート電極	
7 6 2	側壁絶縁物	
7 6 4	電極	
7 6 6	層間絶縁層	
7 6 8	配線	
8 0 1	測定系	
8 1 1	トランジスタ	
8 1 2	トランジスタ	
8 1 3	容量素子	
8 1 4	トランジスタ	20
8 1 5	トランジスタ	
9 0 0	基板	
9 0 1	導電層	
9 0 2	絶縁層	
9 0 3	酸化物半導体層	
9 0 5	導電層	
9 0 6	導電層	
9 0 7	絶縁層	
9 0 8	平坦化層	
9 0 9	導電層	30
9 1 0	導電層	
9 2 7	絶縁層	
1 0 0 1 a	筐体	
1 0 0 1 b	筐体	
1 0 0 1 c	筐体	
1 0 0 1 d	筐体	
1 0 0 2 a	表示部	
1 0 0 2 b	表示部	
1 0 0 2 c	表示部	
1 0 0 2 d	表示部	40
1 0 0 3 a	側面	
1 0 0 3 b	側面	
1 0 0 3 c	側面	
1 0 0 3 d	側面	
1 0 0 4	筐体	
1 0 0 5	表示部	
1 0 0 6	軸部	
1 0 0 7	側面	
1 0 0 8	甲板部	

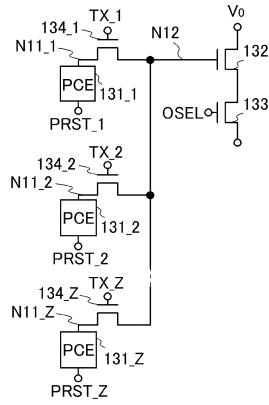
【 図面 】

【 図 1 】

(A)

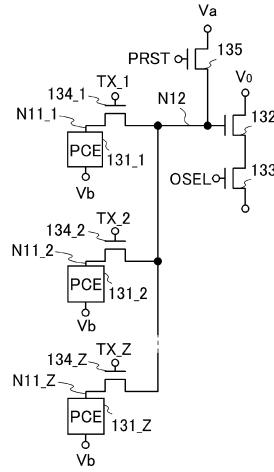


(B)



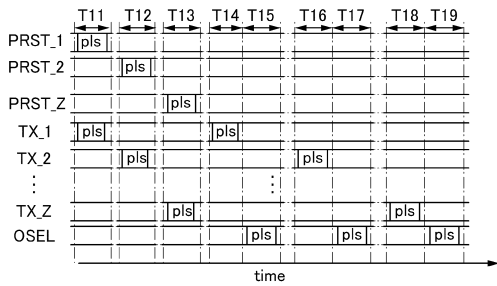
【 図 2 】

(A)

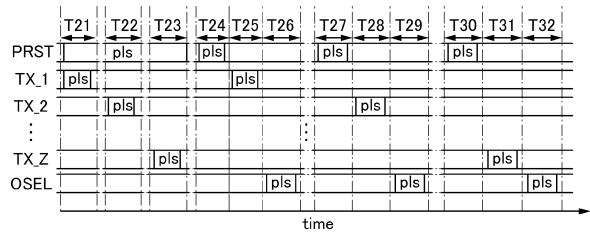


10

(C)



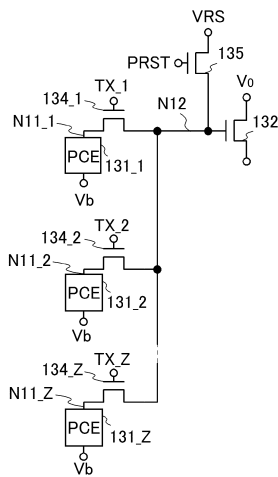
(B)



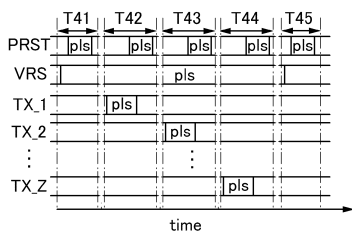
20

【 図 3 】

(A)

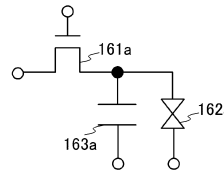


(B)

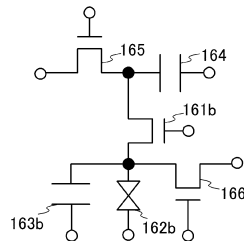


【 図 4 】

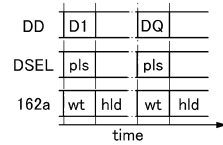
(A)



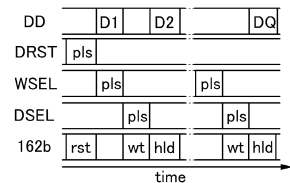
(B)



(C)



(D)

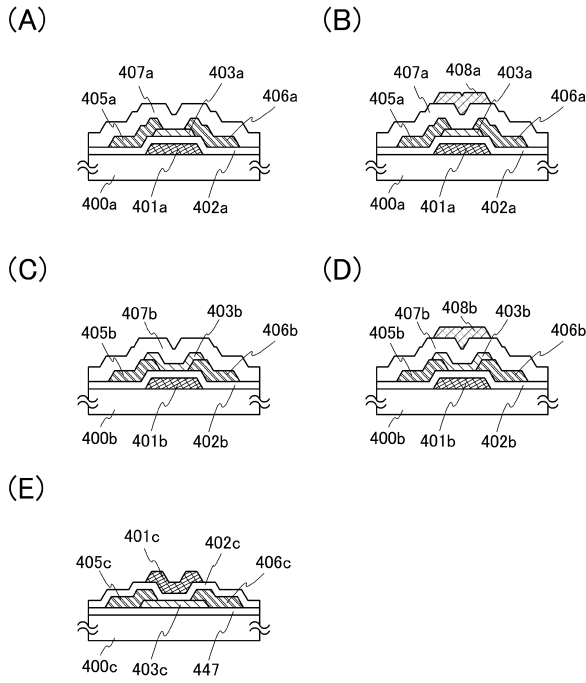


30

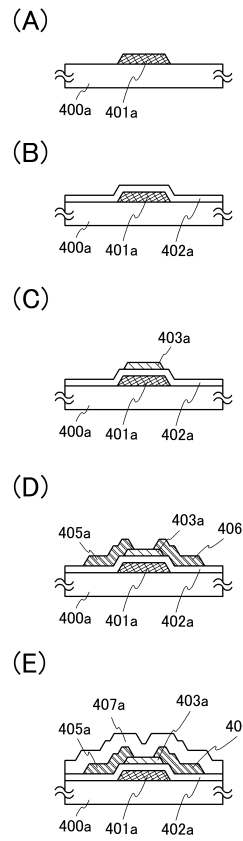
40

50

【 図 5 】



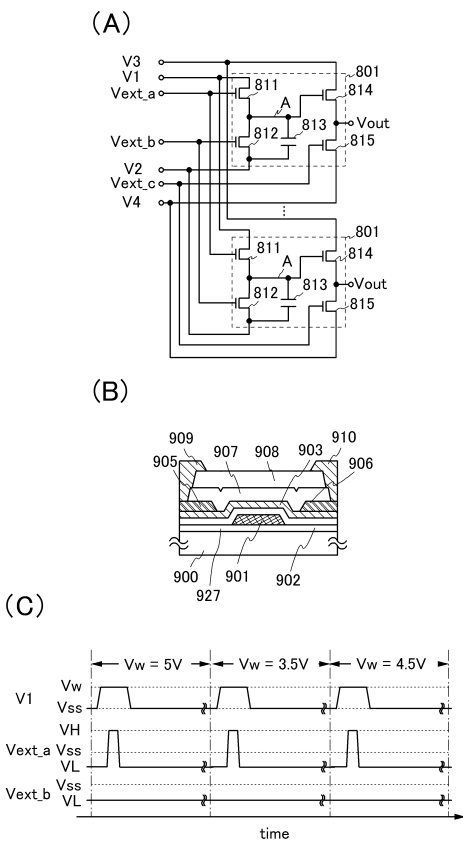
【 図 6 】



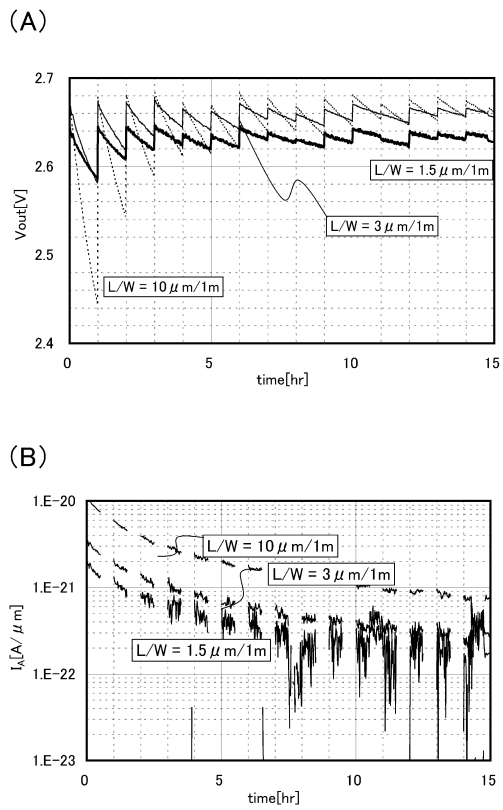
10

20

【 図 7 】



【 図 8 】

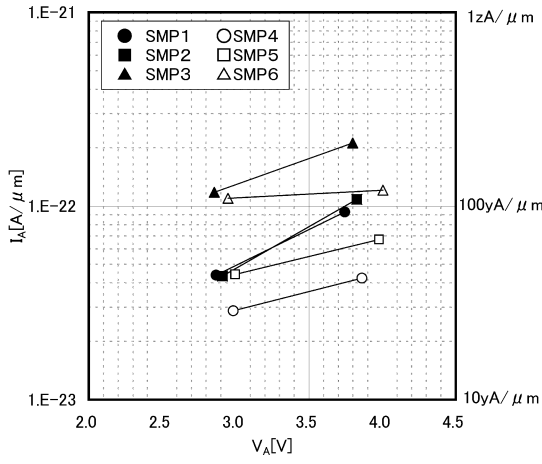


30

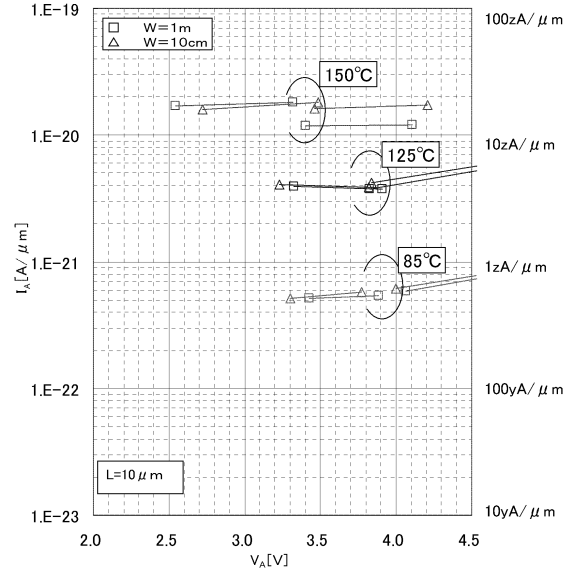
40

50

【 9 】

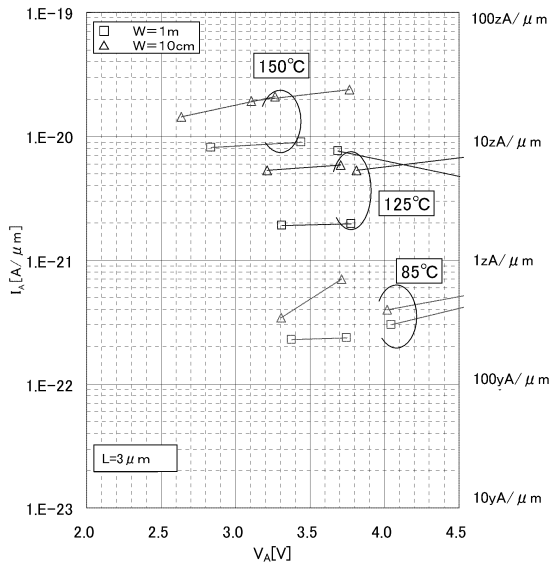


【 10 】

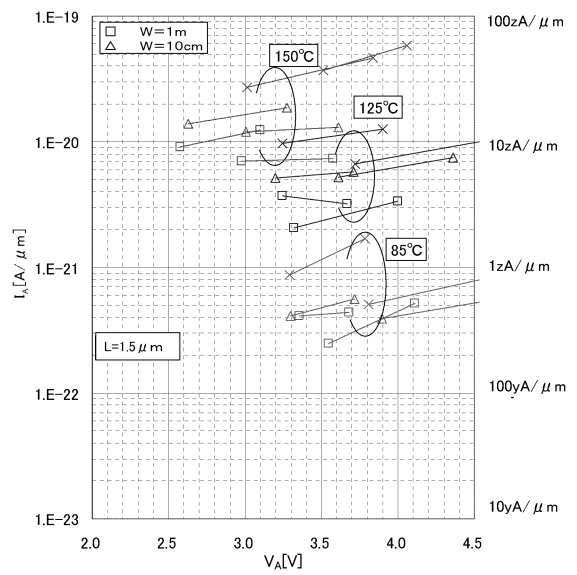


10

【 11 】



【 12 】



20

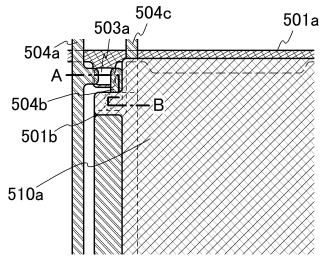
30

40

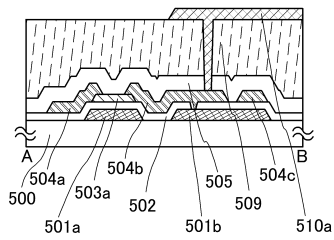
50

【 図 1 3 】

(A)

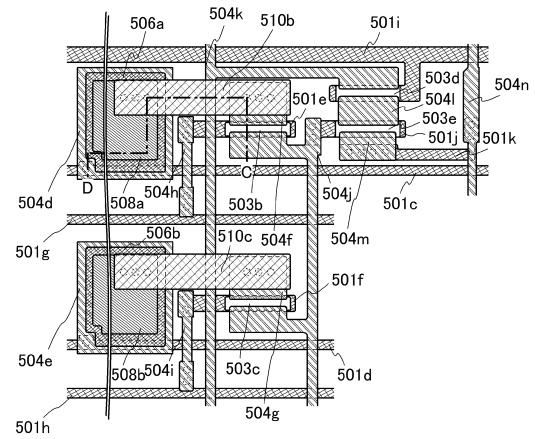


(B)

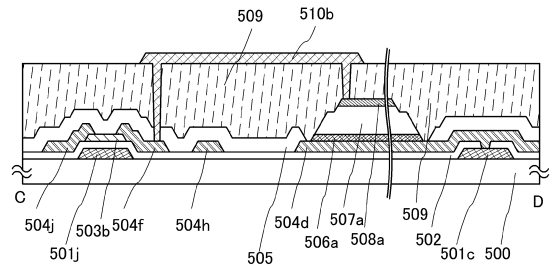


【 図 1 4 】

(A)



(B)

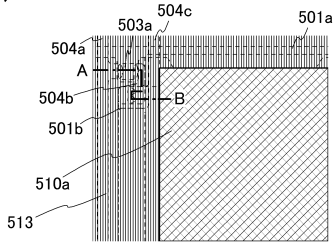


10

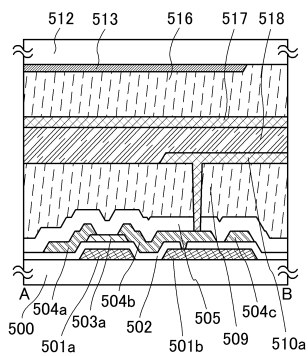
20

【 図 1 5 】

(A)

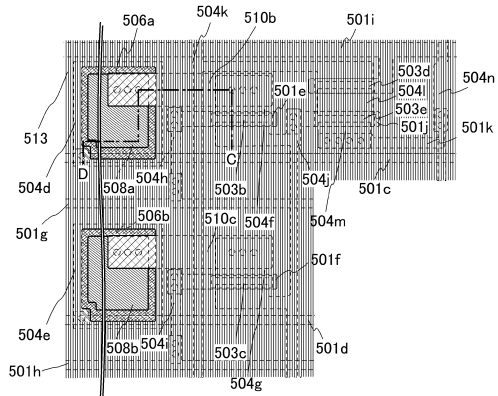


(B)

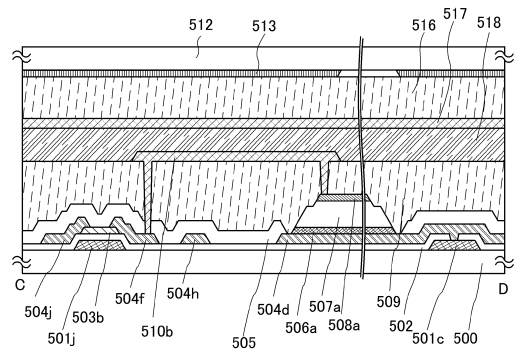


【 図 1 6 】

(A)



(B)

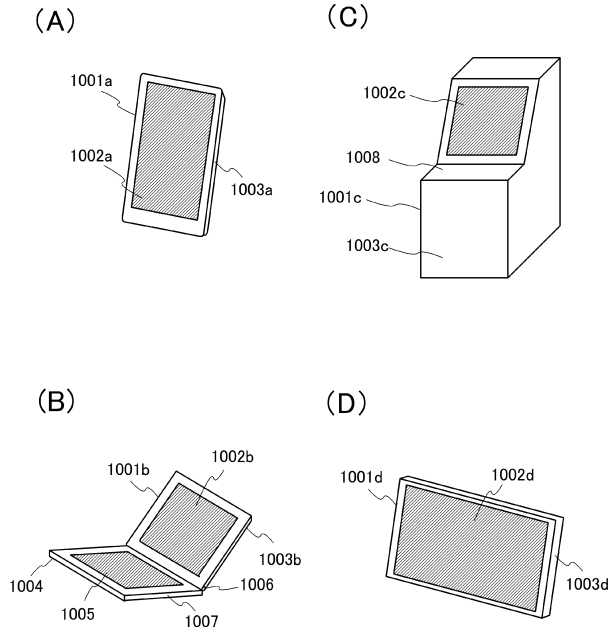


30

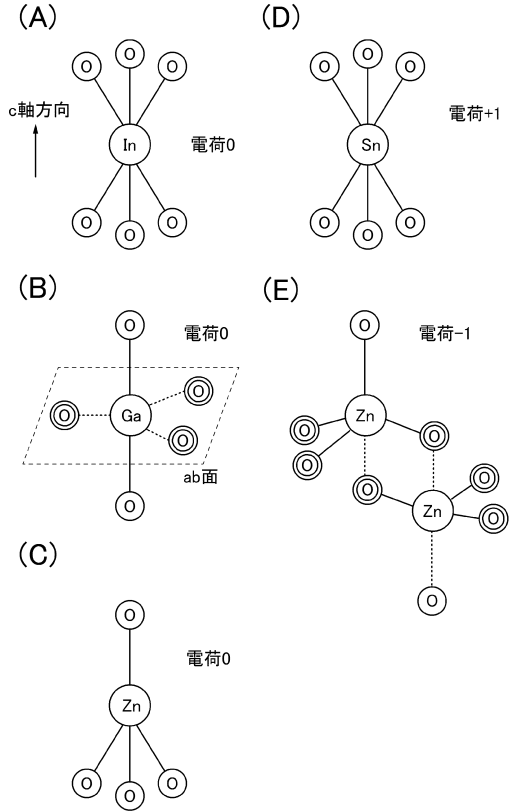
40

50

【 図 1 7 】



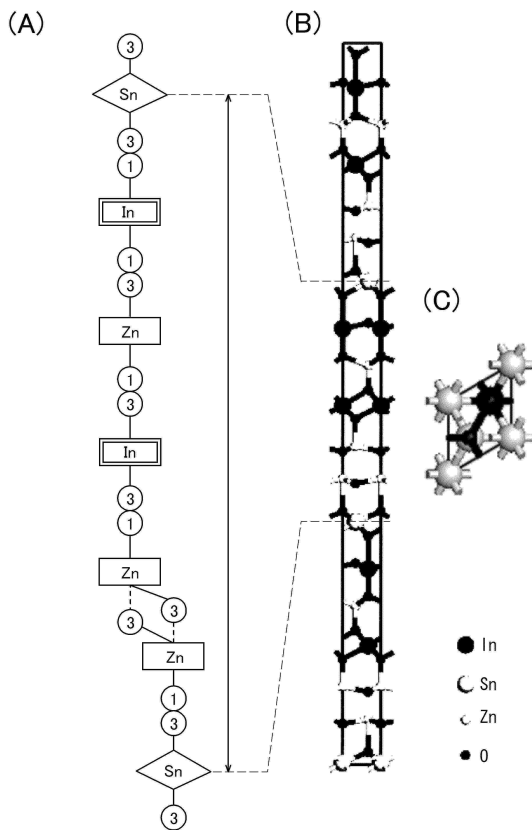
【 図 1 8 】



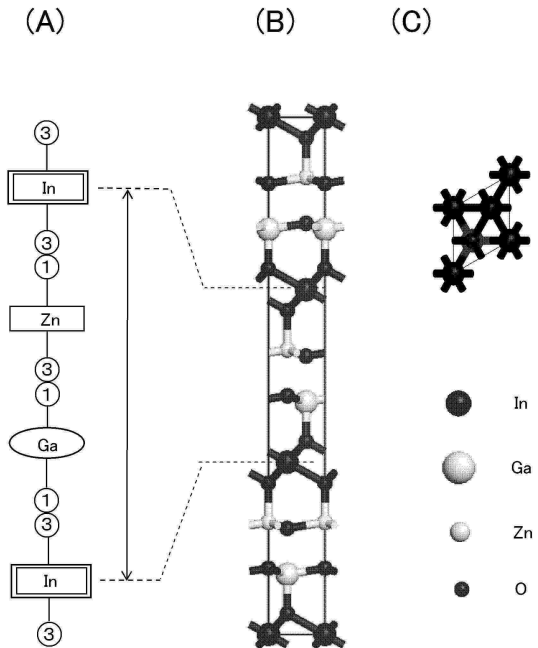
10

20

【 図 1 9 】



【 図 2 0 】

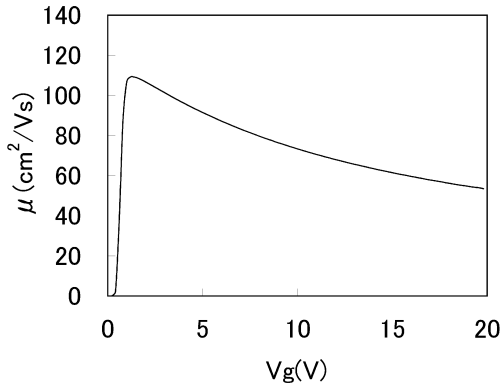


30

40

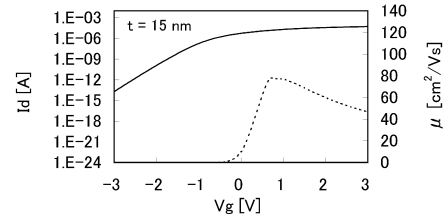
50

【 2 1 】

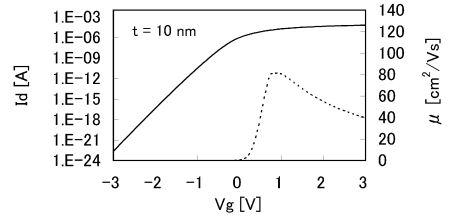


【 2 2 】

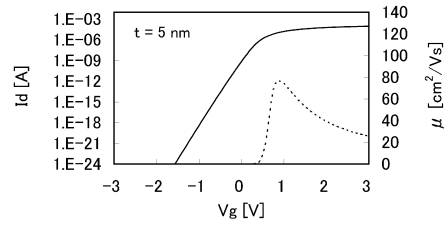
(A)



(B)



(C)

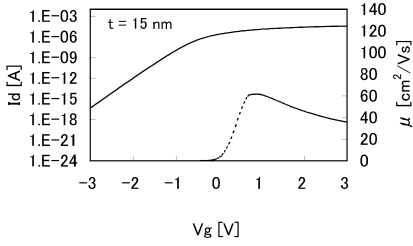


10

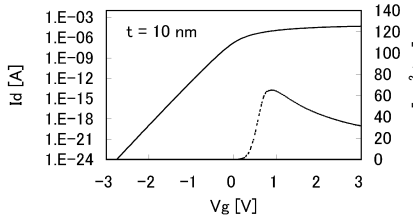
20

【 2 3 】

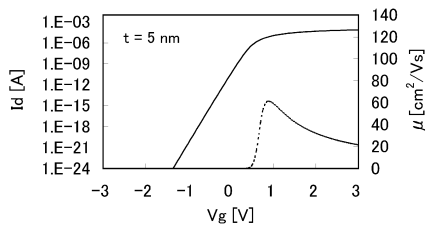
(A)



(B)

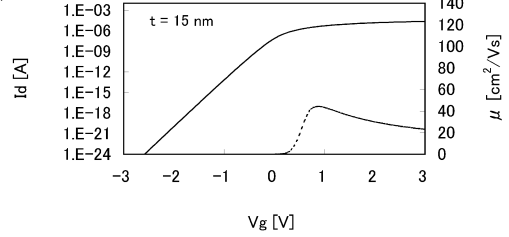


(C)

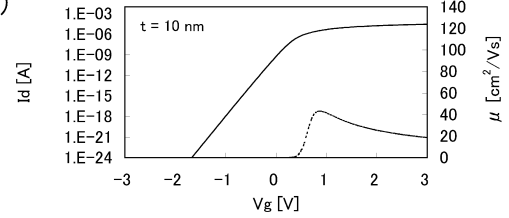


【 2 4 】

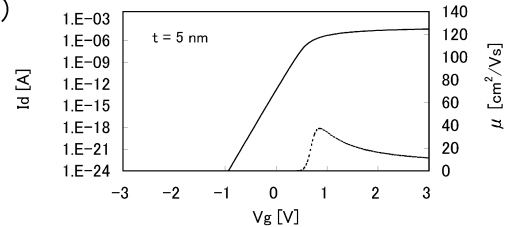
(A)



(B)



(C)



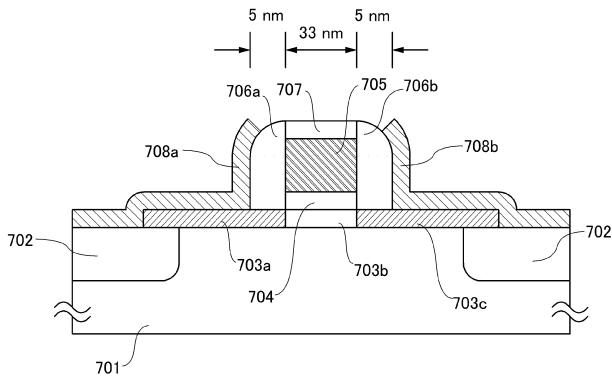
30

40

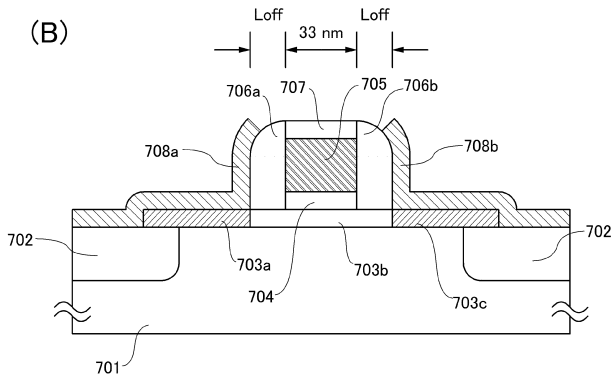
50

【 図 2 5 】

(A)

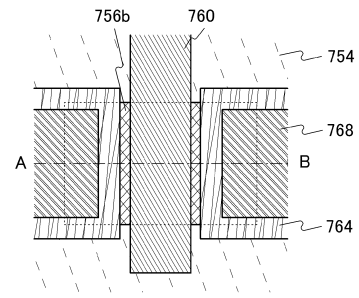


(B)

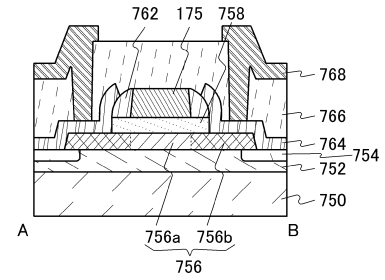


【 図 2 6 】

(A)



(B)

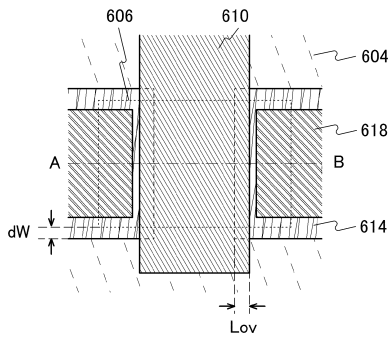


10

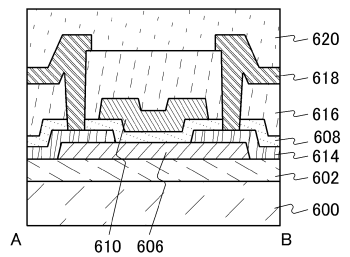
20

【 図 2 7 】

(A)

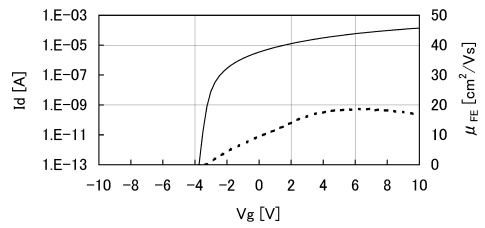


(B)

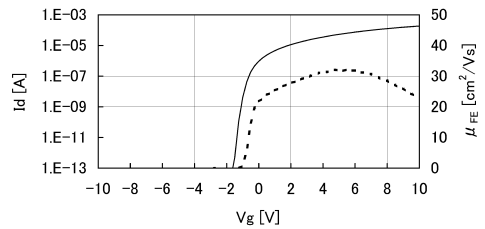


【 図 2 8 】

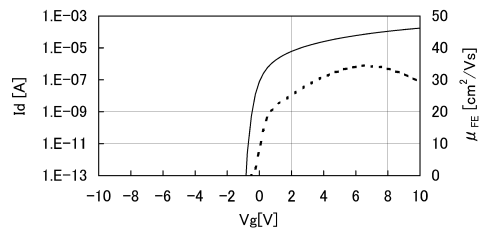
(A)



(B)



(C)



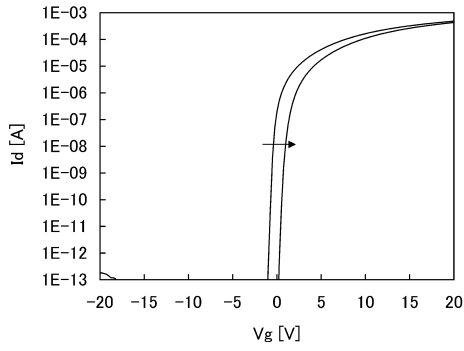
30

40

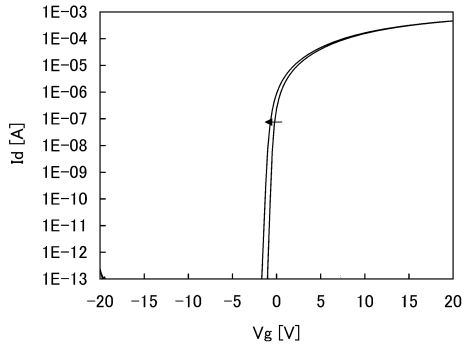
50

【 図 2 9 】

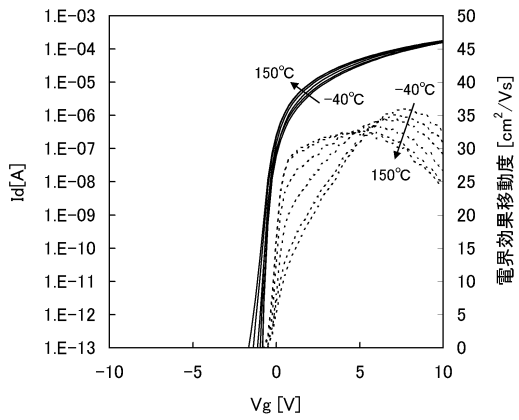
(A)



(B)

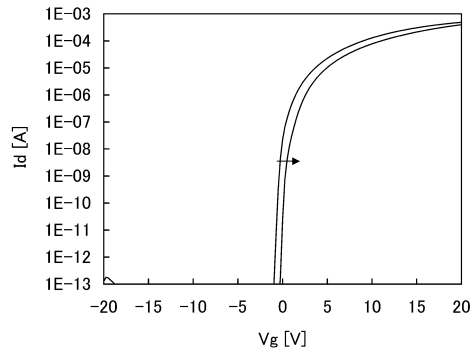


【 図 3 1 】

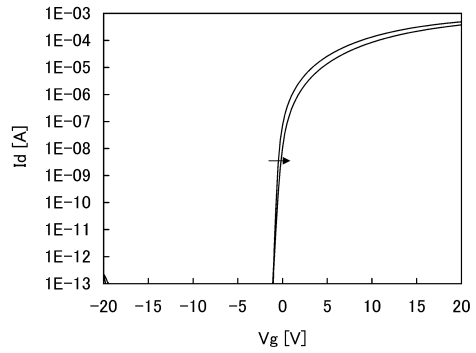


【 図 3 0 】

(A)

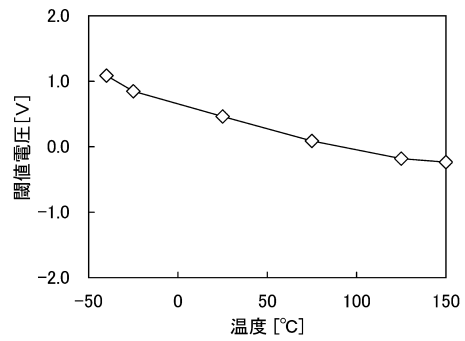


(B)

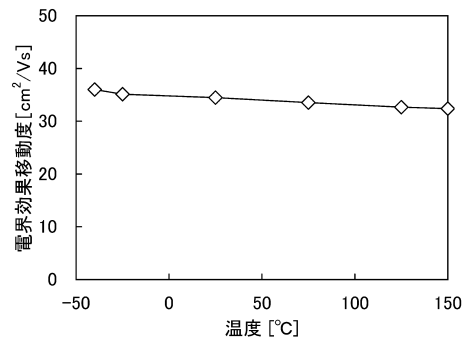


【 図 3 2 】

(A)



(B)



10

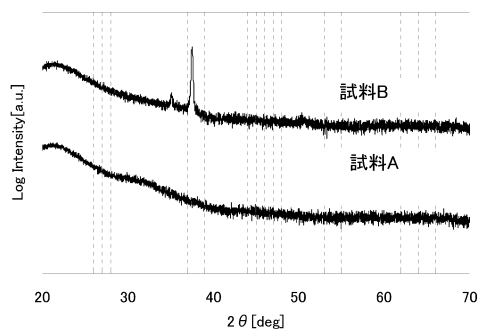
20

30

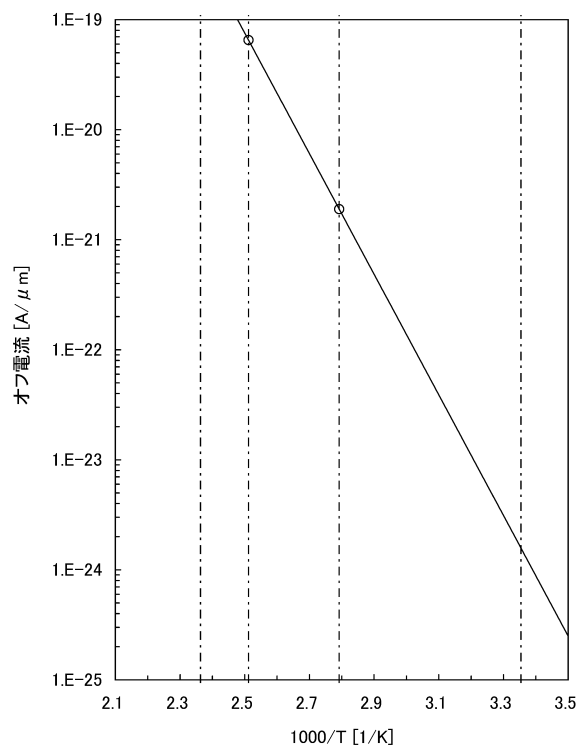
40

50

【 図 3 3 】



【 図 3 4 】



10

20

30

40

50

【 手続補正書 】

【 提出日 】 令和6年1月17日(2024.1.17)

【 手続補正2 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 全文

【 補正方法 】 変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項1 】

シリコンを有する第1の光電変換素子と、10

シリコンを有する第2の光電変換素子と、

ソースまたはドレインの一方が前記第1の光電変換素子のカソードと電氣的に接続される第1のトランジスタと、

ソースまたはドレインの一方が前記第2の光電変換素子のカソードと電氣的に接続される第2のトランジスタと、

ゲートが第1の導電層を介して前記第1のトランジスタのソースまたはドレインの他方、及び、前記第2のトランジスタのソースまたはドレインの他方と電氣的に接続される第3のトランジスタと、

ソースまたはドレインの一方が前記第3のトランジスタのソースまたはドレインの一方と電氣的に接続される第4のトランジスタと、20

を有し、

前記第1の光電変換素子のアノードは、第2の導電層を介して第3の導電層と電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、第4の導電層と電氣的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、信号を出力する配線として機能する第5の導電層と電氣的に接続され、

前記第1の導電層、前記第2の導電層、前記第3の導電層、前記第4の導電層、及び、前記第5の導電層は、銅を有し、

前記第1の導電層及び前記第2の導電層は、第1の絶縁層に接して配置され、30

前記第2の導電層及び前記第3の導電層は、前記第1の光電変換素子の受光面側とは逆側に配置され、

前記第1の光電変換素子の受光面側に配置された第2の絶縁層は、前記第1の光電変換素子の側面を覆う領域を有し、

平面視において、前記第1の導電層は、前記第1の絶縁層を介して前記第3の導電層と重なりを有し、

平面視において、前記第1の絶縁層に設けられ、前記第2の導電層と前記第3の導電層を電氣的に接続するコンタクトホールは、前記第1の光電変換素子の受光面側に配置された遮光層と重なりを有する、半導体装置。

【 請求項2 】40

シリコンを有する第1の光電変換素子と、

シリコンを有する第2の光電変換素子と、

ソースまたはドレインの一方が前記第1の光電変換素子のカソードと電氣的に接続される第1のトランジスタと、

ソースまたはドレインの一方が前記第2の光電変換素子のカソードと電氣的に接続される第2のトランジスタと、

ゲートが第1の導電層を介して前記第1のトランジスタのソースまたはドレインの他方、及び、前記第2のトランジスタのソースまたはドレインの他方と電氣的に接続される第3のトランジスタと、

ソースまたはドレインの一方が前記第3のトランジスタのソースまたはドレインの一方と50

電氣的に接続される第 4 のトランジスタと、
を有し、
前記第 1 の光電変換素子のアノードは、第 2 の導電層を介して第 3 の導電層と電氣的に接続され、
前記第 3 のトランジスタのソースまたはドレインの他方は、第 4 の導電層と電氣的に接続され、
前記第 4 のトランジスタのソースまたはドレインの他方は、信号を出力する配線として機能する第 5 の導電層と電氣的に接続され、
前記第 1 の導電層、前記第 2 の導電層、前記第 3 の導電層、前記第 4 の導電層、及び、前記第 5 の導電層は、銅を有し、
前記第 1 の導電層及び前記第 2 の導電層は、第 1 の絶縁層に接して配置され、
前記第 2 の導電層及び前記第 3 の導電層は、前記第 1 の光電変換素子の受光面側とは逆側に配置され、
前記第 1 の光電変換素子の受光面側に配置された第 2 の絶縁層は、前記第 1 の光電変換素子の側面を覆う領域を有し、
平面視において、前記第 1 の導電層は、前記第 1 の絶縁層を介して前記第 3 の導電層と重なりを有し、
平面視において、前記第 1 の絶縁層に設けられ、前記第 2 の導電層と前記第 3 の導電層を電氣的に接続するコンタクトホールは、前記第 1 の光電変換素子の受光面側に配置された遮光層と重なりを有し、
平面視において、前記コンタクトホールは、前記第 1 の光電変換素子のカソードと重ならないように配置される、半導体装置。

10

20

【請求項 3】

シリコンを有する第 1 の光電変換素子と、
シリコンを有する第 2 の光電変換素子と、
ソースまたはドレインの一方が前記第 1 の光電変換素子のカソードと電氣的に接続される第 1 のトランジスタと、
ソースまたはドレインの一方が前記第 2 の光電変換素子のカソードと電氣的に接続される第 2 のトランジスタと、
ゲートが第 1 の導電層を介して前記第 1 のトランジスタのソースまたはドレインの他方、及び、前記第 2 のトランジスタのソースまたはドレインの他方と電氣的に接続される第 3 のトランジスタと、
ソースまたはドレインの一方が前記第 3 のトランジスタのソースまたはドレインの一方と電氣的に接続される第 4 のトランジスタと、
を有し、
前記第 1 の光電変換素子のアノードは、第 2 の導電層を介して第 3 の導電層と電氣的に接続され、
前記第 3 のトランジスタのソースまたはドレインの他方は、第 4 の導電層と電氣的に接続され、
前記第 4 のトランジスタのソースまたはドレインの他方は、信号を出力する配線として機能する第 5 の導電層と電氣的に接続され、
前記第 1 の導電層、前記第 2 の導電層、前記第 3 の導電層、前記第 4 の導電層、及び、前記第 5 の導電層は、銅を有し、
前記第 1 の導電層及び前記第 2 の導電層は、第 1 の絶縁層に接して配置され、
前記第 2 の導電層及び前記第 3 の導電層は、前記第 1 の光電変換素子の受光面側とは逆側に配置され、
前記第 1 の光電変換素子の受光面側に配置された第 2 の絶縁層は、前記第 1 の光電変換素子の側面を覆う領域を有し、
平面視において、前記第 1 の導電層は、前記第 1 の絶縁層を介して前記第 3 の導電層と重なりを有し、

30

40

50

平面視において、前記第 1 の絶縁層に設けられ、前記第 2 の導電層と前記第 3 の導電層を電氣的に接続するコンタクトホールは、前記第 1 の光電変換素子の受光面側に配置された遮光層と重なりを有し、

平面視において、前記第 1 の光電変換素子のカソードの全体は、前記第 1 の光電変換素子のアノードと重なるように配置される、半導体装置。

【請求項 4】

シリコンを有する第 1 の光電変換素子と、

シリコンを有する第 2 の光電変換素子と、

ソースまたはドレインの一方が前記第 1 の光電変換素子のカソードと電氣的に接続される第 1 のトランジスタと、

ソースまたはドレインの一方が前記第 2 の光電変換素子のカソードと電氣的に接続される第 2 のトランジスタと、

ゲートが第 1 の導電層を介して前記第 1 のトランジスタのソースまたはドレインの他方、及び、前記第 2 のトランジスタのソースまたはドレインの他方と電氣的に接続される第 3 のトランジスタと、

ソースまたはドレインの一方が前記第 3 のトランジスタのソースまたはドレインの一方と電氣的に接続される第 4 のトランジスタと、

を有し、

前記第 1 の光電変換素子のアノードは、第 2 の導電層を介して第 3 の導電層と電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの他方は、第 4 の導電層と電氣的に接続され、

前記第 4 のトランジスタのソースまたはドレインの他方は、信号を出力する配線として機能する第 5 の導電層と電氣的に接続され、

前記第 1 の導電層、前記第 2 の導電層、前記第 3 の導電層、前記第 4 の導電層、及び、前記第 5 の導電層は、銅を有し、

前記第 1 の導電層及び前記第 2 の導電層は、第 1 の絶縁層に接して配置され、

前記第 2 の導電層及び前記第 3 の導電層は、前記第 1 の光電変換素子の受光面側とは逆側に配置され、

前記第 1 の光電変換素子の受光面側に配置された第 2 の絶縁層は、前記第 1 の光電変換素子の側面を覆う領域を有し、

平面視において、前記第 1 の導電層は、前記第 1 の絶縁層を介して前記第 3 の導電層と重なりを有し、

平面視において、前記第 1 の絶縁層に設けられ、前記第 2 の導電層と前記第 3 の導電層を電氣的に接続するコンタクトホールは、前記第 1 の光電変換素子の受光面側に配置された遮光層と重なりを有し、

平面視において、前記コンタクトホールは、前記第 1 の光電変換素子のカソードと重ならないように配置され、

平面視において、前記第 1 の光電変換素子のカソードの全体は、前記第 1 の光電変換素子のアノードと重なるように配置される、半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記半導体装置を有する、電子機器。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一において、

前記半導体装置と CPU とアンテナとを有する、携帯型情報端末。

10

20

30

40

50