

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5585646号
(P5585646)

(45) 発行日 平成26年9月10日(2014.9.10)

(24) 登録日 平成26年8月1日(2014.8.1)

(51) Int.Cl.		F I		
HO 1 L 21/337	(2006.01)	HO 1 L 29/80		V
HO 1 L 21/338	(2006.01)	HO 1 L 29/80		C
HO 1 L 29/808	(2006.01)			
HO 1 L 29/812	(2006.01)			
HO 1 L 27/098	(2006.01)			

請求項の数 11 (全 25 頁)

(21) 出願番号	特願2012-503302 (P2012-503302)	(73) 特許権者	301021533 独立行政法人産業技術総合研究所 東京都千代田区霞が関1-3-1
(86) (22) 出願日	平成23年3月4日(2011.3.4)	(73) 特許権者	304023994 国立大学法人山梨大学 山梨県甲府市武田四丁目4番37号
(86) 国際出願番号	PCT/JP2011/055718	(74) 代理人	100082669 弁理士 福田 賢三
(87) 国際公開番号	W02011/108768	(74) 代理人	100095337 弁理士 福田 伸一
(87) 国際公開日	平成23年9月9日(2011.9.9)	(74) 代理人	100095061 弁理士 加藤 恭介
審査請求日	平成24年6月7日(2012.6.7)	(72) 発明者	八尾 勉 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 最終頁に続く
(31) 優先権主張番号	特願2010-48002 (P2010-48002)		
(32) 優先日	平成22年3月4日(2010.3.4)		
(33) 優先権主張国	日本国(JP)		

(54) 【発明の名称】 ノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの設計方法、ノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

高濃度 n 型炭化珪素基板と、該高濃度 n 型炭化珪素基板上に形成された n 型ドリフト層と、該 n 型ドリフト層上に形成された高濃度 p 型ゲート領域及び低濃度 n 型チャネル領域と、該高濃度 p 型ゲート領域及び低濃度 n 型チャネル領域上に形成された n 型伝導層と、該 n 型伝導層上に形成された高濃度 n 型ソース領域と、を備えたノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタを半導体デバイスシミュレーションを用いて設計するノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの設計方法であって、

チャネル長 X_j [μm] (低濃度 n 型チャネル領域の長さ)、半チャネル幅 b [μm] (低濃度 n 型チャネル領域の 1 / 2 幅) 及び低濃度 n 型チャネル領域のチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] を変数として、降伏電圧 $V_{B,R}$ [V] 及び特性オン抵抗 $R_{o,n} S$ [$\text{m} \cdot \text{cm}^2$] を求めることと、

所望の値以上の降伏電圧 $V_{B,R}$ [V] が得られる半チャネル幅 b [μm] とチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] の範囲をチャネル長 X_j [μm] 毎に求めることと、

所望の値以下の特性オン抵抗 $R_{o,n} S$ [$\text{m} \cdot \text{cm}^2$] が得られる半チャネル幅 b [μm] とチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] の範囲をチャネル長 X_j [μm] 毎に求めることと、

前記所望の値以上の降伏電圧 $V_{B,R}$ [V] と前記所望の値以下の特性オン抵抗 $R_{o,n} S$ [$\text{m} \cdot \text{cm}^2$] が得られる半チャネル幅 b [μm] とチャネルドーピング濃度 $N_{c,h}$ [c

10

20

m^{-3}]の範囲内からそれぞれの値を定めることと、

を特徴とするノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの設計方法。

【請求項2】

前記所望の値以上の降伏電圧 V_{BR} [V] が得られる半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の範囲を求めることは、前記降伏電圧 V_{BR} [V] の所望の値に対する半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の組合せを選定することを含み、

前記所望の値以下の特性オン抵抗 R_{onS} [$\text{m}\ \text{cm}^2$] が得られる半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の範囲を求めることは、前記特性オン抵抗 R_{onS} [$\text{m}\ \text{cm}^2$] の所望の値に対する半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の組合せを選定することを含み、

前記所望の値以上の降伏電圧 V_{BR} [V] と前記所望の値以下の特性オン抵抗 R_{onS} [$\text{m}\ \text{cm}^2$] が得られる半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の範囲からそれぞれの値を定めることは、前記選定した半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の組合せの点を結んで得られる領域の内部の点から定めることを特徴とする請求項1に記載のノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの設計方法。

【請求項3】

前記所望の値以上の降伏電圧 V_{BR} [V] が得られる半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の範囲を求めることは、ゲート-ソース間電圧 $V_{GS} = 0$ [V] において、前記降伏電圧 V_{BR} [V] の所望の値に対する半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の範囲を求めることを含み、

前記所望の値以下の特性オン抵抗 R_{onS} [$\text{m}\ \text{cm}^2$] が得られる半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の範囲を求めることは、ゲート-ソース間電圧 V_{GS} [V] を、トランジスタが十分にオンし、かつ、ゲートからホールが注入されない程度の正電位に印加した際の、前記特性オン抵抗 R_{onS} [$\text{m}\ \text{cm}^2$] の所望の値に対する半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の範囲を求めることを含むことを特徴とする請求項1に記載のノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの設計方法。

【請求項4】

前記ゲート-ソース間電圧 $V_{GS} = 0$ [V] において、前記降伏電圧 V_{BR} [V] の所望の値に対する半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の範囲を求めることは、前記チャネルドーピング濃度 N_{ch} [cm^{-3}] を低くした際に収束する半チャネル幅 b [μm] の最大値 b_{max} [μm] を求めることを含むことを特徴とする請求項3に記載のノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの設計方法。

【請求項5】

前記ゲート-ソース間電圧 $V_{GS} = 0$ [V] において、前記降伏電圧 V_{BR} [V] の所望の値に対する半チャネル幅 b [μm] とチャネルドーピング濃度 N_{ch} [cm^{-3}] の範囲を求めることは、前記チャネルドーピング濃度 N_{ch} [cm^{-3}] を高くした際に、半チャネル幅 b [μm] がチャネルドーピング濃度 N_{ch} [cm^{-3}] の平方根の逆数に比例する式を求めることと、前記半チャネル幅 b [μm] がチャネルドーピング濃度 N_{ch} [cm^{-3}] の平方根の逆数に比例する式からの乖離を表す半チャネル幅 b [μm] がチャネルドーピング濃度 N_{ch} [cm^{-3}] の x 乗 (x は 0.5 未満の正数) に比例する式を求めることと、を含むことを特徴とする請求項4に記載のノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの設計方法。

【請求項6】

ゲート-ソース間電圧 V_{GS} [V] を、トランジスタが十分にオンし、かつ、ゲートからホールが注入されない程度の正電位に印加した際の、前記特性オン抵抗 R_{onS} [m

10

20

30

40

50

cm^2]の所望の値に対する半チャネル幅 b [μm]とチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の範囲を求めることは、半チャネル幅 b [μm]がチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の平方根の逆数に比例する式を求めることを含むことを特徴とする請求項5に記載のノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの設計方法。

【請求項7】

前記所望の値以上の降伏電圧 $V_{B,R}$ [V]と前記所望の値以下の特性オン抵抗 $R_{o,n,S}$ [m cm^2]が得られる半チャネル幅 b [μm]とチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の範囲を定める領域は、下記の式(1)~式(4)によって囲まれる領域であることを特徴とする請求項6に記載のノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの設計方法。

$$b = 4.65 \times 10^7 / (N_{c,h})^{1/2} \quad \dots \text{式(1)}$$

$$b = 2.74 \times 10^7 / (N_{c,h})^{1/2} \quad \dots \text{式(2)}$$

$$b = b_{MAX} = 0.109 + 0.290 X_j - 0.0455 X_j^2 \quad \dots \text{式(3)}$$

$$b = A \times N_{c,h}^x \quad \dots \text{式(4)}$$

但し、

$$A = b_{MAX} \times \beta^{-x}$$

$$x = \frac{\log_{10} \frac{b_{MAX} - 0.1}{b_{MAX}}}{\log_{10} \frac{\alpha}{\beta}}$$

$$\alpha = \left(\frac{4.65 \times 10^7}{b_{MAX} - 0.1} \right)^2$$

$$\beta = 6 \times 10^{15}$$

【請求項8】

高濃度 n 型炭化珪素基板と、

該高濃度 n 型炭化珪素基板上に形成された n 型ドリフト層と、

該 n 型ドリフト層上に形成された高濃度 p 型ゲート領域及び低濃度 n 型チャネル領域と

、該高濃度 p 型ゲート領域及び低濃度 n 型チャネル領域上に形成された n 型伝導層と、

該 n 型伝導層上に形成された高濃度 n 型ソース領域と、

を備えた埋め込みゲート型炭化珪素静電誘導トランジスタであって、

チャネル長 X_j [μm] (低濃度 n 型チャネル領域の長さ)、半チャネル幅 b [μm] (低濃度 n 型チャネル領域の $1/2$ 幅) 及び低濃度 n 型チャネル領域のチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] で、所望の値以上の降伏電圧 $V_{B,R}$ [V] 及び所望の値以下の特性オン抵抗 $R_{o,n,S}$ [m cm^2] を得られる範囲は、

前記ゲート-ソース間電圧 $V_{G,S} = 0$ [V] において、前記降伏電圧 $V_{B,R}$ [V] の所望の値に対する半チャネル幅 b [μm] の最大値 b_{max} [μm] を示す式と、

前記チャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] を高くした際に、半チャネル幅 b [μm] がチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] の平方根の逆数に比例する式と、

前記半チャネル幅 b [μm] がチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] の平方根の逆数に比例する式からの乖離を表す半チャネル幅 b [μm] がチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] の x 乗 (x は 0.5 未満の正数) に比例する式と、

前記ゲート-ソース間電圧 $V_{G,S}$ [V] を、トランジスタが十分にオンし、かつ、ゲートからホールが注入されない程度の正電位に印加した際の前記特性オン抵抗 $R_{o,n,S}$ [m cm^2] の所望の値に対する、半チャネル幅 b [μm] がチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] の平方根の逆数に比例する式と、

で囲まれる範囲内であることを特徴とするノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタ。

10

20

30

40

50

【請求項 9】

前記チャンネル長 X_j [μm] (低濃度 n 型チャンネル領域の長さ)、半チャンネル幅 b [μm] (低濃度 n 型チャンネル領域の $1/2$ 幅) 及び低濃度 n 型チャンネル領域のチャンネルドーピング濃度 N_{c_h} [cm^{-3}] で、所望の値以上の降伏電圧 V_{B_R} [V] 及び所望の値以下の特性オン抵抗 $R_{o_n} S$ [m cm^2] を得られる範囲は、下記の式 (1) ~ 式 (4) によって囲まれる範囲であることを特徴とする請求項 8 に記載のノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタ。

$$b = 4.65 \times 10^7 / (N_{c_h})^{1/2} \quad \dots \text{式 (1)}$$

$$b = 2.74 \times 10^7 / (N_{c_h})^{1/2} \quad \dots \text{式 (2)}$$

$$b = b_{MAX} = 0.109 + 0.290 X_j - 0.0455 X_j^2 \quad \dots \text{式 (3)}$$

$$b = A \times N_{c_h}^x \quad \dots \text{式 (4)}$$

但し、

$$A = b_{MAX} \times \beta^{-x}$$

$$x = \frac{\log_{10} \frac{b_{MAX} - 0.1}{b_{MAX}}}{\log_{10} \frac{\alpha}{\beta}}$$

$$\alpha = \left(\frac{4.65 \times 10^7}{b_{MAX} - 0.1} \right)^2$$

$$\beta = 6 \times 10^{15}$$

10

20

【請求項 10】

高濃度 n 型炭化珪素基板上に n 型ドリフト層を形成する工程と、
前記 n 型ドリフト層上に高濃度 p 型ゲート層を形成する工程と、
前記高濃度 p 型ゲート層を略平行な横方向に所定の幅で除去することにより、前記 n 型ドリフト層上に溝構造を形成する工程と、
前記溝構造上に低濃度 n 型チャンネル領域を形成する工程と、
前記高濃度 p 型ゲート層及び低濃度 n 型チャンネル領域上に n 型伝導層を形成する工程と

前記 n 型伝導層上に高濃度 n 型ソース層を形成する工程と、

を有する埋め込みゲート型炭化珪素静電誘導トランジスタの製造方法であって、

チャンネル長 X_j [μm] (低濃度 n 型チャンネル領域の長さ)、半チャンネル幅 b [μm] (低濃度 n 型チャンネル領域の $1/2$ 幅) 及び低濃度 n 型チャンネル領域のチャンネルドーピング濃度 N_{c_h} [cm^{-3}] で、所望の値以上の降伏電圧 V_{B_R} [V] 及び所望の値以下の特性オン抵抗 $R_{o_n} S$ [m cm^2] が得られる範囲は、

前記ゲート-ソース間電圧 $V_{G_S} = 0$ [V] において、前記降伏電圧 V_{B_R} [V] の所望の値に対する半チャンネル幅 b [μm] の最大値 b_{max} [μm] を示す式と、

前記チャンネルドーピング濃度 N_{c_h} [cm^{-3}] を高くした際に、半チャンネル幅 b [μm] がチャンネルドーピング濃度 N_{c_h} [cm^{-3}] の平方根の逆数に比例する式と、

前記半チャンネル幅 b [μm] がチャンネルドーピング濃度 N_{c_h} [cm^{-3}] の平方根の逆数に比例する式からの乖離を表す半チャンネル幅 b [μm] がチャンネルドーピング濃度 N_{c_h} [cm^{-3}] の x 乗 (x は 0.5 未満の正数) に比例する式と、

前記ゲート-ソース間電圧 V_{G_S} [V] を、トランジスタが十分にオンし、かつ、ゲートからホールが注入されない程度の正電位に印加した際の前記特性オン抵抗 $R_{o_n} S$ [m cm^2] の所望の値に対する、半チャンネル幅 b [μm] がチャンネルドーピング濃度 N_{c_h} [cm^{-3}] の平方根の逆数に比例する式と、

で囲まれる範囲内であることを特徴とするノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの製造方法。

【請求項 11】

前記チャンネル長 X_j [μm] (低濃度 n 型チャンネル領域の長さ)、半チャンネル幅 b [μ

30

40

50

m] (低濃度 n 型チャネル領域の 1 / 2 幅) 及び低濃度 n 型チャネル領域のチャネルドーピング濃度 $N_{c,h}$ [cm^{-3}] で、所望の値以上の降伏電圧 $V_{B,R}$ [V] 及び所望の値以下の特性オン抵抗 $R_{on,S}$ [$m \cdot cm^2$] を得られる範囲は、下記の式 (1) ~ 式 (4) によって囲まれる範囲であることを特徴とする請求項 1 0 に記載のノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの製造方法。

$$b = 4.65 \times 10^7 / (N_{c,h})^{1/2} \quad \dots \text{式 (1)}$$

$$b = 2.74 \times 10^7 / (N_{c,h})^{1/2} \quad \dots \text{式 (2)}$$

$$b = b_{MAX} = 0.109 + 0.290 X_j - 0.0455 X_j^2 \quad \dots \text{式 (3)}$$

$$b = A \times N_{c,h}^x \quad \dots \text{式 (4)}$$

但し、

$$A = b_{MAX} \times \beta^{-x}$$

$$x = \frac{\log_{10} \frac{b_{MAX} - 0.1}{b_{MAX}}}{\log_{10} \frac{\alpha}{\beta}}$$

$$\alpha = \left(\frac{4.65 \times 10^7}{b_{MAX} - 0.1} \right)^2$$

$$\beta = 6 \times 10^{15}$$

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素 (SiC) 半導体を用いた埋め込みゲート型静電誘導トランジスタに関するものであり、特に、ノーマリーオフの特性を有する埋め込みゲート型炭化珪素静電誘導トランジスタに関するものである。

【背景技術】

【0002】

炭化珪素、特に 4 H - SiC は、シリコンに比べて絶縁破壊電界が約 1 0 倍、電子の飽和ドリフト速度が約 2 倍、熱伝導率が約 3 倍あるため、炭化珪素基板上に作られたトランジスタが注目されている。また、炭化珪素のエネルギーギャップは 3 e V 以上であって、シリコンの約 3 倍である。このため、絶縁破壊電界が約 1 桁大きい。従って、シリコンデバイスに比べて、1 桁高耐圧化できる、あるいは、サイズを 1 桁小さくできる。また、より高温での動作が可能となる。さらに、上記したように、SiC の絶縁破壊電界はシリコンの 1 0 倍であるので、同耐圧のデバイスを作製する場合、SiC からなる半導体基板を備えた半導体デバイスの空乏層は、Si からなる半導体基板を用いた半導体デバイスの空乏層幅の 1 / 1 0 に低減される。そのため、SiC からなる半導体基板が利用された場合、空乏層が形成される領域に添加する不純物のドーピング濃度は、シリコンからなる半導体基板に比べて 1 0 0 倍程度に高めることができる。同時に、不純物であるドナーやアクセプターのエネルギー準位が比較的浅いため、同じ降伏電圧のシリコン素子と比較してドリフト領域の抵抗を二桁以上小さくできる。以上のように炭化珪素が有する上記の優れた電子物性を利用することによって、低パワー損失のデバイスを実現できる。

このように、炭化珪素はシリコンと比較してバンドギャップが広く絶縁破壊電界強度が 1 0 倍以上大きいことから、特にパワー半導体素子の半導体材料として注目されている。

また、埋め込みゲート型静電誘導トランジスタ (BGSIT : Buried Gate Static Induction Transistor) は、ゲート領域を素子の活性領域内部に埋め込み、素子の周囲でゲート引出電極を形成する「埋め込みゲート構造 (BG : Buried Gate)」を備える。埋め込みゲート構造は、その半導体バルク中にチャネルが形成されることから、金属 - 酸化膜 - 半導体 (MOS : Metal - Oxide - Semiconductor) ゲート構造と比較して炭化珪素中の高い電子移動度を毀損することなくそのまま生かすことができ、高性能デバイスが開発できると期待

10

20

30

40

50

されている。また、上記の埋め込みゲート構造は、表面電極を形成する際のフォトリソグラフィ工程におけるアライメントマージンを取る必要が無い。そのため、埋め込みゲート構造は、半導体領域表面にゲート電極を配線する「表面ゲート構造 (SG: Surface Gate)」と比較してチャンネル密度を増加できオン抵抗を低減しやすい、という利点もある。

更に、一般に3端子パワー半導体素子をインバータ回路や電源回路などの電力変換装置に使用する場合、駆動回路等の予期せぬ故障の際に、上記パワー半導体素子が遮断状態(オフ状態)になることが、装置の安全措置の観点から望ましい。このためにはパワー半導体素子の電気的特性として、入力端子に電圧を印加しない場合に素子が遮断状態となるノーマリーオフ型の特性が必要である。

[特許文献 1]

従来技術として、例えば、特許文献 1 には、SiC 基板上での SIT の製造方法が開示されている。しかし、ノーマリーオフ型の SIT の製造方法については、開示が無い。

[特許文献 2]

また、特許文献 2 には、静電誘導トランジスタ構造の長所を生かしつつ、絶縁ゲート型電界効果トランジスタ構造の特徴とするノーマリーオフ型の利点が得られるように両者を組み合わせた構造が開示されている。開示された絶縁ゲート型炭化珪素半導体装置は、SIT と MOSFET をモノリシックに SiC 単結晶サブストレートに含めた構造を備える。該炭化珪素半導体装置は、埋め込まれたゲート領域に接続するようにオーミック電極が形成されており、表面にイオン注入により選択的に形成された p ウエル領域を有する MOSFET が形成されて、SIT と横型 MOSFET が接続される。しかし、この構造は、SIT と MOSFET を直列に配置してノーマリーオフ型とするものである。

[特許文献 3]

また、特許文献 3 は、静電誘導トランジスタ構造と絶縁ゲート型電界効果トランジスタ構造を SiC 基板上で組み合わせることによって構成されたノーマリーオフ型の炭化珪素絶縁ゲート型半導体装置を開示する。この SIT 構造は、 n^+ 型 SiC 半導体基板上に堆積された n 型ドリフト層への p^+ ゲート領域と該ゲート領域上部の前記 n 型ドリフト層の表面に堆積される n^+ 型第 1 ソース領域を備え、 p^+ ゲート領域の間の間隔である SIT のチャンネル領域の幅は $0.5 \sim 5 \mu\text{m}$ 程度である。この例についても、静電誘導トランジスタ構造と絶縁ゲート型電界効果トランジスタ構造を直列に配置してノーマリーオフ型とするものである。

[特許文献 4]

また、特許文献 4 には、高濃度 n 型炭化珪素基板表面上にエピタキシャル成長により低濃度 n 型ドリフト層、更に、該低濃度 n 型ドリフト層上に互いに離間した複数の高濃度 p 型ゲート領域を形成し、互いに隣り合った前記高濃度 p 型ゲート領域の間に位置する低濃度 n 型チャンネル領域を形成し、該構造上に低濃度 n 型領域をエピタキシャル成長させ、イオン注入により高濃度 n 型ソース領域を形成し、前記高濃度 n 型ソース領域上へソース電極、前記の高濃度 p 型層上へゲート電極、高濃度 n 型炭化珪素基板の裏面にドレイン電極を形成した炭化珪素トランジスタ装置が開示されている。しかし、この文献には、ノーマリーオフ型の構造の実現に関する開示が無い。

この炭化珪素トランジスタ装置においては、例えば $1.0 \times 10^{18} \sim 1.0 \times 10^{20} / \text{cm}^3$ の不純物濃度を有する n 型炭化珪素基板上に、例えば $1.0 \times 10^{14} / \text{cm}^3 \sim 1.0 \times 10^{17} / \text{cm}^3$ の不純物濃度を有する n 型ドリフト層が形成されている。また、前記 n 型ドリフト層の直上には互いに離間した、例えば $1.0 \times 10^{17} / \text{cm}^3 \sim 1.0 \times 10^{20} / \text{cm}^3$ の不純物濃度を有する p 型ゲート領域、及び互いに隣り合った前記 p 型ゲート領域の間にエピタキシャル成長により形成された、例えば $1.0 \times 10^{14} / \text{cm}^3 \sim 1.0 \times 10^{17} / \text{cm}^3$ の不純物濃度を有する n 型チャンネル領域が備えられている。更に、前記 p 型ゲート領域及び前記 n 型チャンネル領域の直上に前記 n 型チャンネル領域と同じ不純物濃度を有する低濃度 n 型領域が備えられている。

[特許文献 5]

また、特許文献5には、ノーマリーオン型炭化珪素静電誘導トランジスタのチャンネル構造の設計方法、およびそれを適用した炭化珪素トランジスタ装置が開示されている。

[非特許文献1]

また、非特許文献1によって、図16に示す構造を持った炭化珪素静電誘導トランジスタ(以下、「SiC-SIT」ともいう。)が知られている。しかし、半導体材料としてのSiCの物性から見ると、さらに改善の余地がある。例えば、チャンネルやゲート構造を微細化することによってSITの性能向上が期待できることはよく知られている。しかし、図16の構造は、 p^+ ゲート領域5の直上にゲート電極が設置されている表面ゲート電極構造である。この構造は、ゲート電極とソース電極が確実に離間され、同時に、コンタクトホール(図示省略)が p^+ ゲート領域5及びソース n^+ 領域8に確実に形成される構造であるため、チャンネル領域4と p^+ ゲート領域5のさらなる微細化が困難な状況にある。

10

図16の構造において、前記低濃度 n 型ドリフト層と前記低濃度 n 型チャンネル領域は、同一不純物濃度で無い方が望ましい。この理由は、もし、これらが同じ濃度を有している場合、耐圧とブロッキングゲイン、及びオン特性に関するデバイス設計をそれぞれ独立に行うことができないためである。例えば、前記低濃度 n 型チャンネル領域の不純物濃度を前記低濃度 n 型ドリフト層の不純物濃度よりも低濃度にしてブロッキング特性を向上させるとともに、ノーマリーオフ特性を実現するための工夫を行うことは、図16の構造において不可能である。このように、図16に示す構造のSiC-SITは、デバイス設計の自由度が限定されてしまう。

20

[非特許文献2]

また、図17に示すSiC-SIT構造も提案されている。同構造において、 p^+ ゲート領域の形成では数MeVまでのAlの多段イオン注入によって同領域は深さ $2.5\mu\text{m}$ の箱形ドーピング分布を実現している。しかし、この構造は、図16の構造と同様に低濃度 n 型ドリフト層と低濃度 n 型チャンネル領域が同一不純物濃度であるので、この構造はデバイス設計の自由度が限定される。また、ソース電極金属と p^+ ゲート領域が電氣的に接触しないように同金属の直上に SiO_2 膜を設置している。同素子をオフさせる場合、ソース電極に対してゲート電極に例えば -15V の負の電圧を印加する。しかし、この印加電圧のほとんどは SiO_2 膜に印加されることになるので、 SiO_2 膜の品質が低い場合、素子の信頼性が低下するという問題が生じる。

30

一般に、パワーMOSFETの性能を表す指標として耐圧とオン抵抗があることが知られている。まず、耐圧について、理想的な場合の素子耐圧(理論耐圧)は n -ドリフト層のキャリア密度と厚さにより決まる。しかし、SITの降伏現象は、上記に加え以下の要因に影響される。まずチャンネル部に形成される電位障壁の高さがドレイン電圧の増加により低下してしまい、ソース領域からチャンネルを介してドレイン側へ電子が注入されてしまう、いわゆる静電誘導効果(あるいはパンチスルー現象)によって降伏が起こる可能性がある。次に高濃度 p 型ゲート領域が低濃度 n 型チャンネル領域および低濃度 n 型ドリフト領域に接するコーナー部に局所的に電界が集中してアバランシェ現象によっても降伏する。そのため、チャンネル領域の幅、長さ、不純物濃度を厳密に調整し、電位障壁の高さの低下や高濃度 p 型領域コーナーの電界集中を抑制することが、同素子の高耐圧化のために重要である。

40

一方、オン抵抗に関しては、素子を微細化すること、例えばチャンネル長を短くして単位面積当たりのチャンネル幅を大きくすることでチャンネル抵抗を低減し、それによってオン抵抗も低減できる。しかし、この場合、低濃度 n 型チャンネル領域中に形成される電位障壁の高さが低くなり、前述した静電誘導効果が起こりやすくなり、耐圧の低下を招く。同時に、高濃度 p^+ 型ゲート領域から低濃度 n 型ドリフト領域と低濃度 n 型チャンネル領域に広がる空乏層において、高濃度 p^+ ゲート領域が低濃度 n 型ドリフト領域と低濃度 n 型チャンネル領域の両方の領域と接するコーナー周辺での同空乏層の曲率が増加し、高濃度 p 型領域コーナーの電界集中が促進され耐圧が低下してしまうという問題がある。

さらにノーマリーオフ型特性を有するSITを実現しようとする場合、ソース電極に対

50

しゲート電極に印加する電圧 V_{GS} が 0 V の時に、 p^+ ゲート領域からの空乏層によってチャンネル領域がピンチオフし、所望の降伏電圧を得るに十分な高さの電位障壁をチャンネル部に形成する必要がある。このためにはチャンネル部に添加する不純物の濃度を減少させるか、チャンネル部の幅を減少させる必要がある。通常ノーマリーオフ型 SiC-SiC の場合、チャンネル部の幅（以下、「チャンネル幅」という。）は $2\ \mu\text{m}$ 以下、場合によってはサブミクロンに設計することが要求される。一方でこのようにチャンネル幅やチャンネル不純物濃度を減少させることはオン抵抗を増加させる。従って、ノーマリーオフ型の埋め込みゲート構造 SiC-SiC を実現させるためには、チャンネル幅やチャンネル不純物濃度を含むチャンネル構造を最適化する必要がある。更に、製造後の素子特性のばらつきを低減し、製造歩留まりを向上させるには、サブミクロンオーダー（例えば $0.1 \sim 0.2\ \mu\text{m}$ 以下）でのチャンネル幅の精度が必要になる。これと同時にチャンネル不純物濃度の正確な制御も必要となる。

10

以上のようにノーマリーオフ型の埋め込みゲート構造 SiC-SiC を実現させるためには、降伏時の静電誘導効果やゲート領域のコーナー部における電界集中を含む素子の物理現象を踏まえた $0.1 \sim 0.2\ \mu\text{m}$ の精度を有する設計方法を決定し、この設計方法に従って導出された素子構造を正確に再現する素子製造方法が必要である。

しかし、これまでに、素子動作における複雑な物理現象を厳密に考慮してノーマリーオフ型炭化珪素静電誘導トランジスタの設計方法が示された例はない。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献1】米国特許第 6767783 号明細書

【特許文献2】特開 2008-172007 号公報

【特許文献3】特開 2008-177335 号公報

【特許文献4】特開 2006-253292 号公報

【特許文献5】再表 2007/004528 号明細書

【非特許文献】

【0004】

【非特許文献1】第 16 回 SiC デバイスシンポジウム SSID-03-2, pp. 7-12, 2003

30

【非特許文献2】第 17 回 SiC デバイスシンポジウム SSID-04-7, pp. 41-46, 2004

【非特許文献3】IEEE Trans. Electron Devices, ED-24, No. 8 pp. 1061-1069, 1977, Fig. 13, 14, 15

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、炭化珪素の電気的特性の利点を十分に引き出し、降伏電圧が高く、特性オン抵抗 (R_{on}) が低いノーマリーオフ型の埋め込みゲート型 SiC-SiC を実現することを課題とする。すなわち、降伏電圧が 600 V 以上、特性オン抵抗が $4.0\ \text{m}\ \Omega\ \text{cm}^2$ 以下の特性を有するノーマリーオフ型の SiC-SiC の設計方法、構造及びその製造方法の提供である。

40

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明の高濃度 n 型炭化珪素基板と、該高濃度 n 型炭化珪素基板上に形成された n 型ドリフト層と、該 n 型ドリフト層上に形成された高濃度 p 型ゲート領域及び低濃度 n 型チャンネル領域と、該高濃度 p 型ゲート領域及び低濃度 n 型チャンネル領域上に形成された n 型伝導層と、該 n 型伝導層上に形成された高濃度 n 型ソース領域と、を備えたノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタを半導体デバイスシミュレーションを用いて設計するノーマリーオフ型埋め込みゲート型炭化珪素

50

静電誘導トランジスタの設計方法であって、チャンネル長 X_j [μm] (低濃度 n 型チャンネル領域の長さ)、半チャンネル幅 b [μm] (低濃度 n 型チャンネル領域の $1/2$ 幅)及び低濃度 n 型チャンネル領域のチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]を変数として、降伏電圧 $V_{B,R}$ [V]及び特性オン抵抗 $R_{o,n}S$ [$\text{m} \cdot \text{cm}^2$]を求めることと、所望の値以上の降伏電圧 $V_{B,R}$ [V]が得られる半チャンネル幅 b [μm]とチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の範囲をチャンネル長 X_j [μm]毎に求めることと、所望の値以下の特性オン抵抗 $R_{o,n}S$ [$\text{m} \cdot \text{cm}^2$]が得られる半チャンネル幅 b [μm]とチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の範囲をチャンネル長 X_j [μm]毎に求めることと、前記所望の値以上の降伏電圧 $V_{B,R}$ [V]と前記所望の値以下の特性オン抵抗 $R_{o,n}S$ [$\text{m} \cdot \text{cm}^2$]が得られる半チャンネル幅 b [μm]とチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の範囲内からそれぞれの値を定めることと、を特徴とする。

10

また、本発明のノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタは、高濃度 n 型炭化珪素基板と、該高濃度 n 型炭化珪素基板上に形成された n 型ドリフト層と、該 n 型ドリフト層上に形成された高濃度 p 型ゲート領域及び低濃度 n 型チャンネル領域と、該高濃度 p 型ゲート領域及び低濃度 n 型チャンネル領域上に形成された n 型伝導層と、該 n 型伝導層上に形成された高濃度 n 型ソース領域と、を備えた埋め込みゲート型炭化珪素静電誘導トランジスタであって、チャンネル長 X_j [μm] (低濃度 n 型チャンネル領域の長さ)、半チャンネル幅 b [μm] (低濃度 n 型チャンネル領域の $1/2$ 幅)及び低濃度 n 型チャンネル領域のチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]で、所望の値以上の降伏電圧 $V_{B,R}$ [V]及び所望の値以下の特性オン抵抗 $R_{o,n}S$ [$\text{m} \cdot \text{cm}^2$]を得られる範囲は、前記ゲート-ソース間電圧 $V_{G,S} = 0$ [V]において、前記降伏電圧 $V_{B,R}$ [V]の所望の値に対する半チャンネル幅 b [μm]の最大値 b_{max} [μm]を示す式と、前記チャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]を高くした際に、半チャンネル幅 b [μm]がチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の平方根の逆数に比例する式と、前記半チャンネル幅 b [μm]がチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の平方根の逆数に比例する式からの乖離を表す半チャンネル幅 b [μm]がチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の x 乗 (x は 0.5 未満の正数)に比例する式と、前記ゲート-ソース間電圧 $V_{G,S}$ [V]を、トランジスタが十分にオンし、かつ、ゲートからホールが注入されない程度の正電位に印加した際の前記特性オン抵抗 $R_{o,n}S$ [$\text{m} \cdot \text{cm}^2$]の所望の値に対する、半チャンネル幅 b [μm]がチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の平方根の逆数に比例する式と、で囲まれる範囲内であることを特徴とする。

20

30

また、ノーマリーオフ型埋め込みゲート型炭化珪素静電誘導トランジスタの製造方法は、高濃度 n 型炭化珪素基板上に n 型ドリフト層を形成する工程と、前記 n 型ドリフト層上に高濃度 p 型ゲート層を形成する工程と、前記高濃度 p 型ゲート層を略平行な横方向に所定の幅で除去することにより、前記 n 型ドリフト層上に溝構造を形成する工程と、前記溝構造上に低濃度 n 型チャンネル領域を形成する工程と、前記高濃度 p 型ゲート層及び低濃度 n 型チャンネル領域上に n 型伝導層を形成する工程と、前記 n 型伝導層上に高濃度 n 型ソース層を形成する工程と、を有する埋め込みゲート型炭化珪素静電誘導トランジスタの製造方法であって、チャンネル長 X_j [μm] (低濃度 n 型チャンネル領域の長さ)、半チャンネル幅 b [μm] (低濃度 n 型チャンネル領域の $1/2$ 幅)及び低濃度 n 型チャンネル領域のチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]で、所望の値以上の降伏電圧 $V_{B,R}$ [V]及び所望の値以下の特性オン抵抗 $R_{o,n}S$ [$\text{m} \cdot \text{cm}^2$]が得られる範囲は、前記ゲート-ソース間電圧 $V_{G,S} = 0$ [V]において、前記降伏電圧 $V_{B,R}$ [V]の所望の値に対する半チャンネル幅 b [μm]の最大値 b_{max} [μm]を示す式と、前記チャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]を高くした際に、半チャンネル幅 b [μm]がチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の平方根の逆数に比例する式と、前記半チャンネル幅 b [μm]がチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の平方根の逆数に比例する式からの乖離を表す半チャンネル幅 b [μm]がチャンネルドーピング濃度 $N_{c,h}$ [cm^{-3}]の x 乗 (x は 0.5 未満の正数)に比例する式と、前記ゲート-ソース間電圧 $V_{G,S}$ [V]を、トランジスタが十分にオンし、かつ、ゲートからホールが注入されない程度の正電位に印加した際の前

40

50

記特性オン抵抗 $R_{on} S [m \text{ cm}^2]$ の所望の値に対する、半チャンネル幅 $b [\mu m]$ がチャンネルドーピング濃度 $N_{ch} [cm^{-3}]$ の平方根の逆数に比例する式と、で囲まれる範囲内であることを特徴とする。

【発明の効果】

【0007】

このように、本発明によれば、所望の降伏電圧においてシリコンパワーデバイスを凌駕する低い特性オン抵抗のノーマリーオフ型のスイッチング素子を実現できる。

【図面の簡単な説明】

【0008】

図1A及び図1Bは、本発明の設計方法を適用する埋め込みゲート型SiC-SITの断面構造を示す模式図であって、図1Aは、該構造の4分の1カットの斜視図を、図1Bは、図1Aの繰り返し部分の単位構造を示す。

10

図2は、ドナー不純物濃度、チャンネル幅、チャンネル長のチャンネル構造パラメータを、コンピュータシミュレーションによる最適チャンネル設計を行って導き出す際に用いたデバイス構造を示す模式図である。

図3Aから図3Eは、本発明の設計方法を適用する埋め込みゲート型SiC-SITを製造するためのプロセスを示す図である。

図4Aは、コンピュータを利用した上記シミュレーションによって得られた $R_{on} S$ のチャンネルドーピング依存性を、半チャンネル幅を変えた場合について示す図である。図4Bは、降伏電圧（ブレイクダウン電圧）のチャンネルドーピング依存性を、半チャンネル幅を変えた場合について示す図である。

20

図5は、チャンネル長が1、2、3 μm の場合における、 $R_{on} S$ が $2.0 m \text{ cm}^2$ 以下で降伏電圧が600 - 1200 Vのノーマリーオフnチャンネル型埋め込みゲートSiC-SITを実現するためのチャンネル半幅とチャンネルドーピングの最適領域を示す図である。

図6は、チャンネルドーピング濃度 N_{ch} を横軸、半チャンネル幅 b を縦軸として、特性オン抵抗の上限に関する関数（直線2）及び降伏電圧の下限に関する関数（直線1）を両対数グラフに表示した図である。

図7は、降伏電圧が1200 Vに設定された場合、本発明において最適とされるチャンネル長さ X_j と半チャンネル幅 b の最大値（ b_{MAX} ）との関係を示す図である。

30

図8A及び図8Bは、チャンネル長 $X_j = 1.5 \mu m$ の場合において、チャンネルドナー不純物濃度 N_{ch} に対する降伏電圧及び特性オン抵抗を、様々な半チャンネル幅 b の条件下でシミュレーションにより導出した図である。

図9は、チャンネル長 $X_j = 1 \mu m$ の場合において、シミュレーションによって得られた、半チャンネル幅 b とチャンネルドーピング濃度 N_{ch} の設計範囲を示す。

図10は、図8Bに示された半チャンネル幅 b 及び N_{ch} のデータのうち、特性オン抵抗が $2.5 m \text{ cm}^2$ 或いは $3 m \text{ cm}^2$ になる半チャンネル幅 b 及び N_{ch} を両対数平面にプロットした図である。

図11は、チャンネル長 $X_j = 2.0 \mu m$ の場合において、シミュレーションによって得られた、半チャンネル幅 b とチャンネルドーピング濃度 N_{ch} の設計範囲を示す。

40

図12は、特性オン抵抗が $2.5 m \text{ cm}^2$ になるシミュレーション結果及び降伏電圧が1200 Vになるシミュレーション結果を、半チャンネル幅 b が縦軸且つ N_{ch} が横軸である両対数グラフで表示したものである。

図13は、特性オン抵抗が $4.0 m \text{ cm}^2$ になるシミュレーション結果と、降伏電圧が1200 Vになるシミュレーション結果を、半チャンネル幅 b が縦軸且つ N_{ch} が横軸である両対数グラフで表示したものである。

図14は、図6の直線1及び2を図13に表示したものである。

図15は、問題領域を含まない、本願発明の埋込ゲート型SiC-SITのチャンネル構造の有効な設計領域のみを定義する図である。

図16は、非特許文献1に開示された表面ゲート電極構造SiC-SITの断面構造を

50

示す模式図である。

図 17 は、非特許文献 2 に開示された SiC - SIT の断面構造を示す模式図である。

【符号の説明】

【0009】

- 1・・・ドレイン電極
- 2・・・SiC基板上(ドレイン領域)
- 3・・・ドリフト層
- 4・・・チャンネル領域
- 5・・・ゲート領域
- 6・・・ゲート電極
- 7・・・n型層
- 8・・・ソース領域
- 9・・・ソース電極

10

【発明を実施するための最良の形態】

【0010】

以下に、本発明の実施の形態について添付図面を参照しながら説明する。降伏電圧が 600V 以上であり、かつ特性オン抵抗が $4.0 \text{ m}\Omega\text{cm}^2$ 以下の特性を有するノーマリーオフ型の埋め込みゲート型 SiC - SIT を実現するのに必要な半チャンネル幅 b 、長さ X_j 、ドナー不純物濃度 $N_{c,h}$ を決定する。

図 1 は、本発明の設計方法を適用する SiC - SIT の断面構造の模式図である。図 1A は 4 分の 1 カットを、図 1B は繰り返し部分の単位構造を示す。この構造は、従来の SIT の構造を示す図 16 との比較から、本発明の想定する SIT の場合は、ゲート領域の上に n 型層があり、ゲート領域が完全に埋め込まれていることが分かる。

20

本発明で実現しようとするチャンネル構造は、ドリフト拡散モデルに基づく 2 次元デバイスシミュレーションによって決定される。このシミュレーションに於いて、図 2 に示すデバイス構造が繰り返されるものとして、境界条件に関する制約が緩和されている。ここで、符号 a は半ゲート幅を、符号 b は半チャンネル幅を表す。また、符号 X_j はチャンネル長であり、符号 $N_{c,h}$ は、チャンネルドーピング濃度を表す。図 2 に示すデバイス構造は、シミュレーションに用いた構造であり、ドレイン電極 1 を引出電極とするドレイン領域 2 と、ドレイン領域 2 とチャンネル領域 4 間の電界を緩和するドリフト層 3 と、チャンネル領域 3 を流れる電流を制御するゲート領域 5 と、ゲート領域 5 からの引出電極であるゲート電極 6 と、チャンネル領域 4 とソース領域 8 間に設けた n 型層 7 と、ソース領域 8 からの引出電極であるソース電極 9 を備えている。ここでシミュレーションの都合上、ゲート電極 6 はゲート領域 5 の側壁に設置している。尚、上記 n 型層 7 及びチャンネル領域 4 は同一の組成で形成することができるので、それぞれ別個に形成することも、一体的に形成することもできる。

30

図 3A 乃至図 3E は、本発明の対象となる埋込ゲート型 SiC - SIT の製造工程の概略図である。図 3E は、完成された本発明の素子を示す。チャンネル領域 4 は、 p^+ ゲート層 5 及び p^+ ゲート層 5 の間の溝内だけでなく、 p^+ ゲート層 5 及びソース領域 8 の間に形成されており、図 2 に示すデバイス構造の上記 n 型層 7 としての機能も備える。

40

まず、(a) 高濃度 n 型 4H - SiC 基板 2 上に n⁻ ドリフト層 3、 p^+ ゲート層 5 をエピタキシャル成長させる(図 3A)。

次に、(b) ドライエッチング法により、上記 n⁻ ドリフト層 3 の表面が露出するように p^+ ゲート層 5 の中央部を除去して p^+ ゲート層 5 を所定の間隔で離間させる(図 3B)。この工程によって、微細な溝構造が、上記の n⁻ ドリフト層 3 上に形成される。尚、図 1A の SiC - SIT を製造する場合、工程 (b) によって、 p^+ ゲート層 5 を略平行な横方向に所定の間隔で除去し、ストライプ状の溝が上記の n⁻ ドリフト層 3 上に周期的に形成される。このエッチングプロセスにおいて決まる寸法 (p^+ ゲート領域の幅 $x (= 2a)$ 、隣り合った p^+ ゲート領域の間隔 $y (= 2b)$ 、チャンネル長 X_j) により素子特性がほぼ決定されるため、一定の素子特性を実現するためには、このエッチングプロセス

50

を再現性良く行うことが重要である。

この溝構造上に、(c) n^- チャネル領域 4 をエピタキシャル成長により形成する (図 3 C)。通常、エピタキシャル成長は平坦な基板上行われるが、SiC 基板の結晶方位やエピタキシャル成長の条件 (温度、ガス流量等) を最適化することにより、微細な溝構造上のエピタキシャル成長が可能である。尚、図 1 の SiC-SIT を製造する場合、工程 (c) によって、 p^+ ゲート層 5 及びチャネル領域 4 が、上記の n^- ドリフト層 3 上に略平行な横方向に隣接して周期的に配列される。

その後、(d) n^+ ソース領域 8 をイオン注入により形成し、活性化熱処理 (例えば 1600 °C) 後 (図 3 D)、(e) ソース電極 9 及びドレイン電極 1 を形成し (図 3 E)、図 3 E では省略したゲート電極 6 を形成し、本発明の素子が完成する。この様にして作製した埋込ゲート型 SiC-SIT 素子では、 p^+ ゲート領域 5 が完全に埋め込まれ、水平方向に所定の間隔で隣り合う p^+ ゲート領域 5、5 の間に n^- チャネル領域 4 が形成される。

半導体デバイスシミュレーションによる素子設計工程においては、電界集中が発生する箇所や SIT の動作で重要となるチャネル領域では特にメッシュ間隔を細かく設定し、精度良くアバランシェ降伏や静電誘導効果をシミュレートできるように工夫している。半導体材料は結晶構造が 4 周期六方晶 SiC (4H-SiC) を仮定し、精度良いシミュレーション結果を得るためにキャリア移動度、禁制帯幅、イオン化係数等の材料の物性パラメータは 4H-SiC の実験データとフィッティングしたモデル式を用いている。

SIT のチャネル構造の明確な設計技術は、未だに確立されていない。しかし、非特許文献 3 のように、半導体 $p-n$ 接合の完全空乏近似に基づいた空乏層の幅を目安にしてチャネル構造が決定されることがしばしばある。完全空乏近似とは、半導体 $p-n$ 接合などの接合部に形成される空乏層の内部の電界や電位の分布を導出する際に、空乏層中では電子及び正孔の濃度はゼロであると仮定する完全空乏化の状況を仮定して計算を進めることである。

しかし、実際の半導体 $p-n$ 接合の空乏層と非空乏層の境界部には遷移領域が存在する。従って、チャネル構造を微細化する程、完全空乏近似を用いる場合、その設計精度は悪くなる。更に、アバランシェ降伏現象は空乏層中から発生するキャリアが同層の電界からエネルギーを得て価電子帯の電子と衝突し、その電子が自由電子になるという過程による現象であるため、完全空乏近似を用いた場合、素子の降伏電圧を正確に求めることは困難である。

従って、サブミクロンオーダーの微細寸法精度を必要とするノーマリーオフ型埋め込みゲート SiC 静電誘導トランジスタの設計を、上記完全空乏近似を用いた従来の設計手法で実施した場合、大幅な製造歩留まりの低下が容易に予測できる。

これに対して、本願発明に用いるシミュレーションは、完全空乏近似を用いない。すなわち、半チャネル幅 b 、長さ X_j 及びドナー不純物濃度 $N_{c,h}$ に関し、本願発明の課題を達成できる上限及び下限を示す限界線は、ノーマリーオフ型の SiC-SIT の導通特性および降伏特性を半導体デバイスシミュレーションで解析することによって導出される。該半導体デバイスシミュレーションのために、半導体の基本方程式である Poisson 式、電子の連続方程式及び正孔の連続方程式が、有限差分法によって離散化され、ニュートン法を用いて解かれる。そして、様々な半チャネル幅 b およびチャネル長 X_j の条件の下で、これらの方程式から得られた解の式を用いてチャネルドナー不純物濃度 $N_{c,h}$ に対する特性オン抵抗および降伏電圧がシミュレーションされ、これらの上限及び下限の限界線が導出される。今日、こうした半導体シミュレーションを行うソフトウェアは市販されており、それを購入すれば誰もが使用することが可能である。しかし、対象となる半導体デバイスを精度良く解析し、より正確な設計方法を確立するには、下記の事項が必要となる。

まず、シミュレーション対象となる半導体デバイスの材料 (例えば Si や SiC) のキャリア移動度、アバランシェ増倍係数、禁制帯幅などの物性値を正確に把握し、これらの物性値をシミュレータに組み込む作業が必要である。これらの物性値は半導体に添加する

10

20

30

40

50

不純物の密度、半導体の面方位、温度に複雑に依存する。Si半導体の場合、研究開発の歴史が長いため、信頼できる物性データを誰もが容易に入手できる。これに対し、SiCは開発の歴史が浅いため、SiCに関する正確な物性データの多くは、明らかにされていない。従って、測定された物性データに基づいたモデル式をシミュレータに組み込んでシミュレーションした結果と実デバイスの特性が一致するように、シミュレーションによる物性値のモデル式を調整する「フィッティング」という作業を繰り返し、シミュレータの精度を上げる必要がある。

次に、一般的な半導体シミュレーションの手法として、有限差分法や有限要素法を用いるが、この際、対象となるデバイス構造領域内をメッシュで区切るプロセスが存在する。数値解析理論によれば、メッシュの間隔を細かく設定すれば計算誤差は減少するが、シミュレーション時間が増大する。このため、通常の半導体シミュレーションでは、デバイス領域中でキャリア分布や電界強度の変化が大きい領域はメッシュ間隔を細かく設定し、その他の領域はメッシュを粗く設定する、所謂不均一メッシュが生成される。このようなメッシュの設定によって、解析領域全体でメッシュ総数が大きくなりすぎないようにする手法が用いられる。

また、本願発明において扱うノーマリーオフ型埋め込みゲート構造SiC-SITのように、静電誘導効果やゲート領域コーナーでの電界集中を含む複雑な動作原理を有する場合には、その動作が正確に再現できるよう、メッシュをアレンジすることが必要になる。最終的には、物性値を決定する際と同様に、シミュレーション結果と実デバイス特性を一致させるようにメッシュ調整を繰り返す作業を行う。

本願発明では、上記を考慮し精度良いシミュレーション結果を得るために、実験結果に基づいて、SiC材料特有の物性値であるキャリア移動度、アバランシェ増倍係数のモデル式中のパラメータを決定し、フィッティング作業を行い、精度の高い物性値をシミュレータに組み込んでいる。

また、メッシュ生成においては、降伏時に発生するゲートコーナー部での電界集中や静電誘導効果（パンチスルー現象）、オン時のチャネルやドリフト領域のキャリアの流れを正確に解析する必要がある。

そこで、本願発明では、図2のデバイス構造における p^+ ゲート領域5の右下コーナー部、同領域5とドリフト領域3が接する箇所、 p^+ ゲート領域5の側壁部、チャネル領域4、ドリフト領域3、基板領域2などで、上記の物性値を調整する場合と同様にフィッティング作業によって、図2のデバイス構造に関するメッシュのプロファイルを作成し、評価している。この方法を用いれば、上述した降伏時に起こる静電誘導効果やゲートコーナー部での電界集中を含む複雑な素子動作メカニズムを正確に解析できるため、上記完全空乏近似の問題点が解決され、精度良いチャネル部の設計が可能である。

すなわち、目的とする特性オン抵抗の上限及び降伏電圧の下限を満たす半チャネル幅 b をそれぞれ、コンピュータを用いてドリフト拡散モデルに基づく2次元デバイスシミュレーションによって、チャネル長さ X_j 及びチャネルドーピング濃度 $N_{c,h}$ の関数として決定する。そして、目的とする特性オン抵抗の上限を表す、チャネル長さ X_j 及びドーピング濃度 $N_{c,h}$ の関数としての半チャネル幅 b のグラフと、降伏電圧の下限を表す、チャネル長さ X_j 及びドーピング濃度 $N_{c,h}$ の関数としての半チャネル幅 b のグラフで囲まれる領域を特定する。この特定された領域が、本願発明の埋込ゲート型SiC-SITのチャネル構造の有効な設計範囲である。

【実施例】

【0011】

以下、第1実施例及び第2実施例による埋込ゲート型SiC-SITの製造方法におけるチャネル構造の設計方法について詳述する。

[実施例1]

図2のデバイス構造の各領域が以下の(i)及び(ii)のように不純物ドーピングされている場合において、降伏電圧が600から1200V、特性オン抵抗が $2\text{ m}\Omega\text{ cm}^2$ 以下の特性を有するノーマリーオフ型のSiC-SITを製造するためのチャネル構造を

10

20

30

40

50

上記シミュレーションにより求める。

(i) ソース領域 8 のドーパントは窒素または燐でドーピング濃度は $2.0 \times 10^{20} \text{ cm}^{-3}$ 、ドレイン 2 のドーピング濃度は $1 \times 10^{19} \text{ cm}^{-3}$ であり、ゲート領域 5 のドーパントはアルミニウムまたはボロンでドーピングは $2.0 \times 10^{18} \text{ cm}^{-3}$ である。

(i i) ドリフト層 3 の厚みは $8.5 \mu\text{m}$ であり、チャンネル 4 とソース領域 8 との間にある n 型層 7 のドーピング濃度は $1.3 \times 10^{16} \text{ cm}^{-3}$ であり、その厚みは $1.1 \mu\text{m}$ である。上記ドリフト層 3 や n 型層 7 のドーパントは窒素または燐である。

図 4 A に、コンピュータを利用した上記シミュレーションによって得られた R_{on} のチャンネルドーピング依存性を、半チャンネル幅が、 0.3 、 0.375 、 0.45 、 $0.5 \mu\text{m}$ のそれぞれの場合について示す。この場合チャンネル長さ X_j は $1.0 \mu\text{m}$ である。半チャンネル幅 b の減少に従って、また、チャンネルドーピング濃度の減少に従って、 R_{on} が増加することが分かる。

10

また、図 4 B に、同様に得られた降伏電圧 (ブレイクダウン電圧) のチャンネルドーピング依存性を、半チャンネル幅が、 0.2 、 0.3 、 $0.45 \mu\text{m}$ のそれぞれの場合について示す。上記と同様にチャンネル長さ X_j は $1.0 \mu\text{m}$ である。半チャンネル幅の減少に従って、また、チャンネルドーピング濃度の減少に従って、降伏電圧が増加することが分かる。尚、図 4 A 及び図 4 B の横軸は、チャンネルドーピング濃度 N_{ch} (cm^{-3}) を対数表記されている。

他のチャンネル長についても、上記と同様なシミュレーションを行った。図 5 に、チャンネル長が $1 \mu\text{m}$ 、 $2 \mu\text{m}$ 及び $3 \mu\text{m}$ のそれぞれの場合について、 R_{on} が $2.0 \text{ m} \cdot \text{cm}^2$ 以下で降伏電圧が 600 V 乃至 1200 V の N チャンネルノーマリーオフ埋め込みゲート SIC-SIT を実現するためのチャンネル構造、つまり半チャンネル幅とチャンネルドーピング濃度の最適領域を示す。尚、図 5 の横軸のチャンネルドーピング濃度 (cm^{-3}) 及び縦軸の半チャンネル幅 (μm) の大きさは、それぞれ対数表記されている。

20

ノーマリーオフ型のトランジスタを実現するためには、ゲート電圧が 0 V でチャンネルが完全に空乏化している必要があるので、ゲート電圧が 0 V における空乏層の幅を $W_{dep}(0 \text{ V})$ と表すと、以下の条件が必要になる。

$$0.5 \times W_{dep}(0 \text{ V}) > b$$

一方、オン動作時 (2.5 V) にはチャンネルに非空乏領域が存在する必要があるので、ゲート電圧が 2.5 V における空乏層の幅を $W_{dep}(2.5 \text{ V})$ と表すと、以下の条件が必要になる。

30

$$0.5 \times W_{dep}(2.5 \text{ V}) < b$$

従来の完全空乏近似を用いた解析手法において、 $W_{dep}(V_{app})$ の解析値の式は、

$$W_{dep}(V_{app}) = \sqrt{\frac{2\epsilon_s \epsilon_0 (V_{bi} - V_{app})}{qN_{ch}}}$$

と表される。ここで q は素電荷 (C)、 ϵ_s は半導体の比誘電率、 ϵ_0 は真空の誘電率 (F/cm)、 V_{bi} はゲート領域 5 とチャンネル領域 4 の接合間の内蔵電位 (V)、 V_{app} はソース端子に対してゲート端子に印加する電圧 (V) である。

40

図 5 に示された $W_{dep}(0 \text{ V})$ の解析値および $W_{dep}(2.5 \text{ V})$ の解析値に関する直線は、上記 $W_{dep}(V_{app})$ の解析値の式を使用して求めた従来設計手法によるものである。

すなわち、 $W_{dep}(0 \text{ V})$ 及び $W_{dep}(2.5 \text{ V})$ に関する上記関係式を満足する領域、すなわち、図 5 の $W_{dep}(0 \text{ V})$ 及び $W_{dep}(2.5 \text{ V})$ の直線で囲まれた領域が、解析的手法に基づく従来手法による有効な設計範囲であり、空乏層ではキャリアがゼロであると仮定する完全空乏近似に基づいて、N チャンネルノーマリーオフ埋め込みゲ

50

ート SiC - SiT を設計できる範囲である。

これに対して、下記に説明する図 5 中のハッチングで示された領域は本願発明の埋込ゲート型 SiC - SiT のチャンネル構造の有効な設計範囲である。この設計領域の導出は、上述した完全空乏近似に基づく従来の設計手法ではなく、上述したような半導体シミュレーションによる厳密な素子解析により導出したものである。

すなわち、上記したように、実デバイスの電気的特性データを使用しながら図 2 のデバイス構造についてフィッティング作業によってメッシュのプロファイルを作成し、該作成されたプロファイルを用いたシミュレーションにおいて、物性値を調整するためのフィッティング作業を繰り返した。このようにして得られた精度の高い半導体シミュレータを用いて、(i) 及び (ii) のように不純物ドーピングされている場合において上記の特性を有するノーマリーオフ型の SiC - SiT のチャンネル構造の設計範囲を導出した。

具体的には、上記の特性を有するノーマリーオフ型の SiC - SiT のチャンネル構造は、チャンネルドーピングとチャンネル幅の組み合わせが、チャンネルドーピング ($\times 10^{16} \text{ cm}^{-3}$) 及び半チャンネル幅 (μm) を両対数表示したグラフにおいて、

(i) チャンネル長が $1 \mu\text{m}$ の場合には、

A (1.4, 0.22)、B (3.0, 0.22)、C (1.8, 0.30)、D (0.7, 0.30) の各点を A - B - C - D - A と順に結ぶ領域 (領域 I) 内であり、

(ii) チャンネル長が $2 \mu\text{m}$ の場合には、

E (4.0, 0.24)、F (2.0, 0.24)、G (0.6, 0.48) の各点を E - F - G - E と順に結ぶ領域 (領域 II) 内であり、

(iii) チャンネル長が $3 \mu\text{m}$ の場合には、

H (0.3, 0.53)、I (0.6, 0.53)、J (1.8, 0.38)、K (2.3, 0.3)、L (0.9, 0.3)、M (0.53, 0.38) の各点を H - I - J - K - L - M - H と順に結ぶ領域 (領域 III) 内になるように設計すれば良いことが分かる。

図 5 において、完全空乏近似に基づく従来設計手法による有効な設計範囲内においても、本願発明の有効な設計範囲から外れる領域が顕著に存在することがわかる。このことから、チャンネル構造を正確に決定するためには、従来設計手法では不十分であり、本願発明の設計手法の有効性が確認できる。

【実施例 2】

降伏電圧が 1200 V 以上であり、かつ特性オン抵抗が $4.0 \text{ m} \cdot \text{cm}^2$ 以下の特性を有するノーマリーオフ型の SiC - SiT を実現するのに必要な半チャンネル幅 b 、チャンネル長さ X_j 、チャンネルドーピング濃度 N_{c_h} に関する設計範囲を上記シミュレーションにより求める。

このためには、チャンネルドーピング濃度 N_{c_h} を横軸、半チャンネル幅 b を縦軸として、降伏電圧の下限に関する以下の式 (1) 及び特性オン抵抗の上限に関する以下の式 (2) の 2 つの式を両対数グラフに表示して、式 (1) 及び式 (2) で囲まれる領域内に存在するドナー不純物濃度 N_{c_h} 及び半チャンネル幅 b の組合せ (N_{c_h}, b) を決定する。

一方、上記組合せ (N_{c_h}, b) のうち、次の式 (3) によって与えられる b_{MAX} 以下の半チャンネル幅 b を有するように、チャンネル長さ X_j を決定する必要がある。

【数 1】

$$b = 4.65 \times 10^7 / (N_{c_h})^{1/2} \dots (1)$$

【数 2】

$$b = 2.74 \times 10^7 / (N_{c_h})^{1/2} \dots (2)$$

【数 3】

$$b_{MAX} = 0.109 + 0.290X_j - 0.0455X_j^2 \cdots (3)$$

ここで、図 6 において、直線 1 及び 2 は、上記の式 (1) 及び式 (2) をそれぞれ示す。図 7 の曲線 1 は、降伏電圧が 1200 V に設定された場合におけるチャンネル長さ X_j と、半チャンネル幅 b の上限値との関係を示す上記の式 (3) を示す。

図 6 及び図 7 に示される各々の限界線は、上記した半導体デバイスシミュレーションによるノーマリーオフ型の SiC-SIT の導通特性および降伏特性を解析することによって得られた。すなわち、半導体の基本方程式である Poisson 式、電子の連続方程式、正孔の連続方程式を有限差分法で離散化し、ニュートン法を用いて解いた後、得られた解を用いて上記の導通特性および降伏特性をシミュレートし、シミュレート結果を解析した。また、本発明による式 (3) は、特にドレイン電極とゲート電極の両電極からの静電誘導効果のチャンネル領域の電位障壁への相互作用および p^+ ゲート領域のコーナー部での電界集中を正確にシミュレーションすることによって得られたものである。

後述するように、式 (1) 乃至式 (3) に基づいて上記の方法によって決定された組合せ (N_{ch} , b) 及びチャンネル長さ X_j は、本願発明の目的とする SiC-SIT を実現するチャンネル構造の有効な設計範囲を特定する。

図 6 及び図 7 に示される各限界線を求めるためには、まず図 8 A 及び図 8 B に示されるように、チャンネルドーピング濃度 N_{ch} に対する降伏電圧および特性オン抵抗を、様々な半チャンネル幅 b およびチャンネル長 X_j の条件の下でシミュレーションにより導出する。

図 8 A ではノーマリーオフ特性を考慮して、ゲートソース間電圧 $V_{GS} = 0$ V を設定している。一方、図 8 B の計算では上記の V_{GS} は、素子をオンする為の入力信号である 2.5 V を設定しており、ドレイン電流密度が 200 A/cm^2 の時のドレインソース間電圧 V_{DS} によって特性オン抵抗 R_{on} を計算している。ここで V_{GS} を 2.5 V に設定しているのは、 V_{GS} を十分大きくし、図 2 に示すチャンネル領域 4 に広がる空乏層の幅を小さくし、可能な限り R_{on} を低減するように意図している。また V_{GS} を 3.0 V 以上とすると p^+ ゲート領域 5 からホールがチャンネル領域 4 およびドリフト領域 3 に注入されるため、ターンオフ時間が著しく増加する恐れがある。よって V_{GS} を、 p^+ ゲート領域 5 からホールが注入されない上限である 2.5 V に設定している。尚、図 8 A 及び図 8 B において、 $X_j = 1.5 \mu\text{m}$ としている。他の X_j についても図 8 A 及び図 8 B と同様の解析を行った。

図 8 B の特性オン抵抗対 N_{ch} の関係図では N_{ch} の減少と共に初めは徐々に特性オン抵抗が増加することがわかる。この理由は、 N_{ch} の減少と共に、 p^+ ゲート領域からチャンネルに広がる空乏層の幅が増加するため、チャンネル中の非空乏化領域である伝導チャンネルの実効幅が徐々に減少するためである。

そして、ある N_{ch} では特性オン抵抗が急激に増加していることが図 8 B から確認できる。これはチャンネルの両側の p^+ ゲート領域 5 からの空乏層によってチャンネル領域が完全に空乏化しそこに電位障壁が形成されるため、電流が著しく減少するためである。

このように特性オン抵抗を急激に増加させる値の N_{ch} が、ノーマリーオフ型の SiC-SIT を導通させるための下限値であり、この素子に導通機能を持たせるためには、この下限値より大きい値で N_{ch} を設計することが必要となる。また下限値は半チャンネル幅 b に依存していることが図 8 B でわかる。

図 8 B に示された半チャンネル幅 b 及び N_{ch} のデータのうち、特性オン抵抗が $2.5 \text{ m}\Omega/\text{cm}^2$ 或いは $3 \text{ m}\Omega/\text{cm}^2$ になる半チャンネル幅 b 及び N_{ch} を両対数平面にプロットすると、半チャンネル幅 b が $0.4 \mu\text{m}$ 未満の範囲において同じ傾きを持った 2 つの実線が得られる (図 10)。

一方、図 8 A の降伏電圧対 N_{ch} の関係図では、 N_{ch} を増加させると、ある N_{ch} の値で急激に降伏電圧が低下していることがわかる。これは、 N_{ch} の増加により、 p^+ ゲート領域 5 からチャンネル領域 4 に広がる空乏層の幅が減少し、電流を遮断するための電位

10

20

30

40

50

障壁が低下するためである。

この降伏電圧が急激に低下するときのチャンネル不純物濃度が、素子が確実にオフ機能を持つためのチャンネル不純物濃度の上限値である。この上限値の値は半チャンネル幅 b が増加するに従い減少していくことが図 8 A より分かる。

この結果を踏まえ、降伏電圧が 1200 V になる半チャンネル幅 b 及び $N_{c h}$ を両対数平面にプロットすると、図 9 及び図 10 に示される点線に示される降伏電圧の上限 (Limit of $V_{B R} (1200\text{ V})$) となる。ここで $N_{c h}$ の減少にともない点線が直線から外れその勾配が緩やかになり、最終的に、半チャンネル幅 b が $N_{c h}$ に依存しなくなるのは以下の 2 つの理由がある。一つは $N_{c h}$ の増加に伴い半チャンネル幅 b を増加させようとした場合、ドレイン電極からの静電誘導効果が顕著に働くようになり、 $N_{c h}$ を減少してもノーマリーオフ特性を維持するのに十分な高さの電位障壁を形成できなくなる。これは $N_{c h}$ が減少するほど空乏層端における電界強度が低くなり、電位障壁を形成しにくくなるからである。他の一つは、 $N_{c h}$ の減少により半チャンネル幅 b を増加させようとした場合、 p^+ ゲート領域 5 のコーナーにおける電界集中が促進され、降伏電圧が減少する傾向を示すためである。

結果として、降伏電圧が 1200 V になる半チャンネル幅 b 及び $N_{c h}$ を両対数平面にプロットすると、図 9 および図 10 に示されるように、 $N_{c h}$ が低い値になる程、曲線の勾配が緩やかになり、最終的に半チャンネル幅 b の値は $N_{c h}$ に依存しなくなる。図 10 において、降伏電圧 $V_{B R}$ が 1200 V になる半チャンネル幅 b 及び $N_{c h}$ の曲線は、 $N_{c h}$ の低い側において、横軸と平行な破線で示す半チャンネル幅 $b = 0.45\text{ }\mu\text{m}$ に漸近していることが分かる。すなわち、降伏電圧 $V_{B R}$ を所定の大きさ、例えば、 1200 V に設定した場合、 $N_{c h}$ が低い範囲において、 $N_{c h}$ の大きさに依存しない半チャンネル幅 b の上限値 $b_{M A X}$ が存在する。尚、チャンネル長さ $X_j = 1.5\text{ }\mu\text{m}$ の場合、降伏電圧 $V_{B R}$ が 1200 V に等しいという条件を満たす最大の半チャンネル幅、すなわち、半チャンネル幅 $b_{M A X}$ は $0.45\text{ }\mu\text{m}$ になる。

このように、図 8 A から求められた、降伏電圧が 1200 V になる半チャンネル幅 b 及び $N_{c h}$ の両対数平面上の曲線には、ドレイン電圧による静電誘導効果とゲート領域コーナーでの電界集中が強くと作用することによって決まる、 $N_{c h}$ に依存しない半チャンネル幅 b の上限が存在することも考慮する必要がある。この効果は、従来の完全空乏近似によって導出することは困難であり、本願発明において用いた半導体デバイスシミュレーション手法によって正確に導出することが可能となる。

$N_{c h}$ に依存しない半チャンネル幅 b の上限値である $b_{M A X}$ は、上記したドリフト拡散モデルに基づく 2 次元デバイスシミュレーションによってチャンネル構造を設計する際の一つのパラメータとして考慮される必要がある。そのため、上記の半チャンネル幅 $b_{M A X}$ を、上記のシミュレーションによって、チャンネル長さ X_j 及び降伏電圧の関数として決定する必要がある。

図 9 及び図 11 はそれぞれ、チャンネル長 $X_j = 1\text{ }\mu\text{m}$ 及びチャンネル長 $X_j = 2\text{ }\mu\text{m}$ の場合において上記シミュレーションによって得られた設計範囲を示す。これらのチャンネル長の場合、半チャンネル幅 $b_{M A X}$ は、それぞれ $0.35\text{ }\mu\text{m}$ 及び $0.5\text{ }\mu\text{m}$ である。

次に、図 12 乃至図 14 に示されるように、図 9 乃至図 11 に記載されたシミュレーション結果を用いて、目的とする特性オン抵抗の上限及び降伏電圧 $V_{B R}$ の下限を満たすチャンネル領域の半チャンネル幅 b を、チャンネル長さ X_j 及び $N_{c h}$ の関数として表す。尚、半チャンネル幅 $b_{M A X}$ は $N_{c h}$ に依存しないが、チャンネル長さ X_j の関数として扱うことができる。

本願発明において、上記チャンネル構造の有効な設計範囲は、図 7 に示された任意のチャンネル長さ X_j に関し、この曲線によって与えられる半幅の上限値 $b_{M A X}$ と、上記のシミュレーションによって得られた特性オン抵抗の曲線、降伏電圧の曲線によって囲まれる領域である。例えば、図 12 によれば、 $X_j = 1\text{ }\mu\text{m}$ における $R_{o n} S$ 曲線、降伏電圧 $V_{B R} 1200\text{ V}$ の曲線および $b =$ 半チャンネル幅 $b_{M A X} (= 0.35\text{ }\mu\text{m})$ で囲まれる領域内の $(N_{c h}, b)$ の組が、上記の有効な設計範囲である。同様にして、図 12 の X

10

20

30

40

50

$j = 1.5 \mu\text{m}$ 及び $X_j = 2.0 \mu\text{m}$ における有効な設計範囲も、上記の $R_{on}S$ 曲線と、降伏電圧 V_{BR} 曲線及び $b = \text{半チャンネル幅 } b_{MAX}$ で囲まれる領域内の (N_{ch}, b) の組として定義される。

図13は、チャンネル長さ $X_j = 1 \mu\text{m}$ 、 $1.5 \mu\text{m}$ 及び $2 \mu\text{m}$ に関し、 $R_{on}S = 4.0 \text{ m}^2/\text{cm}^2$ 、 $V_{BR} = 1200 \text{ V}$ の条件を満たす半チャンネル幅 b 及び N_{ch} のシミュレーション結果を示す。図13に示された、チャンネル長さ $X_j = 1 \mu\text{m}$ 、 $1.5 \mu\text{m}$ 及び $2 \mu\text{m}$ の各 $R_{on}S$ 曲線は、ほぼ直線状であるので、これらの曲線は同一の直線、すなわち、図6の直線2によって近似することができる。一方、図13に示された、チャンネル長さ $X_j = 1 \mu\text{m}$ 、 $1.5 \mu\text{m}$ 及び $2 \mu\text{m}$ の各降伏電圧 V_{BR} 曲線は、 $N_{ch} > 2.0 \times 10^{16} (\text{cm}^{-3})$ の高濃度側で一つの直線に収束している。上記の降伏電圧 V_{BR} 曲線が N_{ch} の高濃度側で収束する当該直線は、図6の直線1によって近似することができる。

10

図14は、上記 $R_{on}S$ 曲線の近似直線及び上記降伏電圧 V_{BR} 曲線の近似曲線を図13上に、追加的に示した図である。直線1及び直線2は、チャンネル長さ $X_j = 2.0 (\mu\text{m})$ における降伏電圧 V_{BR} 曲線及び $R_{on}S$ 曲線を比較的に良く近似している。

しかし、チャンネル長さ X_j が大きくなるに従い、直線1と $b = \text{半チャンネル幅 } b_{MAX}$ が交差する近傍の領域において、降伏電圧 V_{BR} 曲線は、直線1及び $b = \text{半チャンネル幅 } b_{MAX}$ の直線から乖離している。このような乖離した領域、すなわち、降伏電圧 V_{BR} 曲線と、直線1及び $b = \text{半チャンネル幅 } b_{MAX}$ の直線で囲まれる領域(以下、「問題領域」という。)は、本願発明の目的とする $SiC-SIT$ を実現するチャンネル構造を実現できない。

20

この問題領域は上述したように、 SIT の降伏時における p^+ ゲート領域5のコーナーにおける電界集中およびドレイン電界による静電誘導効果に伴うチャンネル領域の電位障壁の低下に起因するものであり、 SIT の設計特有のものである。すなわちこの問題領域を排除した有効な設計領域を定義することが、所望の降伏電圧を有し電力損失の低いノーマリーオフ型埋め込みゲート $SiC-SIT$ の設計において重要になる。

本願発明では、問題領域を含まない下記の様な設計領域を提案する。すなわち図15の横軸 N_{ch} 、縦軸 b の両対数平面において、直線1、直線2、直線3、直線4で囲まれる領域を有効な設計領域とするものである。ここで直線4は点 $R(, b_{MAX})$ および点 $Q(, b_{MAX} - 0.1)$ を通る直線であり、下記の式で与えられる。

$$b = A \times N_{ch}^x \quad \dots (4)$$

30

ここで A および x は下記で与えられる。

$$A = b_{MAX} \times \beta^{-x}$$

$$x = \frac{\log_{10} \frac{b_{MAX} - 0.1}{b_{MAX}}}{\log_{10} \frac{\alpha}{\beta}}$$

$$\alpha = \left(\frac{4.65 \times 10^7}{b_{MAX} - 0.1} \right)^2$$

$$\beta = 6 \times 10^{15}$$

40

図14に示されたシミュレーションの結果に基づき、点 R は、図14の降伏電圧 V_{BR} 曲線が直線 $b = b_{MAX}$ と交わる点および、点 Q は降伏電圧 V_{BR} 曲線が直線1から乖離する点として導出されている。直線4は、点 R と点 Q の間の降伏電圧 V_{BR} 曲線を直線で近似したものである。従って、直線1と直線3と直線4で囲まれた領域が問題領域となる。式(4)において A および x は b_{MAX} の関数として与えられるので、任意の X_j に対して式(3)によって b_{MAX} が与えられ、これによって式(4)から直線4を求めることができる。この直線4と直線1、直線2、直線3で囲まれた領域によって、問題領域を含まない有効な設計領域を定義することができる。

50

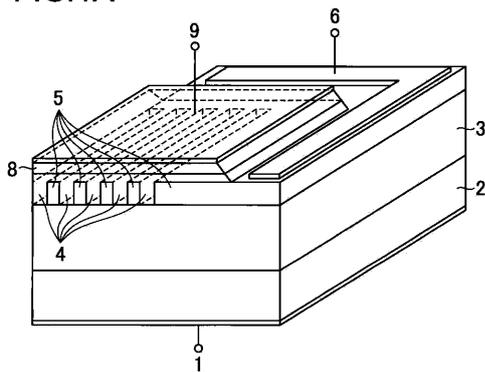
【産業上の利用可能性】

【0012】

埋め込みゲートSiC-SITは、高温環境や放射線環境でも使用できることが知られており、本発明によるトランジスタもまた、過酷な環境中で動作させることができる。埋め込みゲートSiC-SITは、インバータ回路や電源回路等各種電力変換回路の電力変換効率を、従来Siパワーデバイスを用いた場合よりも向上させることが可能である。また電力変換装置の小型化が容易になる。更に高温環境や放射線環境でも使用できることが知られており、過酷な環境中で動作させることが可能である。

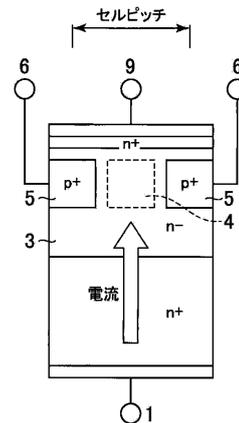
【図1A】

FIG.1A

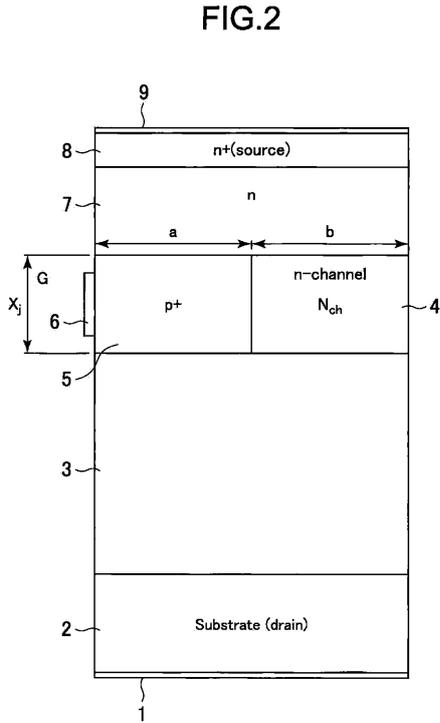


【図1B】

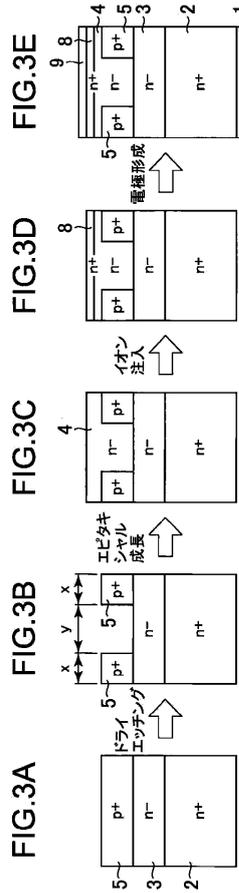
FIG.1B



【 図 2 】

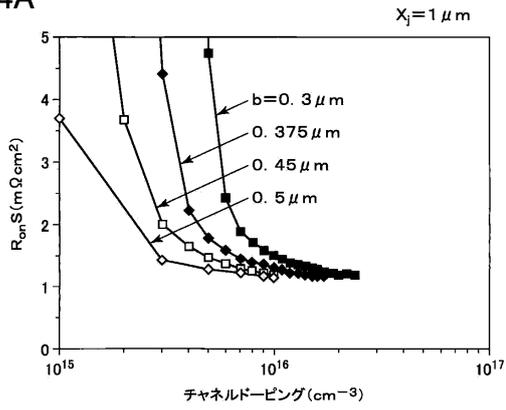


【 図 3 A - 3 E 】



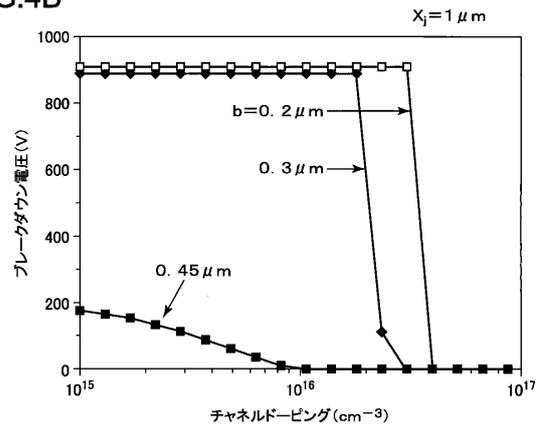
【 図 4 A 】

FIG.4A

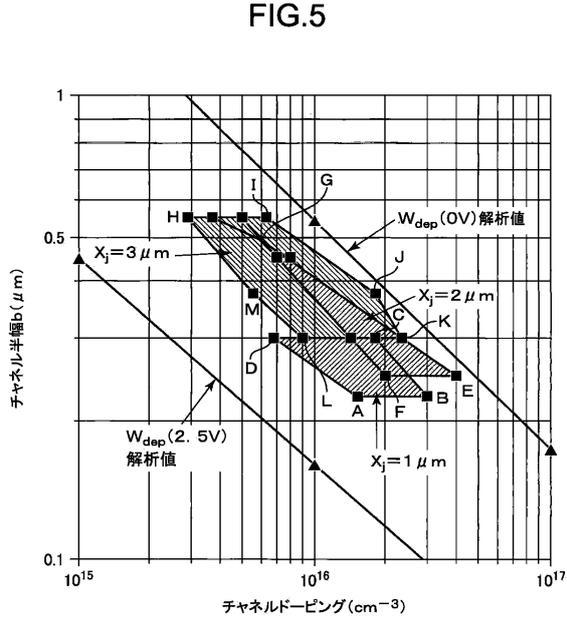


【 図 4 B 】

FIG.4B



【 図 5 】



【 図 6 】

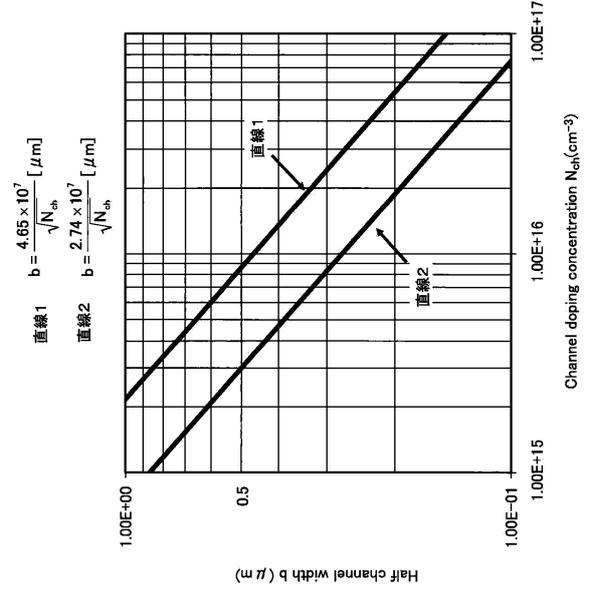
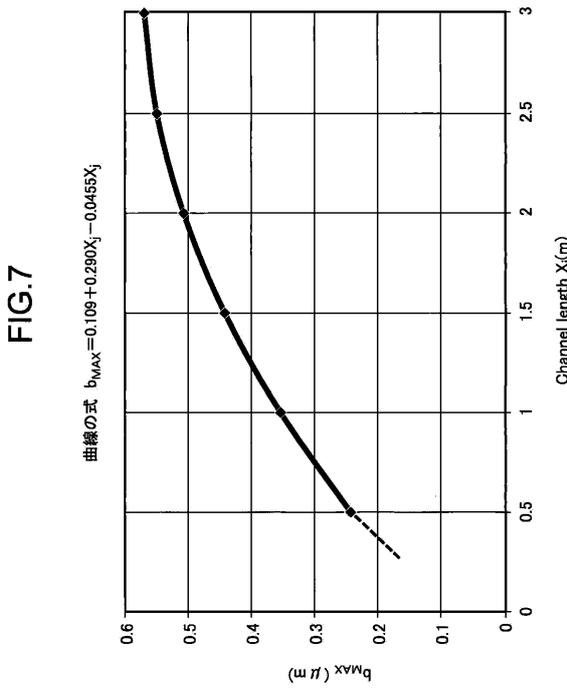
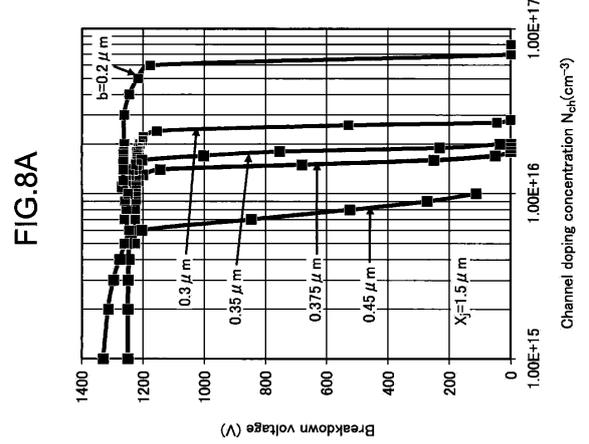


FIG.6

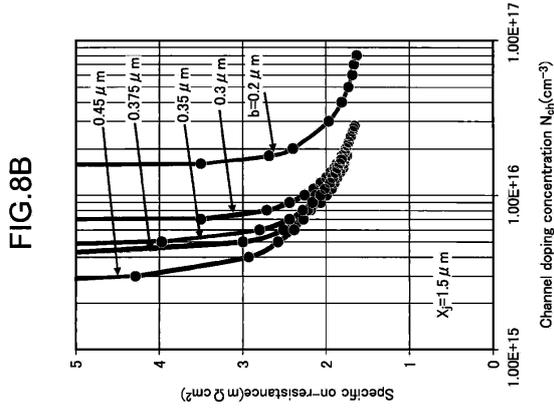
【 図 7 】



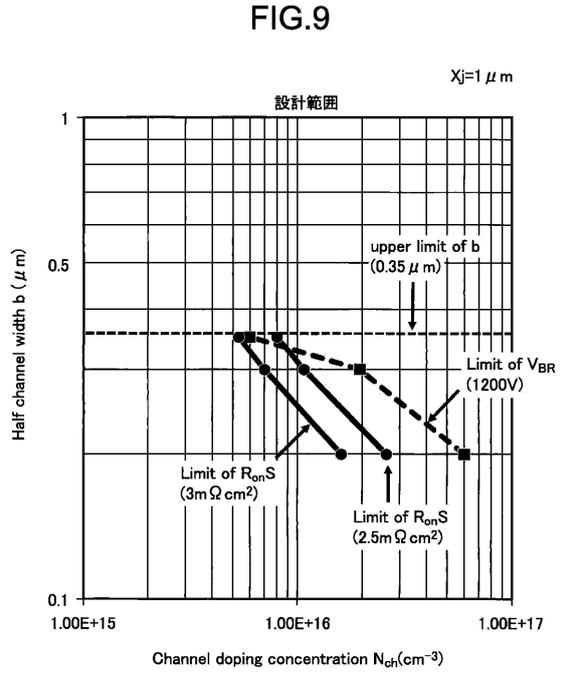
【 図 8 A 】



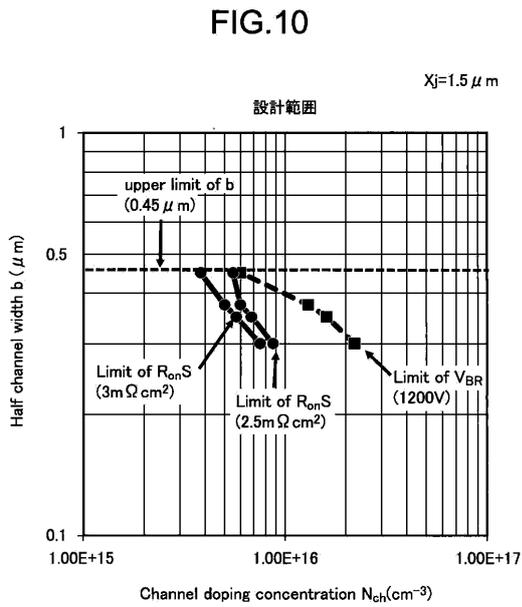
【 図 8 B 】



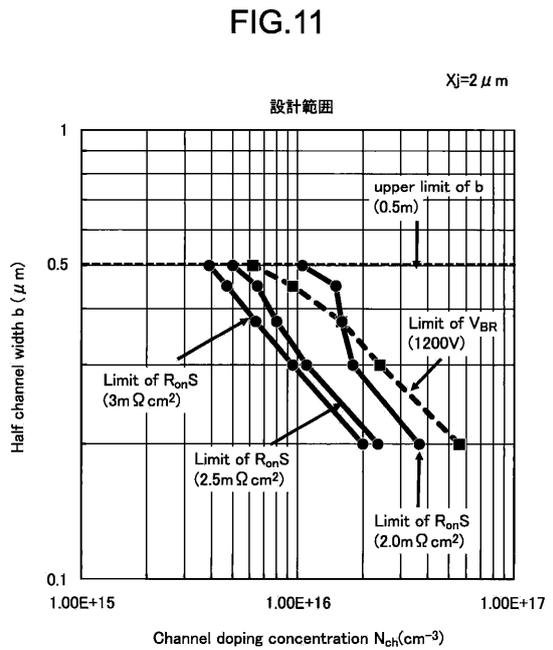
【 図 9 】



【 図 1 0 】



【 図 1 1 】



【 図 1 2 】

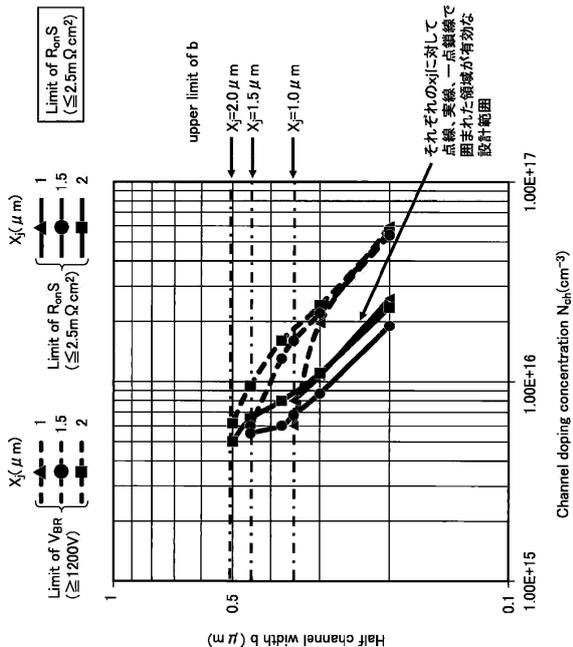


FIG.12

【 図 1 3 】

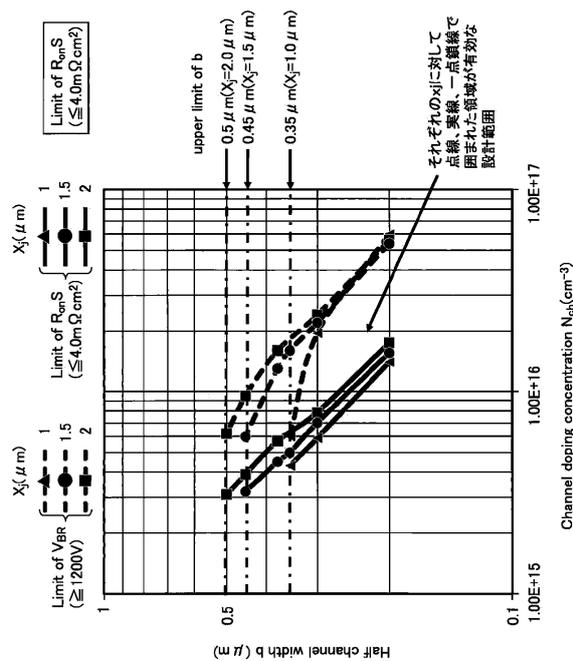


FIG.13

【 図 1 4 】

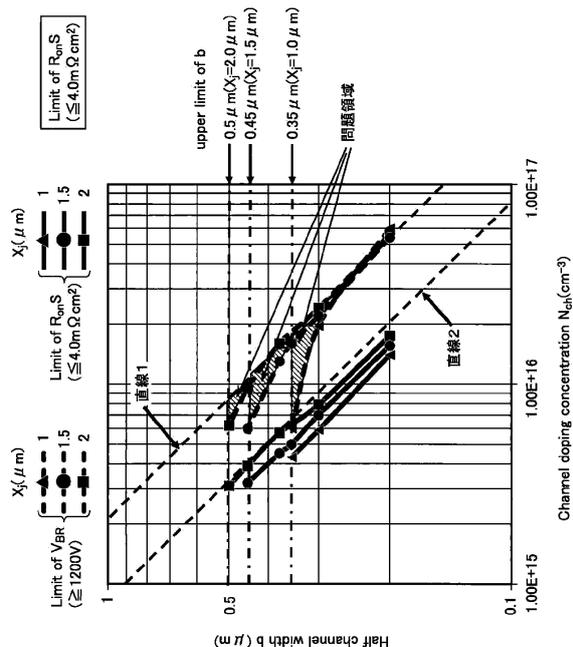


FIG.14

【 図 1 5 】

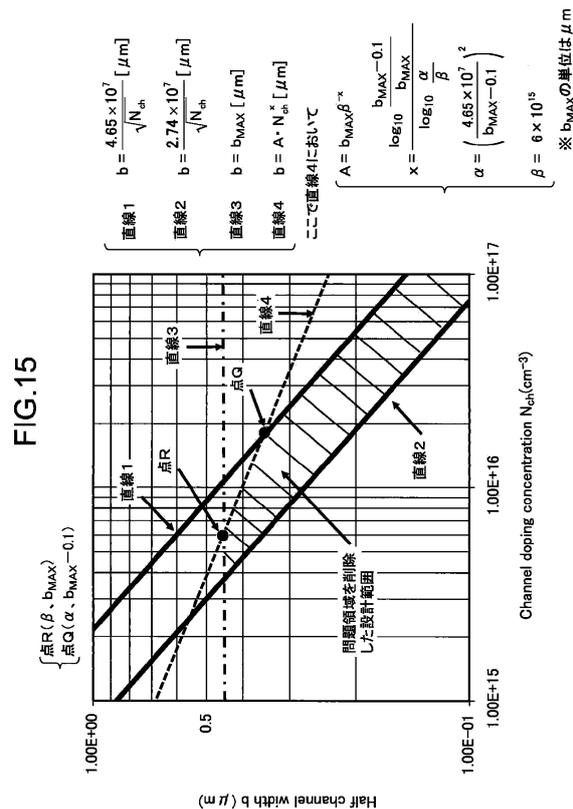
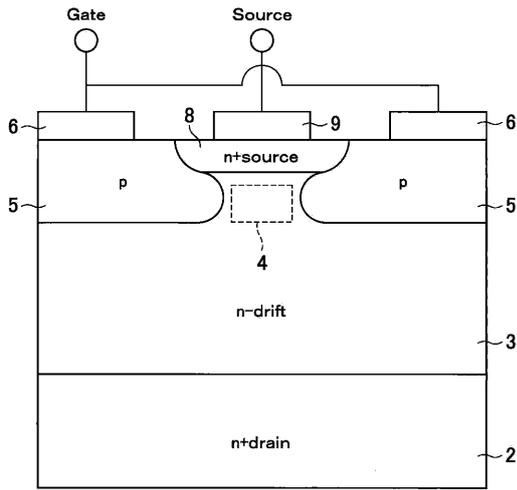


FIG.15

【 16 】

FIG.16



【 17 】

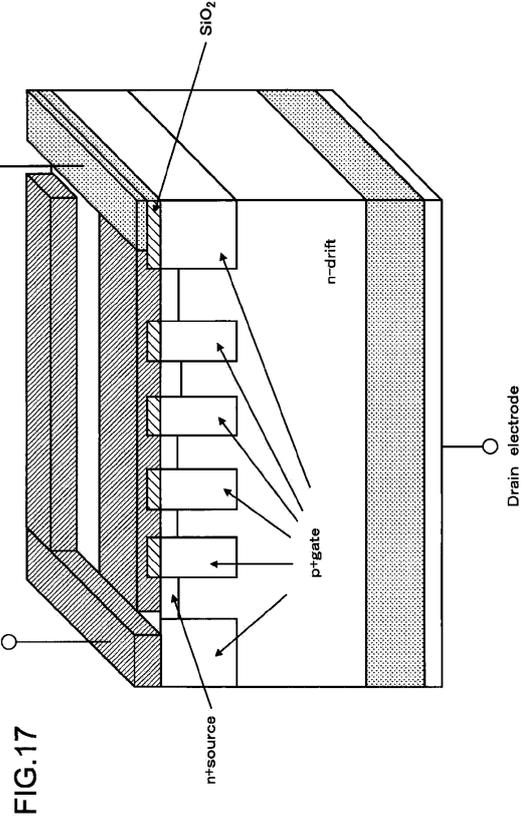


FIG.17

フロントページの続き

- (72)発明者 田中 保宣
茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内
- (72)発明者 高塚 章夫
茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内
- (72)発明者 矢野 浩司
山梨県甲府市武田四丁目4番37号 国立大学法人山梨大学内

審査官 儀同 孝信

- (56)参考文献 国際公開第2007/004528(WO, A1)
特開2006-253292(JP, A)
特開2008-186925(JP, A)
特開2006-093186(JP, A)
特開2006-190807(JP, A)
特表平9-508492(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/337
H01L 21/338
H01L 27/098
H01L 29/808
H01L 29/812