



(12) 发明专利

(10) 授权公告号 CN 116825745 B

(45) 授权公告日 2023. 12. 08

(21) 申请号 202311107533.5

(22) 申请日 2023.08.31

(65) 同一申请的已公布的文献号
申请公布号 CN 116825745 A

(43) 申请公布日 2023.09.29

(73) 专利权人 中科华艺(天津)科技有限公司
地址 300304 天津市东丽区华明高新技术
产业区华丰路6号E座1-205号

(72) 发明人 姜旭波 曾宪伟 张爽

(74) 专利代理机构 天津合正知识产权代理有限
公司 12229
专利代理师 李震勇

(56) 对比文件

- CN 112701095 A, 2021.04.23
- CN 116053239 A, 2023.05.02
- CN 206774529 U, 2017.12.19
- CN 212587497 U, 2021.02.23
- CN 213635985 U, 2021.07.06
- CN 219286399 U, 2023.06.30
- CN 108933116 A, 2018.12.04
- CN 219497791 U, 2023.08.08
- CN 106876362 A, 2017.06.20
- CN 209267231 U, 2019.08.16
- CN 217822788 U, 2022.11.15
- US 2012238056 A1, 2012.09.20

审查员 赵萌

(51) Int. Cl.

H01L 23/495 (2006.01)

H01L 23/31 (2006.01)

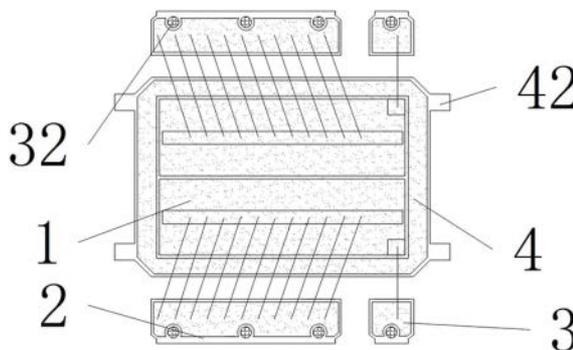
权利要求书1页 说明书4页 附图4页

(54) 发明名称

一种双芯片结构的MTCMOS封装结构

(57) 摘要

本发明提供了一种双芯片结构的MTCMOS封装结构,包括基岛和两组管脚组,基岛上设有分别用于固定MOSFET的两个芯片固定区;两组管脚组分别置于基岛的两侧,且基岛上两组管脚组分别包括源极管脚和栅极管脚,两组管脚组中各管脚关于基岛中线镜像设置,MOSFET的各个焊窗分别与各个管脚,MOSFET的漏极焊窗与基岛电连接;基岛、管脚组和MOSFET外包裹有封装材料。通过在基岛上设置两个MOSFET,并在基岛两侧设置两组管脚与MOSFET的焊窗电连接,且将各个管脚镜像设置,以便于外部电路板的电路布置,使得产品既能同时向电路中提供两个MOSFET,也能单独使用一个MOSFET。



1. 一种双芯片结构的MTCMOS封装结构,其特征在于:包括基岛和两组管脚组,所述基岛上设有两个芯片固定区,且芯片固定区内分别能固定一个MOSFET,且两个MOSFET分别置于基岛两侧;

两组所述管脚组分别置于基岛的两侧,且两组管脚分别与两个MOSFET相对设置,且所述基岛上两组所述管脚组分别包括源极管脚和栅极管脚,两组管脚组中的源极管脚和栅极管脚关于基岛中线镜像设置,MOSFET的源极焊窗和栅极焊窗分别与源极管脚和栅极管脚电连接,所述MOSFET的漏极焊窗与基岛电连接;

所述基岛、管脚组和MOSFET外包裹有封装材料,且基岛、源极管脚和栅极管脚的一侧表面暴露在封装材料外部;

固定在两个芯片固定区内的MOSFET为相同沟道的MOSFET;

两个MOSFET为相同或镜像的结构。

2. 根据权利要求1所述的一种双芯片结构的MTCMOS封装结构,其特征在于:每组管脚组内有多于一个所述源极管脚,且同一管脚组内的源极管脚之间通过导电材料连接形成一整体。

3. 根据权利要求1所述的一种双芯片结构的MTCMOS封装结构,其特征在于:所述基岛两侧分别向外延伸出连接筋,且连接筋能与生产时所用的固定框架连接。

4. 根据权利要求1所述的一种双芯片结构的MTCMOS封装结构,其特征在于:所述栅极管脚外端向内收缩形成薄弱部。

5. 根据权利要求2所述的一种双芯片结构的MTCMOS封装结构,其特征在于:在同一管脚组内的源极管脚所连接形成的整体中,最外侧的源极管脚的远离基岛的一端向内侧收拢,形成薄弱部。

6. 根据权利要求4或5所述的一种双芯片结构的MTCMOS封装结构,其特征在于:所述薄弱部经过半蚀刻处理,使得其材料强度降低。

7. 根据权利要求2所述的一种双芯片结构的MTCMOS封装结构,其特征在于:每两个源极管脚之间的导电材料的厚度小于源极管脚的厚度,且导电材料被封装材料包裹。

一种双芯片结构的MTCMOS封装结构

技术领域

[0001] 本发明属于半导体封装技术领域,尤其是涉及一种双芯片结构的MTCMOS封装结构。

背景技术

[0002] MTCMOS是多阈值器件技术,需要通过多个MOSFET配合实现多阈值功能,在现有的集成电路中,一个封装内大多仅存在一个MOSFET芯片,在使用过程中,需要多个MOSFET配合的而实现的功能会电路板上固定多个MOSFET的封装,并通过电路板中的线路连接,但是如此一来,将两个MOSFET连接起来的线路中存在电能损耗,而且也导致实现功能的器件群体占地较大,同时也导致对于MOSFET封装产品的排布限制较多,不利于产品小型化和MOSFET封装产品的使用,同时也对PCB板的线路排布造成困扰。

发明内容

[0003] 有鉴于此,本发明旨在提出一种双芯片结构的MTCMOS封装结构,以提高产品的适用范围,降低MTCMOS占地,以利于产品小型化发展。

[0004] 为达到上述目的,本发明的技术方案是这样实现的:

[0005] 一种双芯片结构的MTCMOS封装结构,包括基岛和两组管脚组,所述基岛上设有两个芯片固定区,且芯片固定区内分别能固定一个MOSFET;

[0006] 两组所述管脚组分别置于基岛的两侧,且所述基岛上两组所述管脚组分别包括源极管脚和栅极管脚,两组管脚组中的源极管脚和栅极管脚关于基岛中线镜像设置,MOSFET的源极焊窗和栅极焊窗分别与源极管脚和栅极管脚电连接,所述MOSFET的漏极焊窗与基岛电连接;

[0007] 所述基岛、管脚组和MOSFET外包裹有封装材料,且基岛、源极管脚和栅极管脚的一侧表面暴露在封装材料外部。

[0008] 进一步的,固定在两个芯片固定区内的MOSFET为相同沟道的MOSFET。

[0009] 进一步的,两个MOSFET为相同或镜像的结构。

[0010] 进一步的,每组管脚组内有多个所述源极管脚,且同一管脚组内的源极管脚之间通过导电材料连接形成一整体。

[0011] 进一步的,所述基岛两侧分别向外延伸出连接筋,且连接筋能与生产时所用的固定框架连接。

[0012] 进一步的,所述栅极管脚外端向内收缩形成薄弱部。

[0013] 进一步的,在同一管脚组内的源极管脚所连接形成的整体中,最外侧的源极管脚的远离基岛的一端向内侧收拢,形成薄弱部。

[0014] 进一步的,所述薄弱部经过半蚀刻处理,使得其材料强度降低。

[0015] 进一步的,每两个源极管脚之间的导电材料的厚度小于源极管脚的厚度,且导电材料被封装材料包裹。

[0016] 相对于现有技术,本发明所述的一种双芯片结构的MTCMOS封装结构具有以下优势:

[0017] 本发明采用在基岛上设置两个MOSFET,并在基岛两侧设置两组管脚与MOSFET的焊窗电连接,且将各个管脚镜像设置,以便于外部PCB板的电路布置,使得产品既能同时向电路中提供两个MOSFET,也能单独使用一个MOSFET;

[0018] 采用相同沟道以及相同或镜像设置的两个MOSFET,以使得封装内的器件性能相似,从而降低使用过程中两个器件之间的相互干扰;

[0019] 采用在基岛周侧设置连接筋的方式与生产时所用的固定框架连接,从而保持基岛的稳定,防止MOSFET在固定期间,基岛发生偏移。

附图说明

[0020] 构成本发明的一部分的附图用来提供对本发明的进一步理解,本发明的示意性实施例及其说明用于解释本发明,并不构成对本发明的不当限定。在附图中:

[0021] 图1为封装结构内部MOSFET分布和连线示意图;

[0022] 图2为封装框架结构示意图;

[0023] 图3为封装框架在生产固定框中分布示意图;

[0024] 图4为图3的A处放大图;

[0025] 图5为两个MOSFET分别单独使用时电路连接示意图;

[0026] 图6为两个MOSFET并联使用时电路连接示意图。

[0027] 附图标记说明:

[0028] 1-MOSFET;2-源极管脚;21-导电材料;3-栅极管脚;31-薄弱部;32-固定槽点;4-基岛;41-芯片固定区;42-连接筋;5-生产固定框;51-连接条。

具体实施方式

[0029] 需要说明的是,在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。

[0030] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。此外,术语“第一”、“第二”等仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”等的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0031] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以通过具体情况理解上述术语在本发明中的具体含义。

[0032] 下面将参考附图并结合实施例来详细说明本发明。

[0033] 如图1和图2所示,本发明所述的双芯片结构的MTCMOS封装结构,包括基岛4和两组管脚组,所述基岛4上设有两个芯片固定区41,且芯片固定区41内分别能固定一个MOSFET1;两组所述管脚组分别置于基岛4的两侧,且两组管脚中的各个管脚一基岛4中线为基准镜像设置,且所述基岛4上两组所述管脚组分别包括源极管脚2和栅极管脚3,两组管脚组中的源极管脚2和栅极管脚3关于基岛4中线镜像设置,MOSFET1的源极焊窗和栅极焊窗分别与源极管脚2和栅极管脚3通过金线电连接,所述MOSFET1的漏极焊窗与基岛4通过粘接固定,同时使得漏极焊窗与基岛4电连接;在封装之后基岛4、管脚组和MOSFET1外包裹有封装材料,且基岛4、源极管脚2和栅极管脚3的一侧表面暴露在封装材料外部,用于和PCB电路板电连接和散热,MOSFET1置于封装内部,本领域技术人员应当知道,MOSFET为金氧半场效晶体管。

[0034] 在本实施例中,固定在两个芯片固定区41内的MOSFET1为相同沟道的MOSFET1,且两个MOSFET1为相同或镜像的结构,以使得封装内的器件性能相似,从而降低使用过程中两个器件之间的相互干扰。

[0035] 每组管脚组内有多个所述源极管脚2,且同一管脚组内的源极管脚2之间通过导电材料21连接形成一整体,从而增加源极焊窗金线的连接面积,以及与PCB外部电路的连接点位,通过半蚀刻工艺使得导电材料21的厚度小于源极管脚2的厚度,且导电材料21被封装材料包裹。

[0036] 每个管脚的表面上分别设有通过半蚀刻形成的固定槽点32,在封装过程中环氧树脂进入固定槽点32内,增加管脚与环氧树脂的结合强度,防止管脚与封装结构分离,打线的过程中,金线的一端与MOSFET1芯片的焊窗焊接固定,另一端与管脚内焊接固定,且在封装过程中环氧树脂能流入固定槽点32内。

[0037] 在生产过程中,结合图3和图4所示,先将铜材置于一个生产固定框5内,并对生产固定框5内的铜材进行加工,具体的,所述铜材呈片状,通过蚀刻或半蚀刻等工艺在铜材上进行加工,使得本发明所述的封装框架矩阵排列在生产固定框5内,且在每相邻的两个封装框架之间设有连接条51,且连接条51的两端分别框架固接,所述栅极管脚3外端两侧分别向内收拢,形成薄弱部31,每个管脚组中,最外侧的两个源极管脚2的外端外侧向内收拢,使得源极管脚2的外端宽度小于内端宽度,每个管脚的外端与连接条51连接,且在与连接条51连接的位置通过收拢的方式形成薄弱部31,进入便于在完成生产后对框架进行剪切,将各个产品进行分割。在连接条51和管脚的连接部位,经过半蚀刻处理,进一步的降低了管脚端部的强度,防止剪切过程中卷铜,降低环氧树脂与框架的结合强度。

[0038] 所述基岛4边缘还向外延伸出连接筋42,所述基岛4能通过连接筋42与一生产固定框5连接,具体的,连接筋42与连接条51连接固定,从而保持基岛4的稳定,以便于工作人员在基岛4上固定芯片,所述基岛4的边角处设有倒角。在基岛4的一个边角处,通过半蚀刻工艺腐蚀出倒角,用于识别基岛4和封装后产品的方向。

[0039] 所述基岛4两侧分别向外延伸出连接筋42,且连接筋42能与生产时所用的固定框架连接。

[0040] 所述源极管脚2和栅极管脚3靠近基岛4一端的两侧分别通过半蚀刻处理,降低源极管脚2和栅极管脚3的边缘厚度,在封装过程中,源极管脚2和栅极管脚3被半蚀刻的区域置于封装内部,进一步的避免了管脚与封装松脱。

[0041] 所述基岛4、源极管脚2和栅极管脚3在固定MOSFET1和金线一侧的表面分别电镀有导电金属层,从而提高金线以及MOSFET1与管脚和基岛4之间的电连接可靠性。

[0042] 结合图5和图6所示,在电路板上可以设置相应的电路,使得封装内的两个MOSFET1并联,或单独分别使用,从而降低了MTCMOS的占地,基岛作为两个mosfet共同的漏极管脚,可以与电路板的外部电路连接,传输或接收两个mosfet的电流。

[0043] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

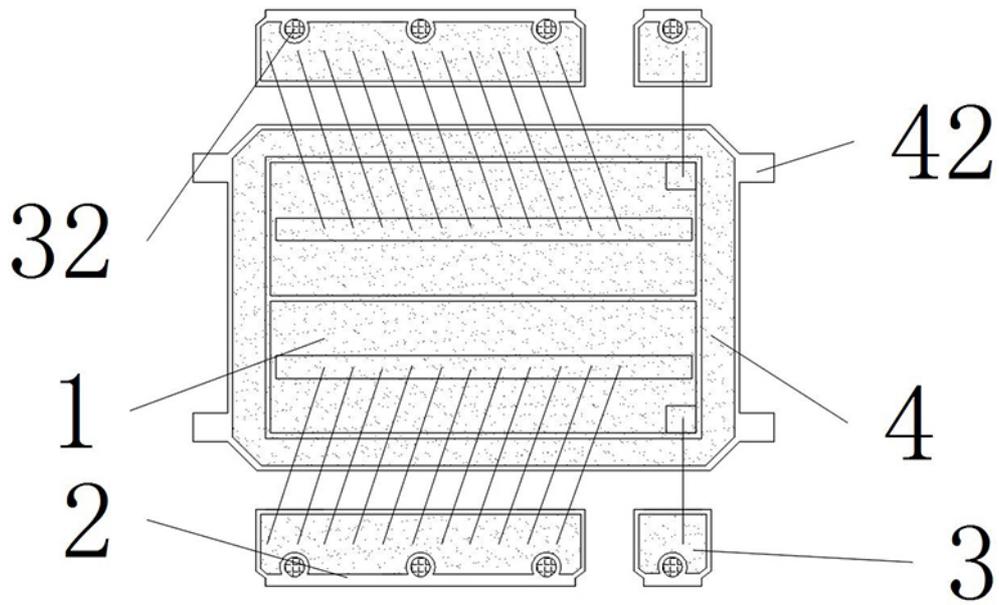


图 1

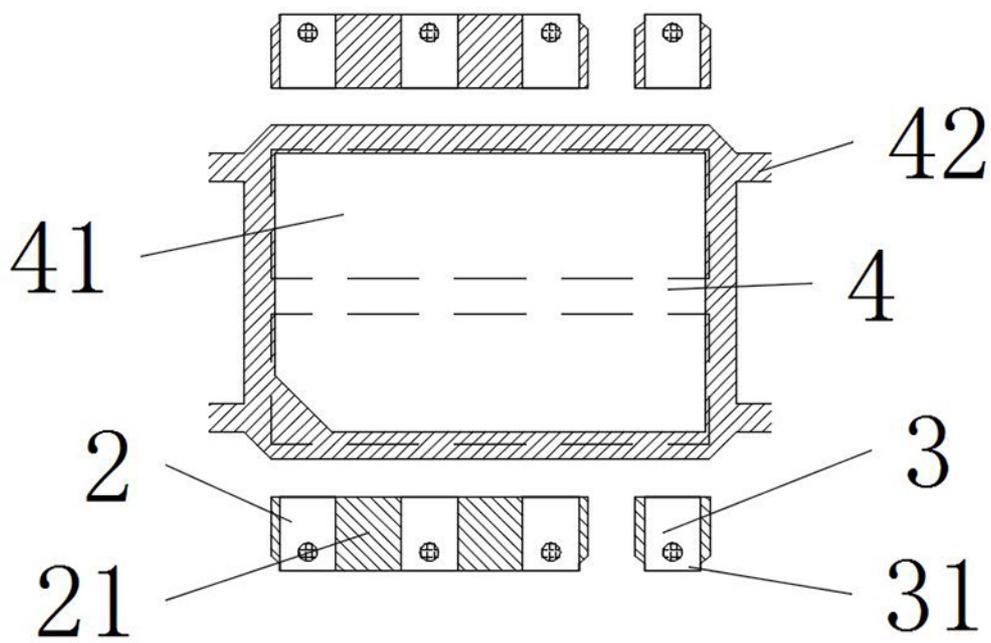


图 2

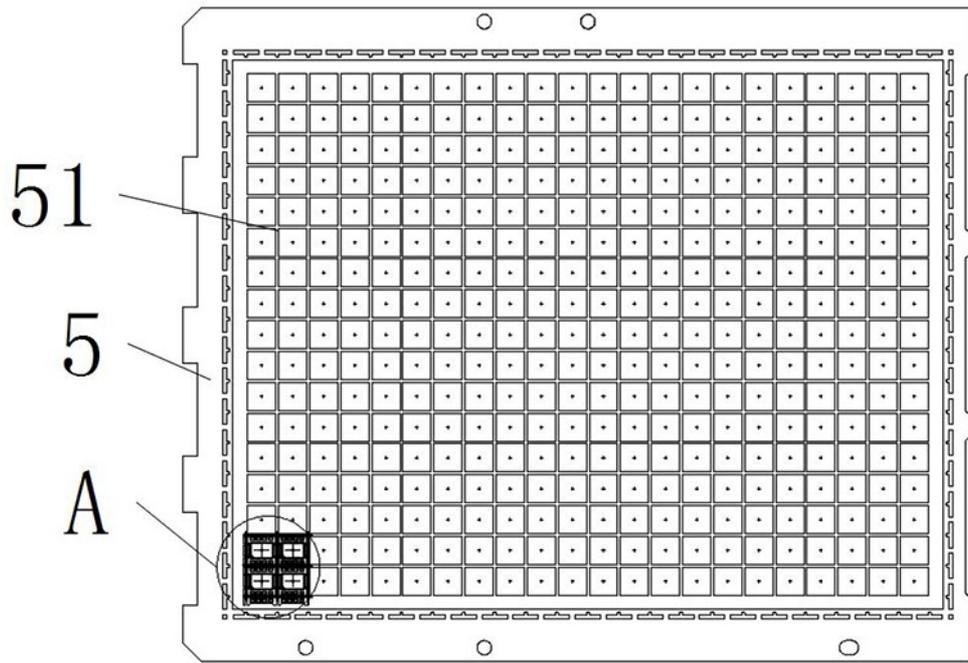


图 3

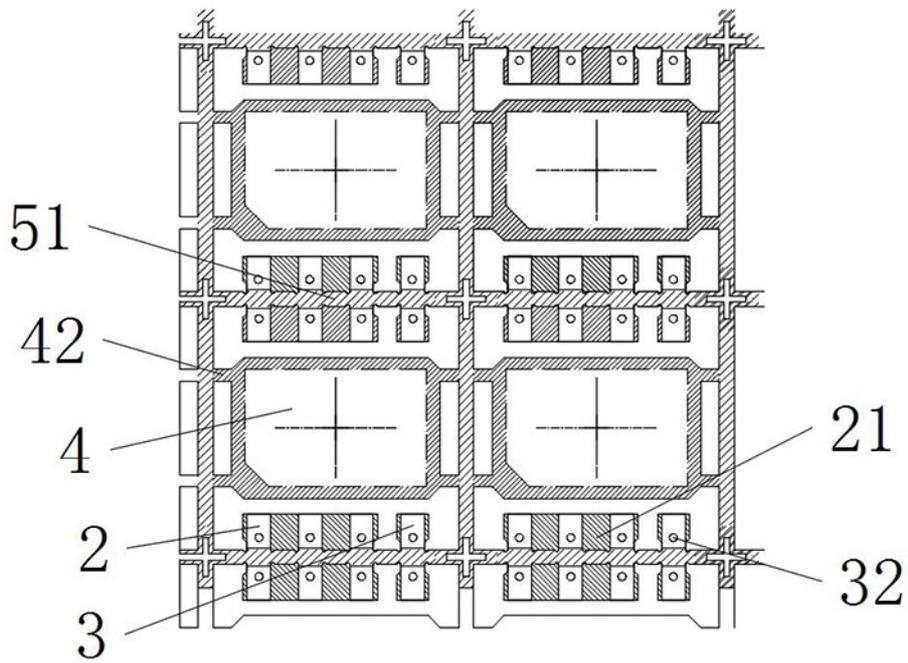


图 4

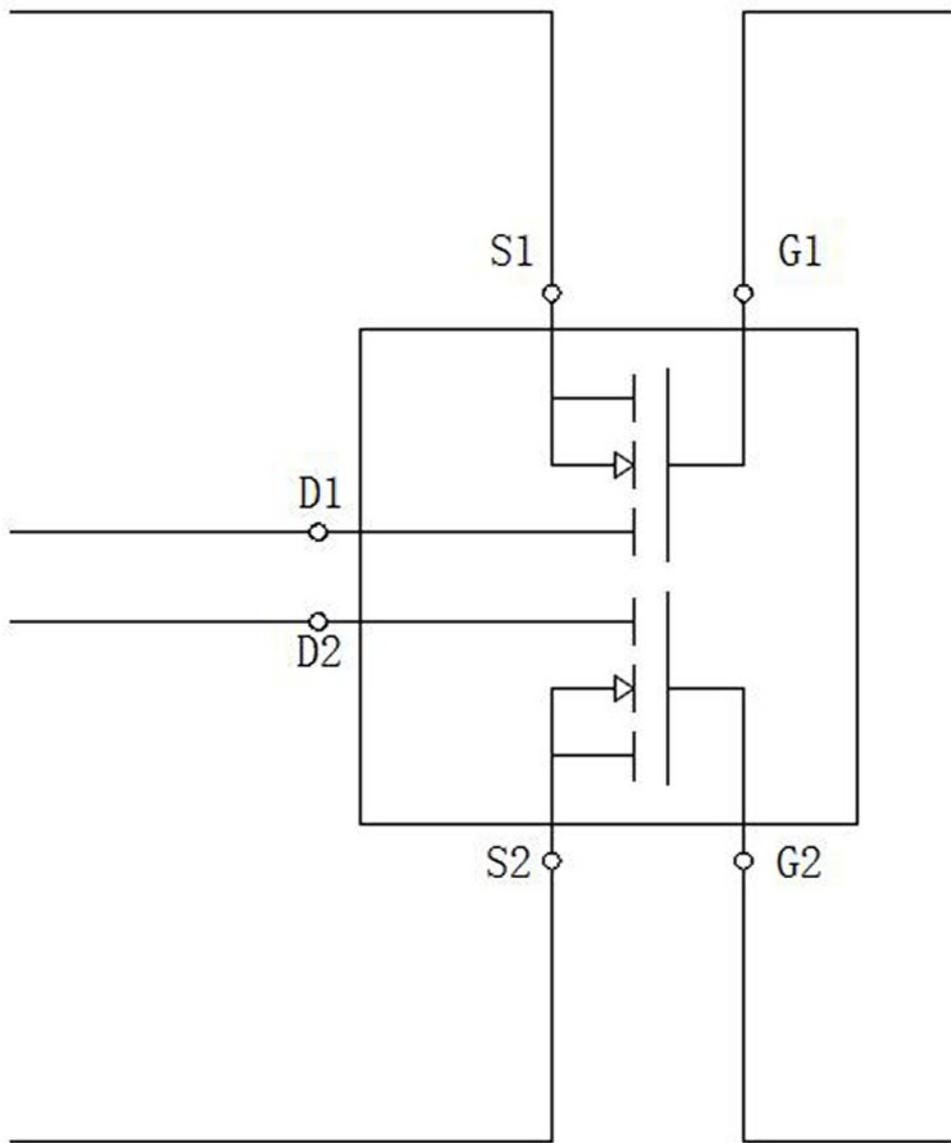


图 5

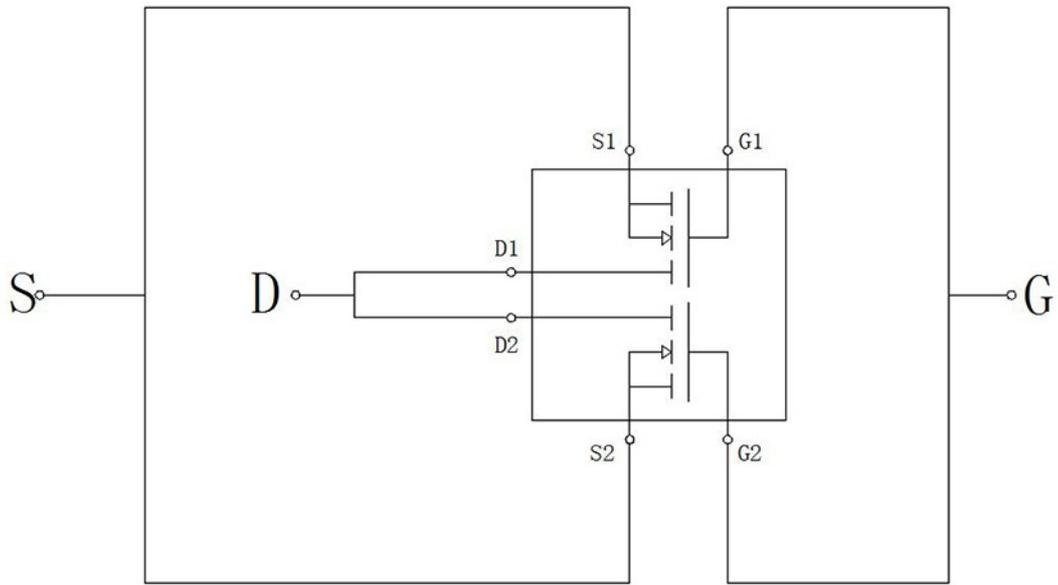


图 6