

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6034699号  
(P6034699)

(45) 発行日 平成28年11月30日(2016.11.30)

(24) 登録日 平成28年11月4日(2016.11.4)

(51) Int.Cl. F I  
**G 0 6 F 3 / 0 5 (2006.01)** G 0 6 F 3 / 0 5 3 1 1 A

請求項の数 20 (全 67 頁)

<p>(21) 出願番号 特願2013-666 (P2013-666)                  (22) 出願日 平成25年1月7日(2013.1.7)                  (65) 公開番号 特開2014-132418 (P2014-132418A)                  (43) 公開日 平成26年7月17日(2014.7.17)                  審査請求日 平成27年8月10日(2015.8.10)</p>	<p>(73) 特許権者 302062931                  ルネサスエレクトロニクス株式会社                  東京都江東区豊洲三丁目2番24号                  (74) 代理人 100103894                  弁理士 冢入 健                  (72) 発明者 吉澤 豊                  神奈川県川崎市中原区下沼部1753番地                  ルネサスエレクトロニクス株式会社内                    審査官 塩澤 如正</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体装置及びそのコマンド制御方法

(57) 【特許請求の範囲】

【請求項1】

複数のアナログ機能回路と、前記複数のアナログ機能回路の回路形式及び回路構成を切り替えるスイッチ回路群と、を含むアナログフロントエンド部と、

プログラムを実行する演算部と、前記プログラムと前記複数のアナログ機能回路の回路形式を指定する回路形式設定値を少なくとも指定する複数のコマンドとを格納するメモリと、を備える処理部と、

前記アナログフロントエンド部と前記処理部との間で通信を行う通信インタフェースと、を有し、

前記アナログフロントエンド部は、

前記処理部から送信された前記複数のコマンドを格納するデータスタックと、

前記複数のアナログ機能回路の現在の構成を規定する回路構成制御値を格納する制御レジスタと、

前記データスタックに格納された前記複数のコマンドを参照して前記アナログ機能回路の更新後の回路形式を特定する第1の回路形式解析部と、

禁止される接続状態を回路形式毎に記述した複数の禁止条件から前記第1の回路形式解析部により特定された回路形式に対応した前記禁止条件を選択する禁止条件選択部と、

前記データスタックに格納された複数のコマンドを参照して、前記アナログ機能回路の更新後の回路構成が、前記禁止条件選択部により選択された前記禁止条件を満たす接続状態を含む場合に更新後の回路構成が前記禁止条件に違反することを示すエラー値を有する

エラーコードを生成するエラー検出部と、

前記処理部から送信されるコマンド実行命令に応じて、前記データスタックに格納された前記複数のコマンドにより前記制御レジスタの前記回路構成制御値を更新するレジスタ制御部と、を有し、

前記レジスタ制御部は、前記エラーコードが前記エラー値を有する場合には前記回路構成制御値の更新を停止する半導体装置。

【請求項 2】

前記第 1 の回路形式解析部は、前記回路形式設定値の期待値を有し、当該期待値と前記データスタックから取得した前記回路形式設定値とを比較して更新後の前記アナログ機能回路の回路形式を特定する請求項 1 に記載の半導体装置。

10

【請求項 3】

前記回路形式設定値は、異なる回路形式を示す設定値の間のハミング距離が 3 以上離れ

、前記第 1 の回路形式解析部は、前記回路形式設定値との間のハミング距離が最も近い前記期待値に対応する回路形式を更新後の前記アナログ機能回路の回路形式として特定する請求項 2 に記載の半導体装置。

【請求項 4】

前記回路形式設定値は、前記アナログ機能回路の回路形式を切り替える回路形式制御スイッチのそれぞれに対応した複数のスイッチ切替値を含み、前記複数のスイッチ切替値のうち少なくとも 1 つは同一値が 3 ビット以上連続した冗長スイッチ切替値であって、

20

前記レジスタ制御部は、前記冗長スイッチ切替値に対しては、多数決処理を行い、前記多数決処理において数が多いと判断された値を前記スイッチ切替値として出力する請求項 3 に記載の半導体装置。

【請求項 5】

前記第 1 の回路形式解析部は、前記データスタックに格納された前記複数のコマンド中に前記回路形式設定値が含まれていない場合に、前記制御レジスタに格納された前記回路構成制御値を参照して更新後の前記アナログ機能回路の回路形式を特定する請求項 1 に記載の半導体装置。

【請求項 6】

前記制御レジスタに格納された前記回路構成制御値に基づき規定される前記アナログ機能回路の現在の回路形式が複数のアンプにより構成される計装アンプであることを検出して、計装アンプ検出信号を出力する第 2 の回路形式解析部と、

30

前記計装アンプ検出信号に基づき、現在の前記回路構成制御値の更新時に合わせて前記制御レジスタに格納された前記回路構成制御値を初期状態とするリセットコマンドを生成するリセットコマンド発生回路と、を有する請求項 1 に記載の半導体装置。

【請求項 7】

前記アナログフロントエンド部に入力信号を与える複数の外部入力端子と、

前記外部入力端子に接続されるセンサ素子の有無を判定して端子状態通知信号を出力する使用端子検出部と、

前記端子状態通知信号に基づき利用可能な回路形式を特定する第 3 の回路形式解析部と

40

、前記第 1 の回路形式解析部が特定した回路形式と、前記第 3 の回路形式解析部が特定した回路形式とが不一致であった場合に前記エラー値を有する前記エラーコードを出力する比較器と、

を有する請求項 1 に記載の半導体装置。

【請求項 8】

緊急通知フラグを格納する緊急通知フラグレジスタと、

前記緊急通知フラグが第 1 の値である場合に、前記エラーコードが正常値から前記エラー値に切り替わったことに応じて前記処理部にエラー信号を出力する緊急通知判断部と、を有し、

50

前記第 1 の回路形式解析部は、特定した回路形式が予め設定された緊急通知対象回路形式であった場合に緊急通知フラグを第 2 の値から前記第 1 の値に書き換える請求項 1 に記載の半導体装置。

【請求項 9】

前記データスタックに格納されている前記複数のコマンド中に予め規定されたコマンドとは異なる不正コマンドが含まれている場合に前記エラー値を有するエラーコードを生成する不正コマンド解析部を有する請求項 1 に記載の半導体装置。

【請求項 10】

前記禁止条件は、更新後の前記アナログ機能回路に含まれる信号パスに直流電流が流れる可能性がある前記スイッチ回路群の接続状態を規定した直流電流バス条件を含む請求項 1 に記載の半導体装置。

10

【請求項 11】

前記処理部は、前記エラーコードを参照して、予め設定された処理を実行する請求項 1 に記載の半導体装置。

【請求項 12】

複数のアナログ機能回路と、前記複数のアナログ機能回路の回路形式及び回路構成を切り替えるスイッチ回路群と、を含むアナログフロントエンド部と、

プログラムを実行する演算部と、前記プログラムと前記複数のアナログ機能回路の回路形式を指定する回路形式設定値を少なくとも指定する複数のコマンドとを格納するメモリと、を備える処理部と、

20

前記アナログフロントエンド部と前記処理部との間で通信を行う通信インタフェースと、を有する半導体装置のコマンド制御方法であって、

前記処理部から前記複数のコマンドを受信してデータスタックに格納するコマンド受信ステップと、

前記アナログフロントエンド部が受信した前記複数のコマンドに含まれる前記回路形式設定値に基づき前記アナログ機能回路の更新後の回路形式を特定する第 1 の回路形式解析ステップと、

禁止される接続状態を回路形式毎に記述した複数の禁止条件から前記第 1 の回路形式解析ステップにより特定された回路形式に対応した前記禁止条件を選択する禁止条件選択ステップと、

30

前記データスタックに格納された複数のコマンドを参照して、前記アナログ機能回路の更新後の回路構成が前記禁止条件選択ステップにより選択された前記禁止条件を満たす接続状態を含む場合に、更新後の回路構成が前記禁止条件に違反することを示すエラー値を有するエラーコードを生成するエラー検出ステップと、

前記エラーコードが前記アナログ機能回路の更新後の回路構成が前記禁止条件を満たさないことを示す正常値であった場合には前記アナログ機能回路の現在の回路構成を規定する回路構成制御値を前記複数のコマンドにより更新する回路設定更新ステップと、

前記エラーコードが前記エラー値を有する場合には、前記回路構成制御値を前記複数のコマンドによらず維持する回路設定禁止ステップと、

を有する半導体装置のコマンド制御方法。

40

【請求項 13】

前記第 1 の回路形式解析ステップにおいて、前記回路形式設定値の期待値と前記データスタックから取得した前記回路形式設定値とを比較して更新後の前記アナログ機能回路の回路形式を特定する請求項 12 に記載の半導体装置のコマンド制御方法。

【請求項 14】

前記回路形式設定値は、異なる回路形式を示す設定値の間のハミング距離が 3 以上離れ、

前記第 1 の回路形式解析ステップにおいては、前記回路形式設定値との間のハミング距離が最も近い前記期待値に対応する回路形式を更新後の前記アナログ機能回路の回路形式として特定する請求項 13 に記載の半導体装置のコマンド制御方法。

50

## 【請求項 15】

前記回路形式設定値は、前記アナログ機能回路の回路形式を切り替える回路形式制御スイッチのそれぞれに対応した複数のスイッチ切替値を含み、前記複数のスイッチ切替値のうち少なくとも1つは同一値が3ビット以上連続した冗長スイッチ切替値であって、

前記回路設定更新ステップにおいて、前記冗長スイッチ切替値に対しては、多数決処理を行い、前記多数決処理において数が多いと判断された値を前記スイッチ切替値として出力する請求項14に記載の半導体装置のコマンド制御方法。

## 【請求項 16】

前記コマンド受信ステップで受信した前記複数のコマンド中に前記回路形式設定値が含まれていない場合に、前記第1の回路形式解析ステップにおいて、前記回路構成制御値を参照して前記アナログ機能回路の更新後の回路形式を特定する請求項12に記載の半導体装置のコマンド制御方法。

10

## 【請求項 17】

前記回路構成制御値に基づき規定される前記アナログ機能回路の現在の回路構成が複数のアンプにより構成される計装アンプであることを検出する第2の回路形式解析ステップと、

現在の回路形式が前記計装アンプであった場合、現在の前記回路構成制御値の更新時に合わせて前記回路構成制御値を初期状態とするリセットコマンドを生成するリセットコマンド生成ステップと、を有する請求項12に記載の半導体装置のコマンド制御方法。

## 【請求項 18】

20

前記半導体装置は、前記アナログフロントエンド部に入力信号を与える複数の外部入力端子を有し、

前記外部入力端子に接続されるセンサ素子の有無を判定して端子状態通知信号を出力する使用端子検出ステップと、

前記端子状態通知信号に基づき利用可能な回路構成を特定する第3の回路形式解析ステップと、を有し、

前記第1の回路形式解析ステップにおいて特定した回路形式と、前記第3の回路形式解析ステップにおいて特定した回路形式とが不一致であった場合に前記エラー値を有する前記エラーコードを出力する請求項12に記載の半導体装置のコマンド制御方法。

## 【請求項 19】

30

前記第1の回路形式解析ステップにおいて特定した回路形式が予め設定された緊急通知対象回路形式であった場合には、前記エラーコードが前記エラー値となったことに応じて前記アナログフロントエンド部から前記処理部にエラー信号を出力する請求項12に記載の半導体装置のコマンド制御方法。

## 【請求項 20】

受信した前記複数のコマンド中に予め規定されたコマンドとは異なる不正コマンドが含まれている場合に前記エラー値を有する前記エラーコードを生成する不正コマンド解析ステップを有する請求項12に記載の半導体装置のコマンド制御方法。

## 【発明の詳細な説明】

## 【技術分野】

40

## 【0001】

本発明は半導体装置及びそのコマンド制御方法に関し、例えば回路構成を再構成可能なアナログ回路群を含む半導体装置及びそのコマンド制御方法に関する。

## 【背景技術】

## 【0002】

近年、回路の動作範囲、或いは、回路の構成をプログラマブルに切り替えるプログラマブル半導体装置が提案されている。そこで、このプログラマブル半導体装置の一例が特許文献1に開示されている。

## 【0003】

特許文献1には、入力電圧レンジがプログラマブルに切り替え可能なアナログデジタル

50

変換回路が開示されている。このアナログデジタル変換回路は、シリアルポートから入力されるデータ入力に基づきアナログ入力信号をサンプリングするC a p D A C配列のいずれのビットにサンプリングするかを設定する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特表2007-531408号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1では、シリアルポートから入力されるデータ入力の値の真偽については判断できず、データ入力が悪くなった場合に回路を想定した構成とすることが出来ない問題がある。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施の形態によれば、半導体装置は、アナログフロントエンド部の回路構成を指定する複数のコマンドを処理部からアナログフロントエンド部に送信し、アナログフロントエンド部において受信した複数のコマンドを解析し、複数のコマンドによって決定されるアナログフロントエンド部の更新後回路構成が予め設定された禁止条件を含む場合には受信した複数のコマンドによる回路構成の更新処理を停止する。

【0008】

なお、上記実施の形態の装置を方法やシステムに置き換えて表現したもの、該装置または該装置の一部の処理をコンピュータに実行せしめるプログラム、該装置を備えた撮像装置なども、本発明の態様としては有効である。

【発明の効果】

【0009】

前記一実施の形態によれば、回路構成を指定する複数のコマンドに含まれるエラーに起因する回路の誤設定を防ぐことができる。

【図面の簡単な説明】

【0010】

【図1】実施の形態1に係るセンサシステムの構成図である。

【図2】実施の形態1に係る半導体装置の回路ブロック図である。

【図3】実施の形態1に係る半導体装置の回路の接続関係を示す図である。

【図4】実施の形態1に係る半導体装置の回路の接続例を示す図である。

【図5】実施の形態1に係る半導体装置の回路の接続例を示す図である。

【図6】実施の形態1に係る半導体装置の回路の接続例を示す図である。

【図7】実施の形態1に係る半導体装置の回路の接続例を示す図である。

【図8】実施の形態1に係る半導体装置の回路構成を示す回路図である。

【図9】実施の形態1に係る半導体装置の構成変更例を示す回路図である。

【図10】実施の形態1に係る半導体装置の構成変更例を示す回路図である。

【図11】実施の形態1に係る半導体装置の構成変更例を示す回路図である。

【図12】実施の形態1に係る半導体装置の構成変更例を示す回路図である。

【図13】実施の形態1に係る半導体装置の構成変更例を示す回路図である。

【図14】実施の形態1に係る半導体装置の構成変更例を示す回路図である。

【図15】実施の形態1に係る半導体装置の回路構成を示す回路図である。

【図16】実施の形態1に係る半導体装置の回路の動作を示すタイミングチャートである。

- 【図 17】実施の形態 1 に係る半導体装置の回路構成を示す回路図である。
- 【図 18】実施の形態 1 に係る半導体装置の回路構成を示す回路図である。
- 【図 19】実施の形態 1 に係る半導体装置の回路構成を示す回路図である。
- 【図 20】実施の形態 1 に係る半導体装置の回路構成を示す回路図である。
- 【図 21】実施の形態 1 に係る半導体装置の S P I インタフェースを示すブロック図である。
- 【図 22】実施の形態 1 に係る半導体装置のコンフィギュラブル・アンプの回路図である。
- 【図 23】実施の形態 1 に係る半導体装置で扱われるコマンドを説明する表である。
- 【図 24】実施の形態 1 に係る半導体装置で利用される回路形式データベースの内容を説明する表である。 10
- 【図 25】実施の形態 1 に係る半導体装置の禁止条件を説明する回路図及び表である。
- 【図 26】実施の形態 1 に係る半導体装置の禁止条件を説明する回路図及び表である。
- 【図 27】実施の形態 1 に係る半導体装置の禁止条件を説明する回路図及び表である。
- 【図 28】実施の形態 1 に係る半導体装置の禁止条件を説明する回路図及び表である。
- 【図 29】実施の形態 1 に係る半導体装置の通信タイミングを示すタイミングチャートである。
- 【図 30】実施の形態 1 に係る半導体装置のコマンド送信手順を示すフローチャートである。
- 【図 31】実施の形態 1 に係る半導体装置の S P I インタフェースの動作を示すフローチャートである。 20
- 【図 32】実施の形態 1 に係る半導体装置の動作を示すフローチャートである。
- 【図 33】実施の形態 2 に係る半導体装置で扱われるコマンドを説明する表である。
- 【図 34】実施の形態 2 に係る半導体装置で利用される回路形式データベースの内容を説明する表である。
- 【図 35】実施の形態 2 に係る半導体装置の禁止条件を説明する回路図及び表である。
- 【図 36】実施の形態 3 に係る半導体装置で利用される回路形式データベースの内容を説明する表である。
- 【図 37 A】実施の形態 3 に係る半導体装置の禁止条件を説明する回路図である。
- 【図 37 B】実施の形態 3 に係る半導体装置の禁止条件を説明する表である。 30
- 【図 38】実施の形態 4 に係る半導体装置の S P I インタフェースを示すブロック図である。
- 【図 39】実施の形態 4 に係る半導体装置で扱われるコマンドを説明する表である。
- 【図 40】実施の形態 4 に係る半導体装置で利用される回路形式データベースの内容を説明する表である。
- 【図 41】実施の形態 5 に係る半導体装置の S P I インタフェースを示すブロック図である。
- 【図 42】実施の形態 5 に係る半導体装置で扱われるコマンドを説明する表である。
- 【図 43】実施の形態 5 に係る半導体装置で利用される回路形式データベースの内容を説明する表である。 40
- 【図 44】実施の形態 6 に係る半導体装置の S P I インタフェースを示すブロック図である。
- 【図 45】実施の形態 6 に係る半導体装置の動作を示すフローチャートである。
- 【図 46】実施の形態 6 に係る半導体装置の S P I インタフェースの別の形態を示すブロック図である。
- 【図 47】実施の形態 7 に係る半導体装置の S P I インタフェースを示すブロック図である。
- 【図 48】実施の形態 7 に係る半導体装置の動作を示すフローチャートである。
- 【図 49】実施の形態 8 に係る半導体装置の S P I インタフェースを示すブロック図である。 50

- 【図 5 0】実施の形態 8 に係る半導体装置の使用端子検出部の回路を示す回路図である。
- 【図 5 1】実施の形態 8 に係る半導体装置の使用端子と回路形式との対応を規定する端子構成データベースを説明する表である。
- 【図 5 2】実施の形態 8 に係る半導体装置の動作を示すフローチャートである。
- 【図 5 3】実施の形態 9 に係る半導体装置の S P I インタフェースを示すブロック図である。
- 【図 5 4】実施の形態 9 に係る半導体装置の動作を示すフローチャートである。
- 【図 5 5】実施の形態 1 0 に係る半導体装置の S P I インタフェースを示すブロック図である。
- 【図 5 6】実施の形態 1 0 に係る半導体装置の動作を示すフローチャートである。 10
- 【図 5 7】実施の形態 1 0 に係る半導体装置の動作を示すフローチャートである。
- 【図 5 8】実施の形態に係る半導体装置の設計フローを示すフローチャートである。
- 【図 5 9】実施の形態に係る半導体装置に入力するオブジェクトファイルを生成するコンパイル装置の構成図である。
- 【図 6 0】実施の形態に係るコンパイル装置のコンパイル方法を示すフローチャートである。
- 【図 6 1】実施の形態に係るシミュレーションシステムの構成図である。
- 【図 6 2】実施の形態に係るシミュレーションシステムを構成する装置のハードウェア構成図である。
- 【図 6 3 A】実施の形態に係るウェブシミュレータの機能ブロック図である。 20
- 【図 6 3 B】実施の形態に係るウェブシミュレータの機能ブロック図である。
- 【図 6 3 C】実施の形態に係るウェブシミュレータの機能ブロック図である。
- 【図 6 4】実施の形態に係るウェブシミュレータのシミュレーション方法を示すフローチャートである。
- 【図 6 5】実施の形態に係るウェブシミュレータにおけるエラー表示画面のイメージ図である。
- 【発明を実施するための形態】
- 【 0 0 1 1 】
- 説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、様々な処理を行う機能ブロックとして図面に記載される各要素は、ハードウェア 30 的には、CPU、メモリ、その他の回路で構成することができ、ソフトウェア的には、メモリにロードされたプログラムなどによって実現される。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれらの組合せによっていろいろな形で実現できることは当業者には理解されるところであり、いずれかに限定されるものではない。なお、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。
- 【 0 0 1 2 】
- 以下、図面を参照して実施の形態について説明する。本実施の形態では、回路形式及び回路構成を変更可能な半導体装置において回路形式及び回路構成を変更する構成及び方法について説明する。なお、以下の説明では、アナログフロントエンド部では、回路形式を 40 変更することでアナログ機能回路を別の機能を実現させ、回路構成を変更することでアナログ機能回路の回路特性及び入出力信号を切り替える。
- 【 0 0 1 3 】
- そこで、本実施の形態に係る半導体装置の理解を助けるため、まず、実施の形態に係る半導体装置について説明する。図 1 は、本実施形態に係る半導体装置を含むセンサシステムの構成を示している。
- 【 0 0 1 4 】
- 図 1 に示すように、このセンサシステムは、センサ 2 と、センサに接続された半導体装置 1 とを備えている。
- 【 0 0 1 5 】 50

センサ2には、検出結果に応じた電流を出力する電流出力型センサや、検出結果に応じた電圧を出力する電圧出力型センサ、検出結果に応じて微弱な差動信号出力するセンサなど様々なセンサを利用することが可能である。

**【0016】**

半導体装置1は、処理部(例えば、MCU部200)とアナログフロントエンド部(例えば、AFE部100)とを有している。例えば、半導体装置1は、MCU部200の半導体チップと、AFE部100の半導体チップとを1つの半導体装置に搭載したSoC(System-on-a-chip)である。なお、MCU部200とAFE部100とを含む1チップの半導体装置としてもよい。また、MCU部200のみを含む半導体装置と、AFE部100のみを含む半導体装置としてもよい。以下、AFE部100及びMCU部200を含む装置を半導体装置1と称する場合もあり、AFE部100のみ含む装置を半導体装置1と称する場合もある。

10

**【0017】**

MCU部(処理部)200は、AFE部100を介して入力されるセンサ2の測定信号(検出信号)をA/D変換し、検出結果に応じた制御処理を行うマイクロコントローラである。また、MCU部200は、AFE部100の構成及び特性を設定変更するためのコマンドをAFE部100へ出力する。

**【0018】**

AFE部(アナログ入力部)100は、センサ2が出力する測定信号に対し、増幅やフィルタリング等のアナログフロントエンド処理を行い、MCU部200で処理可能な信号とするアナログ回路である。また、AFE部100は、図1に示すように、トポロジ(回路形式及び回路構成)が変更可能であり、さらに、パラメータ(回路特性)も変更可能である。

20

**【0019】**

図1の例のように、オペアンプ回路の構成から、I/Vアンプ、減算(差動)アンプ、加算アンプ、反転アンプ、非反転アンプ、計装アンプの構成に変更できる。また、非反転アンプのパラメータ例のように、動作点の変更、利得(ゲイン)の変更、オフセット調整を行うことができる。

**【0020】**

図2は、半導体装置1の回路ブロックを示している。図2に示すように、MCU部200は、CPUコア210、メモリ220、オシレータ230、タイマ240、入出力ポート250、A/Dコンバータ260、通信インタフェース(例えば、SPI(Serial Peripheral Interface)インタフェース270)を備えている。なお、MCU部200は、マイクロコントローラの機能を実現するためのその他の回路、例えば、DMAや各種演算回路等を備えている。

30

**【0021】**

CPUコア210は、メモリ220に格納されたプログラムを実行しプログラムに従った制御処理を行う。メモリ220は、CPUコア210で実行するプログラムや各種データを格納する。メモリ220は、各種データの1つとしてAFE部100に含まれる複数のアナログ回路要素により構成される回路の回路形式及び回路構成を指定する複数のコマンドを格納する。オシレータ230は、MCU部200の動作クロックを生成し、また、必要に応じてAFE部100へクロックを供給する。タイマ240は、MCU部200の制御動作に利用される。

40

**【0022】**

入出力ポート250は、半導体装置1の外部の装置とデータ等の入出力を行うためのインタフェースであり、例えば、後述のように外部のコンピュータ装置等と接続可能である。

**【0023】**

A/Dコンバータ260は、AFE部100を介して入力されるセンサ2の測定信号をA/D変換する。また、A/Dコンバータ260の電源は、AFE部100から供給され

50

ている。

#### 【 0 0 2 4 】

S P I (Serial Peripheral Interface) インタフェース 2 7 0 は、A F E 部 1 0 0 とデータ等の入出力を行うためのインタフェースである。なお、S P I インタフェース 2 7 0 は、汎用的なシリアルインタフェースであり、S P I に対応していれば、他のマイクロコントローラ/マイクロコンピュータであっても、A F E 部 1 0 0 と接続することができる。

#### 【 0 0 2 5 】

図 2 の半導体装置 1 は、汎用的な用途に対応可能な構成となっている。具体的には、様々な種類や特性のセンサを接続できるように、センサ用 A F E 回路一式を搭載している。すなわち、A F E 部 1 0 0 は、コンフィギュラブル・アンプ 1 1 0、同期検波対応増幅アンプ(増幅アンプともいう) 1 2 0、S C 型ローパス・フィルタ(ローパス・フィルタともいう) 1 3 0、S C 型ハイパス・フィルタ(ハイパス・フィルタともいう) 1 4 0、可変レギュレータ 1 5 0、温度センサ 1 6 0、汎用アンプ 1 7 0、S P I インタフェース 1 8 0、を備えている。

10

#### 【 0 0 2 6 】

コンフィギュラブル・アンプ 1 1 0 は、センサ 2 等の外部から入力される信号を増幅する増幅回路であり、M C U 部 2 0 0 からの制御(例えば、M C U 部 2 0 0 から送信されるコマンド)にしたがって回路形式及び特性、動作が設定可能である。コンフィギュラブル・アンプ 1 1 0 は、3 c h のアンプ、すなわち、3 つのアンプを有している。この 3 つのアンプにより多くの回路構成を実現することができる。

20

#### 【 0 0 2 7 】

増幅アンプ 1 2 0 は、コンフィギュラブル・アンプ 1 1 0 の出力や、センサ 2 等の外部から入力される信号を増幅する同期検波対応の増幅回路であり、M C U 部 2 0 0 からの制御にしたがって特性、動作が設定可能である。

#### 【 0 0 2 8 】

ローパス・フィルタ 1 3 0 は、コンフィギュラブル・アンプ 1 1 0 や増幅アンプ 1 2 0 の出力、センサ 2 等の外部から入力される信号に対し、高周波成分を除去し低周波成分を通過させる S C 型のフィルタであり、M C U 部 2 0 0 からの制御にしたがって特性、動作が設定可能である。ハイパス・フィルタ 1 4 0 は、コンフィギュラブル・アンプ 1 1 0 や増幅アンプ 1 2 0 の出力、センサ 2 等の外部から入力される信号に対し、低周波成分を除去し高周波成分を通過させる S C 型のフィルタであり、M C U 部 2 0 0 からの制御にしたがって特性、動作が設定可能である。

30

#### 【 0 0 2 9 】

可変レギュレータ 1 5 0 は、M C U 部 2 0 0 の A / D コンバータ 2 6 0 へ電圧を供給する可変電圧源であり、M C U 部 2 0 0 からの制御にしたがって特性、動作が設定可能である。温度センサ 1 6 0 は、半導体装置 1 の温度を測定するセンサであり、M C U 部 2 0 0 からの制御にしたがって動作が設定可能である。

#### 【 0 0 3 0 】

汎用アンプ 1 7 0 は、センサ 2 等の外部から入力される信号を増幅するアンプであり、M C U 部 2 0 0 からの制御にしたがって動作が設定可能である。S P I インタフェース 1 8 0 は、M C U 部 2 0 0 とデータ等の入出力を行うためのインタフェースであり、M C U 部 2 0 0 の S P I インタフェース 2 7 0 と S P I バスを介して接続されている。なお、半導体装置 1 が M C U 部 2 0 0 を有さない場合、S P I インタフェース 1 8 0 を半導体装置 1 の外部端子に接続し、外部端子経由で外部のマイクロコントローラやエミュレータ等と A F E 部 1 0 0 とを接続する。

40

#### 【 0 0 3 1 】

次に、半導体装置 1 における A F E 部 1 0 0 の構成について詳細に説明する。図 3 は、A F E 部 1 0 0 の各回路の接続関係を示している。A F E 部 1 0 0 は、複数のアナログ回路要素(例えば、アンプ、抵抗、コンデンサ等)と、複数のアナログ回路要素間の接続状

50

態を切り替えるスイッチ回路群（例えば、スイッチ、マルチプレクサを含むスイッチ回路）と、を含む。

【0032】

SPIインタフェース180は、SPIバスに接続された外部端子（CS、SCLK、SDO、SDI）に接続されて、レジスタ（制御レジスタ）181を有している。MCU部200から、SPIインタフェースを介して、回路の構成・特性を変更するための構成情報（コマンド）が入力され、レジスタ181に格納される。レジスタ181は、AFE部100内の各回路に接続されており、レジスタ181の構成情報に応じてAFE部100内の各回路の構成・特性が設定される。

【0033】

コンフィギュラブル・アンプ110は、個別アンプAMP1、AMP2、AMP3を有しており、アンプの入出力を切り替えるスイッチSW10～SW15が接続されている。

【0034】

個別アンプAMP1は、一方の入力端子がスイッチSW10を介してMPXIN10またはMPXIN11に接続され、他方の入力端子がスイッチSW11を介してMPXIN20またはMPXIN21に接続され、出力端子がAMP1\_\_OUTに接続されている。同様に、個別アンプAMP2は、一方の入力端子がスイッチSW12を介してMPXIN30またはMPXIN31に接続され、他方の入力端子がスイッチSW13を介してMPXIN40またはMPXIN41に接続され、出力端子がAMP2\_\_OUTに接続されている。

【0035】

また、個別アンプAMP3は、一方の入力端子がスイッチSW14を介してMPXIN50、MPXIN51またはAMP1の出力端子に接続され、他方の入力端子がスイッチSW15を介してMPXIN60、MPXIN61またはAMP2の出力端子に接続され、出力端子がAMP3\_\_OUTに接続されている。AMP1～AMP3の出力端子は、増幅アンプ120、ローパス・フィルタ130、ハイパス・フィルタ140にも接続されている。

【0036】

コンフィギュラブル・アンプ110は、レジスタ181の設定値に応じて、スイッチSW10～SW15が切り替えられて、AMP1～AMP3の接続構成が変更され、内部の回路形式・特性も後述のように変更される。

【0037】

図4、図5は、スイッチSW10～SW15によるAMP1～AMP3の接続切り替え例である。図4では、レジスタ181の設定により、スイッチSW10、11を切り替えて、AMP1の入力端子をMPXIN10、MPXIN20に接続し、スイッチSW12、13を切り替えて、AMP2の入力端子をMPXIN30、MPXIN40に接続し、スイッチSW14、15を切り替えて、AMP3の入力端子をMPXIN50、MPXIN60に接続する。このように接続することで、AMP1、AMP2、AMP3をそれぞれ独立のアンプとして動作させることができる。

【0038】

図5では、レジスタ181の設定により、スイッチSW10を切り替えて、AMP1の一方の入力端子をMPXIN10に接続し、スイッチSW13を切り替えて、AMP2の一方の入力端子をMPXIN40に接続し、スイッチSW11、SW12を切り替えて、AMP1の他方の入力端子とAMP2の他方の入力端子とを接続し、スイッチSW14、15を切り替えて、AMP3の一方の入力端子をAMP1の出力端子に接続し、AMP3の他方の入力端子をAMP3の出力端子に接続する。このように接続することで、AMP1～AMP3を接続した計装アンプを構成することができる。

【0039】

また、図3に示すように、増幅アンプ120には、入力を切り替えるスイッチSW16、SW17が接続されている。増幅アンプ120は、入力端子がスイッチSW16、SW

10

20

30

40

50

17を介してAMP1～AMP3の出力端子、または、スイッチSW17を介してGAINAMP\_\_INに接続され、出力端子がGAINAMP\_\_OUTに接続されている。増幅アンプ120の出力端子は、ローパス・フィルタ130、ハイパス・フィルタ140にも接続されている。なお、SW16により、AMP1～AMP3の出力端子と、外部端子及び増幅アンプとの接続を切り替えてもよい。

#### 【0040】

ローパス・フィルタ130には、入力を切り替えるスイッチSW18、SW19が接続され、ハイパス・フィルタ140にも、入力を切り替えるスイッチSW18、SW20が接続されている。ローパス・フィルタ130は、入力端子がスイッチSW16、SW17、SW18、SW19を介してAMP1～AMP3の出力端子、増幅アンプ120の出力端子、SC\_\_IN、またはスイッチSW19を介してハイパス・フィルタ140の出力端子に接続され、出力端子がLPF\_\_OUTに接続されている。ハイパス・フィルタ140は、入力端子がスイッチSW16、SW17、SW18、SW20を介してAMP1～AMP3の出力端子、増幅アンプ120の出力端子、SC\_\_IN、またはスイッチSW19を介してローパス・フィルタ130の出力端子に接続され、出力端子がHPF\_\_OUTに接続されている。なお、ローパス・フィルタ130、ハイパス・フィルタ140の出力端子と外部端子との間にスイッチを設けて、ローパス・フィルタ130、ハイパス・フィルタ140の出力端子と、外部端子及びSW19、SW20との接続を切り替えてもよい。

10

#### 【0041】

増幅アンプ120、ローパス・フィルタ130、ハイパス・フィルタ140は、レジスタ181の設定値に応じて、スイッチSW16～SW20が切り替えられて、増幅アンプ120、ローパス・フィルタ130、ハイパス・フィルタ140の接続構成が変更され、内部の特性も後述のように変更される。

20

#### 【0042】

図6、図7は、スイッチSW17～SW20による増幅アンプ120、ローパス・フィルタ130、ハイパス・フィルタ140の接続切り替え例である。図6では、レジスタ181の設定により、スイッチSW17を切り替えて、増幅アンプ120の入力端子をAMP1～AMP3のいずれかの出力端子に接続し、スイッチSW18、SW19を切り替えて、ローパス・フィルタ130の入力端子を増幅アンプ120の出力端子に接続し、スイッチSW20を切り替えて、ハイパス・フィルタ140の入力端子をローパス・フィルタ130の出力端子に接続する。このように切り替えることで、AMP1～AMP3のいずれか、増幅アンプ120、ローパス・フィルタ130、ハイパス・フィルタ140の順に接続した回路を構成することができる。

30

#### 【0043】

図7では、レジスタ181の設定により、スイッチSW17を切り替えて、増幅アンプ120の入力端子をGAINAMP\_\_INに接続し、スイッチSW18、SW20を切り替えて、ハイパス・フィルタ140の入力端子をSC\_\_INに接続し、スイッチSW19を切り替えて、ローパス・フィルタ130の入力端子をハイパス・フィルタ140の出力端子に接続する。このように切り替えることで、増幅アンプ120を1つの独立したアンプとして動作させ、また、ハイパス・フィルタ140、ローパス・フィルタ130の順に接続した回路を構成することができる。

40

#### 【0044】

また、図3に示すように、可変レギュレータ150は、出力端子がBGR\_\_OUTとLDO\_\_OUTに接続されている。可変レギュレータは、レジスタ181の設定値に応じて後述のように特性が変更される。

#### 【0045】

温度センサ160は、出力端子がTEMP\_\_OUTに接続されている。温度センサ160は、レジスタ181の設定値に応じて後述のように特性が変更される。

#### 【0046】

汎用アンプ170は、一方の入力端子がAMP4\_\_IN\_\_NEに接続され、他方の入力

50

端子がAMP4\_IN\_POに接続され、出力端子がAMP4\_OUTに接続されている。汎用アンプは、1つのオペアンプにより構成されており、レジスタ181の設定値に応じて、電源ON/OFFが設定される。

**【0047】**

次に、図8～図14を用いて、コンフィギュラブル・アンプ110の具体的な回路構成について説明する。

**【0048】**

コンフィギュラブル・アンプ110は、センサ出力信号を増幅するためのアンプであり、制御レジスタの設定に応じて、トポロジ（回路形式）を変更できるとともに、パラメータ（回路特性）を変更できる。特性の変更としてゲインを可変に設定することができる。例えば、個別アンプを独立して使用する場合、ゲインを6dB～46dBまで2dB単位で設定でき、計装アンプとして使用する場合、ゲインを20dB～60dBまで2dB単位で設定できる。また、スルーレートを可変に設定することもでき、パワーオフ・モードにより電源のオン/オフを切り替えることができる。

10

**【0049】**

図8は、コンフィギュラブル・アンプ110の個別アンプAMP1の回路構成を示している。なお、AMP2、AMP3も同様の構成である。

**【0050】**

図8に示すように、個別アンプAMP1は、オペアンプ111を有し、オペアンプ111の各端子に接続される可変抵抗112a～112d、回路形式制御スイッチ（例えば、スイッチ113a～113c）、DAC114を有しており、図3のようにマルチプレクサ（スイッチ）SW10、SW11が接続されている。

20

**【0051】**

レジスタ181の設定値に応じて、マルチプレクサSW10、SW11によりオペアンプ111の入力を切り替え、スイッチ113a、113bにより可変抵抗（入力抵抗）112a、112bの有無を切り替え、スイッチ113cによりDAC114の接続を切り替えることができる。なお、オペアンプ111の出力は、図3のようにSW16、SW17、SW18により、増幅アンプ120、ローパス・フィルタ130、ハイパス・フィルタ140との接続が切り替えられる。また、レジスタ181の設定値に応じて、可変抵抗112a、112b、112c、112dの抵抗値、DAC114の設定を変えることで、AMP1のゲイン、動作点、オフセット等を変更することができる。さらに、レジスタ181の設定値に応じて、電源オン/オフを制御できる。また、レジスタ181の設定値に応じて、オペアンプの動作モードを高速モード、中速モード、低速モードに変更することで、スルーレートを制御することができる。

30

**【0052】**

各スイッチ、マルチプレクサの切り替えにより、I/Vアンプ、反転アンプ、減算（差動）アンプ、非反転アンプ、加算アンプを構成することができる。

**【0053】**

図9は、I/Vアンプを構成する例である。レジスタ181の設定に応じて、マルチプレクサSW10を切り替えて外部入力端子（MPXIN10）を反転入力端子に接続し、スイッチ113aをオンして可変抵抗112aを短絡する。また、マルチプレクサSW11を切り替えてDAC入力を非反転入力端子に接続し、スイッチ113bをオンして可変抵抗112bを短絡し、113cをオンする。この接続によりI/Vアンプが構成される。また、レジスタ181の設定により、可変抵抗112dの抵抗値を変えることでアンプのゲインを設定する。このI/Vアンプは、外部入力端子から電流型センサの信号が入力されると、入力電流を電圧に変換して出力する。

40

**【0054】**

図10は、減算（差動）アンプを構成する例である。レジスタ181の設定に応じて、マルチプレクサSW10、SW11を切り替えて外部入力端子（MPXIN10）を反転入力端子に接続し、外部入力端子（MPXIN20）を非反転入力端子に接続する。また

50

、スイッチ 1 1 3 a、1 1 3 b をオフし、スイッチ 1 1 3 c をオンする。この接続により減算アンプが構成される。また、レジスタ 1 8 1 の設定により、可変抵抗 1 1 2 a、1 1 2 b、1 1 2 c、1 1 2 d の抵抗値を変えることでアンプのゲインを設定する。この減算アンプは、外部入力端子から 2 つの信号 ( V 1 , V 2 ) が入力されると、一方の入力電圧から他方の入力電圧を差し引いた電圧 ( V 2 - V 1 ) を出力する。

【 0 0 5 5 】

図 1 1 は、加算アンプを構成する例である。なお、ここでは、可変抵抗 1 1 2 b と正入力との間にスイッチ 1 1 3 d を有しているものとする。レジスタ 1 8 1 の設定に応じて、マルチプレクサ S W 1 0、S W 1 1、スイッチ 1 1 3 d を切り替えて外部入力端子 ( M P X I N 1 0 ) と外部入力端子 ( M P X I N 2 0 ) を反転入力端子に接続する。また、スイッチ 1 1 3 a、1 1 3 b をオフし、スイッチ 1 1 3 c をオンする。この接続により加算アンプが構成される。また、レジスタ 1 8 1 の設定により、可変抵抗 1 1 2 a、1 1 2 b、1 1 2 d の抵抗値を変えることでアンプのゲインを設定する。この加算アンプは、外部入力端子から 2 つの信号 ( V 1 , V 2 ) が入力されると、一方の入力電圧と他方の入力電圧を加算した電圧 ( V 1 + V 2 ) を出力する。

【 0 0 5 6 】

図 1 2 は、反転アンプを構成する例である。レジスタの設定に応じて、マルチプレクサ S W 1 0 を切り替えて外部入力端子 ( M P X I N 1 0 ) を反転入力端子に接続し、スイッチ 1 1 3 c をオンにして D A C 1 1 4 の出力を非反転入力端子に接続する。また、スイッチ 1 1 3 a をオフし、スイッチ 1 1 3 b、1 1 3 c をオンする。この接続により反転アンプが構成される。また、レジスタ 1 8 1 の設定により、可変抵抗 1 1 2 a、1 1 2 d の抵抗値を変えることでアンプのゲインを設定し、D A C の出力電圧を変えることで、アンプの動作点やオフセットを調整する。この反転アンプは、外部入力端子から電圧型センサの信号が入力されると、入力電圧を反転増幅した電圧を出力する。

【 0 0 5 7 】

図 1 3、非反転アンプを構成する例である。レジスタの設定に応じて、マルチプレクサ S W 1 0 を切り替えて D A C 1 1 4 の出力を反転入力端子に接続し、マルチプレクサ S W 1 1 を切り替えて外部入力端子 ( M P X I N 2 0 ) を非反転入力端子に接続する。また、スイッチ 1 1 3 a、1 1 3 c をオフし、スイッチ 1 1 3 b をオンする。この接続により非反転アンプが構成される。また、レジスタ 1 8 1 の設定により、可変抵抗 1 1 2 a、1 1 2 d の抵抗値を変えることでアンプのゲインを設定し、D A C の出力電圧を変えることで、アンプの動作点やオフセットを調整する。この非反転アンプは、外部入力端子から電圧型センサの信号が入力されると、入力電圧を非反転増幅した ( 入力と同相の ) 電圧を出力する。

【 0 0 5 8 】

図 1 4 は、AMP 1 ~ AMP 3 により計装アンプを構成する例である。図 5 で説明したように、レジスタ 1 8 1 の設定に応じて、マルチプレクサ ( スイッチ ) S W 1 0 ~ S W 1 5 及び図 5 では示していないスイッチ S W 0 0 により AMP 1 ~ AMP 3 を接続することで、図 1 4 の計装アンプを構成できる。なお、各スイッチの図示を省略しているが、AMP 1 では、スイッチ 1 1 3 b をオンして可変抵抗 1 1 2 b を短絡すると共に、スイッチ 1 1 3 a、1 1 3 c をオフする。AMP 2 では、スイッチ 1 1 3 b をオンして可変抵抗 1 1 2 b を短絡すると共に、スイッチ 1 2 3 a、1 2 3 c をオフする。AMP 3 では、スイッチ 1 1 3 c をオンして D A C 1 1 4 を非反転入力端子に接続し、スイッチ 1 4 3 a、1 4 3 b をオフする。

【 0 0 5 9 】

また、レジスタ 1 8 1 の設定により、AMP 3 の可変抵抗 1 1 2 a ~ 1 1 2 d の抵抗値を変えることで計装アンプのゲインを設定し、D A C 1 1 4 の出力電圧を変えることで、計装アンプの動作点やオフセットを調整する。この計装アンプは、外部入力端子から微弱な差動信号が入力されると、この差動信号を、AMP 1、AMP 2 によりそれぞれ非反転増幅し、さらに、AMP 3 により差動増幅した電圧を出力する。

10

20

30

40

50

## 【 0 0 6 0 】

次に、図 1 5 ~ 図 2 0 を用いて、A F E 部 1 0 0 内のその他の回路の具体的な回路構成について説明する。

## 【 0 0 6 1 】

図 1 5 は、増幅アンプ 1 2 0 の回路構成を示している。増幅アンプ 1 2 0 は、同期検波機能に対応しており、入力信号の増幅や同期検波を行う。特性の変更として、増幅アンプ 1 2 0 は、ゲインを可変に設定することができる。例えば、ゲインを 6 d B ~ 4 6 d B まで 2 d B 単位で設定できる。また、パワーオフ・モードにより電源のオン/オフを切り替えることができる。

## 【 0 0 6 2 】

図 1 5 に示すように、増幅アンプ 1 2 0 は、オペアンプ AMP 2 1、AMP 2 2 を有し、オペアンプ AMP 2 1、AMP 2 2 の各端子に接続される可変抵抗 1 2 1 a、1 2 1 c、固定抵抗 1 2 1 b、1 2 2 a、1 2 2 b、1 2 2 c 及び DAC 1 2 3 を有している。また、図 3 のようにマルチプレクサ(スイッチ) SW 1 7 が接続されている。さらに、同期検波を行うための同期検波制御部として、同期検波スイッチ 1 2 4、固定抵抗 1 2 5 を有している。

## 【 0 0 6 3 】

レジスタ 1 8 1 の設定値に応じて、マルチプレクサ SW 1 7 が制御されて増幅アンプ 1 2 0 の入力を切り替える。また、レジスタ 1 8 1 の設定値に応じて、可変抵抗 1 2 1 a、1 2 1 c の抵抗値、DAC 1 2 3 の設定を変えることで AMP 2 1 のゲイン、AMP 2 1、AMP 2 2 の動作点、オフセット等を変更することができる。さらに、レジスタ 1 8 1 の設定値に応じて、オペアンプ AMP 2 1、AMP 2 2 の電源オン/オフを制御できる。

## 【 0 0 6 4 】

増幅アンプ 1 2 0 では、AMP 1 ~ AMP 3、または外部入力端子から信号が入力されると、AMP 2 1 により反転増幅され、さらに AMP 2 2 により反転増幅された信号が、GAINAMP\_OUT へ出力される。

## 【 0 0 6 5 】

また、MCU 部 2 0 0 から同期クロック CLK\_SYNC が入力され、同期クロック CLK\_SYNC のタイミングで、同期検波スイッチ 1 2 4 の接続が切り替わり、AMP 2 1 と AMP 2 2 のいずれかの出力信号が SYNC\_OUT へ出力される。

## 【 0 0 6 6 】

図 1 6 は、増幅アンプ 1 2 0 の出力動作を示すタイミングチャートである。図 1 6 ( a ) のように、AMP 2 1 は、入力信号の反転信号を出力し、図 1 6 ( b ) のように、AMP 2 2 は、さらに反転した信号を出力する。この AMP 2 2 の出力信号が、増幅アンプ 1 2 0 の出力として GAINAMP\_OUT へ出力される。

## 【 0 0 6 7 】

MCU 部 2 0 0 は、GAINAMP\_OUT に接続されており、GAINAMP\_OUT の信号に応じたクロックを生成する。ここでは、図 1 6 ( c ) のように、GAINAMP\_OUT が基準値よりもハイレベルの場合に、ハイレベルとなる CLK\_SYNC を生成する。そして、この同期クロック CLK\_SYNC を増幅アンプ 1 2 0 へ供給する。

## 【 0 0 6 8 】

同期検波スイッチ 1 2 4 は、この CLK\_SYNC に応じて、AMP 2 1、AMP 2 2 と SYNC\_OUT との接続を切り替える。クロック CLK\_SYNC がローレベルの場合、AMP 2 1 と接続して AMP 2 1 の出力を SYNC\_OUT へ出力し、クロック CLK\_SYNC がハイレベルの場合、AMP 2 2 と接続して AMP 2 2 の出力を SYNC\_OUT へ出力する。そうすると、図 1 6 ( d ) のように、同期検波し、全波整流された信号が、SYNC\_OUT から出力される。

## 【 0 0 6 9 】

図 1 7 は、ローパス・フィルタ 1 3 0 の回路構成を示している。ローパス・フィルタ 1

10

20

30

40

50

30は、カットオフ周波数可変のSC（スイッチトキャパシタ）型ローパス・フィルタであり、入力信号のフィルタリングに用いられる。

【0070】

ローパス・フィルタ130の特性は、Q値が固定値であり、例えば0.702である。特性の変更として、カットオフ周波数 $f_c$ を可変に設定することができる。例えば、9Hz～900Hzまで設定できる。また、パワーオフ・モードにより電源のオン/オフを切り替えることができる。

【0071】

図17に示すように、ローパス・フィルタ130は、スイッチング信号を生成するスイッチング信号生成部131と、スイッチング信号に応じて入力信号をフィルタリングするフィルタ部132とを有している。

10

【0072】

スイッチング信号生成部131は、フリップフロップ133と複数のインバータ134を有している。フィルタ部132は、複数のオペアンプ135を有し、複数のオペアンプ135に接続される複数のスイッチ136、コンデンサ137、DAC138に制御される可変電源139を有している。また、図3のようにマルチプレクサ（スイッチ）SW19が接続されている。

【0073】

レジスタ181の設定値に応じて、マルチプレクサSW19が制御されてローパス・フィルタ130の入力を切り替える。また、レジスタ181の設定値に応じて、DAC138の設定を変えることで可変電源139を制御し、アンプの動作点、オフセット等を変更することができる。さらに、レジスタ181の設定値に応じて、ローパス・フィルタ130の電源をオン/オフを制御できる。

20

【0074】

ローパス・フィルタ130では、スイッチング信号生成部131において、外部からクロックCLK\_LPFが入力され、フリップフロップ133とインバータ134によりスイッチング信号1、2が生成される。フィルタ部132において、外部入力端子や増幅アンプ120等から信号が入力されると、3つのオペアンプ135を介して信号が出力され、その際、スイッチング信号1、2によりスイッチ136がオン/オフしてコンデンサ137の接続が切り替わる。そうすると、入力信号のカットオフ周波数よりも高周波成分を除去した信号が出力されることになる。

30

【0075】

このカットオフ周波数は、MCU部200により外部から入力されるクロックCLK\_LPFにより変更することができる。具体的には、カットオフ周波数 $f_c = 0.009 \times f_s$ （スイッチング周波数 $1/2 f_{CLK\_LPF}$ ）である。

【0076】

図18は、ハイパス・フィルタ140の回路構成を示している。ハイパス・フィルタ140は、カットオフ周波数可変のSC型ハイパス・フィルタであり、入力信号のフィルタリングに用いられる。

【0077】

ハイパス・フィルタ140の特性は、Q値が固定値であり、例えば0.702である。特性の変更として、カットオフ周波数 $f_c$ を可変に設定することができる。例えば、8Hz～800Hzまで設定できる。また、パワーオフ・モードにより電源のオン/オフを切り替えることができる。

40

【0078】

図18に示すように、ハイパス・フィルタ140は、スイッチング信号を生成するスイッチング信号生成部141と、スイッチング信号に応じて入力信号をフィルタリングするフィルタ部142とを有している。

【0079】

スイッチング信号生成部141は、フリップフロップ143と複数のインバータ144

50

を有している。フィルタ部 142 は、複数のオペアンプ 145 を有し、複数のオペアンプ 145 に接続される複数のスイッチ 146、コンデンサ 147、DAC 148 に制御される可変電源 149 を有している。また、図 3 のようにマルチプレクサ(スイッチ) SW20 が接続されている。

【0080】

レジスタ 181 の設定値に応じて、マルチプレクサ SW20 が制御されてハイパス・フィルタ 140 の入力を切り替える。また、レジスタ 181 の設定値に応じて、DAC 148 の設定を変えることで可変電源 149 を制御し、アンプの動作点、オフセット等を変更することができる。さらに、レジスタ 181 の設定値に応じて、ハイパス・フィルタ 140 の電源をオン/オフを制御できる。

10

【0081】

ハイパス・フィルタ 140 では、スイッチング信号生成部 141 において、外部からクロック CLK\_\_HPF が入力され、フリップフロップ 143 とインバータ 144 によりスイッチング信号 1、2 が生成される。フィルタ部 142 において、外部入力端子や増幅アンプ 120 等から信号が入力されると、3つのオペアンプ 145 を介して信号が出力され、その際、スイッチング信号 1、2 によりスイッチ 146 がオン/オフしてコンデンサ 147 の接続が切り替わる。そうすると、入力信号のカットオフ周波数よりも低周波成分を除去した信号が出力されることになる。

【0082】

このカットオフ周波数は、MCU部 200 により外部から入力されるクロック CLK\_\_HPF により変更することができる。具体的には、カットオフ周波数  $f_c = 0.008 \times f_s$  (スイッチング周波数  $1/2 f_{CLK\_HPF}$ ) である。

20

【0083】

図 19 は、可変レギュレータ 150 の回路構成を示している。可変レギュレータ 150 は、出力電圧を可変にするレギュレータであり、MCU部 200 の A/Dコンバータ 260 の基準電源生成回路である。例えば、特性の変更として、可変レギュレータ 150 は、出力電圧を 2.0V ~ 3.3V まで、±5% の精度で、0.1V 単位で設定することができる。また出力電流は 15mA で、出力電源のオン/オフを制御することができる。

【0084】

図 19 に示すように、可変レギュレータ 150 は、オペアンプ 151 を有し、オペアンプ 151 の入力側に接続されるバンドギャブリファレンス BGR、オペアンプ 151 の出力側に接続されるトランジスタ 152、153、固定抵抗 154、可変抵抗 155 を有している。

30

【0085】

レジスタ 181 の設定値に応じて、BGR の電圧が設定され、可変抵抗 155 の抵抗値を変えることで出力電圧が変更できる。さらに、レジスタ 181 の設定値に応じて、オペアンプ 151 の電源オン/オフ、トランジスタ 153 のオン/オフが切り替えられ、出力電圧の出力開始/停止が制御される。

【0086】

可変レギュレータ 150 では、BGR の電圧が BGR\_\_OUT から出力される。BGR の電圧と可変抵抗 155 の電圧に応じてオペアンプ 151 が動作してトランジスタ 152 が制御され、固定抵抗 154 と可変抵抗 155 の比に応じた電圧が出力される。

40

【0087】

図 20 は、温度センサ 160 の回路構成を示している。温度センサ 160 は、半導体装置 1 の温度を測定するセンサであり、MCU部 200 がこの測定結果に基づいて温度特性の補正等するために用いることができる。例えば、温度センサ 160 の特性として、出力温度係数は、-5mV/°C である。また、パワーオフ・モードにより電源のオン/オフを切り替えることができる。

【0088】

図 20 に示すように、温度センサ 160 は、オペアンプ 161 を有し、オペアンプ 16

50

1の入力側に接続される電流源162、ダイオード163、オペアンプ161の出力側に接続される固定抵抗164、165を有している。レジスタ181の設定値に応じて、オペアンプ161の電源をオン/オフすることができる。

【0089】

温度センサ160は、温度に応じてダイオード163の電圧が $-2\text{ mV}/$ で変化し、この電圧をオペアンプ161が非反転増幅して、 $-5\text{ mV}/$ として出力する。

【0090】

このように、半導体装置1は、半導体装置内部のAFE部100の回路構成や特性を可変に設定することができる。このため、一つの半導体装置で様々なセンサ等を接続することができ、多くの応用システム(アプリケーション)で使用することができる。

10

【0091】

例えば、コンフィギュラブル・アンプ110の回路構成を、非反転アンプとした場合、電圧出力型のセンサを接続可能であるため、赤外線センサ、温度センサ、磁気センサ等を用いた応用システムに使用できる。一例として、赤外線センサを備えたデジタルカメラ、温度センサを備えたプリンタ、磁気センサを備えたタブレット端末、赤外線センサを備えたエアコン等に使用することができる。

【0092】

また、コンフィギュラブル・アンプ110の回路構成を、計装アンプとした場合、微弱な差動出力のセンサを接続可能となるため、圧力センサ、ジャイロセンサ、ショックセンサ等を用いた応用システムに使用できる。一例として、圧力センサを備えた血圧計、圧力センサを備えた体重計、ジャイロセンサを備えた携帯電話、ショックセンサを備えた液晶テレビ等に使用することができる。

20

【0093】

さらに、コンフィギュラブル・アンプ110の回路構成を、I/Vアンプとした場合、電流出力のセンサを接続可能なため、フォトダイオード、人感センサ、赤外線センサ等を用いた応用システムに使用できる。一例として、フォトダイオードを備えたデジタルカメラ、人感センサを備えた監視カメラ、人感センサを備えた便座、赤外線センサを備えたバーコードリーダ等に使用することができる。

【0094】

上記説明のように、実施の形態1の半導体装置1は、AFE部に設けられたアナログ回路要素の回路形式及び回路構成を変更することができる。半導体装置1は、MCU部200が内蔵するメモリ220に格納された複数の回路設定コマンド(以下単にコマンドと称す)をAFE部100に送信する。そして、半導体装置1は、AFE部100が受信したコマンドに基づきレジスタ181(以下、制御レジスタ181と称す)に格納された回路構成制御値を更新することでAFE部の回路形式及び回路構成を更新する。このとき、半導体装置1は、受信した複数のコマンドにより回路構成制御値を更新する前に、受信した複数のコマンドにより決定されるアナログ機能回路の更新の回路構成に不正なパスが含まれているか否かを確認するエラー検出処理を行う。これにより、半導体装置1は、メモリ220に格納されたコマンドの値が破壊される、或いは、コマンド送信時にコマンドの値が破壊する等の不具合によるAFE部の誤動作を防止する。

30

40

【0095】

そこで、以下では、実施の形態1の半導体装置1においてコマンドのエラーを検出する構成及び方法についてより詳細に説明する。また、以下では、コマンドのエラーを検出する構成をAFE部100の通信インタフェース(例えば、SPIインタフェース180)内に設けた例について説明するが、コマンドのエラーを検出する構成は、AFE部100の内部に設けられていれば良く、AFE部100内のいずれの場所に配置しても良い。

【0096】

図21に実施の形態1の半導体装置1のSPIインタフェース180の詳細なブロック図を示す。図21に示すように、SPIインタフェース180は、制御レジスタ181、データスタック182、レジスタ制御部183、シリアルパラレル変換回路184、エラ

50

レジスタ10、回路構成エラー検出部11を有する。

【0097】

制御レジスタ181は、図3等で示したレジスタである。制御レジスタ181は、複数のアナログ機能回路の現在の構成を規定する回路構成制御値を格納する。この制御レジスタ181は、回路構成データDATとして回路構成制御値が格納される領域のアドレスが予め決められている。そして、一のアドレスに対応する回路構成制御値は、予め決められたスイッチ回路の開閉状態を制御する値、或いは、予め決められた可変抵抗等の回路素子の特性値を指定する値となる。例えば、アドレス"00h"に格納された回路構成制御値は、スイッチ113a~113b、SW00及びマルチプレクサSW10、SW11の接続状態を制御する。

10

【0098】

データスタック182は、MCU部200から送信された複数のコマンドを格納する。このとき、データスタック182は、受信順にコマンドを格納する。このデータスタック182には、コマンドに含まれるアドレスデータADDと回路構成データDATとが格納される。ここで、複数のコマンドは、複数のアナログ機能回路の回路形式を指定する回路形式設定値を少なくとも指定するものである。また、回路構成データDATには、複数のアナログ機能回路の回路形式を指定する回路形式設定値と、アナログ機能回路の回路特性等を指定する回路構成設定値と、が含まれる。

【0099】

レジスタ制御部183は、MCU部200から送信されるコマンド実行命令Execに  
 応じて、データスタック182に格納された複数のコマンドのそれぞれに含まれる回路構成データDATにより制御レジスタ181の回路構成制御値を更新する。レジスタ制御部183は、エラーレジスタ10に格納されるエラーコードが、データスタック182に格納された複数のコマンドにより決定されるアナログ機能回路の更新後の回路構成にエラーが含まれていない正常値を示す場合に制御レジスタ181の回路構成制御値を更新する。一方、レジスタ制御部183は、エラーレジスタ10に格納されるエラーコードが、アナログ機能回路の更新後の回路構成にエラーが含まれていることを示すエラー値を有する場合には回路構成制御値の更新を停止する。

20

【0100】

シリアルパラレル変換回路184は、SPI入力信号(CS、SCLK、SDIを含む  
 信号)を受信し、シリアルデータである入力データSDIをパラレルデータに変換して、データスタック182に与える。この入力データSDIは、動作命令と、アドレスデータADDと、回路構成データDATとが直列に配列された信号である。

30

【0101】

パラレルシリアル変換回路185は、AFE部100に設けられるメモリ、或いは、レジスタから与えられたパラレルデータをシリアルデータに変換して、SPI出力信号(SDOを含む信号)を出力する。

【0102】

半導体装置1は、受信した動作命令がライト命令であった場合、シリアルパラレル変換回路184が入力データSDIに含まれるアドレスデータADDと回路構成データDAT  
 をスタック182に書き込む。半導体装置1は、受信した動作命令がリード命令であった場合、入力データに含まれるアドレスデータADDで指定されるレジスタ、或いは、メモリからデータを読み出して、パラレルシリアル変換回路185を用いて出力する。半導体装置1は、受信した動作命令がコマンド実行命令であった場合、レジスタ制御部183に  
 コマンド実行命令Execを与える。

40

【0103】

エラーレジスタ10は、エラーコードを格納する。このエラーコードは、回路構成エラー検出部11により値が更新される。データスタック182に格納される複数のコマンドにより決定されるアナログ機能回路の更新後の回路構成が禁止条件に含まれる不正な構成を含む場合、エラーコードはエラー値(例えば、00h、10h等)となる。一方、デー

50

タスタック 182 に格納される複数のコマンドにより決定されるアナログ機能回路の更新後の回路構成が禁止条件に含まれる不正な構成を含んでいない場合、エラーコードは正常値（例えば、FFh 等）となる。実施の形態 1 では、このエラーコードは、MCU 部 200 からの求めに応じて MCU 部 200 に送信される。

【0104】

回路構成エラー検出部 11 は、データスタック 182 に格納された複数のコマンドにより決定されるアナログ機能回路の更新後の回路構成が、予め設定した禁止条件を満たす回路構成を含む場合に更新後の回路構成が禁止条件に違反することを示すエラー値を有するエラーコードを生成する。一方、回路構成エラー検出部 11 は、データスタック 182 に格納された複数のコマンドにより決定される更新後の回路構成が、予め設定した禁止条件

10

【0105】

より具体的には、回路構成エラー検出部 11 は、第 1 の回路形式解析部（例えば、回路形式解析部 12）、禁止条件選択部 13、エラー検出部 14 を有する。また、実施の形態 1 の半導体装置 1 で扱われる複数のコマンドには、更新後のアナログ機能回路の回路形式を指定する回路形式設定値が含まれる。つまり、この回路形式設定値は、回路形式設定コマンドの一部を構成するものである。また、回路形式設定コマンドには、アナログ機能回路に与える入力信号を指定する回路構成設定値も含まれる。なお、回路形式設定値及び回路構成設定値を含む値により回路構成データが構成されるものとする。また、複数のコマンドは、アナログ機能回路の回路特性を設定する他の回路構成設定値も含まれる。

20

【0106】

回路形式解析部 12 は、データスタック 182 に格納された前記複数のコマンドを参照して前記アナログ機能回路の更新後の回路形式を特定し、特定した更新後の回路形式を示す回路形式信号 ACS を出力する。より具体的には、回路形式設定コマンドには、スイッチ 113a ~ 113c、123c ~ 123b、143a ~ 143c、SW00 の開閉状態を指定する回路形式設定値が含まれる。また、本実施の形態では、回路形式設定コマンドには、マルチプレクサ SW10 ~ SW15 が選択する信号を示す回路構成設定値が含まれる。また、回路形式解析部 12 は、スイッチ 113a ~ 113c、123c ~ 123b、143a ~ 143c、SW00（スイッチ 123c ~ 123b、143a ~ 143c、SW00 ~ SW02 については後述する）の開閉状態の期待値を回路構成毎に規定した回路形式データベースを有する。そして、回路形式解析部 12 は、回路形式設定コマンドに含まれる回路形式設定値と回路形式構成データベースに含まれる期待値とを比較して、回路形式設定値に一致する期待値に対応する回路形式を更新後の回路形式として特定する。

30

【0107】

禁止条件選択部 13 は、禁止される接続状態を回路形式毎に記述した複数の禁止条件から回路形式解析部 12 により特定された回路形式に対応した禁止条件を選択する。より具体的には、回路形式毎の禁止条件を含む禁止接続データベースを含む。そして、禁止条件選択部 13 は、禁止接続データベースから更新後の回路形式に対応する禁止条件を選択する。このとき、禁止条件選択部 13 は、回路形式信号 ACS により示される回路形式に対応する禁止条件を選択する。また、禁止条件選択部 13 は、選択した禁止条件を禁止条件

40

【0108】

なお、実施の形態 1 では、禁止条件として、マルチプレクサ SW10、SW11 及びスイッチ SW00 の設定値が誤っているために回路が正常に動作しない設定条件が含まれる。しかし、禁止条件は、上記条件に限られず、回路が正常に動作しない条件を守株含めることができる。

【0109】

エラー検出部 14 は、データスタック 182 に格納された複数のコマンドを参照して、アナログ機能回路の更新後の回路構成が、禁止条件選択部 13 により選択された禁止条件を満たす接続状態を含む場合に更新後の回路構成が禁止条件に違反することを示すエラー

50

値を有するエラーコードを生成する。より具体的には、エラー検出部 1 4 は、データスタック 1 8 2 に格納された複数のコマンドを参照して、禁止条件通知信号により示された禁止条件に一致する回路構成が含まれているか否かを判定する。そして、エラー検出部 1 4 は、禁止条件に一致する回路構成があればエラーコードをエラー値とする。

#### 【 0 1 1 0 】

続いて、実施の形態 1 の半導体装置 1 の動作について具体例を挙げて説明する。ここでは、AFE 部 1 0 0 の回路のコンフィギュラブル・アンプ 1 1 0 を実施の形態 1 の半導体装置 1 における制御対象回路の 1 つとして説明する。そこで、コンフィギュラブル・アンプ 1 1 0 の具体的な回路図を図 2 2 に示す。図 2 2 に示す例は、個別アンプ AMP 1 ~ AMP 3 をそれぞれ反転アンプとして構成し、3 ch の反転アンプを実現するものである。

10

#### 【 0 1 1 1 】

図 2 2 に示すように、コンフィギュラブル・アンプ 1 1 0 は、個別アンプ AMP 1 ~ AMP 3 を有する。そして、コンフィギュラブル・アンプ 1 1 0 は、マルチプレクサ SW 1 0 ~ SW 1 5 の選択先と、スイッチ 1 1 3 a ~ 1 1 3 c、1 2 3 a ~ 1 2 3 c、1 4 3 a ~ 1 4 3 c の開閉状態と、を切り替えることで、反転アンプ、非反転アンプ、差動（減算）アンプ、I/Vアンプ、計装アンプの 5 種類の回路構成を実現することができる。なお、抵抗 1 1 2 b、1 2 2 b、1 4 2 b の一端を各アンプの正入力入力端子に接続するか、負入力端子に接続するかを切り替えるスイッチ 1 1 2 d、1 1 2 d、1 4 2 d を設けることで加算アンプを実現することができる。また、コンフィギュラブル・アンプ 1 1 0 の個別アンプ AMP 1 ~ AMP 3 は、それぞれほぼ同一の回路構成を有する。そこで、図 2 2

20

#### 【 0 1 1 2 】

また、図 2 2 では、禁止条件の 1 つである信号経路を太い破線で示した。図 2 2 に示した禁止条件は、アナログ機能回路（例えば、個別アンプ AMP 1）の回路形式が反転アンプであった場合に、マルチプレクサ SW 1 1 が外部入力を選択する回路構成値となるものである。

#### 【 0 1 1 3 】

続いて、実施の形態 1 の半導体装置 1 で扱われるコマンドを説明する表を図 2 3 に示す。図 2 3 に示す表では、コンフィギュラブル・アンプ 1 1 0 を構成する個別アンプ AMP 1 ~ AMP 3 の回路形式及び回路構成を指定する回路形式設定コマンドのみを示した。なお、アナログフロントエンド部 1 0 0 に与えられるコマンドには、個別アンプのゲインを設定するコマンド、フィルタの特性を設定するコマンド、電源のオンオフを設定するコマンド等の回路特性を設定するコマンドも含まれる。

30

#### 【 0 1 1 4 】

図 2 3 に示すように、回路形式設定コマンドは、アドレスデータ ADD となるアドレス値と、回路形式設定値及び回路構成設定値が 8 ビットデータとして含まれる。より具体的には、8 ビットのデータのうち上位 3 ビットが回路形式設定値であり、下位 5 ビットが回路構成設定値になる。SPI インタフェースを介して入力される入力データ SDI には、このアドレス値と 8 ビットのデータとが含まれる。図 2 3 で示す表のアドレス値は、制御レジスタ 1 8 1 のアドレスを示すものである。

40

#### 【 0 1 1 5 】

図 2 3 に示す例では、回路形式設定コマンドとして、個別アンプ AMP 1 ~ AMP 3 の回路形式を指定する回路形式設定コマンドを示した。個別アンプ AMP 1 の回路形式を指定する回路形式設定コマンドは、アドレス 0 0 h が指定され、スイッチ 1 1 3 a ~ 1 1 3 c の開閉状態を指定する回路形式設定値と、スイッチ SW 0 0 の開閉状態を指定する回路構成値と、マルチプレクサ SW 1 0、SW 1 1 が選択する入力信号を指定する回路構成設定値と、が含まれる。個別アンプ AMP 2 の回路形式を指定する回路形式設定コマンドは

50

、アドレス 0 1 h が指定され、スイッチ 1 2 3 a ~ 1 2 3 c の開閉状態を指定する回路形式設定値と、マルチプレクサ S W 1 2、S W 1 3 が選択する入力信号を指定する回路構成設定値と、が含まれる。個別アンプ A M P 3 の回路形式を指定する回路形式設定コマンドは、アドレス 0 2 h が指定され、スイッチ 1 4 3 a ~ 1 4 3 c の開閉状態を指定する回路形式設定値と、マルチプレクサ S W 1 4、S W 1 5 が選択する入力信号を指定する回路構成設定値と、が含まれる。

#### 【 0 1 1 6 】

また、図 2 4 に、回路形式データベースの内容を説明する表を示す。図 2 4 では、個別アンプ A M P 1 に対応した回路形式データベースのみを示したが、個別アンプ A M P 2、A M P 3 等に関しても同様のデータベースが設けられている。図 2 4 に示すように、個別  
10  
アンプ A M P 1 の回路形式データベースは、データスタック 1 8 2 に格納された設定値の上位 3 ビットの期待値を有する。この期待値は、回路形式毎に異なる値となる。また、回路形式データベースでは、期待値に対応して回路形式が規定されている。

#### 【 0 1 1 7 】

回路形式解析部 1 2 は、回路形式データベースを参照して、図 2 3 に示した回路形式設定コマンドに含まれる回路形式設定値と、回路形式データベースに格納された期待値と、を比較して、回路形式設定値と一致する期待値に対応する経路形式をアナログ機能回路（例えば、個別アンプ A M P 1）の更新後の回路形式として特定する。例えば、回路形式解析部 1 2 は、スイッチ 1 1 3 a がオフであり、スイッチ 1 1 3 b、1 1 3 c がオン状態であれば、個別アンプ A M P 1 の更新後の回路形式が反転アンプであると特定する。  
20

#### 【 0 1 1 8 】

続いて、実施の形態 1 の半導体装置 1 で利用される禁止条件を含む接続禁止データベースについて説明する。実施の形態 1 では、外部入力端子に異常電流が発生する信号パス及び回路が正常に動作しない接続状態を禁止条件とする。そのため、実施の形態 1 で利用する接続禁止データベースには、回路構成毎に禁止される信号パスが形成されるスイッチの開閉状態を記述した禁止条件を含める。

#### 【 0 1 1 9 】

そこで、図 2 5 ~ 図 2 8 に禁止条件の具体例を示し、この禁止条件について説明する。なお、図 2 5 ~ 図 2 8 に示す実施の形態 1 の禁止接続データベースでは異常状態に対応したエラーコードが定義されている。なお、本実施の形態では、禁止条件は、更新後のアナ  
30  
ログ機能回路に含まれる信号パスに直流電流が流れる可能性があるスイッチ回路群の接続状態を規定した直流電流パス条件を含む。エラー検出部 1 4 は、検出したエラーに対応するエラーコードをエラー値としてエラーレジスタ 1 0 に格納する。

#### 【 0 1 2 0 】

まず、図 2 5 に個別アンプ A M P 1 の回路形式を反転アンプとした場合の禁止条件を説明する回路図及び表を示す。図 2 5 に示すように、回路形式を反転アンプとした場合、正常な状態では、マルチプレクサ S W 1 0 は外部入力、マルチプレクサ S W 1 1 は D A C 入力となる。また、正常な状態では、スイッチ 1 1 3 a はオフとなり、スイッチ 1 1 3 b、1 1 3 c はオンとなる。

#### 【 0 1 2 1 】

そして、禁止条件は、上記スイッチの開閉状態となっている状態で異常な状態となるスイッチの開閉状態が記述される。図 2 5 に示す例では、3 個の禁止条件が記述される。回路形式設定コマンドの下位 5 ビットが 1 x x x x（x は don't care）となってしまった場合、マルチプレクサ S W 0 0 がオンするため、個別アンプ A M P 2 からの信号が回り込む不具合が生じる。この場合、エラー検出回路 1 4 は、エラーコードとして 0 0 h を出力する。回路形式設定コマンドの下位 5 ビットが x 1 1 x x となってしまう場合、マルチプレクサ S W 1 0 が D A C 入力となるため、反転アンプの入力がなくなる不具合が生じる。この場合、エラー検出回路 1 4 は、エラーコードとして 0 1 h を出力する。回路形式設定コマンドの下位 5 ビットが x x x 0 1 となってしまう場合、マルチプレクサ S W 1 1 が外部  
40  
入力となるため、外部端子と D A C 1 1 4 との間に直流電流が流れる D C パスが形成さ  
50

れ、異常電流が流れる不具合が生じる。この場合、エラー検出回路 14 は、エラーコードとして 02h を出力する。

【0122】

続いて、図 26 に個別アンプ AMP 1 の回路形式を非反転アンプとした場合の禁止条件を説明する回路図及び表を示す。図 26 に示すように、回路形式を非反転アンプとした場合、正常な状態では、マルチプレクサ SW 10 は DAC 入力、マルチプレクサ SW 11 は外部入力となる。また、正常な状態では、スイッチ 113a、113c はオフとなり、スイッチ 113b はオンとなる。

【0123】

そして、禁止条件は、上記スイッチの開閉状態となっている状態で異常な状態となるスイッチの開閉状態が記述される。図 26 に示す例では、3 個の禁止条件が記述される。回路形式設定コマンドの下位 5 ビットが 1xxxx となってしまった場合、マルチプレクサ SW 00 がオンするため、個別アンプ AMP 2 からの信号が回り込む不具合が生じる。この場合、エラー検出回路 14 は、エラーコードとして 10h を出力する。回路形式設定コマンドの下位 5 ビットが x01xx となってしまった場合、マルチプレクサ SW 10 が外部入力となるため、基準電圧が定まらない不具合が生じる。この場合、エラー検出回路 14 は、エラーコードとして 11h を出力する。回路形式設定コマンドの下位 5 ビットが xxx11 となってしまった場合、マルチプレクサ SW 11 が DAC 入力となるため、入力信号が入力されない不具合が生じる。この場合、エラー検出回路 14 は、エラーコードとして 12h を出力する。

【0124】

続いて、図 27 に個別アンプ AMP 1 の回路形式を差動アンプとした場合の禁止条件を説明する回路図及び表を示す。図 27 に示すように、回路形式を差動アンプとした場合、正常な状態では、マルチプレクサ SW 10、SW 11 は外部入力となる。また、正常な状態では、スイッチ 113a、113b はオフとなり、スイッチ 113c はオンとなる。

【0125】

そして、禁止条件は、上記スイッチの開閉状態となっている状態で異常な状態となるスイッチの開閉状態が記述される。図 27 に示す例では、3 個の禁止条件が記述される。回路形式設定コマンドの下位 5 ビットが 1xxxx となってしまった場合、マルチプレクサ SW 00 がオンするため、個別アンプ AMP 2 からの信号が回り込む不具合が生じる。この場合、エラー検出回路 14 は、エラーコードとして 20h を出力する。回路形式設定コマンドの下位 5 ビットが x11xx となってしまった場合、マルチプレクサ SW 10 が DAC 入力となるため、差動アンプとして機能しない不具合が生じる。この場合、エラー検出回路 14 は、エラーコードとして 21h を出力する。また、回路形式設定コマンドの下位 5 ビットが xxx11 となってしまった場合、マルチプレクサ SW 11 が DAC 入力となるため、差動アンプとして機能しない不具合が生じる。この場合、エラー検出回路 14 は、エラーコードとして 22h を出力する。

【0126】

続いて、図 28 に個別アンプ AMP 1 の回路形式を I/V アンプとした場合の禁止条件を説明する回路図及び表を示す。図 28 に示すように、回路形式を I/V アンプとした場合、正常な状態では、マルチプレクサ SW 10 は外部入力、マルチプレクサ SW 11 は DAC 入力となる。また、正常な状態では、スイッチ 113a ~ 113c はオンとなる。

【0127】

そして、禁止条件は、上記スイッチの開閉状態となっている状態で異常な状態となるスイッチの開閉状態が記述される。図 28 に示す例では、3 個の禁止条件が記述される。回路形式設定コマンドの下位 5 ビットが 1xxxx となってしまった場合、マルチプレクサ SW 00 がオンするため、個別アンプ AMP 2 からの信号が回り込む不具合が生じる。この場合、エラー検出回路 14 は、エラーコードとして 30h を出力する。回路形式設定コマンドの下位 5 ビットが x11xx となってしまった場合、マルチプレクサ SW 10 が DAC 入力となるため、入力信号が入力されない不具合が生じる。この場合、エラー検出回

10

20

30

40

50

路14は、エラーコードとして31hを出力する。回路形式設定コマンドの下位5ビットがxxx01となってしまう場合、マルチプレクサSW10が外部入力となるため、異常電流が流れる不具合が生じる。この場合、エラー検出回路14は、エラーコードとして32hを出力する。

#### 【0128】

なお、上記説明では、回路形式毎に3つの禁止条件を示したが、禁止条件は、図25～図28に示した条件に限られず、不具合が生じる構成を種々設定することができる。また、図25～図28では、個別アンプAMP2、AMP3についても、図25～図28で示した禁止条件が設定される。

#### 【0129】

続いて、実施の形態1のSPIインタフェース180の動作について説明する。そこで、まず、SPIインタフェース180の通信タイミングを示すタイミングチャートを図29に示す。

#### 【0130】

SPIインタフェース180は、MCU部200とAFE部100との間のインタフェースであり、AFE部100の設定、すなわち制御レジスタ181の書き込みと、AFE部100内のレジスタに格納されたデータの読み出しと、書き込んだコマンドに基づく回路構成の変更処理の実行と、を行う。ここでは、SPIクロック周波数は10MHzであり、通信データ量は16ビット、通信方向はMSBである。

#### 【0131】

図29に示すように、SPIインタフェース180では、チップセレクトCS（反転信号）、シリアルクロックSCLK（反転信号）、シリアルデータ入力SDIが、MCU部200からAFE部100へ入力され、シリアルデータ出力SDOが、AFE部100からMCU部200へ出力される。

#### 【0132】

SPIインタフェース180では、チップセレクトCSがローレベルとなると、シリアルクロックSCLKに同期して各ビットが入出力される。MCU部200は、R/W/Eにレジスタ181のリード命令、ライト命令及びコマンド実行命令を示すビットを設定し、A1～A6に、リード/ライトする制御レジスタ181のアドレスを設定する。

#### 【0133】

R/W/Eがライト命令（例えば、00）の場合、MCU部200は、D0～D7にレジスタへ書き込むデータを設定する。R/W/Eがリード命令（例えば、10）の場合、AFE部200は、D0～D7にAFE部100内のレジスタから読み出したデータを設定する。R/W/Eがコマンド実行命令（例えば、11）の場合、MCU部200は、A0～A7及びD0～D7は特に指定しない。

#### 【0134】

AFE部100は、SDIでR/W/E、A1～A6が入力されると、クロックSCLKの立ち上りエッジのタイミング（t1）でSDIのサンプリングを開始し、タイミングt2で、命令とアドレスをラッチする。タイミングt2の後、D7～D0クロックSCLKの立下りエッジのタイミング（タイミングt3）で送信データを1ビットシフトして設定する。さらに、チップセレクトCSのタイミング（t4）でデータをラッチする。

#### 【0135】

実施の形態1の半導体装置1では、図29で示したタイミングチャートに従ってコマンドを1つずつMCU部200からAFE部100に送信する。実施の形態1の半導体装置1では、1つの回路構成の設定を複数のコマンドを用いて行う。そこで、半導体装置1のコマンド送信手順を示すフローチャートを図30に示す。図30に示すフローチャートは、個別アンプAMP1を反転アンプとするための手順である。AFE部100において他の回路構成を実現する場合には、回路構成毎に送信するコマンドが異なるが、1つの回路構成を実現するために複数のコマンドを要する点については同じである。

#### 【0136】

10

20

30

40

50

図30に示すように、個別アンプAMP1を反転アンプとする場合、MCU部200は、ステップS101～S105において1つずつコマンドを送信する。ステップS101では、回路形式設定コマンドを送信して回路形式設定レジスタの設定を行う。ステップS102では、アンプ動作モード設定コマンドを送信してアンプ動作モード設定レジスタの設定を行う。ステップS103では、アンプゲイン設定コマンドを送信してアンプゲイン設定レジスタを設定する。ステップS104では、パワーオン設定コマンドを送信してパワーオン設定レジスタを設定する。そして、ステップS105においてコマンド実行命令を入力する。これにより、AFE部100は、回路構成を、ステップS101～S104で入力されたコマンドに基づく回路構成に更新する。

**【0137】**

ここで、半導体装置1では、回路形式毎にコマンドの送信順序が規定される。これは、データスタック182にはコマンドが受信順に格納され、受信したコマンドに基づく制御レジスタ181の回路構成制御値の更新は、データスタック182に格納された順に行われるためである。

**【0138】**

また、回路形式解析部12は、データスタック182に格納されているコマンドを常時監視し、回路形式設定コマンドにより回路形式設定値が入力されたことに応じてアナログ機能回路の更新後の回路形式を特定する。これにより、コマンド実行命令が入力された時点において、エラー検出部14は、エラー検出処理を完了させることができる。また、コマンド実行命令が入力された時点において、エラー検出処理を完了させておくことで、コマンド実行命令の入力タイミングに対して遅延させることなく回路形式を更新することができる。

**【0139】**

続いて、実施の形態1のSPIインタフェース180の動作について説明する。そこで、図31にSPIインタフェース180の動作を示すフローチャートを示す。なお、半導体装置1は、図31に示したフローチャートの処理を行うのと同時にコマンドを受信するコマンド受信ステップを実行する。

**【0140】**

そして、図31に示すように、SPIインタフェース180は、回路形式解析部12が、データスタック182に格納されたコマンドのアドレス値を参照して、回路形式設定値を読み込む。次いで、ステップS111において、回路形式解析部12は、回路形式設定コマンドにより指定された回路形式設定値に基づき更新後の回路形式を特定する。次いで、ステップS112において、禁止条件選択部13が特定された更新後の回路形式に対応する禁止条件を接続禁止データベースから選択する。次いで、ステップS113において、エラー検出部14がステップS112で選択された禁止条件とデータスタック182に格納された回路形式設定値と、を比較する。次いで、ステップS114において、エラー検出部14が禁止条件に含まれる回路構成がデータスタック182に格納された回路構成設定値から導き出される回路構成中にあるか否かについて判断を行う。

**【0141】**

そして、ステップS114の判断ステップにおいて、禁止条件で示される回路構成に合致する信号経路が更新後の回路構成にあると判断された場合(ステップS114のNOの枝)、ステップS117において、エラー検出部14がエラーレジスタにエラーコードとしてエラー値(例えば、00h等の値)を書き込む。また、エラーコードがエラー値である場合、ステップS118において、レジスタ制御部183は、制御レジスタ181の回路構成制御値を現在の値で維持する。つまり、ステップS118では、レジスタ制御部183は、制御レジスタ181の回路構成制御値をデータスタック182に格納された回路形成設定値及び回路構成設定値により更新することは行わない。

**【0142】**

一方、ステップS114の判断ステップにおいて、禁止条件で示される回路構成に合致する回路構成が更新後の回路構成にないと判断された場合(ステップS114のYESの

10

20

30

40

50

枝)、ステップS 1 1 5において、エラー検出部 1 4 がエラーレジスタにエラーコードとして正常値(例えば、F F h)を書き込む。そして、ステップS 1 1 6において、レジスタ制御部 1 8 3 は、制御レジスタ 1 8 1 の回路構成制御値をデータスタック 1 8 2 に格納された回路形式設定値及び回路構成設定値により更新する。

#### 【 0 1 4 3 】

上記説明において、ステップS 1 1 1 ~ S 1 1 5 及びS 1 1 7 の処理が、回路構成エラー検出部 1 1 によるエラー判定ステップである。つまり、エラー判定ステップでは、A F E 部 1 0 0 が受信した複数のコマンドにより決定される更新後回路構成が予め設定した禁止条件を満たす場合に更新後回路構成が禁止条件を満たすエラー状態であることを示すエラー値を有するエラーコードを生成する。また、ステップS 1 1 8 の処理が、回路設定禁止

10

#### 【 0 1 4 4 】

また、エラー判定ステップは、複数のステップを含む。より具体的には、ステップS 1 1 1 が回路形式解析部 1 2 による第 1 の回路形式解析ステップである。第 1 の回路形式解析ステップでは、アナログフロントエンド部が受信した複数のコマンドに含まれる回路形式

20

設定値に基づきアナログ機能回路の更新後の回路形式を特定する。また、ステップS 1 1 2 は、禁止条件選択部 1 3 による禁止条件選択ステップである。禁止条件選択ステップでは、禁止される接続状態を回路形式毎に記述した複数の禁止条件から回路形式解析ステップにより特定された回路形式に対応した禁止条件を選択する。なお、実施の形態 1 では、禁止条件選択ステップにおいて、第 1 の回路形式解析ステップで特定された更新後の回路形式に基づき接続禁止データベースから禁止条件を選択する。また、ステップS 1 1 3 、S 1 1 4 、S 1 1 7 は、エラー検出部 1 4 によるエラー検出ステップである。エラー検出ステップでは、データスタック 1 8 2 に格納された複数のコマンドを参照して、アナログ機能回路の更新後の回路構成が禁止条件選択ステップにより選択された禁止条件を満たす接続状態を含む場合に、更新後の回路構成が禁止条件に違反することを示すエラー値を

30

#### 【 0 1 4 5 】

続いて、実施の形態 1 の半導体装置 1 の全体の動作について説明する。そこで、図 3 2 に実施の形態 1 の半導体装置 1 の動作を示すフローチャートを示す。

#### 【 0 1 4 6 】

図 3 2 に示すように、半導体装置 1 は、ステップS 1 2 1 において、M C U 部 2 0 0 から A F E 部 1 0 0 にコマンドを送信して A F E 部 1 0 0 の回路形式を含む回路構成を設定する。これにより、A F E 部 1 0 0 の回路形式及び回路構成が確定する。そして、ステップS 1 2 2 において、A F E 部 1 0 0 からセンサによる測定結果を取得する。

#### 【 0 1 4 7 】

40

その後、ステップS 1 2 3 において、M C U 部 2 0 0 が、取得した測定結果と測定想定範囲とを比較して、測定結果が測定想定範囲内にある否かを判断する。このステップS 1 2 3 の判断において、測定結果が測定想定範囲内であった場合(ステップS 1 2 3 の Y E S の枝)、ステップS 1 2 4 において、M C U 部 2 0 0 は測定結果に対する情報処理を行う。そして、ステップS 1 2 5 において、M C U 部 2 0 0 は、回路構成を変更するプログラムコードが M C U 部 2 0 0 の C P U にて実行されたか否かを判断する。このステップS 1 2 5 において、回路構成を変更するプログラムコードが実行されていないと判断された場合(ステップS 1 2 5 の N O の枝)、M C U 部 2 0 0 は、引き続き A F E 部 1 0 0 からセンサの測定結果を取得する。また、ステップS 1 2 5 において、回路構成を変更するプログラムコードが実行されたと判断された場合(ステップS 1 2 5 の Y E S の枝)、M C

50

U部200は、再度ステップS121の回路構成の設定処理を行う。

【0148】

一方、ステップS123の判断ステップにおいて、測定結果が測定想定範囲外であった場合（ステップS123のNOの枝）、ステップS126において、MCU部200はAFE部100からエラーコードを取得する。そして、ステップS127において、MCU部200は、取得したエラーコードに応じたエラー処理を行う。図32に示す例では、ステップS127でMCU部200は、エラー処理として再度ステップS121の回路構成の設定処理を行う。

【0149】

上記説明より、実施の形態1の半導体装置1は、MUC部200から送信されるコマンドに基づき決定される更新後回路構成が本来想定していない禁止条件を満たす構成を有するか否かを判断する回路構成エラー検出部11を有する。そして、半導体装置1では、回路構成エラー検出部11においてエラーが検出された場合には、レジスタ制御部183が制御レジスタ181の回路構成制御値の更新を停止する。これにより、例えば、MCU部200のメモリ220上でコマンドを構成するデータにビット誤りが生じた場合、或いは、データ転送時にコマンドを構成するデータにビット誤りが生じた場合などであっても、当該ビット誤りにより更新後の回路に不具合が生じることを防止することができる。

【0150】

また、実施の形態1の半導体装置1は、回路構成エラー検出部11でエラーが検出された場合には、エラーコードをエラー値とする。これにより、MCU部200は、AFE部100から取得した測定結果に異常があった場合には、回路構成の設定処理においてエラーが生じたことを知ることができる。また、MCU部200は、エラーが生じたことに応じて適切なエラー処理を行うことができる。

【0151】

このように、回路構成の変更時に生じるエラーを検出することで、半導体装置1は、信頼性を高めることができる。また、回路構成の変更時に生じるエラーを検出することで、半導体装置1は、AFE部100を誤った回路構成で使用し続けることを防止することができる。回路構成を動的に再構成可能な半導体装置1においては、回路構成の変更時にエラーが生じる可能性が固定された回路構成を有する回路に比べて高く、回路構成の変更時に生じるエラーを検出することの効果は大きい。

【0152】

また、実施の形態1の半導体装置1では、禁止条件の1つとして直流的に入力外部端子とアナログ回路要素の出力（例えば、DAC出力）とが接続される経路が形成されるスイッチの条件を設定した。半導体装置1では、外部入力端子にセンサが接続される。このセンサに直流電圧が印加された場合、センサの特性劣化、或いは、センサの破壊等の不具合が生じる。しかし、実施の形態1の半導体装置1では、外部入力端子に直流電圧が印加される経路が形成されることを防止することができるため、コマンドのビット誤りに起因する誤動作からセンサを保護することができる。

【0153】

実施の形態2

実施の形態2では、加算アンプについて回路構成のエラーを検出する対象とした場合の構成について説明する。この実施の形態2では、SPIインタフェース180の構成は実施の形態1と同じであるため、ここでは説明を省略する。一方、実施の形態2では、実施の形態1とは回路形式設定コマンドが異なる。そこで、以下の説明では、回路設定コマンド（或いは、回路形式設定値）の違いについてより詳細に説明する。

【0154】

加算アンプは、図11に示すように、他の回路形式を実現する個別アンプAMP1にスイッチ113dが追加されている。加算アンプを指定する回路形式設定値は、4ビットの値にスイッチ113dの開閉状態を指定する回路形式設定値を有する。そこで、図33に加算アンプの回路構成に対応した回路形式設定コマンドの例を示す。また、図34に加算

10

20

30

40

50

アンプの回路構成に対応した回路形式データベースの例を示す。

【 0 1 5 5 】

図 3 3 に示すように、実施の形態 2 に係る回路形式設定コマンドにより指定される設定値では、上位 4 ビットに回路形式設定値が規定され、下位 5 ビットに回路構成設定値が規定される。また、図 3 4 に示すように、回路形式データベースは、回路形式毎に 4 ビットの期待値を有する。この期待値は、回路形式設定値のビット数を同じビット数を有し、スイッチ 1 1 3 a ~ 1 1 3 d の期待値を示すものである。

【 0 1 5 6 】

続いて、図 3 5 に個別アンプ A M P 1 の回路形式を加算アンプとした場合の禁止条件を説明する回路図及び表を示す。図 3 5 に示すように、回路構成を加算アンプとした場合、スイッチ 1 1 3 d が追加される。回路構成を非反転アンプとした場合、正常な状態では、マルチプレクサ S W 1 0、S W 1 1 は外部入力となる。また、正常な状態では、スイッチ 1 1 3 a、1 1 3 b はオフとなり、スイッチ 1 1 3 c はオンとなり、スイッチ 1 1 3 d は正入力に接続される。

10

【 0 1 5 7 】

そして、禁止条件は、上記スイッチの開閉状態となっている状態で異常な状態となるスイッチの開閉状態が記述される。図 3 5 に示す例では、3 個の禁止条件が記述される。回路形式設定コマンドの下位 5 ビットが 1 x x x x となってしまう場合、マルチプレクサ S W 0 0 がオンするため、個別アンプ A M P 2 からの信号が回り込む不具合が生じる。この場合、エラー検出部 1 4 は、エラーコードとして 4 0 h を出力する。回路形式設定コマンドの下位 5 ビットが x 1 1 x x となってしまう場合、マルチプレクサ S W 1 0 が D A C 入力となるため、加算アンプとして機能しない不具合が生じる。この場合、エラー検出回路 1 4 は、エラーコードとして 4 1 h を出力する。また、回路形式設定コマンドの下位 5 ビットが x x x 1 1 となってしまう場合、マルチプレクサ S W 1 1 が D A C 入力となるため、加算アンプとして機能しない不具合が生じる。この場合、エラー検出回路 1 4 は、エラーコードとして 4 1 h を出力する。

20

【 0 1 5 8 】

上記説明より、実施の形態 2 では、加算アンプを指定する回路形式設定値について説明したが、回路形式設定コマンド及び個別アンプの回路構成を加算アンプに対応したものとすることで、加算アンプにも対応することができる。

30

【 0 1 5 9 】

実施の形態 3

実施の形態 3 では、個別アンプ A M P 1 ~ A M P 3 を用いて計装アンプを構成する場合の回路形式データベースの期待値及び禁止接続データベースの禁止条件について説明する。この実施の形態 3 では、S P I インタフェース 1 8 0 の構成は実施の形態 1 と同じであるため、ここでは説明を省略する。一方、実施の形態 3 では、実施の形態 1 とは回路形式データベース上の期待値と禁止接続データベース上の禁止条件が異なる。そこで、以下の説明では、回路形式データベースの期待値と、禁止条件について詳細に説明する。

【 0 1 6 0 】

まず、図 3 6 に、実施の形態 3 にかかる回路形式データベースを説明するための表を示す。また、図 3 7 A に個別アンプ A M P 1 ~ A M P 3 を用いて計装アンプを構成した場合の禁止条件を説明する回路図を示す。図 3 7 A に示すように、計装アンプでは、個別アンプ A M P 1 ~ A M P 3 を用いて構成される。また、計装アンプではスイッチ S W 0 0 がオン状態となる。

40

【 0 1 6 1 】

そのため、図 3 6 に示すように、計装アンプに対応する期待値は、個別アンプ A M P 1 ~ A M P 3 の回路形式設定値（例えば、回路形式設定コマンドの上位 3 ビット）に加えて、個別アンプ A M P 1 の回路形式設定コマンドの 4 ビット目に規定されるスイッチ S W 0 0 の設定値を回路形式設定値として用いる。なお、回路形式解析部 1 2 は、スイッチ S W 0 0 に対応するデータスタック 1 8 2 上の設定値を参照して、個別アンプ A M P 1 ~ A M

50

P 3の回路形式設定値を一体の回路形式設定値として判断すべきか否かを決定する。

【0162】

そのため、実施の形態3にかかる回路形式データベースでは、計装アンプについての期待値は、スイッチSW00が1に設定され、個別アンプAMP1のスイッチ113a、113cはオフ、スイッチ113bはオン、個別アンプAMP2、AMP3のスイッチ123a、123cはオフ、スイッチ123bはオン、個別アンプAMP3のスイッチ143a、143bはオフ、スイッチ143cはオンに設定される。

【0163】

上記期待値に基づき回路構成が決定された場合、図37Aに示すように、コンフィギュラブル・アンプ110は、正常な状態では、マルチプレクサSW10、SW12は遮断状態、マルチプレクサSW11、SW13は外部入力、マルチプレクサSW14はアンプ1出力、マルチプレクサSW15はアンプ2出力となる。また、正常な状態では、スイッチ113a、113c、123a、123c、143a、143bはオフとなり、スイッチ113b、123b、143cはオンとなる。また、計装アンプでは、スイッチSW00、SW02がオン、スイッチSW01がオフとなる。

【0164】

また、図36では、計装アンプ以外の回路形式に対応する期待値も示した。例えば、個別アンプAMP1～AMP3を3チャンネルの反転アンプとして利用する場合は、スイッチSW00が0に設定され、いずれの個別アンプの期待値が同じ値に設定される。また、3つの個別アンプにより、2チャンネルのI/Vアンプと1チャンネルの反転アンプを構成することもできる。

【0165】

続いて、計装アンプの禁止条件について説明する。図37Bに計装アンプの禁止条件を説明する表を示す。図37Bに示すように、計装アンプの禁止条件は、上記スイッチの開閉状態となっている状態で異常な状態となる回路構成が記述される。図37Bに示す例では、11個の禁止条件が記述される。個別アンプAMP1に対応する回路形式設定コマンドの下位5ビットの値が1xxxxとなってしまう場合、マルチプレクサSW00がオンするため、ケイ素南婦の出力が不定になる不具合が生じる。この場合、エラー検出回路14は、エラーコードとして50hを出力する。個別アンプAMP1に対応する回路形式設定コマンドの下位5ビットの値がx01xxとなってしまう場合、マルチプレクサSW10が外部入力となるため、出力にノイズが混入する不具合が生じる。この場合、エラー検出回路14は、エラーコードとして51hを出力する。また、個別アンプAMP1に対応する回路形式設定コマンドの下位5ビットの値がx11xxとなってしまう場合、マルチプレクサSW10がDAC入力となるため、計装アンプとして動作しない不具合が生じる。この場合、エラー検出回路14は、エラーコードとして52hを出力する。個別アンプAMP1に対応する回路形式設定コマンドの下位5ビットの値がxxx11となってしまう場合、マルチプレクサSW11がDAC入力となるため、計装アンプとして動作しない不具合が生じる。この場合、エラー検出回路14は、エラーコードとして53hを出力する。

【0166】

個別アンプAMP2に対応する回路形式設定コマンドの下位5ビットの値がx01xxとなってしまう場合、マルチプレクサSW12が外部入力となるため、出力にノイズが混入する不具合が生じる。この場合、エラー検出回路14は、エラーコードとして54hを出力する。また、個別アンプAMP2に対応する回路形式設定コマンドの下位5ビットの値がx11xxとなってしまう場合、マルチプレクサSW12がDAC入力となるため、計装アンプとして動作しない不具合が生じる。この場合、エラー検出回路14は、エラーコードとして55hを出力する。個別アンプAMP2に対応する回路形式設定コマンドの下位5ビットの値がxxx11となってしまう場合、マルチプレクサSW13がDAC入力となるため、計装アンプとして動作しない不具合が生じる。この場合、エラー検出回路14は、エラーコードとして56hを出力する。

## 【 0 1 6 7 】

個別アンプAMP3に対応する回路形式設定コマンドの下位5ビットの値がx11xxとなってしまう場合、マルチプレクサSW14がDAC入力となるため、出力が出ない不具合が生じる。この場合、エラー検出回路14は、エラーコードとして57hを出力する。個別アンプAMP3に対応する回路形式設定コマンドの下位5ビットの値がx01xxとなってしまう場合、マルチプレクサSW14が外部入力となるため、出力が出ない不具合が生じる。この場合、エラー検出回路14は、エラーコードとして58hを出力する。個別アンプAMP3に対応する回路形式設定コマンドの下位5ビットの値がxxx11となってしまう場合、マルチプレクサSW15がDAC入力となるため、出力が出ない不具合が生じる。この場合、エラー検出回路14は、エラーコードとして59hを出力する。個別アンプAMP3に対応する回路形式設定コマンドの下位5ビットの値がxxx01となってしまう場合、マルチプレクサSW15が外部入力となるため、出力が出ない不具合が生じる。この場合、エラー検出回路14は、エラーコードとして60hを出力する。

10

## 【 0 1 6 8 】

上記説明より、実施の形態3では、複数の個別アンプを用いて計装アンプを構成する場合であっても、回路形式データベース及び禁止条件を追加するのみで回路構成のエラーを検出可能な構成について説明した。実施の形態1にかかる半導体装置を用いることで、回路構成エラー検出部11等の回路構成を変更することなく様々な回路形式のエラーを検出出来ることがわかる。

20

## 【 0 1 6 9 】

## 実施の形態4

実施の形態4では、回路形式設定コマンドとして、個別アンプの回路形式を切り替えるスイッチ(例えば、スイッチ113a~113c、123a~123c、143a~143c)の設定値を個別に指定することなく、これらのスイッチの数よりも少ないビット数の回路形式設定値を含むものについて説明する。

そこで、図38に、実施の形態4にかかるSPIインタフェース180aのブロック図を示す。図38に示すように、SPIインタフェース180aは、実施の形態1のSPIインタフェース180をレジスタ制御部183aに置き換え、回路構成エラー検出部11から回路構成解析部12を除くと共に、禁止条件選択部13を禁止条件選択部13aに置き換えたものである。

30

## 【 0 1 7 0 】

禁止条件選択部13aは、実施の形態4にかかる回路構成コマンドに含まれる回路設定値のいずれのビットが1であるかに応じて禁止接続データベースから禁止条件を選択する。

## 【 0 1 7 1 】

レジスタ制御部183aは、実施の形態4にかかる回路形式設定コマンドに基づき制御レジスタ181の回路構成制御値を更新する場合に、回路形式設定コマンドの回路形式設定値をデコードして、制御レジスタ181のアドレス00h~02hの回路構成制御値を書き換える。

40

## 【 0 1 7 2 】

ここで、実施の形態4において利用される回路形式設定コマンドについて説明する。図39に実施の形態4にかかるコマンドを説明する表を示す。また、図40に実施の形態4にかかる回路形式設定コマンドの内容を説明する表を示す。

## 【 0 1 7 3 】

図39に示すように、実施の形態4では、回路形式設定コマンドと、マルチプレクサSW10~SW15が選択する入力信号を指定する回路構成設定コマンドと、が別に設けられる。回路形式設定コマンドは、アドレス00hを指定し、3ビットの回路形式設定値を有する。また、回路構成設定コマンドは、アドレス01h或いはアドレス01hを指定し、マルチプレクサが選択する入力信号をそれぞれ2ビットの値で指定する。

50

## 【 0 1 7 4 】

そして、図 4 0 に示すように、実施の形態 4 では、回路形式設定コマンドの回路形式設定値のいずれのビットが 1 となっているかに応じて指定する回路形式を特定する。例えば、回路形式設定値 C O N F I G が 0 0 1 であった場合、回路形式として反転アンプが指定される。

## 【 0 1 7 5 】

上記説明より、実施の形態 4 では、回路形式設定コマンドがスイッチの開閉状態を個別に指定することなく回路形式を指定することができる。そのため、回路構成解析部 1 2 を用いることなく更新後回路構成を特定することができる。これにより、実施の形態 4 の半導体装置は、回路構成特定処理を必要とせず、短時間で更新後回路構成に応じた禁止条件を選択することができる。

10

## 【 0 1 7 6 】

## 実施の形態 5

実施の形態 5 では、回路形式設定値のエラーに対する耐性向上させる為の構成について説明する。実施の形態 5 にかかる S P I インタフェース 1 8 0 b のブロック図を図 4 1 に示す。なお、実施の形態 5 の説明において実施の形態 1 の構成要素と同じ構成要素については、実施の形態 1 と同じ符号を付して説明を省略する。

## 【 0 1 7 7 】

図 4 1 に示すように、S P I インタフェース 1 8 0 b は、実施の形態 1 のレジスタ制御部 1 8 3 をレジスタ制御部 1 8 3 b に置き換え、回路構成エラー検出部 1 1 の回路形式解析部 1 2 を回路構成解析部 1 2 b に置き換えたものである。また、実施の形態 5 にかかる S P I インタフェース 1 8 0 b に対しては、エラー耐性を向上させる回路形式設定値を他ビット化した回路形式設定コマンドを用いる。

20

## 【 0 1 7 8 】

そこで、S P I インタフェース 1 8 0 b の詳細について説明する前に、実施の形態 5 にかかる半導体装置で用いられる回路形式設定コマンド及び回路形式設定値の期待値について説明する。

## 【 0 1 7 9 】

図 4 2 に実施の形態 5 の半導体装置で利用される回路形式設定コマンドを説明するための表を示す。図 4 2 に示す例では、この回路形式設定コマンドに含まれる回路形式設定値のうちスイッチ 1 1 3 c に対応する値が 1 ビットから 3 ビットに拡張されている。この 3 ビットの値はそれぞれ同一値が設定されるものである。つまり、実施の形態 5 では、回路形式設定値が、アナログ機能回路の回路形式を切り替える回路形式制御スイッチ（例えば、スイッチ 1 1 3 a ~ 1 1 3 c ）のそれぞれに対応した複数のスイッチ切替値を含み、複数のスイッチ切替値のうち少なくとも 1 つは同一値が 3 ビット以上連続した冗長スイッチ切替値である。図 4 2 に示す例では、個別アンプ A M P 1 に対応する回路形式設定値は、スイッチ 1 1 3 a ~ 1 1 3 c に対応した 3 つのスイッチ切替値を含み、このスイッチ切替値のうちスイッチ 1 1 3 c が同一値が 3 ビット以上連続した冗長スイッチ切替値である。

30

## 【 0 1 8 0 】

また、図 4 3 に実施の形態 5 の半導体装置で利用される回路形式データベースを説明するための表を示す。図 4 3 に示すように、回路形式データベースには、回路形式設定値にエラーがない場合の回路形式設定値が設定される。図 4 3 では、反転アンプを指定する回路形式設定値と、非反転アンプを指定する回路形式設定値と、の 2 つの期待値を示した。詳しくは後述するが、回路形式解析部 1 2 b は、データスタック 1 8 2 に格納された回路形式設定値と、回路形式データベースの期待値とのハミング距離を算出して、当該ハミング距離に基づき更新後の回路形式を特定する。そこで、実施の形態 5 では、異なる形式を指定する回路形式設定値の間のハミング距離が 3 以上離れるように回路形式設定値が規定される。

40

## 【 0 1 8 1 】

50

実施の形態 5 にかかる半導体装置では、上記回路形式設定値に基づき回路形式を更新する。そこで、レジスタ制御部 183b 及び回路形式解析部 12b は、以下のような特徴を有する。

【0182】

レジスタ制御部 183b は、冗長スイッチ切替値（例えば、スイッチ 113c の開閉状態を指定する回路形式設定値）に対しては、多数決処理を行い、多数決処理において数が多いと判断された値をスイッチ切替値として制御レジスタ 181 に出力する。また、回路形式解析部 12b は、回路形式設定値との間のハミング距離が最も近い期待値に対応する回路形式を更新後のアナログ機能回路の回路形式として特定する。

【0183】

ここで、ハミング距離について説明する。ハミング距離は、隣り合う 2 つの値のうち異なるビットの数を示すものである。例えば、図 43 に示した期待値が設定されている状態で、データスタック 182 上の回路形式設定値が 01111 であった場合は、反転アンプの期待値と回路形式設定値との間のハミング距離は 0 となり、非反転アンプの期待値と回路形式設定値との間のハミング距離は 3 となる。一方、データスタック 182 上の回路形式設定値が 01101 であった場合は、反転アンプの期待値と回路形式設定値との間のハミング距離は 1 となり、非反転アンプの期待値と回路形式設定値との間のハミング距離は 2 となる。

【0184】

回路形式解析部 12b は、上記の例では、本来 01111 として反転アンプを指定する回路形式設定値の下位 3 ビット中に 1 ビットの誤りが生じた場合であっても、ハミング距離に基づき、ハミング距離が小さな期待値に対応する反転アンプを更新後の回路形式として特定する。

【0185】

上記説明より、実施の形態 5 にかかる半導体装置では、回路解析部 12b がハミング距離に基づき更新後の回路形式を特定する。これにより、受信した回路形式設定値に誤りがある場合であっても、正しく回路形式を特定することができる。また、実施の形態 5 にかかる半導体装置では、レジスタ制御部 183b が、冗長スイッチ切替値については多数決処理を行うことで、エラービットが生じた場合であっても正しいスイッチ切替値を制御レジスタ 181 に設定することができる。

【0186】

なお、上記説明では、回路形式設定値の 1 つについて冗長ビットを付加する例について説明したが、全てのビットについて冗長ビットを付加することも可能である。例えば、3 つの回路形式設定値をいずれも 3 ビット（合計 9 ビット）とすることで、全てのビットに対するエラー耐性を向上させることができる。また、回路形式設定値の理想値の間のハミング距離を 3 以上とする条件のもと、反転アンプ、非反転アンプ以外の他の回路形式のアンプを指定する回路形式設定値のエラー耐性を向上させることもできる。

【0187】

実施の形態 6

実施の形態 6 の SPI インタフェース 180c のブロック図を図 44 に示す。図 44 に示すように、SPI インタフェース 180c は、実施の形態 1 にかかる SPI インタフェース 180 に第 2 の回路形式解析部（例えば、回路形式解析部 20）及びソフトリセットコマンド発生回路 21 を追加したものである。また、SPI インタフェース 180c では、レジスタ制御部 183 に代えて、レジスタ制御部 183c を有する。

【0188】

回路形式解析部 20 は、制御レジスタ 181 に格納された回路構成制御値に基づき規定される現在の回路構成が複数のアンプにより構成される計装アンプであることを検出して、計装アンプ検出信号を出力する。また、回路形式解析部 20 は、レジスタ制御部 183c が制御レジスタ 181 の回路構成制御値の更新を開始するタイミングで出力される更新通知信号 RFS に基づき解析を開始する。

10

20

30

40

50

## 【 0 1 8 9 】

ソフトリセットコマンド発生回路 2 1 は、計装アンプ検出信号に基づき、現在の回路構成制御値の更新時に合わせて制御レジスタ 1 8 1 に格納された回路構成制御値を初期状態とするソフトリセットコマンド R S T を生成する。このソフトリセットコマンドは、制御レジスタ 1 8 1 に格納されている回路構成制御値を初期状態とするコマンドであって、例えば、アドレス 1 3 h の D 0 の領域にフィールドが設定される。また、このソフトリセットコマンドが制御レジスタ 1 8 1 に与えられることにより、A F E 部 1 0 0 のアナログ回路要素の特性値及びスイッチ回路群の開閉状態は予め設定された初期状態となる。

## 【 0 1 9 0 】

そして、実施の形態 6 の S P I インタフェース 1 8 0 c は、ソフトリセット処理後にデータスタック 1 8 2 に格納された複数のコマンドに基づき制御レジスタ 1 8 1 の回路構成制御値を更新する。

10

## 【 0 1 9 1 】

そこで、実施の形態 6 の S P I インタフェース 1 8 0 c の動作を示すタイミングチャートを図 4 5 に示す。図 4 5 に示すように、実施の形態 6 の S P I インタフェース 1 8 0 c の動作は、実施の形態 1 の S P I インタフェース 1 8 0 の動作（図 3 1 ）にステップ S 2 0 1 ~ S 2 0 3 の処理を加えたものである。そこで、ここではステップ S 2 0 1 ~ S 2 0 3 の動作について特に詳細に説明し、他のステップの処理の説明は省略する。

## 【 0 1 9 2 】

図 4 5 に示すように、実施の形態 6 の S P I インタフェース 1 8 0 c は、ステップ S 1 1 5 において、エラーレジスタのエラー値として正常値が書き込まれると、ステップ S 2 0 1 でレジスタ制御部 1 8 3 c が更新通知信号 R F S を出力する。そして、ステップ S 2 0 2 の第 2 の回路形式解析ステップにおいて、回路形式解析部 2 0 が更新通知信号 R F S に応じて回路構成制御値に基づき規定される前記現在の回路構成が複数のアンプにより構成される計装アンプであることを検出する。このステップ S 2 0 2 で、現在の回路構成が計装アンプであると判断された場合（ステップ S 2 0 2 の Y E S の枝）、ステップ S 2 0 3 のリセットコマンド生成ステップをソフトリセットコマンド発生回路 2 1 が実行する。このリセットコマンド生成ステップでは、現在の回路構成制御値の更新時に合わせて回路構成制御値を初期状態とするリセットコマンドを生成する。これにより、A F E 部 1 0 0 の回路は初期状態となる。一方、のステップ S 2 0 2 で、現在の回路構成が計装アンプで

20

30

## 【 0 1 9 3 】

上記説明より、実施の形態 6 の半導体装置では、コンフィギュラブル・アンプの回路構成を計装アンプから他のアンプに切り替える際に、一端回路構成を初期状態に戻した後に制御レジスタ 1 8 1 の回路構成制御値を更新する。計装アンプから他の回路構成（例えば、個別アンプを独立して動作させる回路構成）に切り替えた場合、コマンドにより、動作させる対象の回路の構成は変更されても、他の回路の構成が計装アンプの状態で維持される。そのため、計装アンプの状態が維持される他の回路の経路がオープンになり回路の動作が不安定になることがある。しかし、実施の形態 6 の S P I インタフェース 1 8 0 c では、計装アンプから他の回路構成に切り替える際には一度初期状態に戻した後に対象の回路の設定を行うため、他の回路の動作が不安定になることがない。

40

## 【 0 1 9 4 】

また、S P I インタフェース 1 8 0 c の回路形式解析部 2 0 における解析処理を回路形式解析部 1 2 に行わせることも可能である。そこで、実施の形態 6 の S P I インタフェース 1 8 0 c の別の形態となる S P I インタフェース 1 8 0 d のブロック図を図 4 6 に示す。

## 【 0 1 9 5 】

図 4 6 に示すように、変形例となる S P I インタフェース 1 8 0 d では、回路形式解析

50

部 1 2 d が、回路形式解析部 1 2 の処理に加えて、回路形式解析部 2 0 の処理も行う。つまり、回路形式解析部 1 2 d は、制御レジスタ 1 8 1 の回路構成制御値に基づき解析した回路構成が計装アンプであった場合には、ソフトリセットコマンド発生回路 2 1 にリセットコマンドの生成を指示する。

【 0 1 9 6 】

このような構成とすることで、S P I インタフェース 1 8 0 d は、S P I インタフェース 1 8 0 c と同等の動作を行うことが可能でありながら、回路規模を小さくすることができる。

【 0 1 9 7 】

実施の形態 7

実施の形態 7 の S P I インタフェース 1 8 0 e のブロック図を図 4 7 に示す。図 4 7 に示すように、S P I インタフェース 1 8 0 e は、実施の形態 1 の S P I インタフェース 1 8 0 の回路形式解析部 1 2 に代えて、回路形式解析部 1 2 e を有する。

【 0 1 9 8 】

回路形式解析部 1 2 e は、データスタック 1 8 2 に格納された複数のコマンド中に回路構成コマンドが含まれていない場合に、制御レジスタ 1 8 1 に格納された回路構成制御値を参照してデータスタック 1 8 2 に格納された複数のコマンドにより決定される更新後回路構成を特定する。

【 0 1 9 9 】

ここで、実施の形態 7 の S P I インタフェース 1 8 0 e の動作について説明する。図 4 8 に、実施の形態 7 の S P I インタフェース 1 8 0 e の動作を示すフローチャートを示す。図 4 8 に示すように、実施の形態 7 の回路形式解析部 1 2 e による動作は、実施の形態 1 の S P I インタフェース 1 8 0 の動作 ( 図 3 1 ) のステップ S 1 1 1 の前に行われる。

【 0 2 0 0 】

より具体的には、S P I インタフェース 1 8 0 e では、ステップ S 1 1 1 の回路構成特定処理の前に実施する、ステップ S 1 3 1 の処理において、データスタック 1 8 2 中に回路形式設定値を含む回路形式設定コマンドがあるか否かを判断する。そして、ステップ S 1 3 1 においてデータスタック 1 8 2 に回路形式設定コマンドがあると判断された場合 ( ステップ S 1 3 1 の Y E S の枝 )、ステップ S 1 3 2 においてデータスタック 1 8 2 から回路形式設定コマンドを取得する。一方、ステップ S 1 3 1 においてデータスタック 1 8 2 に回路形式設定コマンドがないと判断された場合 ( ステップ S 1 3 1 の N O の枝 )、制御レジスタ 1 8 1 から回路形式設定値に対応する回路構成制御値を取得する。実施の形態 7 では、ステップ S 1 3 1 からステップ S 1 1 1 までの処理が第 1 の回路形式解析ステップとなる。

【 0 2 0 1 】

上記説明より、実施の形態 7 の半導体装置では、回路形成設定値を送信することなく、マルチプレクサの選択先及び回路特性値の少なくとも一方のみを更新した場合においても回路構成エラー検出部 1 1 による回路構成のエラー検出処理を行うことができる。

【 0 2 0 2 】

実施の形態 8

実施の形態 8 の S P I インタフェース 1 8 0 f のブロック図を図 4 9 に示す。図 4 9 に示すように、S P I インタフェース 1 8 0 f は、実施の形態 1 の S P I インタフェース 1 8 0 に使用端子検出部 3 0、端子構成解析部 3 1 及び比較器 3 2 を追加したものである。また、図 4 9 では、A F E 部 1 0 0 に入力信号を与える複数の外部入力端子 ( 図 4 9 の M P X I N 1 0 ~ M P X I N 6 0 ) も示した。

【 0 2 0 3 】

使用端子検出部 3 0 は、外部入力端子に接続されるセンサ素子の有無を判定して端子状態通知信号を出力する。端子構成解析部 3 1 は、第 3 の回路形式解析部であって、端子状態通知信号に基づき利用可能な回路形式を特定する。比較器 3 2 は、回路形式解析部 1 2 が特定した更新後の回路形式と、端子構成解析部 3 1 が特定した回路形式とが不一致であ

10

20

30

40

50

った場合にエラー値を有するエラーコードを出力する。このエラーコードは、エラーレジスタ10に格納される。また、比較器32は、回路形式解析部12が出力する回路形成信号ACSに基づき回路形式解析部12が特定した変更後の回路形式を取得する。

#### 【0204】

ここで、使用端子検出部30には、外部入力端子毎に接続素子検出回路33を有する。そこで、この接続素子検出回路33の構成について説明する。図50に、接続素子検出部の回路図を示す。

#### 【0205】

図50に示すように、接続素子検出回路33は、プルアップ抵抗 $R_{pu}$ と、バッファ34とを有する。プルアップ抵抗 $R_{pu}$ は外部入力端子と内部回路とを接続する入力配線と電源端子との間に接続される。バッファ34は、入力配線の電圧をモニタし、入力配線の電圧が電源電圧とほぼ等しいレベルであれば、対応する外部入力端子にセンサが接続されていないことを示す端子状態通知信号（例えば、ロウレベルの信号）を出力する。また、バッファ34には、予め閾値電圧が設定されており、入力配線の電圧値が閾値電圧より低ければ、対応する外部入力端子にセンサが接続されていることを示す端子状態通知信号（例えば、ハイレベルの信号）を出力する。ここで、一般的にセンサは、何らかの電流を消費するためセンサが外部入力端子に接続されることで入力配線の電圧は低下する。

#### 【0206】

端子構成解析部31は、端子構成と回路形式とを対応付けた端子構成データベースを有し、使用端子検出部30から入力される端子状態通知信号の論理レベルと端子構成データベースとを比較することで使用可能な回路形式を特定する。そこで、この端子構成データベースを説明する表を図51に示す。

#### 【0207】

図51に示すように、端子構成データベースは、回路形式毎にセンサが接続されるべき外部入力端子を記述したものである。例えば、端子構成解析部31は、外部入力端子MPXIN20、MPXIN40、MPXIN60に対応する接続素子検出回路33が出力する端子状態通知信号がハイレベルであれば、使用可能な回路形式として非反転アンプを選択する。そして、端子構成解析部31は、選択した回路形式を比較器32に通知する。

#### 【0208】

続いて、実施の形態8のSPIインタフェース180fの動作について説明する。そこで、図52に実施の形態8のSPIインタフェース180fの動作を示すフローチャートを示す。

#### 【0209】

図52に示すように、実施の形態8のSPIインタフェース180fの動作は、実施の形態1のSPIインタフェース180の動作にステップS301～S304の処理を加えたものである。

#### 【0210】

ステップS301では、端子構成解析部31が端子状態通知信号により端子接続状態情報を取得し、端子接続情報に基づき使用可能な回路形式を特定する。より具体的には、ステップS301は、使用端子検出ステップと、第3の回路形式解析ステップとを含む。使用端子検出ステップでは、使用端子検出部30が外部入力端子に接続されるセンサ素子の有無を判定して端子状態通知信号を出力する。第3の回路形式解析ステップでは、端子構成解析部31が端子状態通知信号に基づき利用可能な回路形式を特定する。

#### 【0211】

続いて、ステップS302が比較器32が第1の回路形式解析ステップ（例えば、ステップS111）で特定された回路形式と、ステップS301で特定された回路形式とが一致するか否かを判断する。そして、第1の回路形式解析ステップにおいて特定した更新後の回路形式と、第3の回路形式解析ステップにおいて特定した回路形式とが不一致であった場合（ステップS302のNOの枝）にエラー値を有するエラーコードを出力する（ステップS303）。そして、ステップS303でエラーフラグがエラー値となったことに

10

20

30

40

50

応じてレジスタ制御部 183 は、制御レジスタ 181 の回路構成制御値の更新を停止する（ステップ S304）。一方、ステップ S302 において、第 1 の回路形式解析ステップにおいて特定した更新後の回路形式と、第 3 の回路形式解析ステップにおいて特定した回路形式とが一致したと判断された場合（ステップ S302 の Y E S の枝）、エラーコードは正常値をなるため、実施の形態 1 と同様にステップ S112 以降の処理が行われる。

#### 【0212】

上記説明より、実施の形態 8 では、センサの接続状態と、A F E 部 100 の回路形式とが異なることによる不具合を防ぐことができる。また、センサは固定的に接続されるものであり、回路形式もセンサに対応したもとすることが通常である。そのため、端子状態から導き出される回路形式と、データスタック 182 に格納された複数のコマンドから導き出される回路形式とに不一致があると言うことは、データスタック 182 に格納された複数のコマンドに誤りが有る可能性がある。しかし、実施の形態 8 の S P I インタフェース 180 f を用いることで、コマンドから導き出される回路構成が誤りであるような不具合を回避することができる。

10

#### 【0213】

##### 実施の形態 9

実施の形態 9 の S P I インタフェース 180 g のブロック図を図 53 に示す。図 53 に示すように、実施の形態 9 の S P I インタフェース 180 g は、実施の形態 1 の S P I インタフェース 180 に不正コマンド解析部 40 を加えたものである。

#### 【0214】

不正コマンド解析部 40 は、データスタック 182 に格納されている複数のコマンド中に予め規定されたコマンドとは異なる不正コマンドが含まれている場合にエラー値を有するエラーコードを生成する。また、不正コマンド解析部 40 は送信されるコマンドの一覧を記述したコマンドデータベースを有する。不正コマンド解析部 40 は、コマンドデータベースに記述されたコマンドとデータスタック 182 に格納されたコマンドとを比較して、データスタック 182 に格納されたコマンドにコマンドデータベースのコマンドと不一致なコマンドが有ればエラーコードをエラー値とする。このエラーコマンドは、エラーレジスタ 10 に格納される。

20

#### 【0215】

続いて、実施の形態 9 の S P I インタフェース 180 g の動作について説明する。そこで、図 54 に実施の形態 9 の S P I インタフェース 180 g の動作を示すフローチャートを示す。

30

#### 【0216】

図 54 に示すように、実施の形態 9 の S P I インタフェース 180 g は、実施の形態 1 の S P I インタフェース 180 の動作に対してステップ S401 ~ S403 の動作を追加したものである。ステップ S401 では、受信した複数のコマンド中に予め規定されたコマンドとは異なる不正コマンドが含まれているか否かを判断する。このステップ S401 の判断において不正なコマンドがあると判断された場合（ステップ S401 の Y E S の枝）、不正コマンド解析部 40 は、ステップ S402 においてエラーレジスタにエラー値を書き込む。このステップ S401 とステップ S402 の処理が不正コマンド解析ステップである。そして、エラーレジスタ 10 にエラー値が書き込まれたことで、レジスタ制御部 183 は、制御レジスタ 181 の回路構成制御値の更新を停止する（ステップ S403）。

40

#### 【0217】

上記説明より、実施の形態 9 の半導体装置では、回路構成が特定できない不正なコマンドが入力された場合であっても当該不正コマンドが入力されたことをエラーとして検出することができる。

#### 【0218】

##### 実施の形態 10

実施の形態 10 の S P I インタフェース 180 h のブロック図を図 55 に示す。図 55

50

に示すように、実施の形態 10 の S P I インタフェース 1 8 0 h は、実施の形態 1 の S P I インタフェース 1 8 0 に緊急通知フラグレジスタ（以下、単にフラグレジスタ 5 0 と称す）及び緊急通知判断部 5 1 を追加し、回路形式解析部 1 2 を回路形式解析部 1 2 h に置き換えたものである。

【 0 2 1 9 】

フラグレジスタ 5 0 は、緊急通知フラグ E M を格納する。緊急通知判断部 5 1 は、緊急通知フラグが第 1 の値である場合に、エラーコードが正常値からエラー値に切り替わったことに応じて M C U 部 2 0 0 にエラー信号を出力する。このエラー信号は、M C U 部 2 0 0 において割込要求として扱われるものである。

【 0 2 2 0 】

また、回路形式解析部 1 2 h は、実施の形態 1 の回路形式解析部 1 2 に緊急通知フラグの生成処理を追加したものである。回路形式解析部 1 2 h は、特定した更新後の回路形式が予め設定された緊急通知対象回路形式であった場合に緊急通知フラグを更新後の回路形式が緊急通知を必要としない構成であることを示す第 2 の値から更新後の回路形式が緊急通知を必要とする回路形式であることを示す第 1 の値に書き換える。

【 0 2 2 1 】

続いて、実施の形態 10 の S P I インタフェース 1 8 0 h の動作について説明する。そこで、図 5 6 に S P I インタフェース 1 8 0 h の動作を示すフローチャートを示す。図 5 6 に示すように、実施の形態 10 の S P I インタフェース 1 8 0 h の動作は、実施の形態 1 の S P I インタフェース 1 8 0 の動作にステップ S 5 0 1 ~ S 5 0 4 の処理を追加したものである。

【 0 2 2 2 】

ステップ S 5 0 1 は、ステップ S 1 1 1 の回路形式解析ステップの処理の後に行われる処理である。ステップ S 5 0 1 では、ステップ S 1 1 1 で特定された更新後の回路形式が緊急通知対象回路形式であるか否かの判断を行う。このステップ S 5 0 1 の判断において、特定された更新後の回路形式が緊急通知対象回路形式であった場合（ステップ S 5 0 1 の Y E S の枝）、回路形式解析部 1 2 h は、ステップ S 5 0 2 において、緊急通知フラグ E M を第 1 の値（例えば、1）とする。その後、S P I インタフェース 1 8 0 h は、S P I インタフェース 1 8 0 と同じ動作に従ってステップ S 1 1 2 の禁止条件選択ステップを実行する。一方、ステップ S 5 0 1 の判断において、特定された更新後の回路形式が緊急通知対象回路形式でなかった場合（ステップ S 5 0 1 の N O の枝）、回路構成エラー検出部 1 1 は、ステップ S 5 0 2 の処理を行うことなくステップ S 1 1 2 の処理を実行する。

【 0 2 2 3 】

そして、実施の形態 10 の半導体装置は、ステップ S 1 1 7 でエラーレジスタ 1 0 にエラー値が書き込まれたことに応じて、緊急通知判断部 5 1 が緊急通知フラグ E M が 1 であるか否かを判断する（ステップ S 5 0 3）。そして、ステップ S 5 0 3 において、緊急通知フラグ E M が 1 であると判断された場合（ステップ S 5 0 3 の Y E S の枝）には、ステップ S 5 0 4 において、緊急通知判断部 5 1 がエラー信号を M C U 部 2 0 0 に出力し、その後制御レジスタ 1 8 1 の更新処理を停止する（ステップ S 1 1 6）。一方、ステップ S 5 0 3 において、緊急通知フラグ E M が第 2 の値（例えば、0）であると判断された場合（ステップ S 5 0 3 の N O の枝）には、ステップ S 5 0 4 の処理を行うことなく制御レジスタ 1 8 1 の更新処理を停止する（ステップ S 1 1 6）。

【 0 2 2 4 】

上記説明より、実施の形態 10 の半導体装置は、回路形式に応じてエラーを M C U 部 2 0 0 に緊急通知するか否かを選択することができる。また、エラー信号を受信した M C U 部 2 0 0 において割込処理等によるエラー処理を行うことができる。そこで、以下では、実施の形態 10 の半導体装置の全体の動作について説明する。図 5 7 に実施の形態 10 の半導体装置の動作を示すフローチャートを示す。

【 0 2 2 5 】

図 5 7 に示すように、実施の形態 10 の半導体装置は、ステップ S 1 2 1 で A F E 部 1

10

20

30

40

50

00にコマンドを送信して回路構成を設定した後に、MCU部200にエラー信号の入力があった場合(ステップS511のYESの枝)に、MCU部200において割込処理を実施し、AFE部100からエラーコードを取得する(ステップS126)。そして、MCU部200は、当該エラーコードに応じたエラー処理を行う(ステップS127)。

#### 【0226】

一方、実施の形態10の半導体装置は、ステップS511において、MCU部200に対するエラー信号の入力がなかった場合(ステップS511のNOの枝)、実施の形態1と同様にAFE部100から測定結果を取得する(ステップS122)。

#### 【0227】

上記説明より、実施の形態10の半導体装置は、AFE部100の回路形式が予め選択した緊急通知対象回路形式と同じものであれば、即座にエラーの発生をMCU部200において認識することができる。このように、即座にエラーの発生を認識することで、実施の形態10の半導体装置は、エラー処理の速度を高めることができる。

#### 【0228】

例えば、センサ2として加速度センサと、照度センサを利用する場合、照度センサについては確認周期が長くなっても大きな問題とはならないが、加速度センサは装置の落下等を検出し、落下に対する耐衝撃処理を実施しなければならない等の理由により、高速なエラー処理(例えば、コマンドの再送信)が必要になる。このような場合に、加速度センサからの測定結果を取得するAFE部の回路については緊急通知等による早い復帰処理が要求される。このような用途で半導体装置が利用される場合であっても、実施の形態10にかかると半導体装置であれば対応できる。

#### 【0229】

##### 実施の形態11

上記実施の形態では、MCU部200からAFE部100に送信されるコマンドのエラーに起因する誤動作を防止する構成について説明した。実施の形態11では、MCU部200のメモリ220に格納するコマンドについてエラーの発生を防止するための方法について説明する。実施の形態11で利用されるコマンドは、実施の形態11の半導体装置1で実行するプログラムの生成工程の一部で生成される。

#### 【0230】

そこで、半導体装置1の設計フローについて説明する。図58に、半導体装置1の設計フローを示すフローチャートを示す。図58に示すように、半導体装置1の設計フローでは、まず、AFE部100に内蔵される回路のモデルを利用したソフトウェアシミュレーションを実施する(ステップS601)。このソフトウェアシミュレーションは、独立したコンピュータシステムを用いて実施しても良いし、ネットワークを介して他の場所に配置されたサーバーを利用して実施しても良い。このソフトウェアシミュレーションにおいて、使用予定のセンサと、それに対応するAFE部100の回路構成の大まかな値を取得することができる。

#### 【0231】

続いて、ボード評価を行う(ステップS602)。このボード評価では、ステップS601で得られたコマンドを元により詳細な回路構成を決定する。ボード評価では、PCB基板等の評価ボード上に半導体装置1とセンサとを実際に配置し、コンピュータ等の操作装置を用いて半導体装置1を制御し、回路特性の評価を行う。

#### 【0232】

続いて、半導体装置1を含む装置を動作させるプログラムコードの作成と、オブジェクトファイルの生成を行う(ステップS603)。プログラムコードは、例えばC言語等のプログラミング言語で書かれたソースの一部にコマンドを記載したものである。オブジェクトファイルは、プログラムコードをコンパイルして作成するバイナリファイルであって、半導体装置1のメモリ220に書き込まれるものである。

#### 【0233】

続いて、ステップ603で生成したオブジェクトファイルを半導体装置1に書き込むこ

10

20

30

40

50

とで、半導体装置 1 の設計が完了する。

【 0 2 3 4 】

実施の形態 1 1 では、ステップ S 6 0 3 のオブジェクトファイル生成工程において、コマンドの記述ミスを防止するための方法について説明する。そこで、プログラムコードの作成とオブジェクトファイルの生成とを行うコンパイル装置の概要について説明する。図 5 9 にコンパイル装置 6 の概要を示すブロック図を示す。

【 0 2 3 5 】

図 5 9 に示したように、コンパイル装置 6 は、CPU 6 1、入力装置 6 2、表示装置 6 3、メモリ 6 4、HDD (Hard Disk Drive) 6 5、入出力インタフェース 6 6、NIC 6 7 を有する。このコンパイル装置 6 においてコンパイル処理を行うコンパイルプログラム 6 5 1 は、HDD 6 5 に格納される。また、HDD 6 1 には、プログラムコードファイル 6 5 2 (以下、コードファイル 6 5 2 と称す) 及び生成されるオブジェクトファイル 6 5 3 も格納される。

10

【 0 2 3 6 】

CPU 6 1 は、コンパイルプログラム 6 5 1 を読み込んで、コンパイル処理を実施する演算部である。入力装置 6 2 は、ユーザーからの操作を受け付ける入力インタフェースである。表示装置 6 3 は、ユーザーインタフェース画面等を表示する装置である。メモリ 6 4 は、CPU 6 1 の処理で利用される中間データ等が格納されるものである。入出力インタフェース 6 6 は、例えば、USB インタフェース等のコンパイル装置 6 の外部インタフェースである。NIC 6 7 は、ネットワークインタフェースである。

20

【 0 2 3 7 】

コンパイル装置 6 では、特にコンパイルプログラム 6 5 1 による処理に特徴がある。そこで、コンパイルプログラム 6 5 1 に基づくコンパイル処理の手順を示すフローチャートを図 6 0 に示す。

【 0 2 3 8 】

図 6 0 に示すように、コンパイルプログラム 6 5 1 は、まず、コードファイル 6 5 2 を読み込む読み込み処理を行う (ステップ S 6 1 1)。続いて、コンパイルプログラム 6 5 1 は、読み込んだコードファイル 6 5 2 に含まれるコマンドに上記実施の形態で説明した禁止条件に違反する構成が含まれているかを判断する (ステップ S 6 1 2)。このステップ S 6 1 2 では、上記実施の形態においてハードウェアにて実行していた回路構成エラー検出部 1 1 のエラー検出処理をソフトウェアを用いて実行する。

30

【 0 2 3 9 】

そして、ステップ S 6 1 2 の判断処理において、回路構成のエラーが発見されなければ (ステップ S 6 1 2 の YES の枝)、オブジェクトファイル 6 5 3 を生成する (ステップ S 6 1 3)。一方、ステップ S 6 1 2 の判断処理において、回路構成のエラーが発見された場合 (ステップ S 6 1 2 の NO の枝)、コンパイルプログラム 6 5 1 は、表示装置 6 3 にエラーコード (例えば図 2 5 等に示したエラーコード) を表示して処理を終了する (ステップ S 6 1 4)。これにより、ユーザーは、コードファイル 6 5 2 中のコマンドにより実現される回路構成にエラーが含まれていれば、当該エラー箇所を修正した上で正しいコマンドを含むオブジェクトファイルを作成することができる。

40

【 0 2 4 0 】

上記説明より、実施の形態 1 1 にかかるコンパイルプログラム 6 5 1 によれば、回路構成にエラーが含まれるコマンドが含まれるオブジェクトファイルが生成されることを防止することができる。このように、書き込むオブジェクトファイルの信頼性を向上させることで、半導体装置 1 を含むシステムの信頼性を向上させることができる。

【 0 2 4 1 】

なお、実施の形態 1 1 では、コマンドにエラーが含まれていた場合には、エラーコードを表示して処理を終了する例を示したが、エラーの種類に応じて自動的に修正後のコマンドコードを生成した上でオブジェクトファイルを生成することも可能である。

【 0 2 4 2 】

50

また、上述したプログラムは、様々なタイプの非一時的なコンピュータ可読媒体 (non-transitory computer readable medium) を用いて格納され、コンピュータに供給することができる。非一時的なコンピュータ可読媒体は、様々なタイプの実体のある記録媒体 (tangible storage medium) を含む。非一時的なコンピュータ可読媒体の例は、磁気記録媒体 (例えばフレキシブルディスク、磁気テープ、ハードディスクドライブ)、光磁気記録媒体 (例えば光磁気ディスク)、CD-ROM (Read Only Memory) CD-R、CD-R/W、半導体メモリ (例えば、マスクROM、PROM (Programmable ROM)、EPROM (Erasable PROM)、フラッシュROM、RAM (Random Access Memory)) を含む。また、プログラムは、様々なタイプの一時的なコンピュータ可読媒体 (transitory computer readable medium) によってコンピュータに供給されてもよい。一時的な

10  
コンピュータ可読媒体の例は、電気信号、光信号、及び電磁波を含む。一時的なコンピュータ可読媒体は、電線及び光ファイバ等の有線通信路、又は無線通信路を介して、プログラムをコンピュータに供給できる。

#### 【0243】

##### 実施の形態12

実施の形態12では、図58のソフトウェアシミュレーションにおいてエラー箇所を表示することで作業効率を向上させる実施例について説明する。そこでまず、本実施の形態に係る半導体装置1の動作をシミュレーションするためのシミュレーションシステム(設計支援システム)の構成図を図61に示す。

#### 【0244】

図61に示すように、このシミュレーションシステムは、ネットワーク5を介して通信可能に接続されたユーザ端末3とウェブシミュレータ4とを備えている。ユーザ端末3は、主に、ウェブブラウザ300、記憶部301を有している。ウェブシミュレータ4は、主に、ウェブサーバ400、シミュレーション制御部401、記憶部402を有している。

#### 【0245】

ネットワーク5は、例えばインターネット等であり、ユーザ端末3とウェブシミュレータ4の間でウェブページ情報が伝送可能なネットワークである。ネットワーク5は、有線ネットワークでもよいし、無線ネットワークでもよい。

#### 【0246】

ユーザ端末3のウェブブラウザ300は、ウェブサーバ400から受信したウェブページ情報に基づいてウェブページを表示装置に表示する。ウェブブラウザ300は、ユーザからの操作を受け付け、ユーザの操作に応じてウェブサーバ400にアクセスし、ウェブシミュレータ4でシミュレーションを実行するためのユーザインタフェースでもある。

#### 【0247】

ユーザ端末3の記憶部301は、ユーザ端末3の機能を実現するための各種データやプログラム等が記憶される。また、記憶部301は、後述のように、半導体装置1の制御レジスタ181に設定するためのレジスタ情報をウェブシミュレータ4からダウンロードし記憶する。

#### 【0248】

ウェブシミュレータ4のウェブサーバ400は、ウェブブラウザ300にウェブシミュレータのウェブサービスを提供するサーバである。ウェブサーバ400は、ウェブブラウザ300からのアクセスを受け付け、アクセスに応じてウェブブラウザに表示するためのウェブページ情報を送信する。

#### 【0249】

ウェブシミュレータ4のシミュレーション制御部401は、センサ及び半導体装置1のシミュレーション機能を実現する。後述のように、ウェブシミュレータ4は、シミュレーション対象であるセンサ及び半導体装置1の回路構成を設定し、シミュレーションに必要なパラメータを設定し、シミュレーションを実行する。

#### 【0250】

10

20

30

40

50

ウェブシミュレータ4の記憶部402は、ウェブシミュレータの機能を実現するための各種データやプログラム等が記憶される。後述のように、記憶部402は、選択可能なセンサの情報やセンサに適したバイアス回路の情報、センサ及びバイアス回路に適したアナログ回路の情報等を記憶する。

【0251】

ユーザ端末3は、クライアント装置として動作するパーソナルコンピュータなどのコンピュータ装置であり、ウェブシミュレータ4は、サーバ装置として動作するワークステーションなどのコンピュータ装置である。図62は、ユーザ端末3またはウェブシミュレータ4を実現するためのハードウェア構成の例を示している。なお、ユーザ端末3またはウェブシミュレータ4は、単一のコンピュータでなくとも、複数のコンピュータによって構成することも可能である。

10

【0252】

図62に示すように、ユーザ端末3またはウェブシミュレータ4は、一般的なコンピュータ装置であり、中央処理装置(CPU)311とメモリ314とを含んでいる。CPU311とメモリ314は、バスを介して補助記憶装置としてのハードディスク装置(HDD)315に接続される。ユーザ端末3は、ユーザ・インターフェース・ハードウェアとして、例えば、ユーザが入力するためのポインティング・デバイス(マウス、ジョイスティック等)やキーボード等の入力装置312や、GUI等の視覚データをユーザに提示するためのCRTや液晶ディスプレイなどの表示装置313を有している。ウェブシミュレータ4についても、ユーザ端末3と同様にユーザ・インターフェース・ハードウェアを有し

20

【0253】

HDD315等の記憶媒体はオペレーティングシステムと協働してCPU311等に命令を与え、ユーザ端末3またはウェブシミュレータ4の機能を実施するためのブラウザプログラムやシミュレーションプログラムを記憶することができる。このプログラムは、メモリ314にロードされることによって実行される。

【0254】

また、ユーザ端末3またはウェブシミュレータ4は、外部装置と接続するための入出力インターフェース(I/O)316やNIC(Network Interface Card)317を有している。例えば、ユーザ端末3は、入出力インターフェース316として半導体装置1等に接続するためのUSB等を備えている。ユーザ端末3及びウェブシミュレータ4は、ネットワーク5に接続するためのNIC317としてイーサネット(登録商標)カード等を備えている。

30

【0255】

図63Aは、ウェブシミュレータ4におけるシミュレーション制御部401の機能ブロックと、記憶部402に記憶される各種データを示している。なお、図63Aは一例であり、後述の図64の処理や画面表示が実現できればその他の構成であってもよい。

【0256】

シミュレーション制御部401は、CPU311がシミュレーションプログラムを実行することでシミュレーションのための各部の機能を実現している。図63Aに示すように、シミュレーション制御部401は、主に、ウェブページ処理部411、回路設定部412、パラメータ設定部413、シミュレーション実行部415、レジスタ情報生成部416を有している。さらに、シミュレーション実行部415は、物理量変換部(物理量対電気特性換算機能)450、自動設定部451、過渡解析部452、AC解析部453、フィルタ効果解析部454、同期検波解析部455を有している。

40

【0257】

記憶部402は、HDD315やメモリ314により実現されている。図63Aに示すように、記憶部402は、センサデータベース421、センサバイアス回路データベース422、コンフィギュラブルアナログ回路データベース423、AFEデータベース424、ウェブページ情報記憶部425、回路情報記憶部426、パラメータ記憶部427、

50

結果情報記憶部 4 2 8、レジスタ情報記憶部 4 2 9、入力パターン記憶部 4 3 0 を有している。

【 0 2 5 8 】

センサデータベース 4 2 1 は、各種センサのデータシートを格納するデータベースである。センサのデータシートには、センサのタイプ（種類）や特性等の情報が含まれている。センサデータベース 4 2 1 には、センサとタイプ及び特性とが関連付けて記憶されている。

【 0 2 5 9 】

センサバイアス回路データベース 4 2 2 は、各種センサで使用可能なバイアス回路（バイアス方法）を格納するデータベースである。バイアス回路の情報として、バイアス回路を構成する素子や、各素子の接続関係、出力端子等の情報が含まれている。センサバイアス回路データベース 4 2 2 には、センサとバイアス回路とが関連付けて記憶されている。

【 0 2 6 0 】

コンフィギュラブルアナログ回路データベース 4 2 3 は、センサとセンサバイアス回路に最適なアナログ回路を選択するためのデータベースである。コンフィギュラブルアナログ回路の情報として、半導体装置 1 のコンフィギュラブル・アンプ 1 1 0 の構成や入力端子等の情報が含まれている。コンフィギュラブルアナログ回路データベース 4 2 3 には、センサ及びバイアス回路と、コンフィギュラブル・アンプ 1 1 0 の構成とが関連付けられている。

【 0 2 6 1 】

A F E データベース 4 2 4 は、半導体装置 1 のデータシートを格納するデータベースである。特に、半導体装置 1 の A F E 部 1 0 0 のシミュレーションを行うため、データシートには A F E 部 1 0 0 の構成や特性等の情報が含まれている。A F E データベース 4 2 4 には、半導体装置 1 と A F E 部 1 0 0 の構成とが関連付けられている。例えば、A F E データベース 4 2 4 には、半導体装置 1 のデータシートが格納されている。

【 0 2 6 2 】

ウェブページ情報記憶部 4 2 5 は、ユーザ端末 3 のウェブブラウザ 3 0 0 に各種画面を表示するためのウェブページ情報を記憶する。ウェブページ情報は、後述のように半導体装置 1 をシミュレーションするための G U I を含むウェブページ（画面）を表示するための情報である。

【 0 2 6 3 】

回路情報記憶部 4 2 6 は、シミュレーションの対象となる回路の回路情報を記憶する。この回路情報には、センサやバイアス回路、A F E 部 1 0 0 の回路素子や各素子の接続関係の情報が含まれている。パラメータ記憶部 4 2 7 は、シミュレーション条件として、シミュレーションの実行に必要なパラメータを記憶する。このパラメータには、物理量などの入力情報や回路パラメータ等が含まれている。

【 0 2 6 4 】

結果情報記憶部 4 2 8 は、シミュレーションの実行結果である結果情報を記憶する。この結果情報には、過渡解析、A C 解析、フィルタ効果解析、同期検波解析のシミュレーション結果として、A F E 部 1 0 0 の各回路の入出力波形が含まれている。レジスタ情報記憶部 4 2 9 は、半導体装置 1 の制御レジスタ 1 8 1 に設定するレジスタ情報（構成情報）を記憶する。入力パターン記憶部 4 3 9 は、センサに入力する信号の複数の波形パターンの情報を記憶する。入力パターン記憶部 4 3 9 には、入力パターンとして、後述するような正弦波や方形波、三角波、ステップ応答などのパターンが記憶されている。

【 0 2 6 5 】

ウェブページ処理部（ウェブページ表示部）4 1 1 は、ウェブページ情報記憶部 4 2 5 に記憶されたウェブページ情報を、ウェブサーバ 4 0 0 を介してユーザ端末 3 へ送信することで、ウェブブラウザ 3 0 0 に G U I を含むウェブページ（画面）を表示し、さらに、ユーザによるウェブページの G U I への入力操作をユーザ端末 3 から受け付ける。

【 0 2 6 6 】

ウェブページ処理部 4 1 1 は、各画面を表示するための表示部を有している。すなわち、ウェブページ処理部 4 1 1 は、センサ表示部 4 1 1 a、バイアス回路表示部 4 1 1 b、A F E 表示部 4 1 1 c、入力パターン表示部 4 1 1 d を有している。センサ表示部 4 1 1 a は、センサデータベース 4 2 1 を参照して、ユーザが選択したセンサのタイプに対応する複数のセンサを表示する。バイアス回路表示部 4 1 1 b は、センサバイアス回路データベース 4 2 2 を参照して、選択されたセンサに対応する複数のバイアス回路を表示する。A F E 表示部（半導体装置表示部）4 1 1 c は、A F E データベース 4 2 4 を参照して、設定された回路構成のコンフィギュラブル・アンプ 1 1 0 を有する複数の半導体装置 1 を表示する。入力パターン表示部 4 1 1 d は、入力パターン記憶部 4 3 0 に記憶されている複数の波形パターンを表示する。

10

## 【 0 2 6 7 】

回路設定部 4 1 2 は、ユーザによるウェブページ（画面）の入力操作に応じて、回路情報を生成し、回路情報記憶部 4 2 6 に記憶する。回路設定部 4 1 2 は、センサ、バイアス回路、半導体装置 1 の選択に応じて回路情報を生成する。例えば、回路設定部 4 1 2 は、センサ選択部 4 1 2 a、バイアス回路選択部 4 1 2 b、A F E 設定選択部 4 1 2 c を有している。

## 【 0 2 6 8 】

センサ選択部 4 1 2 a は、センサ表示部 4 1 1 a が表示した、センサデータベース 4 2 1 に含まれる複数のセンサからユーザ操作により選択されたセンサの情報に基づいて回路情報を生成する。バイアス回路選択部 4 1 2 b は、バイアス回路表示部 4 1 1 b が表示した、選択されたセンサに適した複数のバイアス回路からユーザ操作により選択されたバイアス回路の情報に基づいて回路情報を生成する。A F E 設定選択部（回路構成設定部）4 1 2 c は、コンフィギュラブルアナログ回路データベース 4 2 3 を参照し、選択されたセンサ及びバイアス回路に適したコンフィギュラブル・アンプ 1 1 0 の構成及び接続関係を特定し、回路情報を生成する。また、A F E 設定選択部（半導体装置選択）4 1 2 c は、A F E 表示部 4 1 1 c が表示した、A F E データベース 4 2 4 に含まれる複数の半導体装置 1 からユーザ操作により選択された半導体装置 1 の情報に基づいて回路情報を生成する。

20

## 【 0 2 6 9 】

パラメータ設定部 4 1 3 は、ユーザによるウェブページ（画面）の入力操作に応じて、シミュレーションを実行するためのパラメータを生成し、パラメータ記憶部 4 2 7 に記憶する。パラメータ設定部（入力パターン選択部）4 1 3 は、入力パターン表示部 4 1 1 d が表示した複数の波形パターンの中からユーザの操作にしたがって選択された、センサに入力される物理量の入力パターンの情報を生成する。

30

## 【 0 2 7 0 】

シミュレーション実行部 4 1 5 は、回路情報記憶部 4 2 6 及びパラメータ記憶部 4 2 7 を参照し、記憶されている回路情報及びパラメータに基づいてシミュレーションを実行する。

## 【 0 2 7 1 】

物理量変換部 4 5 0 は、センサの入力情報である物理量をセンサ出力の電気信号に変換する。物理量変換部 4 5 0 は、パラメータ記憶部 4 2 7 を参照し、設定された物理量の入力パターンにしたがい、時系列の順に変動する物理量に対応してセンサの出力信号を生成する。

40

## 【 0 2 7 2 】

自動設定部（回路特性設定部）4 5 1 は、A F E 部 1 0 0 の回路特性を自動的に設定し、設定したパラメータをパラメータ記憶部 4 2 7 に記憶する。自動設定部 4 5 1 は、回路情報記憶部 4 2 6 を参照し、設定されたセンサ及びバイアス回路、コンフィギュラブル・アンプ 1 1 0 の回路構成において、自動的に適切なコンフィギュラブル・アンプ 1 1 0 のゲイン・オフセットを設定する。自動設定部 4 5 1 は、コンフィギュラブル・アンプ 1 1 0 の動作をシミュレーションし、最適なゲイン・オフセットとなるように、コンフィギュ

50

ラブル・アンプ 1 1 0 の D A C 電圧やゲイン等のパラメータを調整する。

【 0 2 7 3 】

過渡解析部 4 5 2 は、過渡特性を解析するため A F E 部 1 0 0 の入出力特性をシミュレーションし、シミュレーション結果を結果情報記憶部 4 2 8 に記憶する。過渡解析部 4 5 2 は、回路情報記憶部 4 2 6 及びパラメータ記憶部 4 2 7 を参照し、各パラメータをシミュレーション条件として設定された構成の回路動作をシミュレーションし、入出力特性を示す波形を生成する。過渡解析部 4 5 2 は、時系列に入力される物理量の入力パターンについて物理量変換部 4 5 0 が変換したセンサ出力信号を A F E 部 1 0 0 の入力信号として、A F E 部 1 0 0 の動作をシミュレーションし、A F E 部 1 0 0 の各回路の時系列の出力信号を生成する。

10

【 0 2 7 4 】

A C 解析部 4 5 3 は、A C 特性を解析するため A F E 部 1 0 0 の周波数特性をシミュレーションし、シミュレーション結果を結果情報記憶部 4 2 8 に記憶する。A C 解析部 4 5 3 は、回路情報記憶部 4 2 6 及びパラメータ記憶部 4 2 7 を参照し、各パラメータをシミュレーション条件として設定された構成の回路動作をシミュレーションし、周波数特性を示す波形を生成する。A C 解析部 4 5 3 は、周波数ごとに物理量の入力パターンを生成し、物理量変換部 4 5 0 が変換したセンサ出力信号を A F E 部 1 0 0 の入力信号として、A F E 部 1 0 0 の動作をシミュレーションし、A F E 部 1 0 0 の各回路の周波数ごとの出力信号を生成する。

20

【 0 2 7 5 】

フィルタ効果解析部 4 5 4 は、フィルタ効果を解析するためノイズが発生する環境における A F E 部 1 0 0 の入出力特性をシミュレーションし、シミュレーション結果を結果情報記憶部 4 2 8 に記憶する。フィルタ効果解析部 4 5 4 は、回路情報記憶部 4 2 6 及びパラメータ記憶部 4 2 7 を参照し、各パラメータをシミュレーション条件として設定された構成の回路動作をシミュレーションし、ノイズ環境における入出力特性を示す波形を生成する。フィルタ効果解析部 4 5 4 は、時系列に入力される物理量の入力パターンにノイズを付加し、ノイズを付加した信号を物理量変換部 4 5 0 が変換したセンサ出力信号を A F E 部 1 0 0 の入力信号として、A F E 部 1 0 0 の動作をシミュレーションし、A F E 部 1 0 0 の各回路の時系列の出力信号を生成する。

30

【 0 2 7 6 】

同期検波解析部 4 5 5 は、同期検波動作を解析するため A F E 部 1 0 0 の同期検波動作をシミュレーションし、シミュレーション結果を結果情報記憶部 4 2 8 に記憶する。同期検波解析部 4 5 5 は、回路情報記憶部 4 2 6 及びパラメータ記憶部 4 2 7 を参照し、各パラメータをシミュレーション条件として設定された構成の回路動作をシミュレーションし、同期検波動作を示す波形を生成する。同期検波解析部 4 5 5 は、時系列に入力される物理量の入力パターンと、図 1 6 で示したような同期クロックを入力として、A F E 部 1 0 0 の動作をシミュレーションし、A F E 部 1 0 0 の各回路の時系列の出力信号を生成する。

【 0 2 7 7 】

レジスタ情報生成部 4 1 6 は、半導体装置 1 のレジスタ 1 8 1 に設定するレジスタ情報を生成し、レジスタ情報記憶部 4 2 9 に記憶する。レジスタ情報生成部 4 1 6 は、回路情報記憶部 4 2 6 及びパラメータ記憶部 4 2 7 を参照し、シミュレーション対象として設定されている A F E 部 1 0 0 の回路構成及び回路特性に応じてレジスタ情報を生成する。

40

【 0 2 7 8 】

また、図 6 3 B や図 6 3 C のように、図 6 3 A に示したブロックのうち一部のブロックによりウェブシミュレータ 4 を構成してもよい。例えば、図 6 3 B に示すように、ウェブシミュレータ 4 は、図 6 3 A の構成のうち少なくとも、センサバイアス回路データベース 4 2 2、センサ選択部 4 1 2 a、バイアス回路表示部 4 1 2 b、バイアス回路選択部 4 1 2 b、回路構成設定部 ( A F E 設定選択部 ) 4 1 2 c、シミュレーション実行部 4 1 5 を備えている。

50

## 【 0 2 7 9 】

すなわち、図 6 3 B では、センサ選択部 4 1 2 a が、半導体装置 1 に接続するセンサを選択する。センサバイアス回路データベース 4 2 2 が、センサと当該センサにバイアス信号を供給する複数のバイアス回路とを関連付けて記憶し、バイアス回路表示部 4 1 2 b が、センサバイアス回路データベース 4 2 2 を参照して、選択されたセンサに対応する複数のバイアス回路を表示する。バイアス回路選択部 4 1 2 b が、表示した複数のバイアス回路の中からユーザの操作に従い、選択されたセンサに接続するバイアス回路を選択し選択されたセンサに接続するバイアス回路を選択する。回路構成設定部 4 1 2 c が、選択されたセンサ及びバイアス回路に接続する半導体装置 1 の回路構成を設定する。シミュレーション実行部 4 1 5 が、選択されたセンサ及びバイアス回路と設定された回路構成の半導体装置 1 とを接続した接続回路のシミュレーションを実行する。少なくとも、図 6 3 B のようにウェブシミュレータ 4 を構成することで、センサに応じた複数のバイアス回路から最適なバイアス回路を選択し、効果的にシミュレーションを行うことができる。

10

## 【 0 2 8 0 】

また、図 6 3 C に示すように、ウェブシミュレータ 4 は、図 6 3 A の構成のうち少なくとも、入力パターン記憶部 4 3 0 と、回路構成設定部 ( A F E 設定部 ) 4 1 2 c と、入力パターン表示部 4 1 1 d と、入力パターン選択部 ( パラメータ設定部 ) 4 1 3 と、シミュレーション実行部 4 1 5 を備えている。

## 【 0 2 8 1 】

すなわち、図 6 3 C では、回路構成設定部 4 1 2 c が、半導体装置 1 に接続するセンサに応じて半導体装置 1 の回路構成を設定する。入力パターン記憶部 4 3 0 が、センサに入力する信号の複数の波形パターンを記憶し、入力パターン表示部 4 1 1 d が、入力パターン記憶部 4 3 0 に記憶されている複数の波形パターンを表示する。入力パターン選択部 4 1 3 が、表示した複数の波形パターンの中からユーザの操作に従い、センサに入力する信号の波形パターンを選択する。シミュレーション実行部 4 1 5 が、選択された波形パターンを入力条件として、センサと設定された回路構成のアナログフロントエンド回路とを接続した接続回路のシミュレーションを実行する。少なくとも、図 6 3 C のようにウェブシミュレータ 4 を構成することで、センサに入力する波形パターンから所望のパターンを選択し、効果的にシミュレーションを行うことができる。

20

## 【 0 2 8 2 】

次に、図 6 4 を用いて、本実施の形態に係るシミュレーションシステムで実行されるシミュレーション方法について説明する。このシミュレーション方法は、主に図 6 1 ~ 図 6 3 のウェブシミュレータ 4 で各処理が実行され、ユーザ端末 3 の表示装置に画面表示を行うことで実現されるため、以下ではウェブシミュレータ 4 で実行される処理について説明する。

30

## 【 0 2 8 3 】

図 6 4 のフローチャートは、本実施の形態に係るシミュレーション処理の全体の流れを示している。このシミュレーション処理では、まず、ウェブページ処理部 4 1 1 はユーザ端末 3 にガイダンス画面を表示させる ( ステップ S 8 0 1 ) 。ユーザ端末 3 のウェブブラウザ 3 0 0 において、ユーザがウェブシミュレータ 4 の URL を指定すると、ウェブブラウザ 3 0 0 がウェブサーバ 4 0 0 にアクセスし、ウェブシミュレータ 4 においてシミュレーションプログラムが起動する。そうすると、ウェブページ処理部 4 1 1 は、起動ページであるガイダンス画面のウェブページ情報をユーザ端末 3 へ送信し、ウェブブラウザ 3 0 0 にガイダンス画面を表示させる。

40

## 【 0 2 8 4 】

次いで、ウェブページ処理部 4 1 1 はユーザ端末 3 にセンサ選択画面を表示させ、ユーザがセンサを選択する ( ステップ S 8 0 2 ) 。ステップ S 8 0 1 のガイダンス画面において、ユーザがセンサを選択するための操作を行うと、ウェブページ処理部 4 1 1 は、センサを選択するためのセンサ選択画面のウェブページ情報をユーザ端末 3 へ送信し、ウェブブラウザ 3 0 0 にセンサ選択画面を表示させる。ウェブページ処理部 4 1 1 は、ユーザが

50

センサタイプなどの絞り込み条件（検索条件もしくはフィルタ条件）を指定すると、センサデータベース421から絞り込み条件に該当するセンサを抽出し、抽出したセンサのリストをセンサ選択画面に表示する。センサ選択画面において表示されたセンサリストの中からユーザが使用するセンサを選択すると、回路設定部412（センサ選択部412a）は、選択されたセンサをシミュレーション対象の回路として回路情報記憶部426に記憶する。

**【0285】**

次いで、ウェブページ処理部411はユーザ端末3にバイアス回路選択画面を表示させ、ユーザがバイアス回路を選択する（ステップS803）。ステップS802のセンサ選択画面において、ユーザがバイアス回路を設定するための操作を行うと、ウェブページ処理部411はバイアス回路選択画面のウェブページ情報をユーザ端末3へ送信し、ウェブブラウザ300にバイアス回路選択画面を表示させる。ウェブページ処理部411は、センサバイアス回路データベース422を参照し、ステップS802で選択したセンサに適した複数のバイアス回路を抽出し、バイアス回路選択画面に表示する。バイアス回路選択画面において表示された複数のバイアス回路の中からユーザがバイアス回路を選択すると、回路設定部412（バイアス回路選択部412b）は、選択されたバイアス回路をシミュレーション対象の回路として回路情報記憶部426に記憶する。

**【0286】**

次いで、ウェブページ処理部411はユーザ端末3に物理量入力画面を表示させ、ユーザが物理量を入力する（ステップS804）。ステップS802のセンサ選択画面やステップS803のバイアス回路選択画面において、ユーザがセンサの物理量を入力するための操作を行うと、ウェブページ処理部411はユーザがセンサの物理量を入力するための物理量入力画面のウェブページ情報をユーザ端末3へ送信し、ウェブブラウザ300に物理量入力画面を表示させる。ウェブページ処理部411は、センサに入力する物理量を時系列に入力するための複数の入力パターン（入力波形）を物理量入力画面に表示し、ユーザがシミュレーションで使用する入力パターンを選択する。また、ウェブページ処理部411は、センサデータベース421を参照し、選択されたセンサに応じた物理量の入力範囲を物理量入力画面に表示し、ユーザが物理量の入力範囲を設定する。物理量入力画面において、ユーザがセンサに入力する物理量の入力パターンと入力範囲を入力すると、パラメータ設定部413は、入力されたパラメータをパラメータ記憶部427に設定する。

**【0287】**

次いで、ウェブページ処理部411はユーザ端末3にAFE選択画面を表示させ、ユーザがAFE（半導体装置）を選択する（ステップS805）。ステップS801のガイダンス画面やステップS802のセンサ選択画面等において、ユーザが半導体装置1（AFE部100）を選択するための操作を行うと、ウェブページ処理部411はユーザが半導体装置1を選択するためのAFE選択画面のウェブページ情報をユーザ端末3へ送信し、ウェブブラウザ300にAFE選択画面を表示させる。

**【0288】**

ウェブページ処理部411は、AFEデータベース424を参照し、選択されたセンサ及びバイアス回路に適したコンフィギュラブル・アンプ110の構成を含む半導体装置1を抽出する。このとき、コンフィギュラブルアナログ回路データベース423を参照し、選択されたセンサ及びバイアス回路に適したコンフィギュラブル・アンプ110の構成を決定し、決定した構成のコンフィギュラブル・アンプ110を含む半導体装置1を抽出する。さらに、ウェブページ処理部411は、ユーザが半導体装置1の構成などの絞り込み条件を指定すると、AFEデータベース424から絞り込み条件に該当する半導体装置1を抽出し、抽出した半導体装置1のリストをAFE選択画面に表示する。AFE選択画面において表示された半導体装置1のリストの中からユーザが使用する半導体装置1（AFE部100）を選択すると、回路設定部412（AFE設定選択部412c）は、選択された半導体装置1のAFE部100をシミュレーション対象の回路として回路情報記憶部426に記憶する。

10

20

30

40

50

## 【0289】

次いで、回路設定部412は、コンフィギュラブル・アンプ110の構成と接続関係を決定する(ステップS806)。ステップS802~S803でセンサ及びバイアス回路が選択され、ステップS805で半導体装置1が選択されると、回路設定部412は、コンフィギュラブルアナログ回路データベース423を参照し、選択されたセンサ及びバイアス回路に適したコンフィギュラブル・アンプ110の構成を決定し、センサ及びバイアス回路とコンフィギュラブル・アンプ110との接続関係(接続端子)を決定する。回路設定部412(AFE設定選択部412c)は、決定したコンフィギュラブル・アンプ110の構成と接続関係の情報を回路情報記憶部426に記憶する。

## 【0290】

ここで、ステップS806では、回路情報記憶部426にコンフィギュラブル・アンプ110の構成と接続関係情報を格納する前に、上記実施の形態の回路構成エラー検出部11で実施していたエラー検出処理を行う。そして、このエラー検出処理において、エラーが発見された場合、表示装置312に表示箇所を明示したGUI画面を表示する(ステップS821)。

## 【0291】

このGUI画面の一例を図65に示す。図65に示すように、GUI画面では、エラー箇所を示す信号パスが強調表示されると共に、画面下部にエラーコードとエラー内容が表示される。また、GUI画面には、エラー箇所に対する処理として「修正」と「無視」との選択を行うボタンが配置される。ユーザーは、「修正」ボタンを選択すると、エラー箇所を修正することができる。また、ユーザーは、「無視」ボタンを選択することで、エラー箇所があっても処理をステップS807に進めることができる。

## 【0292】

なお、ステップS806において、エラーが検出されなかった場合には、エラーが無かったとユーザーに通知されると共に、ステップS807に処理を進めることが可能になる。

## 【0293】

次いで、ウェブページ処理部411はユーザ端末3にセンサAFE接続画面を表示させ、ユーザがセンサとAFE(半導体装置1)とを接続する(ステップS807)。ステップS805のAFE選択画面において、ユーザがセンサと半導体装置1を接続するための操作を行うと、ウェブページ処理部411はユーザがセンサと半導体装置1とを接続するためのセンサAFE接続画面のウェブページ情報をユーザ端末3へ送信し、ウェブブラウザ300にセンサAFE接続画面を表示させる。ウェブページ処理部411は、選択されたセンサ及びバイアス回路の出力端子と、選択された半導体装置1(AFE部100)の入力端子とを表示し、ユーザがセンサ及びバイアス回路と半導体装置1との接続関係を選択できるように表示する。さらに、デフォルトの接続状態として、ステップS806で決定した接続関係によりセンサ及びバイアス回路と半導体装置1とを接続するように、接続関係を表示する。センサAFE接続画面において、ユーザがセンサと半導体装置1との接続関係を選択すると、回路設定部412は、選択された接続関係をシミュレーション対象の回路の接続関係として回路情報記憶部426に記憶する。

## 【0294】

次いで、自動設定部451は、自動設定処理を実行する(ステップS808)。ステップS802~S807でセンサ及びバイアス回路、コンフィギュラブル・アンプ110の構成及び接続関係が決定すると、自動設定部451は、コンフィギュラブル・アンプ110のデフォルト値を自動的に設定するため、自動設定処理を実行する。この自動設定処理の詳細については後述する。自動設定部451は、自動設定処理により設定されたコンフィギュラブル・アンプ110のDAC出力やゲイン等のパラメータをパラメータ記憶部427に記憶する。

## 【0295】

次いで、シミュレーション実行部415は、シミュレーション実行処理を行う(ステッ

10

20

30

40

50

プS809)。S802～S808でセンサ及びバイアス回路、半導体装置1(AFE部100)の構成及び接続関係が決定すると、シミュレーション実行部415はユーザの操作にしたがって過渡解析、AC解析、フィルタ効果解析、同期検波解析などのためシミュレーションを実行する。このシミュレーション実行処理の詳細については後述する。シミュレーション実行部415は、シミュレーション実行処理により得られたシミュレーション結果を結果情報記憶部428に記憶する。

#### 【0296】

次いで、ウェブページ処理部411はユーザ端末3に部品リスト画面を表示させる(ステップS810)。ステップS801のガイダンス画面やステップS809のシミュレーション画面において、ユーザが部品リスト(BOM: Bills of Materials)を表示するための操作を行うと、ウェブページ処理部411は部品リストを表示するための部品リスト画面のウェブページ情報をユーザ端末3へ送信し、ウェブブラウザ300に部品リスト画面を表示させる。ウェブページ処理部411は、回路情報記憶部426を参照し、シミュレーション対象に選択されたセンサ及び半導体装置1を含む部品リストを部品リスト画面に表示する。表示する部品リストは部品の購入サイトにリンクが設定されており、部品リスト画面において、ユーザが部品を選択すると部品の購入サイトにアクセスされ、部品を購入することができる。

10

#### 【0297】

次いで、レジスタ情報生成部416は、レジスタ情報を生成する(ステップS811)。ステップS802～S809で半導体装置1(AFE部100)の回路構成及びパラメータ(回路特性)が決定すると、レジスタ情報生成部416は半導体装置1のレジスタ181に設定するためのレジスタ情報を生成する。レジスタ情報生成部416は、回路情報記憶部426及びパラメータ記憶部427を参照して半導体装置1の回路構成及びパラメータに基づいてレジスタ情報を生成し、生成したレジスタ情報をレジスタ情報記憶部429に記憶する。レジスタ情報はレポート画面に表示されるため、ステップS811のレジスタ情報の生成は、レポート画面の表示までに実行されていけばよい。

20

#### 【0298】

次いで、ウェブページ処理部411はユーザ端末3にレポート画面を表示させる(ステップS812)。ステップS801のガイダンス画面やステップS809のシミュレーション画面等において、ユーザがシミュレーション結果を出力するための操作を行うと、ウェブページ処理部411はシミュレーション結果を含むレポート画面のウェブページ情報をユーザ端末3へ送信し、ウェブブラウザ300にレポート画面を表示させる。ウェブページ処理部411は、結果情報記憶部428を参照し、シミュレーション結果をレポート画面に表示する。また、ウェブページ処理部411は、回路情報記憶部426、パラメータ記憶部427、レジスタ情報記憶部429を参照し、シミュレーション対象のセンサ及びバイアス回路、半導体装置1の回路構成、接続関係、パラメータを表示し、半導体装置1のレジスタ情報も表示する。さらに、レポート画面において、ユーザの操作に応じてレジスタ情報をユーザ端末3へダウンロードすることができる。

30

#### 【0299】

上記説明より、実施の形態12にかかるシミュレータでは、回路構成が上記実施の形態で説明した禁止条件に違反していることを検出して、エラーコードと共にエラー箇所をGUI画面上に表示する。これにより、ユーザーは誤った回路構成でシミュレーションを実行することがないため、設計工程の時間を短くすることができる。

40

#### 【0300】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

#### 【符号の説明】

#### 【0301】

1 半導体装置

50

2	センサ	
3	ユーザ端末	
4	ウェブシミュレータ	
5	ネットワーク	
6	コンパイル装置	
10	エラーレジスタ	
11	回路構成エラー検出部	
12、12b、12d、12e、12h、20	回路形式解析部	
13、13a	禁止条件選択部	
14	エラー検出部	10
21	ソフトリセットコマンド発生回路	
30	使用端子検出部	
31	端子構成解析部	
32	比較器	
33	接続素子検出回路	
34	バッファ	
40	不正コマンド解析部	
50	フラグレジスタ	
51	緊急通知判断部	
61	CPU	20
62	入力装置	
63	表示装置	
64	メモリ	
65	HDD	
651	コンパイルプログラム	
652	コードファイル	
653	オブジェクトファイル	
66	入出力インタフェース	
67	NIC	
100	AFE (アナログフロントエンド)部	30
110	コンフィギュラブル・アンプ	
111	オペアンプ	
112	可変抵抗	
113	スイッチ	
120	(同期検波対応)増幅アンプ	
121	抵抗(可変抵抗、固定抵抗)	
124	同期検波スイッチ	
125	固定抵抗	
130	ローパス・フィルタ	
131	スイッチング信号生成部	40
132	フィルタ部	
133	フリップフロップ	
134	インバータ	
135	オペアンプ	
136	スイッチ	
137	コンデンサ	
139	可変電源	
140	ハイパス・フィルタ	
141	スイッチング信号生成部	
142	フィルタ部	50

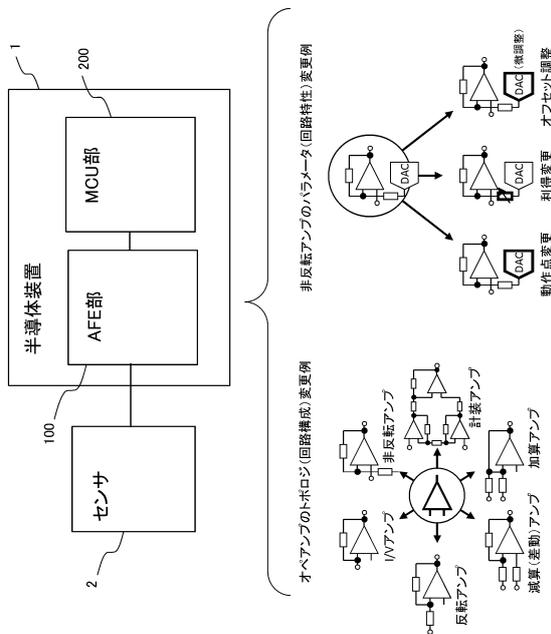
1 4 3	フリップフロップ	
1 4 4	インバータ	
1 4 5	オペアンプ	
1 4 6	スイッチ	
1 4 7	コンデンサ	
1 4 9	可変電源	
1 5 0	可変レギュレータ	
1 5 1	オペアンプ	
1 5 2、1 5 3	トランジスタ	
1 5 4	固定抵抗	10
1 5 5	可変抵抗	
1 6 0	温度センサ	
1 6 1	オペアンプ	
1 6 2	電流源	
1 6 3	ダイオード	
1 6 4	固定抵抗	
1 7 0	汎用アンプ	
1 8 0、1 8 0 a ~ 1 8 0 h	S P I インタフェース	
1 8 1	制御レジスタ	
1 8 2	データスタック	20
1 8 3、1 8 3 a ~ 1 8 3 c	レジスタ制御部	
1 8 4	シリアルパラレル変換回路	
1 8 5	パラレルシリアル変換回路	
1 9 0	計装アンプ	
1 9 1	(コンパレータ内蔵)高速計装アンプ	
1 9 2	オペアンプ	
1 9 3	可変抵抗	
1 9 4	固定抵抗	
2 0 0	M C U 部	
2 1 0	C P U コア	30
2 2 0	メモリ	
2 3 0	オシレータ	
2 4 0	タイマ	
2 5 0	入出力ポート	
2 6 0	A / D コンバータ	
2 7 0	S P I インタフェース	
3 0 0	ウェブブラウザ	
3 0 1	記憶部	
3 1 1	C P U	
3 1 2	入力装置	40
3 1 3	表示装置	
3 1 4	メモリ	
3 1 5	H D D	
3 1 6	入出力インタフェース	
3 1 7	N I C	
4 0 0	ウェブサーバ	
4 1 0	シミュレーション制御部	
4 1 1	ウェブページ処理部	
4 1 2	回路設定部	
4 1 2 a	センサ選択部	50

- 4 1 2 b バイアス回路選択部
- 4 1 2 c AFE設定選択部
- 4 1 3 パラメータ設定部
- 4 1 5 シミュレーション実行部
- 4 1 6 レジスタ情報生成部
- 4 2 0 記憶部
- 4 2 1 センサデータベース
- 4 2 2 センサバイアス回路データベース
- 4 2 3 コンフィギュラブルアナログ回路データベース
- 4 2 4 AFEデータベース
- 4 2 5 ウェブページ情報記憶部
- 4 2 6 回路情報記憶部
- 4 2 7 パラメータ記憶部
- 4 2 8 結果情報記憶部
- 4 2 9 レジスタ情報記憶部
- 4 5 0 物理量変換部
- 4 5 1 自動設定部
- 4 5 2 過渡解析部
- 4 5 3 AC解析部
- 4 5 4 フィルタ効果解析部
- 4 5 5 同期検波解析部
- A C S 回路形式信号

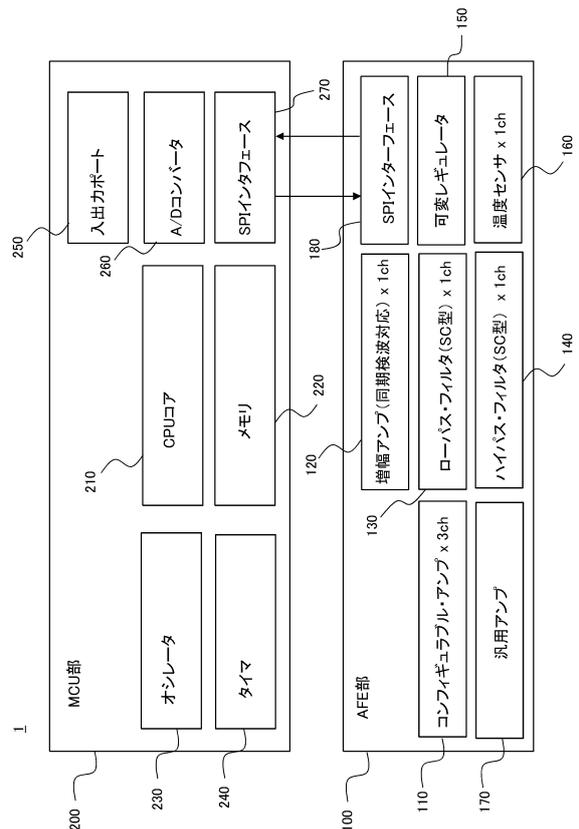
10

20

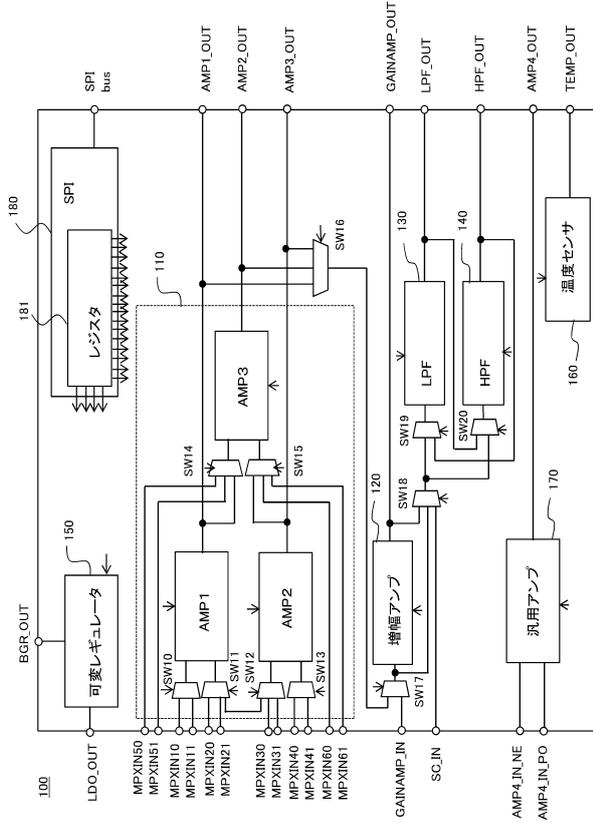
【図1】



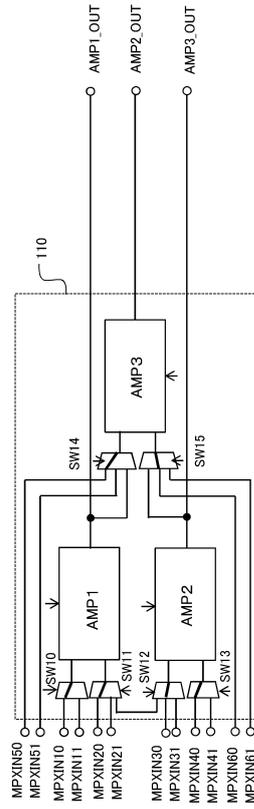
【図2】



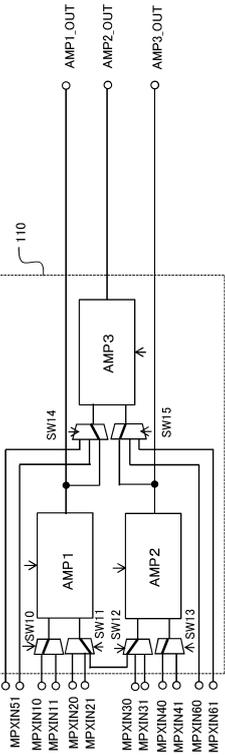
【図 3】



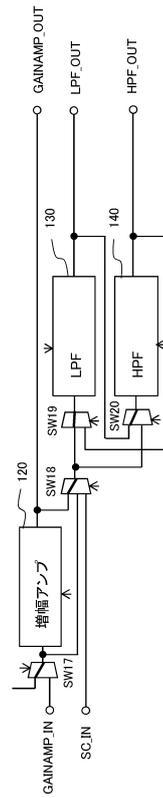
【図 4】



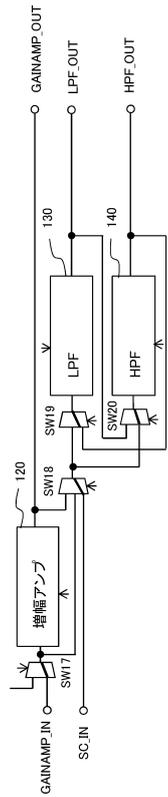
【図 5】



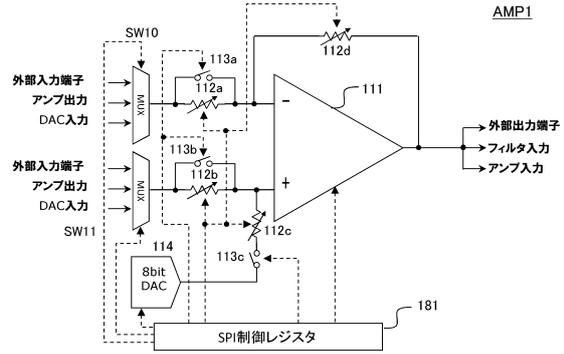
【図 6】



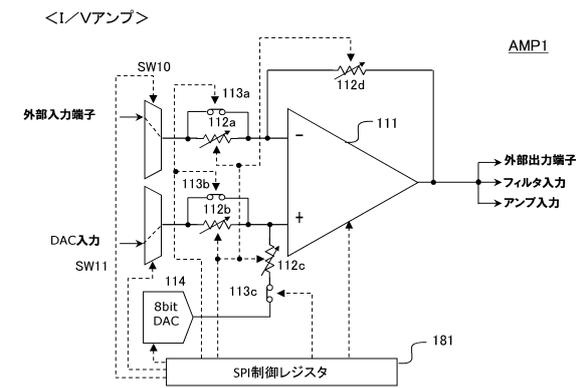
【図7】



【図8】

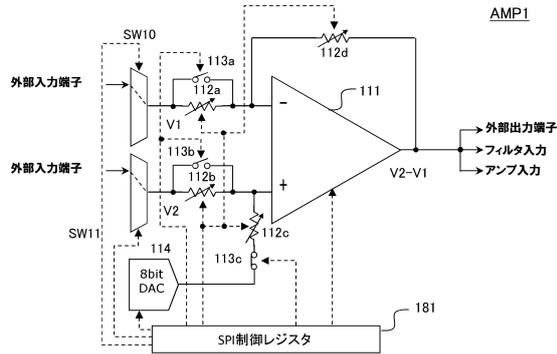


【図9】



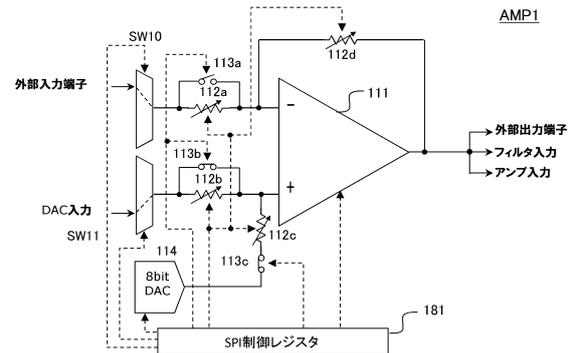
【図10】

<減算(差動)アンプ>



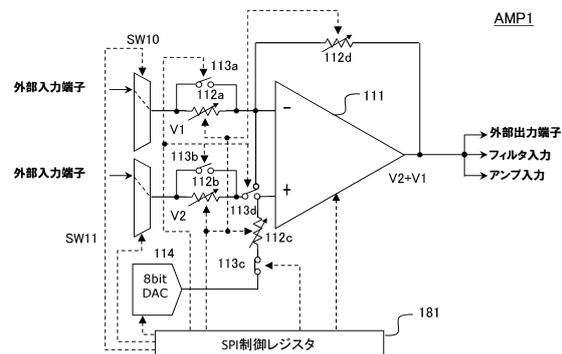
【図12】

<反転アンプ>



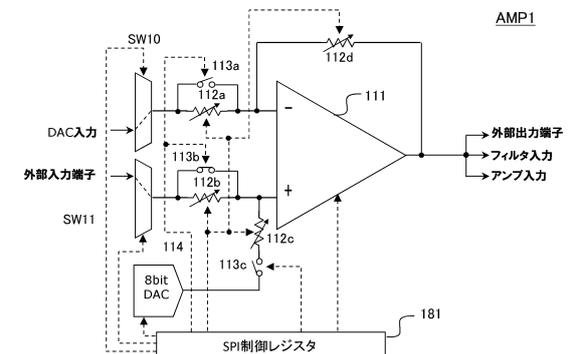
【図11】

<加算アンプ>

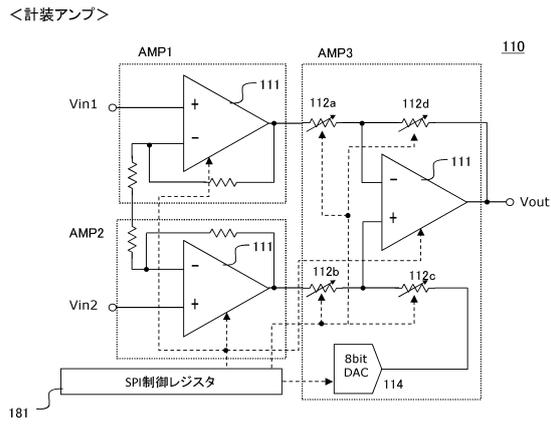


【図13】

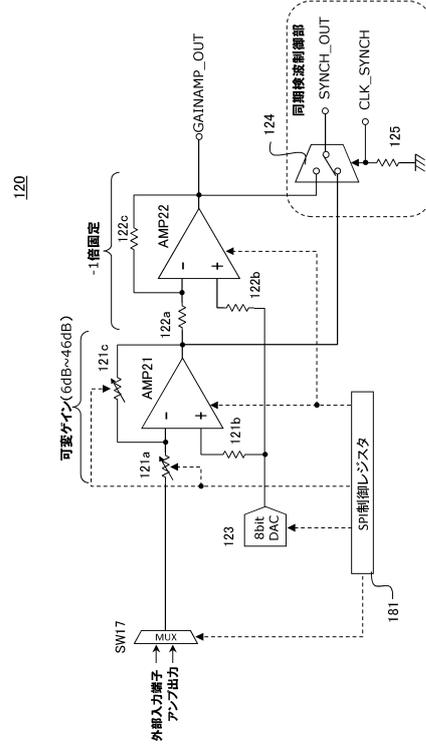
<非反転アンプ>



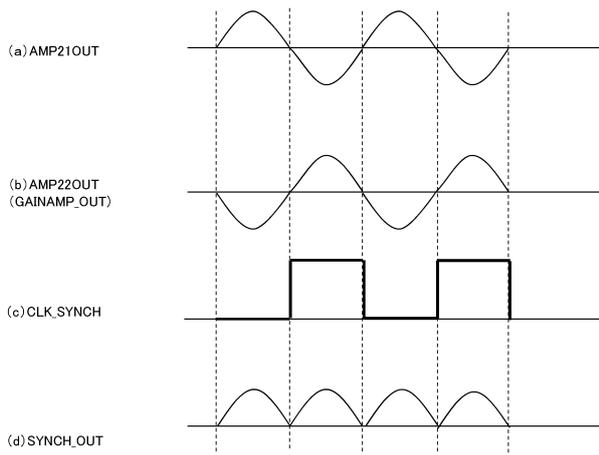
【図14】



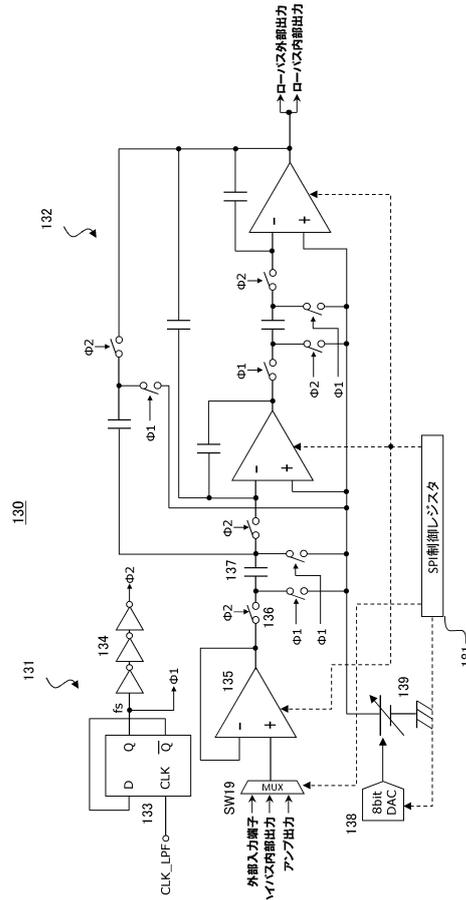
【図15】



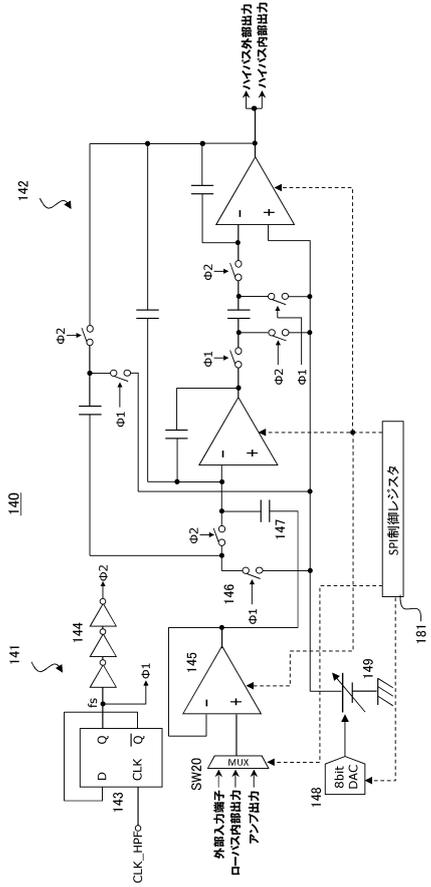
【図16】



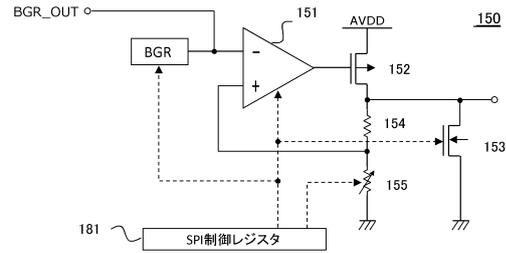
【図17】



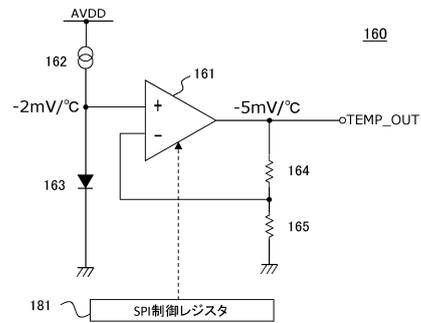
【図 18】



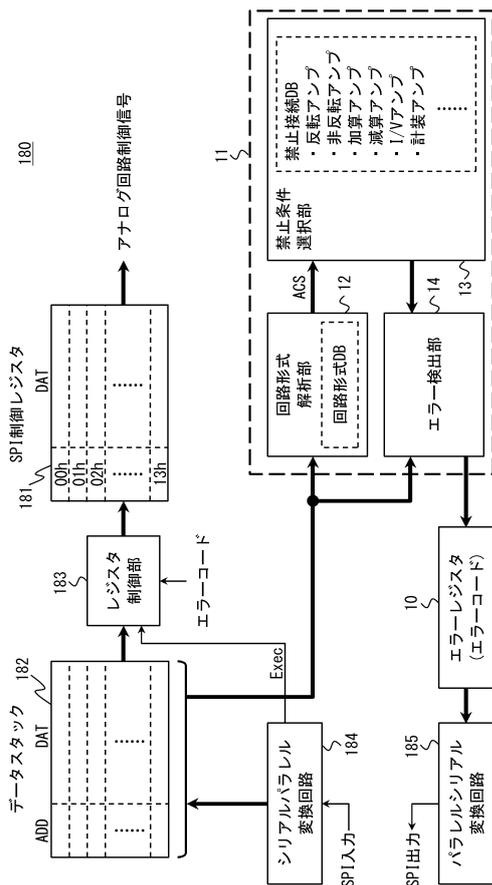
【図 19】



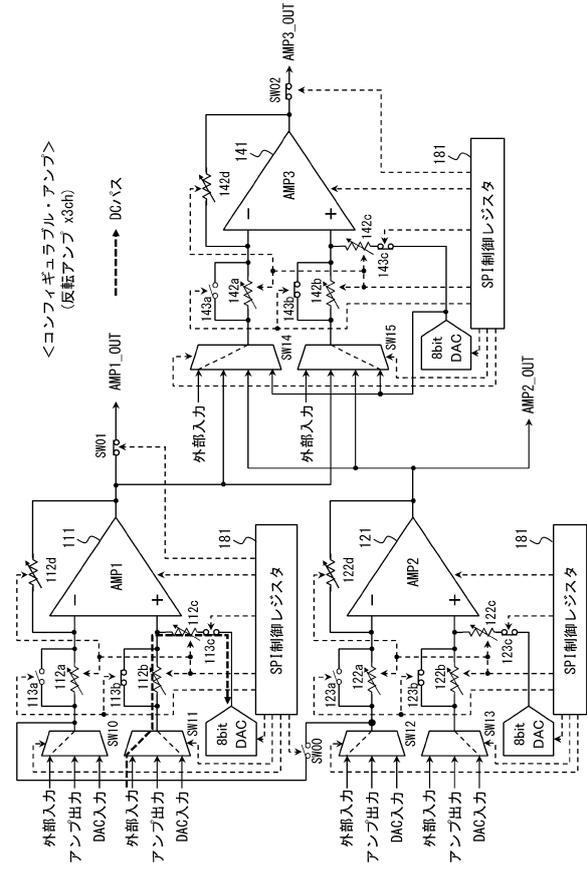
【図 20】



【図 21】



【図 22】



【図 2 3】

アドレス	レジスタ名	属性	データ							
			D7	D6	D5	D4	D3	D2	D1	D0
00h	回路形式設定AMP1	R/W	113a	113b	113c	SW00	SW10[1:0]	SW11[1:0]	SW13[1:0]	SW14[1:0]
01h	回路形式設定AMP2	R/W	123a	123b	123c					
02h	回路形式設定AMP3	R/W	143a	143b	143c					

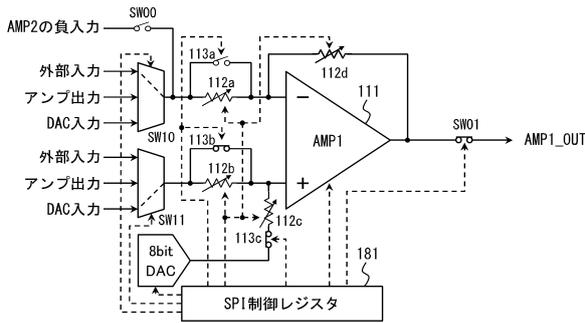
【図 2 4】

<AMP1の回路形式データベース>

回路形式	D7(113a)	D6(113b)	D5(113c)
反転アンプ	0	1	1
非反転アンプ	0	1	0
差動アンプ	0	0	1
1/Vアンプ	1	1	1

【図 2 5】

<反転アンプ>

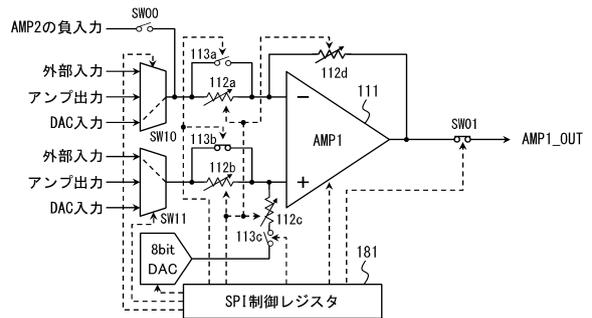


<反転アンプ用禁止接続データベースの内容>

禁止モード	コマンドの下位5ビット	エラーコード
SW00がオン	1xxxx	00h
SW10がDAC入力	x11xx	01h
SW11が外部入力	xxx01	02h

【図 2 6】

<非反転アンプ>

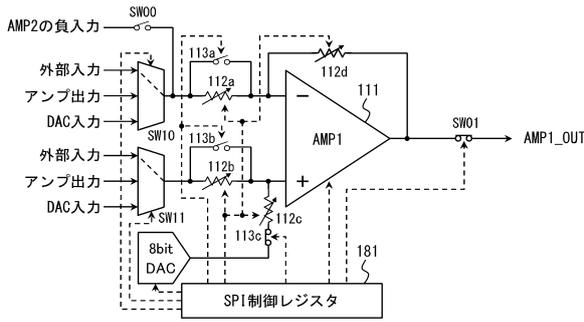


<非反転アンプ用禁止接続データベースの内容>

禁止モード	コマンドの下位5ビット	エラーコード
SW00がオン	1xxxx	10h
SW10が外部入力	x01xx	11h
SW11がDAC入力	xxx11	12h

【図 27】

<差動(減算)アンプ>

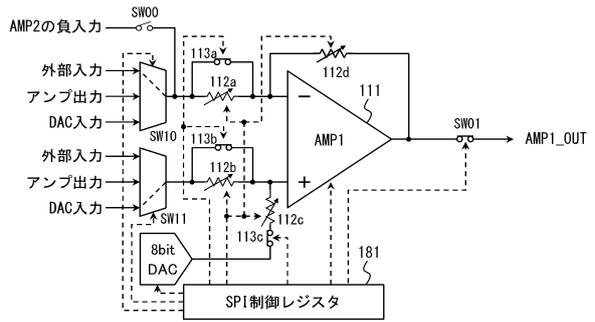


<減算(差動)アンプ用禁止接続データベースの内容>

禁止モード	コマンドの下位5ビット	エラーコード
SW00がオン	1xxxx	20h
SW10がDAC入力	x11xx	21h
SW11がDAC入力	xxx11	22h

【図 28】

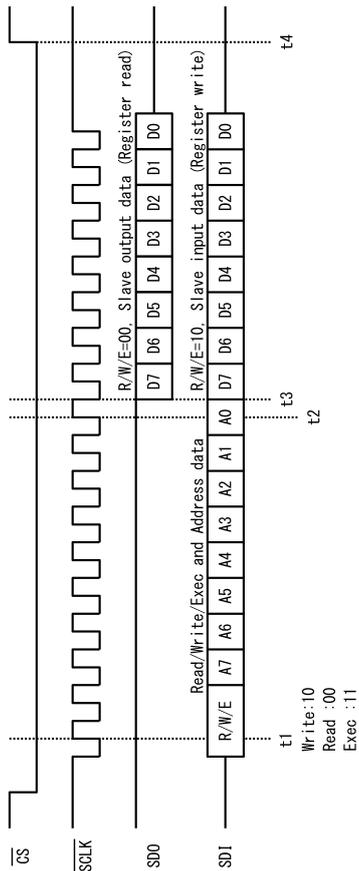
<I/Vアンプ>



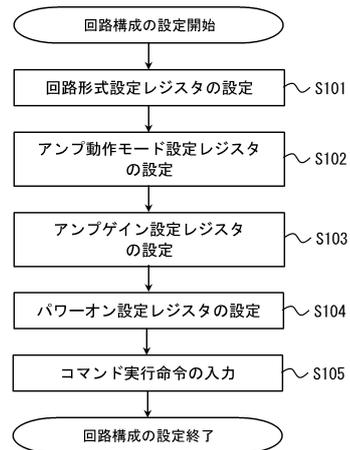
<I/Vアンプ用禁止接続データベースの内容>

禁止モード	コマンドの下位5ビット	エラーコード
SW00がオン	1xxxx	30h
SW10がDAC入力	x11xx	31h
SW11が外部入力	xxx01	32h

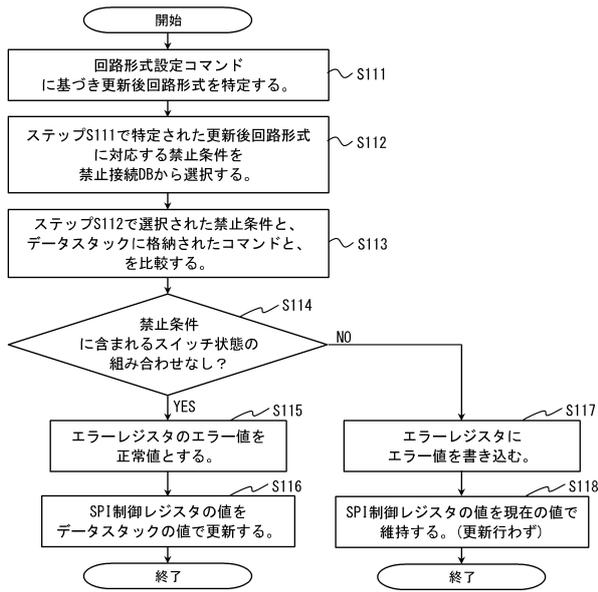
【図 29】



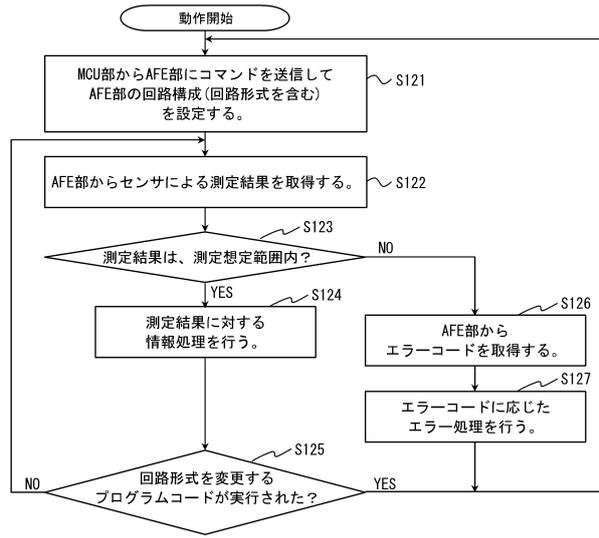
【図 30】



【図31】



【図32】



【図33】

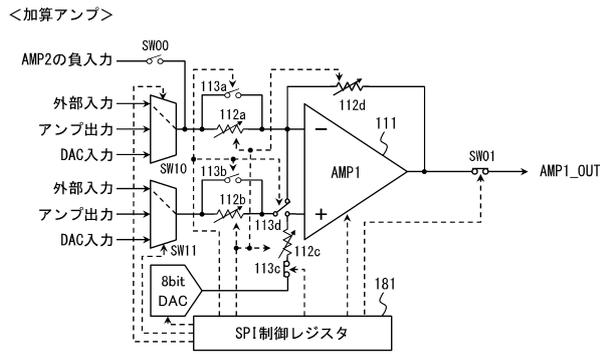
アドレス	レジスタ名	属性	データ										
			D0	D1	D2	D3	D4	D5	D6	D7	D8		
00h	回路形式設定AMP1	R/W	SW1[1:0]		SW10[1:0]		SW11[1:0]		SW00	113d	113b	113a	113a
01h	回路形式設定AMP2	R/W	SW13[1:0]		SW12[1:0]		SW14[1:0]			123d	123b	123a	123a
02h	回路形式設定AMP3	R/W	SW15[1:0]							143d	143b	143a	143a

【図34】

<加算アンプ期待値を含むAMP1の回路形式データベース>

回路形式	D8(113a)	D7(113b)	D6(113c)	D5(113d)
加算アンプ	0	0	1	1
反転アンプ	0	1	1	0
非反転アンプ	0	1	0	0
差動アンプ	0	0	1	0
I/Vアンプ	1	1	1	0

【図 3 5】



＜加算アンプ用禁止接続データベースの内容＞

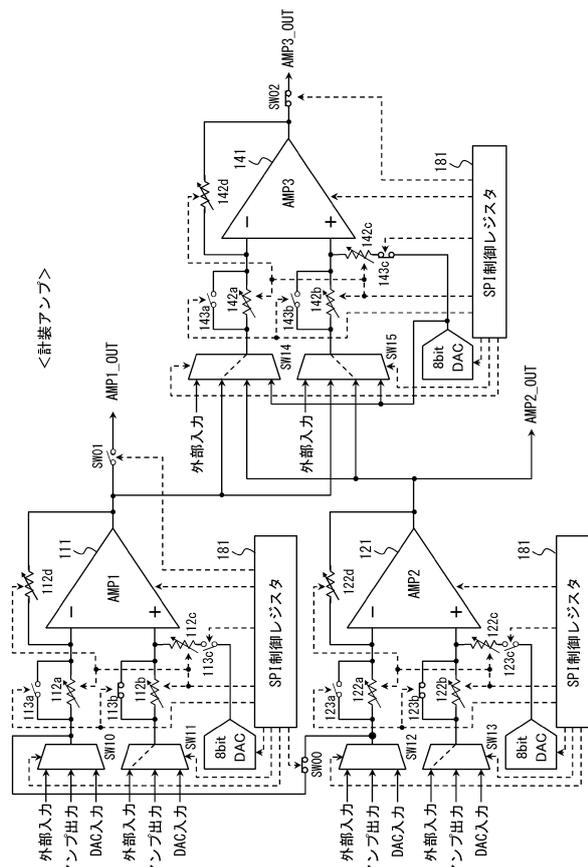
禁止モード	コマンドの下位5ビット	エラーコード
SW00がオン	1xxxx	40h
SW10がDAC入力	x11xx	41h
SW11がDAC入力	xxx11	42h

【図 3 6】

＜計装アンプ期待値を含む回路形式データベース＞

回路形式	回路形式設定AMP3		回路形式設定AMP2		回路形式設定AMP1					
	D7(143a)	D6(143b)	D5(143c)	D7(123a)	D6(123b)	D5(123c)	D7(113a)	D6(113b)	D5(113c)	D4(SW00)
計装アンプ	0	0	1	0	1	0	0	1	0	1
反転アンプx3ch	0	1	1	0	1	1	0	1	1	0
非反転アンプx3ch	0	1	0	0	1	0	0	1	0	0
差動アンプx3ch	0	0	1	0	0	0	0	0	1	0
I/Vアンプx3ch	1	1	1	1	1	1	1	1	1	0
I/Vアンプx2ch	0	1	1	1	1	1	1	1	1	0
反転アンプx1ch	0	0	1	0	0	0	0	0	0	0
差動アンプx1ch	0	0	1	0	0	0	0	0	0	0
非反転アンプx2ch	0	0	0	1	0	0	0	0	0	0

【図 3 7 A】

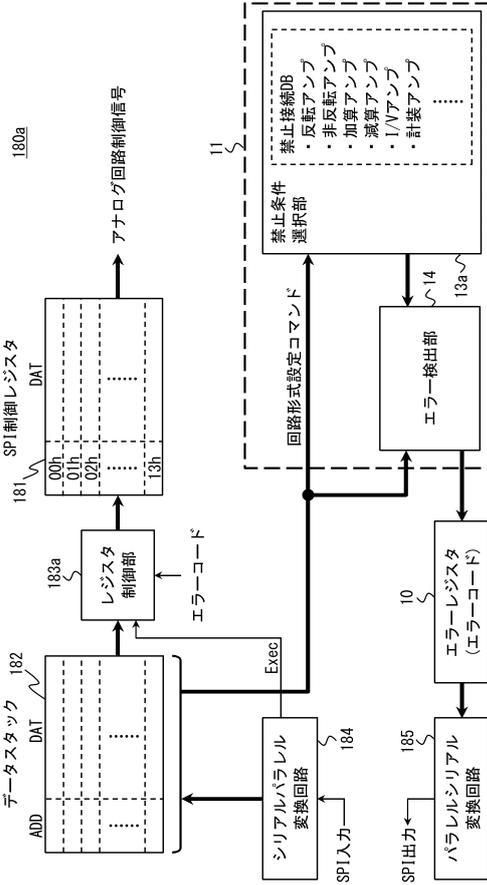


【図 3 7 B】

＜計装アンプ用禁止接続データベースの内容＞

対象アンプ	禁止モード	コマンドの下位5ビット	エラーコード
AMP1	SW00がオフ	1xxxx	50h
	SW10が外部入力	x01xx	51h
	SW10がDAC入力	x11xx	52h
	SW11がDAC入力	xxx11	53h
AMP2	SW12が外部入力	x01xx	54h
	SW12がDAC入力	x11xx	55h
	SW13がDAC入力	xxx11	56h
AMP3	SW14がDAC入力	x11xx	57h
	SW14が外部入力	x01xx	58h
	SW15がDAC入力	xxx11	59h
	SW15が外部入力	xxx01	60h

【図 38】



【図 39】

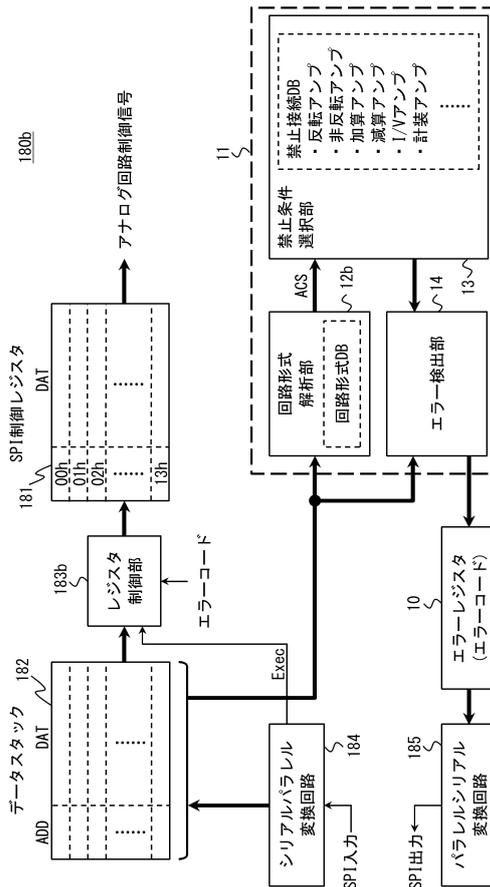
アドレス	レジスタ名	属性	データ												
00h	回路形式設定	R/W	D7	D6	D5	D4	D3	D2	D1	D0					
01h	スイッチ設定1	R/W	CONFIG			0	0	0	0	0	0				
02h	スイッチ設定2	R/W	SW10[1:0]			SW11[1:0]		SW12[1:0]		SW13[1:0]					
			SW14[1:0]			SW15[1:0]		0		0		0		0	

【図 40】

<回路形式設定コマンドの内容>

回路形式	CONFIG		
	D7	D6	D5
反転アンプ	0	0	1
非反転アンプ	0	1	0
差動アンプ	0	1	1
1/Vアンプ	1	0	0
加算アンプ	1	0	1
計装アンプ	1	1	0

【図 41】



【図42】

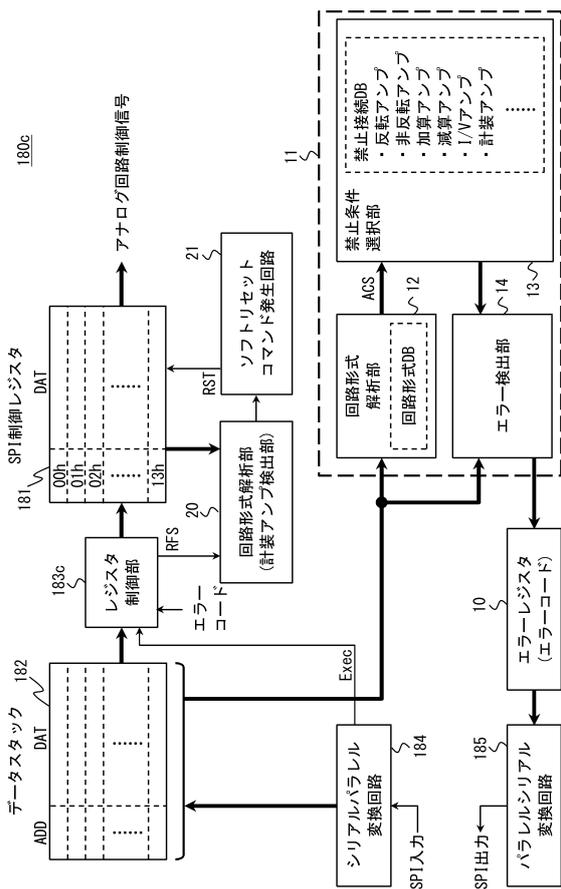
アドレス	レジスタ名	属性	データ															
			D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	SW0	SW1	SW2	SW3	SW4	SW5
00h	回路形式設定AMP1	R/W	113a	113b	113c	113c[2:0]	123b	123c	143b	143a	143c	143c[2:0]						
01h	回路形式設定AMP2	R/W	123a	123b	123c	123c[2:0]												
02h	回路形式設定AMP3	R/W	143a	143b	143c	143c[2:0]												

【図43】

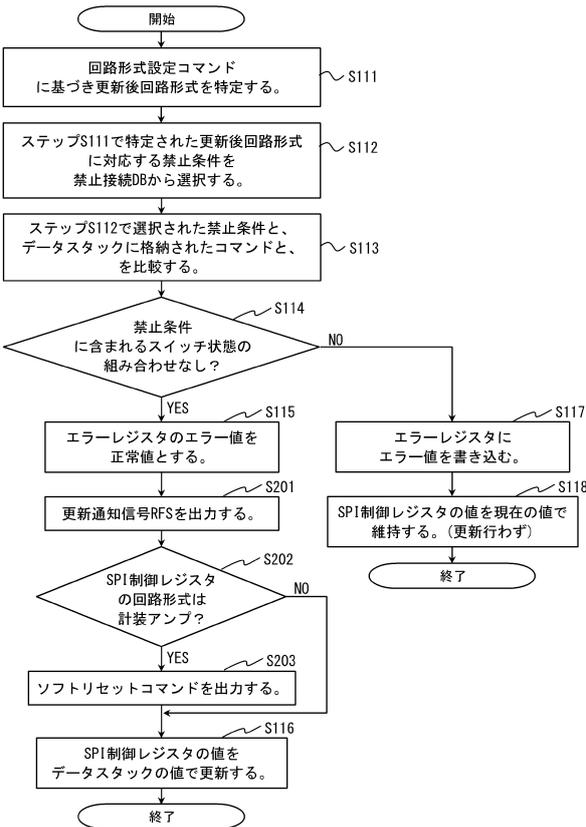
<AMP1の回路形式データベース>

回路形式	113a		113b		113c	
	D9	D8	D7	D6	D5	D4
反転アンプ	0	1	1	1	1	1
非反転アンプ	0	1	0	0	0	0

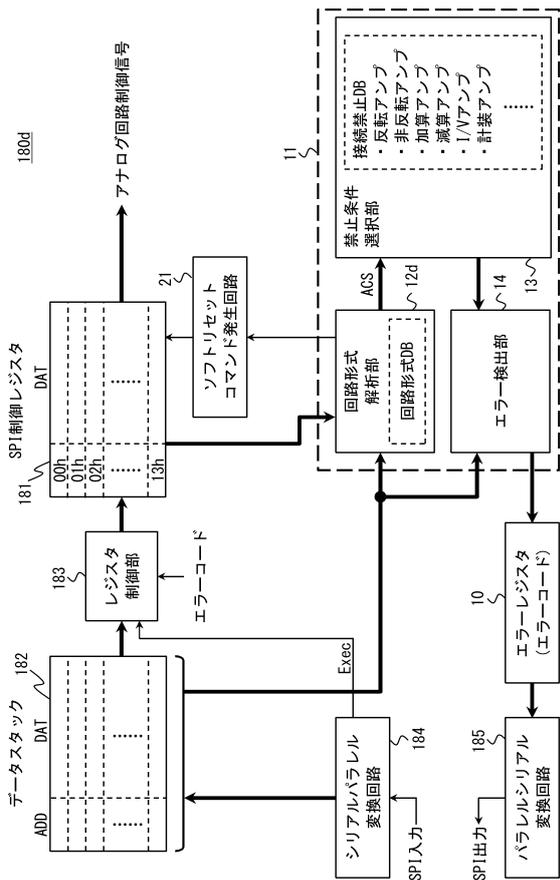
【図44】



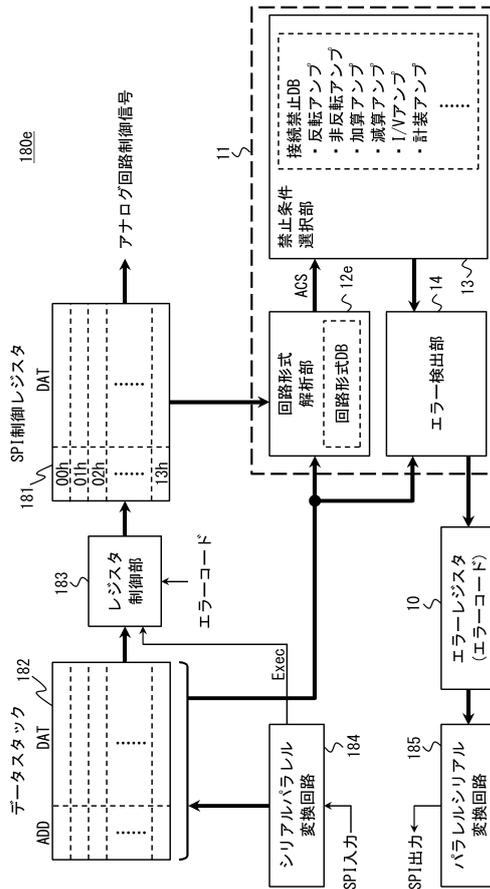
【図45】



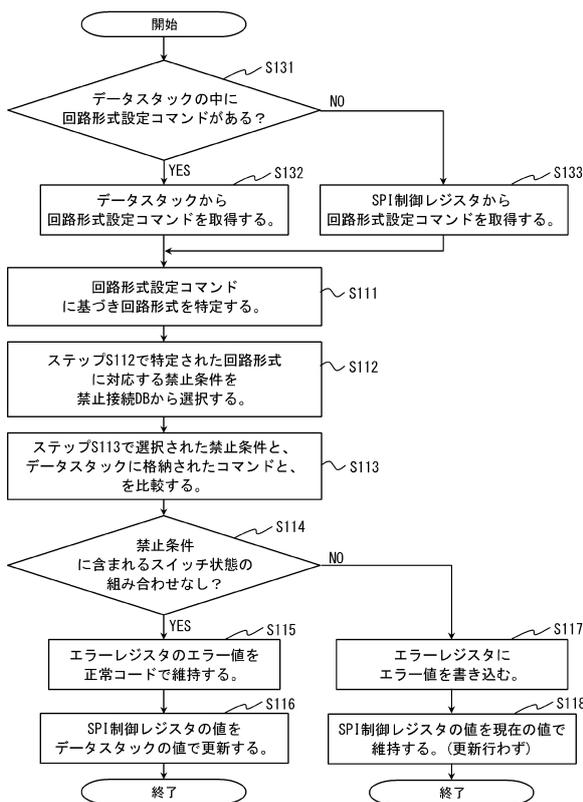
【図46】



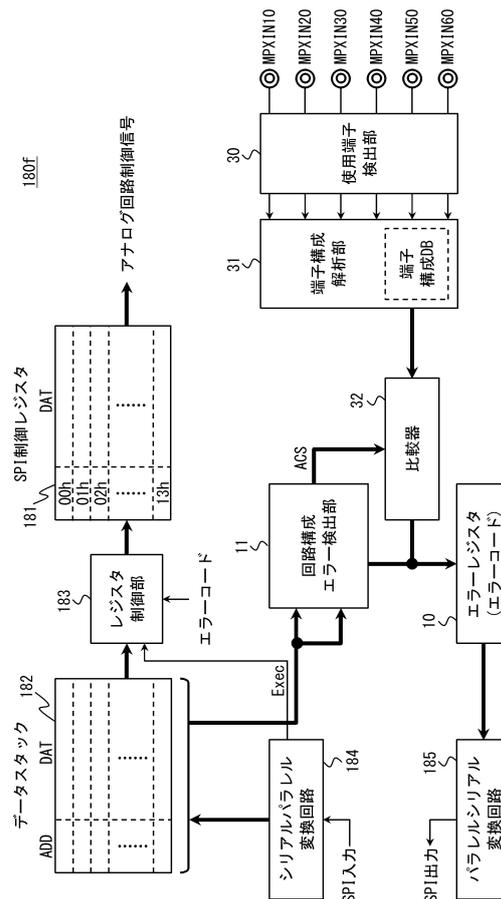
【図47】



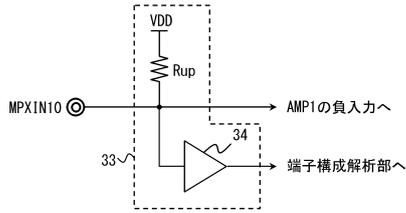
【図48】



【図49】



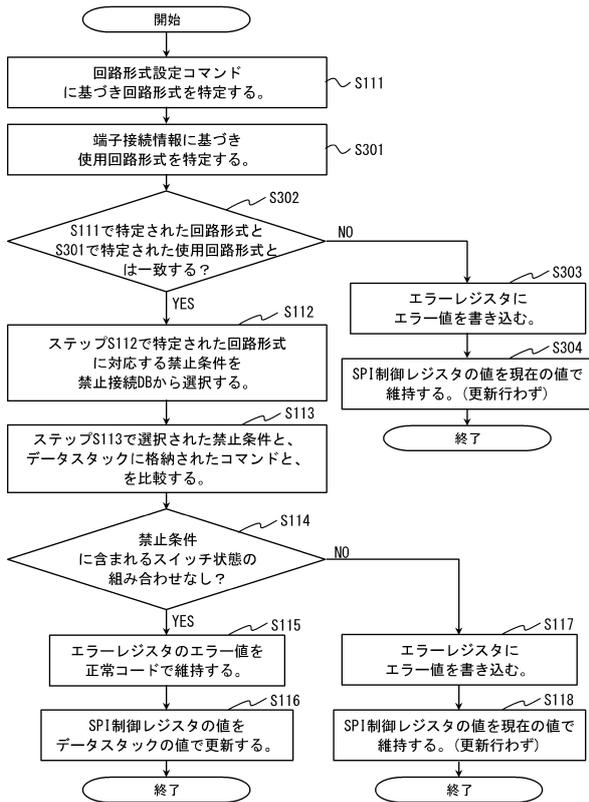
【図50】



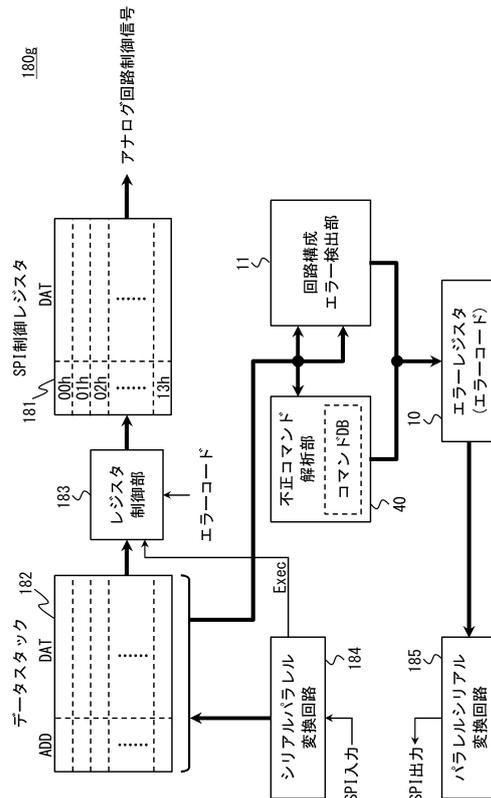
【図51】

端子名	端子機能	回路形式によるセンサ接続端子(○に接続)			
		非反転アンプ	反転アンプ	差動アンプ	I/Vアンプ
MPXIN10	AMP1(-)		○		
MPXIN20	AMP1(+)	○			○
MPXIN30	AMP2(-)		○		
MPXIN40	AMP2(+)	○			○
MPXIN50	AMP3(-)		○		
MPXIN60	AMP3(+)	○			

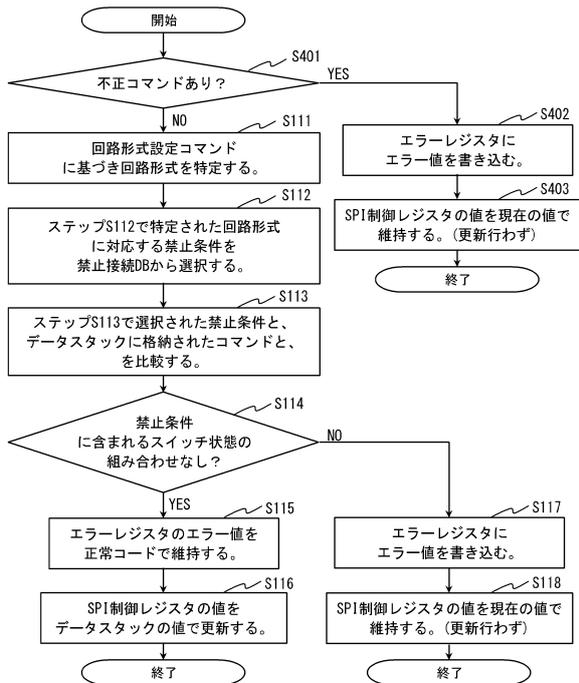
【図52】



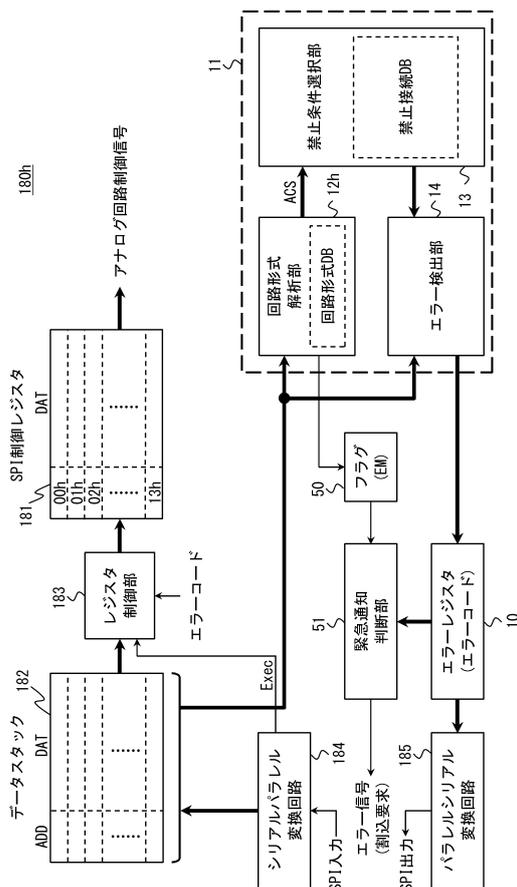
【図53】



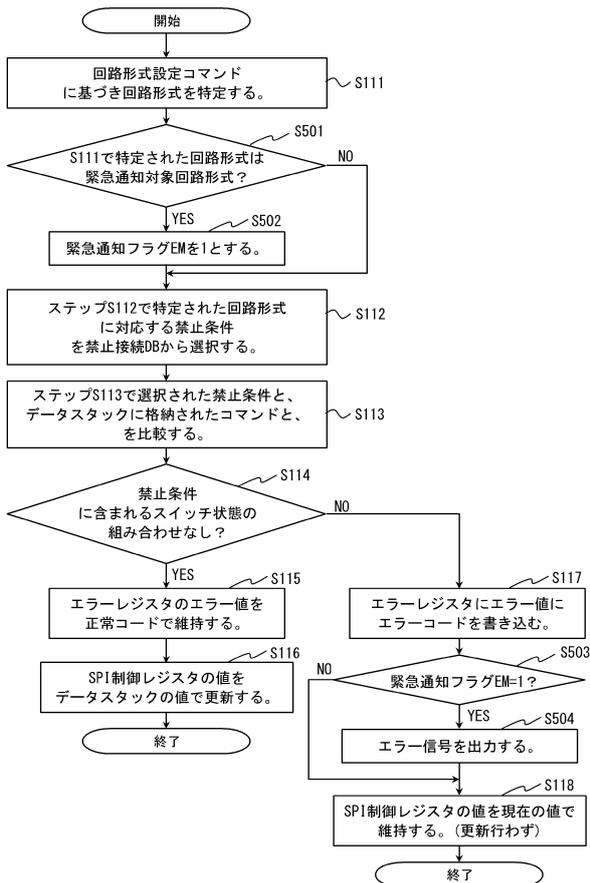
【図54】



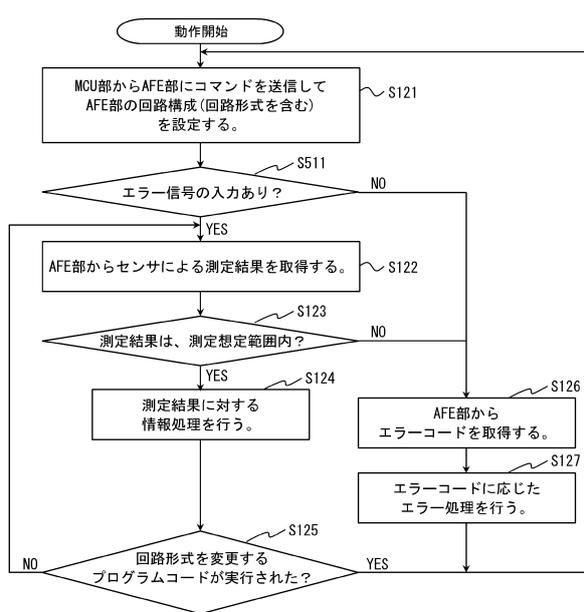
【図55】



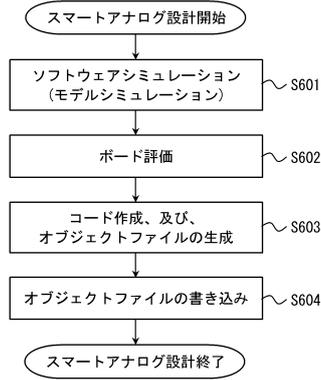
【図56】



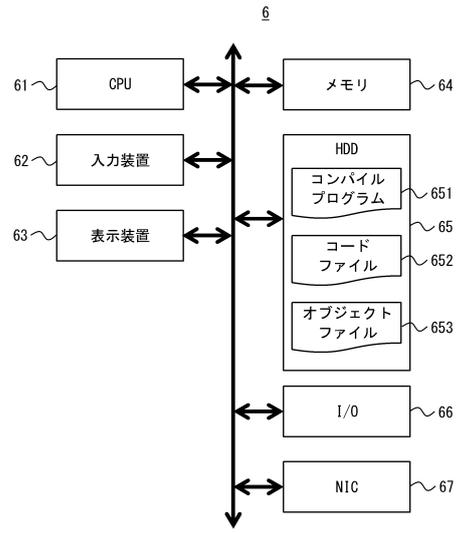
【図57】



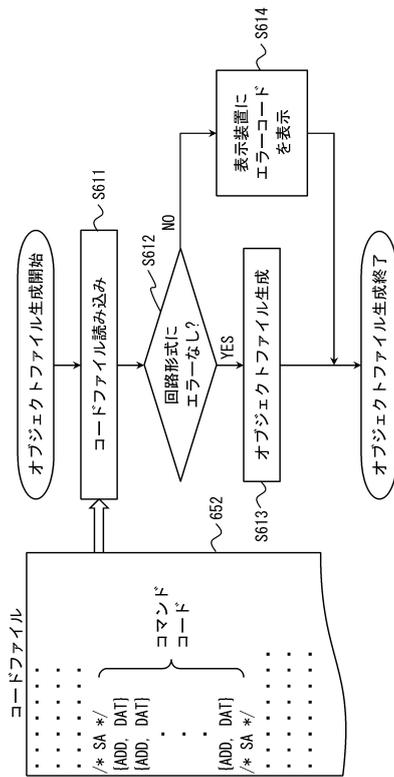
【図58】



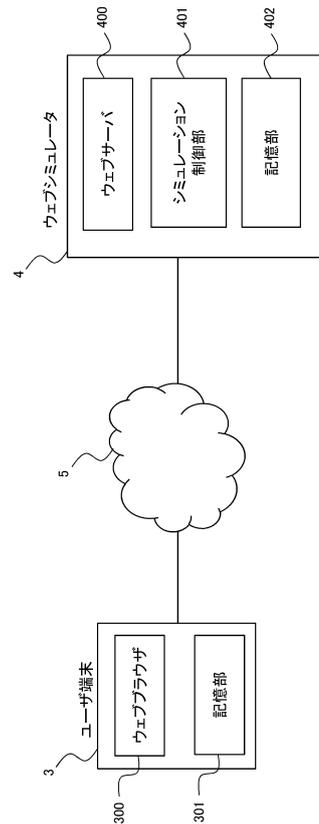
【図59】



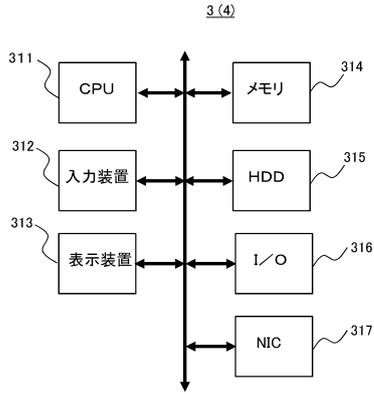
【図60】



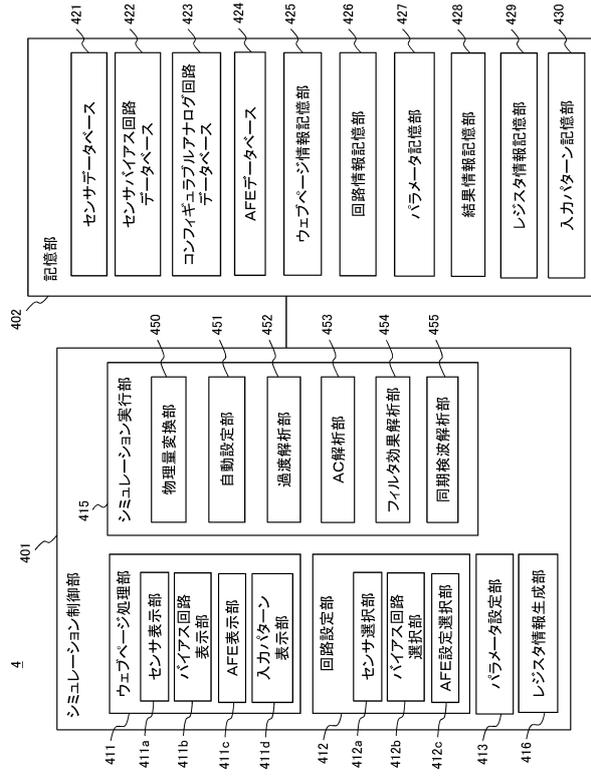
【図61】



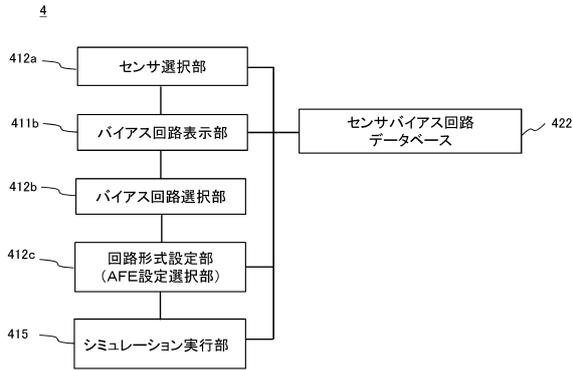
【図62】



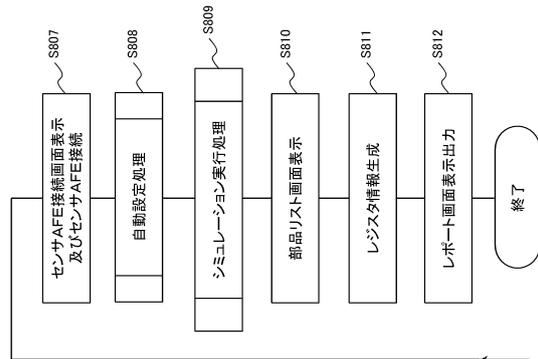
【図63A】



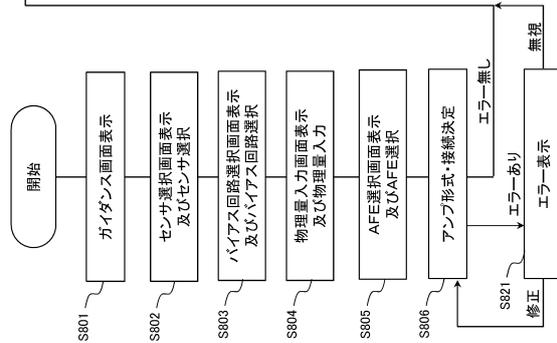
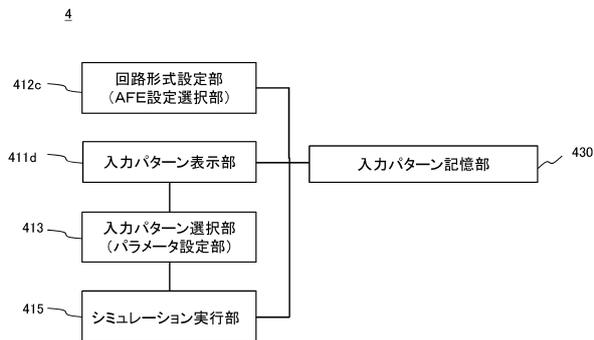
【図63B】



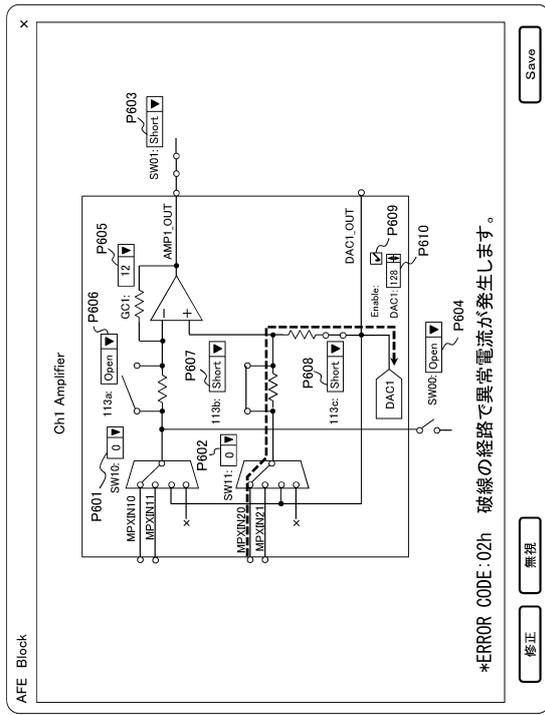
【図64】



【図63C】



【 65 】



## フロントページの続き

- (56)参考文献 特開平04 - 269100 (JP, A)  
特開平05 - 267458 (JP, A)  
特開平04 - 067259 (JP, A)  
特開平06 - 083622 (JP, A)  
特開昭58 - 005846 (JP, A)  
特開2004 - 110771 (JP, A)  
特開2007 - 243671 (JP, A)  
特開2008 - 236488 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

H03K	19/173	-	H03K	19/177
G06F	7/00	-	G06F	7/36
G06F	7/57			
G06F	3/05			
G06F	15/78			