

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3951522号
(P3951522)

(45) 発行日 平成19年8月1日(2007.8.1)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int. Cl. F I
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 6 5 2 H
 HO 1 L 29/861 (2006.01) HO 1 L 29/78 6 5 2 N
 HO 1 L 29/91 D

請求項の数 11 (全 12 頁)

<p>(21) 出願番号 特願平11-308523 (22) 出願日 平成11年10月29日(1999.10.29) (65) 公開番号 特開2001-15752(P2001-15752A) (43) 公開日 平成13年1月19日(2001.1.19) 審査請求日 平成15年6月13日(2003.6.13) (31) 優先権主張番号 特願平10-319672 (32) 優先日 平成10年11月11日(1998.11.11) (33) 優先権主張国 日本国(JP) (31) 優先権主張番号 特願平11-121224 (32) 優先日 平成11年4月28日(1999.4.28) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 503361248 富士電機デバイステクノロジー株式会社 東京都品川区大崎一丁目11番2号 (74) 代理人 100133167 弁理士 山本 浩 (72) 発明者 進藤 洋一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式 会社 内 (72) 発明者 宮坂 靖 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式 会社 内</p>
--	---

最終頁に続く

(54) 【発明の名称】 超接合半導体素子

(57) 【特許請求の範囲】

【請求項1】

第一と第二の主面と、第二の主面側を低抵抗層として第一と第二の主面間に低抵抗層と、該低抵抗層に接続されオン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列pn層とを備える超接合半導体素子において、並列pn層の周囲に、該並列pn層より高抵抗率の高抵抗領域を有し、更に高抵抗領域の周囲にドリフト領域と同一導電型のチャンネルストップ領域を有し、前記チャンネルストップ領域が、並列pn層の下方に形成されている前記低抵抗層とつながっていることを特徴とする超接合半導体素子。

【請求項2】

前記高抵抗領域の不純物濃度 N_D が、超接合半導体素子の耐圧を V_{DSS} (V) としたとき、 $5.62 \times 10^{17} \times V_{DSS}^{-1.36}$ (cm^{-3}) 以下であることを特徴とする請求項1に記載の超接合半導体素子。

【請求項3】

前記高抵抗領域が第一導電型であるとき、最外側の第二導電型仕切り領域の正味の不純物量が、内側の並列pn層の各領域の正味の不純物量と等しいことを特徴とする請求項1に記載の超接合半導体素子。

【請求項4】

コーナー部における第二導電型仕切り領域の端部の正味の不純物量が、並列pn層の各領域の正味の不純物量と等しいことを特徴とする請求項3に記載の超接合半導体素子。

【請求項 5】

前記高抵抗領域が第二導電型であるとき、最外側の第一導電型ドリフト領域の正味の不純物量が、内側の並列 p n 層の各領域の正味の不純物量と等しいことを特徴とする請求項 1 に記載の超接合半導体素子。

【請求項 6】

コーナー部における第一導電型ドリフト領域の端部の正味の不純物量が、並列 p n 層の各領域の正味の不純物量と等しいことを特徴とする請求項 5 に記載の超接合半導体素子。

【請求項 7】

前記第一の主面の側に設けられた第二導電型のウェル、該ウェル内に設けられた第一導電型のソース領域、該ソース領域とウェルの表面にゲート絶縁膜を介して設けられたゲート電極とを備えた M I S 型半導体素子であることを特徴とする請求項 1 ~ 6 のいずれかに記載の超接合半導体素子。

10

【請求項 8】

前記ウェルと前記ソース領域とが前記第一の主面に設けられた電極と電気的に接続されていることを特徴とする請求項 7 に記載の超接合半導体素子。

【請求項 9】

前記ウェルの前記電極と電気的に接続される部分に高濃度の第二導電型のコンタクト領域を有することを特徴とする請求項 8 に記載の超接合半導体素子。

【請求項 10】

前記ウェルの幅が前記第二導電型仕切り領域の幅より大きいことを特徴とする請求項 7 ないし 9 のいずれかに記載の超接合半導体素子。

20

【請求項 11】

前記ウェルと前記電極との電気的接続が少なくとも 2 箇所あり、該 2 箇所の間のゲート電極の上に絶縁膜を介して前記電極が配置されていることを特徴とする請求項 8 ないし 10 のいずれかに記載の超接合半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなる特別な縦型構造を備える M O S F E T (絶縁ゲート型電界効果トランジスタ)、I G B T (絶縁ゲートバイポーラトランジスタ)、バイポーラトランジスタ、ダイオード等の半導体素子およびその製造方法に関する。

30

【0002】

【従来の技術】

相対向する二つの主面に設けられた電極間に電流が流される縦型半導体素子において、高耐圧化を図るには、両電極間の高抵抗層の厚さを厚くしなければならず、一方そのように厚い高抵抗層をもつ素子では、必然的に両電極間のオン抵抗が大きくなり、損失が増すことになることが避けられなかった。すなわちオン抵抗(電流容量)と耐圧間にはトレードオフ関係がある。このトレードオフ関係は、I G B T、バイポーラトランジスタ、ダイオード等の半導体素子においても同様に成立することが知られている。またこの問題は、オン時にドリフト電流が流れる方向と、オフ時の逆バイアスによる空乏層の延びる方向とが異なる横型半導体素子についても共通である。

40

【0003】

この問題に対する解決法として、ドリフト層を、不純物濃度を高めた n 型の領域と p 型の領域とを交互に積層した並列 p n 層で構成し、オフ状態のときは、空乏化して耐圧を負担するようにした構造の半導体装置が、E P 0 0 5 3 8 5 4、U S P 5 2 1 6 2 7 5、U S P 5 4 3 8 2 1 5 および本発明の発明者らによる特開平 9 - 2 6 6 3 1 1 号公報に開示されている。

【0004】

図 10 は、U S P 5 2 1 6 2 7 5 に開示された半導体装置の一実施例である縦型 M O S

50

F E Tの部分断面図である。通常の縦型半導体素子では単一層とされるドリフト層 1 2 が nドリフト領域 1 2 a と p 仕切り領域 1 2 b とからなる並列 p n 層とされている点が特徴的である。1 3 a は p ウェル領域、1 3 b は p⁺コンタクト領域、1 4 は n⁺ソース領域、1 5 はゲート絶縁膜、1 6 はゲート電極、1 7 はソース電極、1 8 はドレイン電極である。

【 0 0 0 5 】

このドリフト層 1 2 は例えば、n⁺ドレイン層 1 1 をサブストレートとしてエピタキシャル法により、高抵抗の n 型層を成長し、選択的に n⁺ドレイン層 1 1 に達するトレンチをエッチングして nドリフト領域 1 2 a とした後、更にトレンチ内にエピタキシャル法により p 型層を成長して p 仕切り領域 1 2 b が形成される。

10

【 0 0 0 6 】

なお本発明の発明者らは、オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなるドリフト層を備える半導体素子を超接合半導体素子と称することとした。

【 0 0 0 7 】

【発明が解決しようとする課題】

しかし、前記の発明ではいずれも、電流の流れる並列 p n 層からなるドリフト層の部分の記載がなされているのみで、高耐圧を実現するために通常半導体素子の周辺部に設けられる耐圧構造の記載が無い。仮に、耐圧構造が設けられず、並列 p n 層からなるドリフト層の部分だけであると、高耐圧は実現できない。

20

【 0 0 0 8 】

一般的な耐圧構造としては、例えばガードリングやフィールドプレートなどが想定される。ガードリングやフィールドプレートなどを設けるには、そのための最適な構造とするための設計が必要であり、また、その構造を実現するためのマスク形成、不純物導入および拡散、或いは金属膜被着およびそのパターニングというような工程が必要である。

【 0 0 0 9 】

このような状況に鑑み本発明の目的は、オン抵抗と耐圧とのトレードオフ関係を大幅に改善し、しかも高耐圧を容易に実現しうる超接合半導体素子を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上記の課題解決のため本発明は、第一と第二の主面と、第二の主面側を低抵抗層として第一と第二の主面間に低抵抗層と、該低抵抗層に接続されオン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子において、並列 p n 層の周囲に、該並列 p n 層より高抵抗率の高抵抗領域を有し、更に高抵抗領域の周囲にドリフト領域と同一導電型のチャンネルストッパ領域を有し、前記チャンネルストッパ領域が、並列 p n 層の下方に形成されている前記低抵抗層とつながっているものとする。

30

【 0 0 1 1 】

並列 p n 層の周囲に高抵抗領域を設けて、逆電圧印加時の空乏層がその高抵抗領域にひろがるようにすれば、高耐圧を保持できる。また、高抵抗領域の周囲に高抵抗領域と同一導電型のチャンネルストッパ領域を設けて、チャンネルストッパとすることにより、漏れ電流を低減できる。

40

そして、もっとも単純な構造としては、半導体チップ側面が、前記チャンネルストッパ領域で覆われているものとするれば良い。この、チャンネルストッパ領域を形成することで表面の反転を防止でき、かつ絶縁耐圧の安定化が図られる。この時に、チャンネルストッパ領域の表面にチャンネルストッパ電極を接続することが有効である。

【 0 0 1 2 】

特に、その並列 p n 層の周囲の高抵抗領域の不純物濃度 N_D が、超接合半導体素子の耐圧を V_{DSS} (V) としたとき、 $5.62 \times 10^{17} \times V_{DSS}^{-1.36}$ (cm⁻³) 以下であるものとする。

50

後述するように $5.62 \times 10^{17} \times V_{DSS}^{-1.36} \text{ (cm}^{-3}\text{)}$ 以下の低濃度であれば、特に従来のようなガードリング構造等を設けなくても、空乏層が十分広がるので、高耐圧素子とすることができる。もちろんガードリング構造等を設けてもよい。

【0013】

【0014】

並列 p n 層の周囲に、第一導電型の高抵抗領域を有するとき、最外側の第二導電型仕切り領域の正味の不純物量を、その内側の並列 p n 層の各領域の正味の不純物量とほぼ等しくし、または並列 p n 層の周囲に、第二導電型の高抵抗領域を有するとき、最外側の第一導電型ドリフト領域の正味の不純物量を、その内側の並列 p n 層の各領域の正味の不純物量とほぼ等しくすることが有効である。

10

内側の並列 p n 層の各領域では、両側を逆導電型でほぼ等しい不純物濃度の領域に挟まれているのに対し、最外側の領域は片側で高抵抗領域と接することになる。そのため、逆導電型の不純物でコンペントされる量が少なくなり、結果的に正味の不純物量が多くなってしまふ。そうすると空乏化がアンバランスになり、耐圧が低下することになる。耐圧を確保するためには、その内側の並列 p n 層の各領域の正味の不純物量とほぼ等しくすることが重要である。

【0015】

並列 p n 層の周囲に、第一導電型の高抵抗領域を有するとき、コーナー部における第二導電型仕切り領域の端部の正味の不純物量が、並列 p n 層の各領域の正味の不純物量とほぼ等しくし、並列 p n 層の周囲に、第二導電型の高抵抗領域を有するとき、コーナー部における第一導電型ドリフト領域の端部の正味の不純物量が、並列 p n 層の各領域の正味の不純物量とほぼ等しくすることが有効である。コーナー部においても上と同様の機構で正味の不純物量が多くなり、耐圧が低下する。それを防止するためである。

20

【0016】

【0017】

【発明の実施の形態】

以下に本発明の実施の形態を添付図面に基づいて説明する。なお以下で n または p を冠記した層や領域は、それぞれ電子、正孔を多数キャリアとする層、領域を意味している。また $+$ は比較的高不純物濃度の、 $-$ は比較的低不純物濃度の領域をそれぞれ意味している。

【実施例 1】

図 1 は、本発明の実施例 1 の縦型の超接合 MOSFET の周縁部の部分断面図であり、図の右側が n チャネル型 MOSFET の端である。

30

【0018】

図 1 において、11 は低抵抗の n^+ ドレイン層、12 は n ドリフト領域 12 a、p 仕切り領域 12 b とからなる並列 p n 層のドリフト層である。表面層には、p 仕切り領域 12 b に接続して p ウェル領域 13 a が形成されている。p ウェル領域 13 a の内部に n^+ ソース領域 14 と高濃度の p^+ コンタクト領域 13 b とが形成されている。 n^+ ソース領域 14 と n ドリフト領域 12 a とに挟まれた p ウェル領域 13 a の表面上には、ゲート絶縁膜 15 を介して多結晶シリコンのゲート電極層 16 が、また、 n^+ ソース領域 14 と高濃度の p^+ コンタクト領域 13 b の表面に共通に接触するソース電極 17 が設けられている。 n^+ ドレイン層 11 の裏面にはドレイン電極 18 が設けられている。19 は表面保護および安定化のための絶縁膜であり、例えば、熱酸化膜と燐シリカガラス (PSG) からなる。ソース電極 17 は、図のように層間絶縁膜 19 a を介してゲート電極層 16 の上に延長されることが多い。図示しない部分で、ゲート電極層 16 上に金属膜のゲート電極が設けられている。ドリフト層 12 のうちドリフト電流が流れるのは、n ドリフト領域 12 a であるが、以下では p 仕切り領域 12 b を含めた並列 p n 層をドリフト層 12 と呼ぶことにする。

40

【0019】

n ドリフト領域 12 a と p 仕切り領域 12 b との平面的な形状は、例えばともにストライプ状とする。超接合半導体素子の基本的な構造であるドリフト層 12 の周縁で、p 仕切

50

り領域 1 2 b の外側に n^- 高抵抗領域 2 0 が形成されている点がポイントである。n ドリフト領域 1 2 a と p 仕切り領域 1 2 b との平面的な形状は、他に一方が格子状や網状であり、他方がその中に挟まれた形状でも良い。その多様な配置が考えられる。

【 0 0 2 0 】

例えば、7 0 0 V クラスの MOSFET として、各部の寸法および不純物濃度等は次のような値をとる。 n^+ ドレイン層 1 1 の比抵抗は $0.01 \text{ } \cdot \text{ cm}$ 、厚さ $350 \text{ } \mu\text{ m}$ 、ドリフト層 1 2 の厚さ $48 \text{ } \mu\text{ m}$ 、n ドリフト領域 1 2 a および p 仕切り領域 1 2 b の幅 $5 \text{ } \mu\text{ m}$ (すなわち、同じ領域の中心間隔 $10 \text{ } \mu\text{ m}$)、平均不純物濃度 $3.5 \times 10^{15} \text{ cm}^{-3}$ 、p ウェル領域 1 3 a の拡散深さ $1 \text{ } \mu\text{ m}$ 、表面不純物濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 、 n^+ ソース領域 1 4 の拡散深さ $0.3 \text{ } \mu\text{ m}$ 、表面不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ 、 n^- 高抵抗領域 2 0 の不純物濃度 $7.6 \times 10^{13} \text{ cm}^{-3}$ 以下、幅 $200 \text{ } \mu\text{ m}$ である。

10

【 0 0 2 1 】

n^- 高抵抗領域 2 0 は、例えばエピタキシャル成長により形成される。n ドリフト領域 1 2 a は n^- 高抵抗領域 2 0 に設けられた掘り下げ部にエピタキシャル成長により充填され、更に p 仕切り領域 1 2 b は、n ドリフト領域 1 2 a に設けられた掘り下げ部にエピタキシャル成長により充填して形成する。

図 2 (a) は、不純物濃度プロファイルである。p 仕切り領域 1 2 b は、n ドリフト領域 1 2 a と最高不純物濃度を等しく、幅も略等しくするのが、両者を空乏化して高耐圧化するのに有利である。

【 0 0 2 2 】

図 1 の超接合 MOSFET の動作は、次のようにおこなわれる。ゲート電極層 1 6 に所定の正の電圧が印加されると、ゲート電極層 1 6 直下の p ウェル領域 1 3 a の表面層に反転層が誘起され、 n^+ ソース領域 1 4 から反転層を通じて n チャネル領域 1 2 e に電子が注入される。その注入された電子が n ドリフト領域 1 2 a を通じて n^+ ドレイン層 1 1 に達し、ドレイン電極 1 8、ソース電極 1 7 間が導通する。

20

【 0 0 2 3 】

ゲート電極層 1 6 への正の電圧が取り去られると、p ウェル領域 1 3 a の表面層に誘起された反転層が消滅し、ドレイン電極 1 8、ソース電極 1 7 間が遮断される。更に、逆バイアス電圧を大きくすると、各 p 仕切り領域 1 2 b は p ウェル領域 1 3 a を介してソース電極 1 7 で連結されているので、p ウェル領域 1 3 a と n チャネル領域 1 2 e との間の p

30

【 0 0 2 4 】

n^- 高抵抗領域 2 0 の不純物濃度を高くしたと、そのことによりドリフト層 1 2 の厚さを薄くできたため、オン抵抗としては約 1 0 分の 1 に低減でき、しかも耐圧は十分に確保される。

また p 仕切り領域 1 2 b も同時に空乏化される。p 仕切り領域 1 2 b も両側の p n 接合から空乏層が広がるので空乏化が非常に早まる。従って、n ドリフト領域 1 2 a とを交互に形成することにより、隣接する n ドリフト領域 1 2 a の双方へ空乏端が進入するようになっているので、空乏層形成のための p 仕切り領域 1 2 b の総占有幅を半減でき、その分、n ドリフト領域 1 2 a の断面積の拡大を図ることができる。

40

【 0 0 2 5 】

例えば、従来の単層の高抵抗ドリフト層を持つ縦型 MOSFET では、7 0 0 V クラスの耐圧とするためには、ドリフト層 1 2 の不純物濃度としては $2 \times 10^{14} \text{ cm}^{-3}$ 、厚さ $80 \text{ } \mu\text{ m}$ 程度必要であったが、本実施例の超接合 MOSFET では、n ドリフト領域 1 2 a の不純物濃度を高くしたと、そのことによりドリフト層 1 2 の厚さを薄くできたため、オン抵抗としては約 1 0 分の 1 に低減でき、しかも耐圧は十分に確保される。

【 0 0 2 6 】

n^- 高抵抗領域 2 0 の不純物濃度を変えて同様の n チャネル型 MOSFET を試作し、

50

またその特性をデバイスシミュレーションにより確認した。

図3は、 n チャネル型MOSFETの耐圧(V_{DSS})の不純物濃度依存性を示す特性図である。横軸は、 n 高抵抗領域20の不純物濃度、縦軸は耐圧(V_{DSS})である。ドリフト層12の深さをパラメータとしてあり、各線は同じ深さについて n 高抵抗領域20の不純物濃度を变化させた場合の結果である。

【0027】

n 高抵抗領域20の不純物濃度 N_D が、 $5.62 \times 10^{17} \times V_{DSS}^{-1.36} \text{ (cm}^{-3}\text{)}$ を越えた範囲では不純物濃度とともに耐圧が低下しているが、それ以下の範囲では、耐圧が殆ど変化せず、一定になっている。これは、素子耐圧が n 高抵抗領域20の不純物濃度によらず、内部のドリフト層12の部分で決定されていることを意味している。

10

【0028】

限界不純物濃度は耐圧 V_{DSS} の1.36乗に逆比例しているので、高い定格電圧のMOSFETの場合には、低い不純物濃度でなければならず、また低い定格電圧のMOSFETでは、高い不純物濃度で良い。

本実施例1の超接合MOSFETでは、通常おこなわれるガードリング構造やフィールドプレート構造とするときよりも単純な構造の耐圧構造を設けることができた。従って、工程数が少なくすむという利点がある。もちろんガードリング構造やフィールドプレート構造を設けて更に耐圧を高めてもよい。

【0029】

なお、 n ドリフト領域12aの幅を狭くし、不純物濃度を高くすれば、より一層のオン抵抗の低減、およびオン抵抗と耐圧とのトレードオフ関係の改善が可能である。

20

[実施例2]

図1のような断面をもつ超接合MOSFETの並列 pn 層の製造方法として、エピタキシャル成長の前に部分的に不純物の埋め込み領域を形成しておいてから、 n 高抵抗領域20をエピタキシャル成長する工程を数回繰り返した後、熱処理により拡散させて n ドリフト領域12aと p 仕切り領域12bとを形成することもできる。

【0030】

図4は、不純物の埋め込み拡散とエピタキシャル成長する工程を数回繰り返して形成した超接合MOSFETの周縁部の部分断面図である。

図1の断面図との違いは n ドリフト領域12aと p 仕切り領域12bとの内部に破線等で濃度線を示したような不純物濃度分布があることである。

30

いま、高抵抗領域20が n 型であり、並列 pn 層の最外側が p 仕切り領域である場合、その最外側の p 仕切り領域を12cとし、内側の p 仕切り領域を12bとする。

【0031】

p 仕切り領域12b、12cを、アクセプタ不純物の選択的な注入と熱拡散によって形成すると、本来約750Vあるべき耐圧が約600Vに低下した。

図2(b)は、この原因を説明する不純物濃度プロファイルである。破線はドナー不純物の、一点鎖線はアクセプタ不純物の濃度を示し、実線は両者の差の正味不純物濃度を示している。

【0032】

40

p 仕切り領域12b、12cを、同じ幅のマスクを使用してイオン注入するとき、 p 仕切り領域12bは、両側を n ドリフト領域12aで挟まれており、一方 p 仕切り領域12cは、片側が n ドリフト領域12aであり、もう一方の側は n 高抵抗領域20となっている。そのため、 n 高抵抗領域20の側で p 仕切り領域12cのアクセプタ不純物をコンベンセントする量が減少する。

【0033】

その結果、 p 仕切り領域12cは、 p 仕切り領域12bより幅が広く、最高不純物濃度も高くなってしまっているのである。図5は、耐圧の p 仕切り領域12cの正味不純物量依存性を示す特性図である。横軸は p 仕切り領域を12bの正味不純物量で規格化した p 仕切り領域12cの正味不純物量、縦軸は耐圧である。

50

【0034】

図から p 仕切り領域 1 2 c の不純物量には最適値があり、p 仕切り領域 1 2 b の不純物量と同じにしたとき耐圧が最大になり、それからはずれると耐圧は低下することがわかる。これは外れた範囲で、p 仕切り領域 1 2 b、1 2 c と、n ドリフト領域 1 2 a との不純物量を等しくするという条件が満たされないためである。

【0035】

実際にイオン注入および熱拡散により p 仕切り領域 1 2 b と p 仕切り領域 1 2 c とを同時に形成しながら、それらの正味不純物量を制御するには、イオン注入の際のマスク幅を変える方法を取ることができる。

図 6 は、耐圧の最外側の p 仕切り領域 1 2 c のマスク幅依存性を示す特性図である。横軸は p 仕切り領域 1 2 c のマスク幅、縦軸は耐圧である。p 仕切り領域 1 2 b のマスク幅は $2.5 \mu\text{m}$ 、ほう素ドーザ量を $1 \times 10^{13} \text{cm}^{-2}$ とした場合である。

10

【0036】

最外側の p 仕切り領域 1 2 c のマスク幅には、耐圧を最大化するための最適値があること、それ以下でもそれ以上でも耐圧が低下すること、その最適値は p 仕切り領域 1 2 b の正味不純物総量と等しくする量であることがわかる。例えば最外側の p 仕切り領域 1 2 c のマスク幅を内側の p 仕切り領域 1 2 b と同じとした場合は、耐圧は約 600V に低下する。

【0037】

図 7 は p 仕切り領域 1 2 c のマスク幅を $1.6 \mu\text{m}$ としたときの不純物濃度プロファイルである。破線はドナー不純物の、一点鎖線はアクセプタ不純物の濃度を示し、実線は両者の差の正味不純物濃度を示している。p 仕切り領域 1 2 c は注入量が減らされているため、最高不純物濃度が低くなっているが、 n^- 高抵抗領域 2 0 側へ幅が広がっている。

20

【0038】

図 8 は最適化したイオン注入用マスクのコーナー部の拡大図である。最外側の p 仕切り領域の形成部 1 2 C およびコーナー部の p 仕切り領域の形成部端部 1 2 D において、マスク幅が狭くなっているのが見られる。例えば内側の p 仕切り領域形成部 1 2 B のマスク幅は $2.5 \mu\text{m}$ であり、最外側の p 仕切り領域の形成部 1 2 C およびコーナー部の p 仕切り領域の形成部端部 1 2 D のマスク幅は $1.6 \mu\text{m}$ である。点線 1 2 A は n ドリフト領域形成のためのマスクの位置を示している。破線は p 仕切り領域の形成部 1 2 C およびコーナー部の p 仕切り領域の形成部端部 1 2 D の端を仮に結んだ線であり、一例として四分円弧状である。

30

【0039】

以上の事項は、並列 p n 層の最外側が n ドリフト領域の場合にも成立することは勿論である。

[実施例 3]

図 9 は、本発明の実施例 3 の縦型の超接合 MOSFET の部分断面図であり、やはり n チャネル MOSFET の場合である。

【0040】

図 9 において、p 仕切り領域 1 2 b の周囲に n^- 高抵抗領域 2 0 が配置されているのは図 1 と同じであるが、その n^- 高抵抗領域 2 0 に隣接して n チャネルストッパ領域 2 1 が配置されており、n チャネルストッパ領域 2 1 はまた、 n^+ ドレイン層 1 1 とつながっている。そして、半導体チップ側面全てがこの n チャネルストッパ領域 2 1 に覆われており、n チャネルストッパ領域 2 1 の表面に接触してチャネルストッパ電極 2 2 が設けられている。

40

【0041】

この場合は、 n^- 高抵抗領域 2 0 の幅を実施例 1 より狭くして、例えば $150 \mu\text{m}$ として、実施例 1 と同じ耐圧を確保することができる。

この n チャネルストッパ領域 2 1 は、表面の反転を防止するチャネルストッパとなるだけでなく、チップの側面もすべてドレイン電極 1 8 の電位とすることが可能になり、これ

50

によって、素子の絶縁耐圧は安定化し、品質も向上する。

【0042】

但し、nチャンネルストッパ領域21が必ずチップ側面でなければならぬわけではなく、nチャンネルストッパ領域21を挟んで反対側の半導体領域に別の半導体素子や半導体領域を形成することもできる。また、nチャンネルストッパ領域21とチャンネルストッパ電極22のみをドリフト層12の周囲に設けてもある程度の特性改善が図られる。

【0043】

なお、以上の実施例はいずれもnチャンネル型のMOSFETとしたが、MOSFETだけでなく、IGBTでも同様の効果が得られる。またpnダイオード、ショットキーバリアダイオード、バイポーラトランジスタでも同様の効果が得られる。

10

【0044】

【発明の効果】

以上説明したように本発明は、オン状態では電流を流すと同時にオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列pn層とを備える超接合半導体素子において、並列pn層の周囲に、該並列pn層より高抵抗率の高抵抗領域を有し、更に高抵抗領域の周囲にドリフト領域と同一導電型のチャンネルストッパ領域を有し、前記チャンネルストッパ領域が、並列pn層の下方に形成されている前記低抵抗層とつながっていることによって、オン抵抗と耐圧とのトレードオフ関係を大幅に改善しつつ、高耐圧を容易に実現できるようになった。また、高抵抗領域の周囲もしくは半導体素子の外周に低抵抗領域を配することにより、一層安定した特性とすることができる。

20

【0045】

特に、高抵抗領域の不純物濃度 N_D (cm^{-3})を、 $5.62 \times 10^{17} \times V_{DSS}^{-1.36}$ (V)以下とすることにより、空乏層が十分広がり、高耐圧の超接合半導体素子を実現できる。

【図面の簡単な説明】

【図1】 本発明実施例1の超接合MOSFETの部分断面図

【図2】 (a)は実施例1の超接合MOSFETにおける不純物濃度プロフィール図、(b)は実施例2の超接合MOSFETにおける不純物濃度プロフィール図

【図3】 実施例1の超接合MOSFETにおける耐圧の n^- 高抵抗領域20の不純物濃度依存性を示す特性図

30

【図4】 本発明実施例2の超接合MOSFETの部分断面図

【図5】 実施例2の超接合MOSFETにおける耐圧のp仕切り領域12cの不純物濃度依存性を示す特性図

【図6】 実施例2の超接合MOSFETにおける耐圧のp仕切り領域12cのイオン注入マスク幅依存性を示す特性図

【図7】 最適化した実施例2の超接合MOSFETにおける不純物濃度プロフィール図

【図8】 実施例2の超接合MOSFETにおけるp仕切り領域のイオン注入マスクの拡大図

【図9】 本発明実施例3の超接合MOSFETの部分断面図

【図10】 超接合MOSFETの基本的な構造部分の部分断面図

40

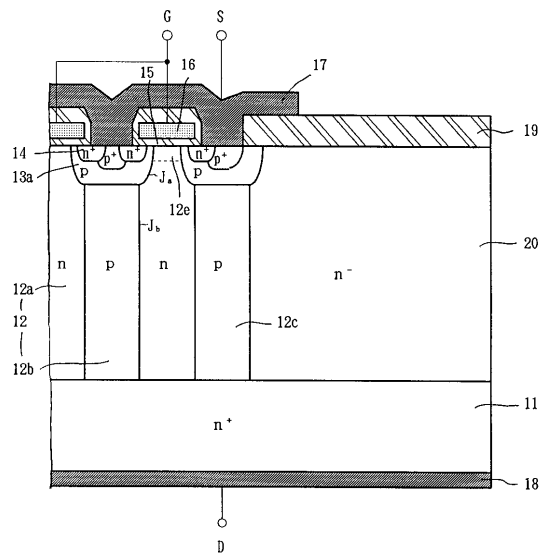
【符号の説明】

11	n^+ ドレイン層
12	ドリフト層
12a	nドリフト領域
12b	p仕切り領域
12c	最外側のp仕切り領域
12e	nチャンネル領域
13a	pウェル領域
13b	p^+ コンタクト領域
14	n^+ ソース領域

50

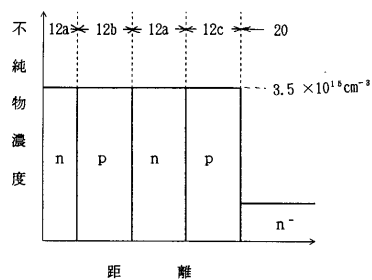
- 1 ゲート絶縁膜
- 2 ゲート電極層
- 3 ソース電極
- 4 ドレイン電極
- 5 絶縁膜
- 6 n⁻高抵抗領域
- 7 nチャンネルストップパ領域
- 8 チャンネルストップパ電極

【図1】

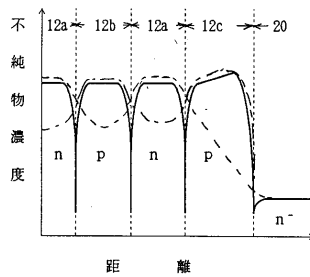


- 11 n⁺ドレイン層
- 12 ドリフト層
- 12a nドリフト領域
- 12b p仕切り領域
- 12c nチャンネル領域
- 13a pウェル領域
- 14 n⁺ソース領域
- 15 ゲート絶縁膜
- 16 ゲート電極層
- 17 ソース電極
- 18 ドレイン電極
- 19 絶縁膜
- 20 n⁻高抵抗領域

【図2】

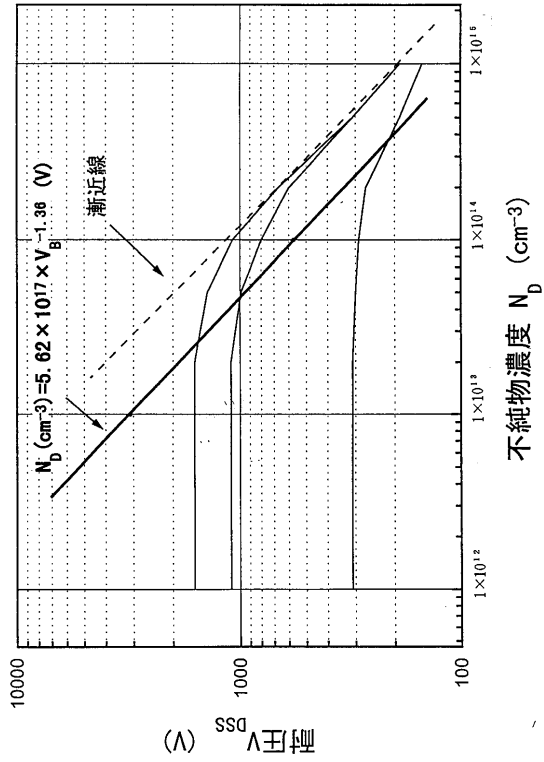


(a)

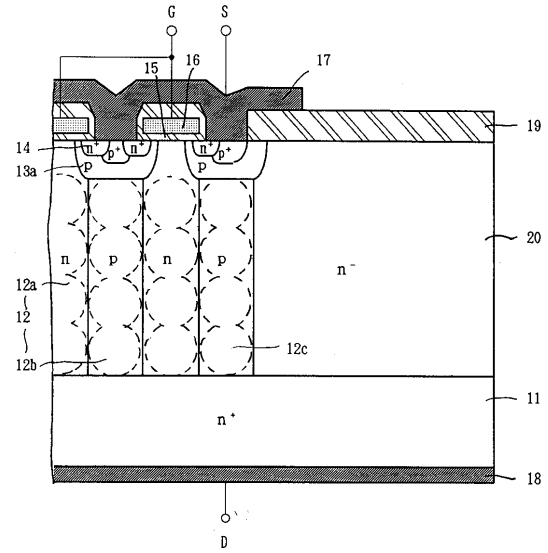


(b)

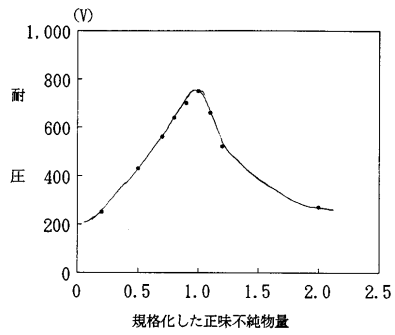
【 図 3 】



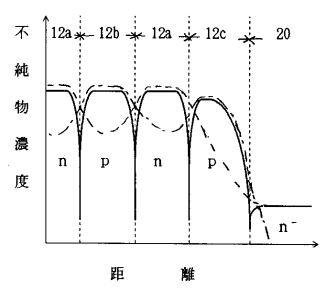
【 図 4 】



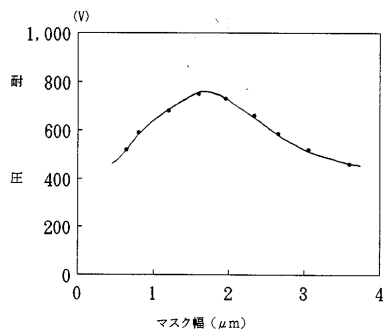
【 図 5 】



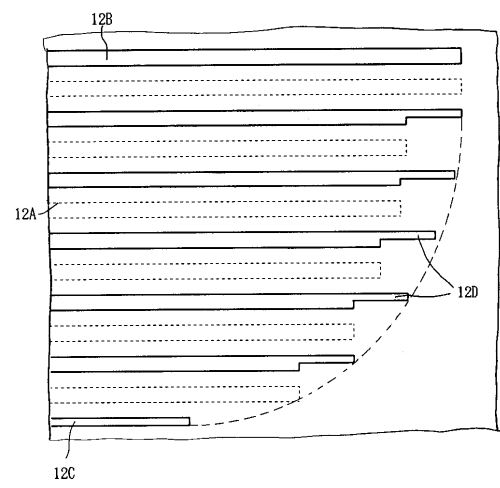
【 図 7 】



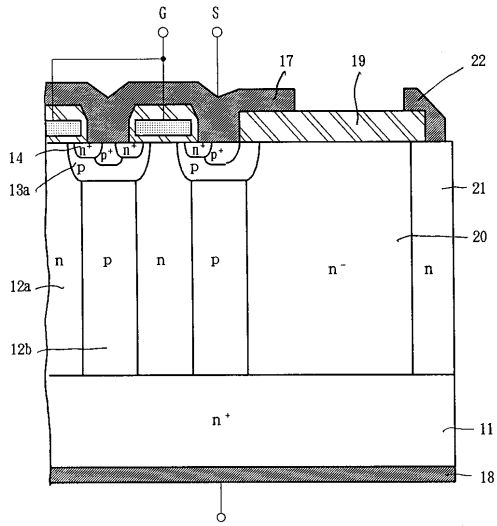
【 図 6 】



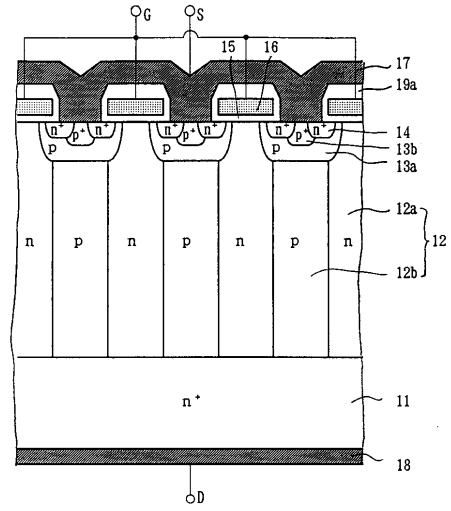
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

- (72)発明者 藤平 龍彦
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式 会社内
- (72)発明者 武井 学
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式 会社内

審査官 恩田 春香

- (56)参考文献 特開平07-007154(JP,A)
特開平09-266311(JP,A)
特開平10-223896(JP,A)
特開昭58-087874(JP,A)
特開平07-193240(JP,A)
特開平03-155678(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 21/336
H01L 29/06