

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3984014号
(P3984014)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月13日(2007.7.13)

(51) Int. Cl. F I
 HO 1 L 21/205 (2006.01) HO 1 L 21/205
 HO 1 L 21/3065 (2006.01) HO 1 L 21/302 1 O 5 Z

請求項の数 13 (全 17 頁)

(21) 出願番号	特願2001-293781 (P2001-293781)	(73) 特許権者	000003078
(22) 出願日	平成13年9月26日 (2001.9.26)		株式会社東芝
(65) 公開番号	特開2003-100641 (P2003-100641A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年4月4日 (2003.4.4)	(74) 代理人	100075812
審査請求日	平成17年3月11日 (2005.3.11)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 半導体装置用基板を製造する方法および半導体装置用基板

(57) 【特許請求の範囲】

【請求項1】

電氣的に絶縁性である絶縁層によって半導体基板から絶縁された半導体層上にパターンニングされたマスク層を形成するマスク層形成ステップと、

前記マスク層のパターンに従って少なくとも前記半導体層をエッチングして前記絶縁層へ貫通するトレンチを形成するトレンチ形成ステップと、

前記絶縁層の厚さよりも薄く前記半導体基板上に堆積させた保護層をエッチングして前記トレンチの側面を被覆する側壁保護部を形成する保護部形成ステップと、

前記トレンチの底面から前記半導体基板までの前記絶縁層をエッチングするエッチング・ステップと、

前記絶縁層がエッチングされることによって露出した前記半導体基板の表面から単結晶層を成長させる単結晶層形成ステップとを具備し、

前記エッチング・ステップは、前記トレンチの底面から前記半導体基板までの前記絶縁層を、少なくとも前記トレンチの底面に比較的近い部分をエッチングするトレンチ側エッチングと前記半導体基板に比較的近い部分をエッチングする基板側エッチングとに分けてエッチングする二段階エッチング・ステップであって、

前記保護部形成ステップは、前記トレンチ側エッチングの前、または前記基板側エッチングの前に実行されることを特徴とする半導体装置用基板の製造方法。

【請求項2】

前記トレンチ側エッチングは異方性のエッチングであり、

10

20

前記基板側エッチングは等方性のエッチングであることを特徴とする請求項 1 に記載の半導体装置用基板の製造方法。

【請求項 3】

前記トレンチ側エッチングおよび前記基板側エッチングにおけるエッチングはともに等方性のエッチングであり、前記トレンチ側エッチングにおいて、前記半導体層の下に存在する前記絶縁層が前記トレンチの側面の方向へエッチングされ、

前記保護部形成ステップは、前記トレンチ側エッチングの後、前記基板側エッチングの前に実行され、前記側壁保護部は、前記トレンチの側面と前記トレンチ側エッチングによってエッチングされた前記絶縁層が存在した前記半導体層の下方とに形成されることを特徴とする請求項 1 に記載の半導体装置用基板の製造方法。

10

【請求項 4】

前記等方性のエッチングは液相中で行われるウェット・エッチングであり、

前記異方性のエッチングは気相中で行われるドライ・エッチングであることを特徴とする請求項 2 または請求項 3 に記載の半導体装置用基板の製造方法。

【請求項 5】

前記トレンチ形成ステップにおいて、前記半導体層のエッチングは等方性のエッチングであり、前記マスク層の下に存在する前記半導体層が前記トレンチの側面の方向へエッチングされ、

前記保護部形成ステップにおいて、前記側壁保護部は、前記トレンチ形成ステップによってエッチングされた前記半導体層が存在していた前記半導体層の下方に形成され、

20

前記エッチング・ステップにおけるエッチングは等方性のエッチングであることを特徴とする請求項 1 に記載の半導体装置用基板の製造方法。

【請求項 6】

電氣的に絶縁性である絶縁層によって半導体基板から絶縁された半導体層上にパターンニングされたマスク層を形成するマスク層形成ステップと、

前記マスク層のパターンに従って少なくとも前記半導体層を等方的にエッチングして前記マスク層の下に存在する前記半導体層を前記トレンチの側面の方向へエッチングし、前記絶縁層へ貫通するトレンチを形成するトレンチ形成ステップと、

前記トレンチの底面から前記半導体基板までの前記絶縁層を等方的にエッチングして前記半導体層の下に存在する前記絶縁層を前記トレンチの側面の方向へエッチングするエッチング・ステップと、

30

前記絶縁層がエッチングされることによって露出した前記半導体基板の表面から単結晶層を成長させる単結晶層形成ステップと、

を具備する半導体装置用基板の製造方法。

【請求項 7】

前記等方性のエッチングは液相中で行われるウェット・エッチングであることを特徴とする請求項 6 に記載の半導体装置用基板の製造方法。

【請求項 8】

表面を有する半導体基板と、

前記表面上に、電氣的に絶縁性である絶縁層および該絶縁層によって絶縁された半導体層が形成された絶縁領域と、

40

前記表面上に形成された単結晶層を有する非絶縁領域と、

前記絶縁領域と前記非絶縁領域との境界領域に存在する少なくとも前記半導体層の側面を被覆する側壁保護部とを備え、

前記絶縁領域と前記非絶縁領域との境界領域に存在する前記絶縁層の側面は前記半導体層の側面よりも前記非絶縁領域側に存在し、

前記絶縁層の側面のうち、前記半導体基板の近傍の側面が前記半導体層の側壁よりも前記非絶縁領域側に存在することを特徴とする半導体装置用基板。

【請求項 9】

前記半導体層の側面上にある前記側壁保護部の厚さは、前記半導体基板上の前記絶縁層

50

の厚さよりも厚いことを特徴とする請求項 8 に記載の半導体装置用基板。

【請求項 10】

前記絶縁層の側面のうち、前記半導体層の近傍の側面は前記半導体層の側壁よりも前記絶縁領域側に存在することを特徴とする請求項 8 に記載の半導体装置用基板。

【請求項 11】

表面を有する半導体基板と、

前記表面上に、電氣的に絶縁性である第 1 の絶縁層および該第 1 の絶縁層によって絶縁された半導体層が形成され、さらに該半導体層上に形成された第 2 の絶縁層を有する絶縁領域と、

前記表面上に形成された単結晶層を有する非絶縁領域とを備え、

前記絶縁領域と前記非絶縁領域との境界に存在する前記半導体層の側面および前記第 1 の絶縁層の側面は、ともに前記絶縁領域と前記非絶縁領域との境界に存在する前記第 2 の絶縁層の側面よりも前記絶縁領域側に存在することを特徴とする半導体装置用基板。

10

【請求項 12】

前記第 1 の絶縁層の側面は前記半導体層の側面よりも前記絶縁領域側に存在することを特徴とする請求項 11 に記載の半導体装置用基板。

【請求項 13】

前記半導体基板の表面から前記半導体層の表面までの距離 h および前記半導体層の側面と前記第 2 の絶縁層の側面との間の距離 d が、

$d/h > 0.75$ を満たすことを特徴とする請求項 12 に記載の半導体装置用基板。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法および半導体装置に関する。

【0002】

【従来の技術】

SOI (Silicon On Insulator) 基板上に形成された電界効果トランジスタは、高速に動作することができ、高速なロジック回路を構成することができる。近年、このような高速なロジック回路と DRAM とが混載されたシステム LSI などの半導体装置の需要が大きい。

【0003】

30

一方、DRAM を SOI 層に形成した場合には、SOI 層の基板浮遊効果により、DRAM のメモリセル用トランジスタの Body 領域に電荷が蓄積され、DRAM の予期せぬリークによるリテンションの劣化やセンスアンプ回路におけるペアトランジスタのしきい値等のずれが生じる。

【0004】

この基板浮遊効果を解決するために素子領域にコンタクトを設けて SOI 層の電位を制御する方法がある。

【0005】

しかし、素子領域にコンタクトを設けるために DRAM のセル面積やセンスアンプ回路の面積などが増大して、高集積化できなくなってしまう。

【0006】

40

そこで、SOI 領域と非 SOI 領域とを設けた基板 (以下、部分 SOI 基板という) を形成する方法がある。SOI 領域は半導体基板上に形成された絶縁層の上に形成された半導体層を有し、非 SOI 領域は半導体基板上に絶縁層を介さずに形成された単結晶層を有する。

【0007】

非 SOI 領域に形成された半導体装置は、基板浮遊効果の影響を受けない。従って、SOI 領域に電界効果トランジスタを形成し、非 SOI 領域に DRAM を形成することによって、高速なロジック回路と基板浮遊効果の影響を受けない DRAM とを搭載したシステム LSI が形成され得る。

【0008】

部分 SOI 基板を形成する方法としては、第 1 の方法として、SIMOX (Separation by Implant

50

ation of Silicon)法 (特開平10-303385またはSymposium on VLSI2000参照)、第2の方法として、絶縁膜をパターンニングしたシリコン基板上に他のシリコン基板を貼り合わせる方法(特開平8-316431参照)、第3の方法として、SOI基板のSOI層と絶縁層(以下、BOX(Buried Oxide)層ともいう)を部分的にエッチングして除去する方法(特開平7-106434、特開平11-238860または特開2000-91534参照)がある。

【0009】

【発明が解決しようとする課題】

第1の方法であるSIMOX法によれば、酸素イオンが注入されるので、SOI層の結晶あるいはバルク層の結晶に欠陥が生じやすい。第2の方法によれば、シリコン基板同士が貼り合わせられる領域がある。よって、シリコン基板同士を貼り合わせた部分において、結晶方位がずれて結晶欠陥が生じる。第3の方法によれば、SOI領域と非SOI領域との境界部で段差が生じるので、リソグラフィ工程においてフォーカスマージンが小さくなるなど後工程に悪影響を及ぼす。

10

【0010】

一方、第3の方法によれば、SOI領域と非SOI領域との間に段差が存在するものの、第1の方法や第2の方法に比較して、SOI基板の結晶欠陥が少なく品質は比較的良好である。

【0011】

第3の方法によって発生したSOI領域と非SOI領域との間の段差を平坦にするために、非SOI領域にエピタキシャル層を形成して研磨する方法(特開2000-243944参照)がある。

【0012】

しかし、この方法によれば、BOX層をRIE(Reactive Ion Etching)によってエッチングしているので、BOX層の下にあるシリコン基板がプラズマによってダメージを受けて結晶欠陥を生じてしまう。

20

【0013】

従って、RIEなどによらず、 NH_4F 溶液などを用いた化学反応によるウェット・エッチングにより、BOX層の選択的な除去を行なうのが好ましい。しかしながら、溶液を使ったウェット・エッチングは等方性であるので、BOX層がサイド・エッチングされてしまう。

【0014】

図6(A)および図6(B)は、従来の方法に従って、BOX層20をウェット・エッチングして得られたSOI領域と非SOI領域とを有する部分SOI基板の拡大断面図である。半導体基板10上に、BOX層20、SOI層30およびマスク層40がBOX層20、SOI層30、マスク層40の順に形成されている。パターンニングされたマスク層40を用いてSOI層30がRIEでエッチングされる。さらに、溶液を用いてBOX層20が選択的にウェット・エッチングされる。

30

【0015】

ここで、半導体基板10のうち、BOX層20およびSOI層30が残存している領域がSOI領域60であり、BOX層20およびSOI層30が残存していない領域が非SOI領域70である。BOX層20またはSOI層30の一方が残存しており、他方が残存していない領域を境界領域80とする。

40

【0016】

次に、非SOI領域70においては、半導体基板10が露出している。この露出した半導体基板10の面から単結晶層50を成長させる。

【0017】

BOX層20をウェット・エッチングすると、BOX層20は半導体基板10へ向かう基板方向だけでなく、半導体基板10の表面へ向かう方向と垂直な横方向へサイド・エッチングされる。その結果、SOI層30の幅がサイド・エッチングされる幅の2倍以下であるパターンにおいては、SOI層30がリフトオフしてしまうおそれがある。また、単結晶層50を成長させるときに、SOI層30の側面からも単結晶が成長する。SOI層30は半導体基板10の表面よりも高い位置にあるため、SOI層30の側面からの単結晶が半導体基板10か

50

らの単結晶よりも高く成長する。よって、境界領域 80 またはその近傍でパンプ 55 が形成されてしまう(図 6 (A) 参照)。パンプ 55 の近傍の半導体装置用基板の表面には、結晶欠陥が生じる。また、平坦な半導体装置用基板を形成するために、パンプ 55 を研磨する研磨工程が必要になる。

【0018】

尚、マスク層 40 は後の工程で除去されるため、単結晶層 50 の平坦面と SOI 層 30 の表面とが同一平面内にあれば、基板表面が平坦になる。従って、図 6 (A) において、単結晶層 50 の平坦面と SOI 層 30 の表面とが同じレベルに描かれている。

【0019】

これらを解決する方法として、図 6 (B) に示すように、SOI 層 30 がエッチングされた後、SOI 層 30 の側面を側壁保護膜 90 によって被覆する方法がある。それによって SOI 層 30 がリフトオフしてしまうおそれが軽減される。

【0020】

しかし、側壁保護膜 90 が BOX 層 20 より薄い場合には、BOX 層 20 をエッチングしたときに、SOI 層 30 の裏面が露出する。従って、依然として、SOI 層 30 の裏面から単結晶が成長し、境界領域 80 またはその近傍でパンプ 55 が形成されてしまう。

【0021】

一方、BOX 層 20 の膜厚以上に厚い側壁保護膜 90 を形成することは、製造コストを増加させ、側壁保護膜 90 を形成するためのプロセスを困難にするので好ましくない。

【0022】

よって、本発明の目的は、表面の結晶に欠陥が少なく、かつ SOI の構造を有する領域と SOI の構造を有しない領域との間に段差がない平坦な表面を有する半導体装置用基板の製造方法および半導体装置用基板を提供することである。

【0023】

【課題を解決するための手段】

本発明に従った実施の形態による半導体装置用基板の製造方法は、電氣的に絶縁性である絶縁層によって半導体基板から絶縁された半導体層上にパターンニングされたマスク層を形成するマスク層形成ステップと、前記マスク層のパターンに従って少なくとも前記半導体層をエッチングして前記絶縁層へ貫通するトレンチを形成するトレンチ形成ステップと、前記絶縁層の厚さよりも薄く前記半導体基板上に堆積させた保護層をエッチングして前記トレンチの側面を被覆する側壁保護部を形成する保護部形成ステップと、前記トレンチの底面から前記半導体基板までの前記絶縁層をエッチングするエッチング・ステップと、前記絶縁層がエッチングされることによって露出した前記半導体基板の表面から単結晶層を成長させる単結晶層形成ステップと、を具備する。

【0024】

好ましくは、前記エッチング・ステップは、前記トレンチの底面から前記半導体基板までの前記絶縁層を、少なくとも前記トレンチの底面に比較的近い部分をエッチングするトレンチ側エッチングと前記半導体基板に比較的近い部分をエッチングする基板側エッチングとに分けてエッチングする二段階エッチング・ステップであって、前記保護部形成ステップは、前記トレンチ側エッチングの前、または前記基板側エッチングの前に実行される。

【0025】

好ましくは、前記トレンチ側エッチングは異方性のエッチングであり、前記基板側エッチングは等方性のエッチングである。

【0026】

好ましくは、前記トレンチ側エッチングおよび前記基板側エッチングにおけるエッチングはともに等方性のエッチングであり、前記トレンチ側エッチングにおいて、前記半導体層の下に存在する前記絶縁層が前記トレンチの側面の方向へエッチングされ、前記保護部形成ステップは、前記トレンチ側エッチングの後、前記基板側エッチングの前に実行され、前記側壁保護部は、前記トレンチの側面と前記トレンチ側エッチングによってエッチングされた前記絶縁層が存在した前記半導体層の下方とに形成される。

10

20

30

40

50

【0027】

好ましくは、前記等方性のエッチングは液相中で行われるウェット・エッチングであり、前記異方性のエッチングは気相中で行われるドライ・エッチングである。

【0028】

前記トレンチ形成ステップにおいて、前記半導体層のエッチングは等方性のエッチングであり、前記マスク層の下に存在する前記半導体層が前記トレンチの側面の方向へエッチングされ、前記保護部形成ステップにおいて、前記側壁保護部は、前記トレンチ形成ステップによってエッチングされた前記半導体層が存在していた前記半導体層の下方に形成され、前記エッチング・ステップにおけるエッチングは等方性のエッチングであってもよい。

【0029】

本発明に従った他の実施の形態による半導体装置用基板の製造方法は、電氣的に絶縁性である絶縁層によって半導体基板から絶縁された半導体層上にパターニングされたマスク層を形成するマスク層形成ステップと、前記マスク層のパターンに従って少なくとも前記半導体層を等方的にエッチングして前記マスク層の下に存在する前記半導体層を前記トレンチの側面の方向へエッチングし、前記絶縁層へ貫通するトレンチを形成するトレンチ形成ステップと、前記トレンチの底面から前記半導体基板までの前記絶縁層を等方的にエッチングして前記半導体層の下に存在する前記絶縁層を前記トレンチの側面の方向へエッチングするエッチング・ステップと、前記絶縁層がエッチングされることによって露出した前記半導体基板の表面から単結晶層を成長させる。

【0030】

好ましくは、前記等方性のエッチングは液相中で行われるウェット・エッチングである。

【0031】

本発明に従った実施の形態による半導体装置用基板は、表面を有する半導体基板と、前記表面上に、電氣的に絶縁性である絶縁層および該絶縁層によって絶縁された半導体層が形成された絶縁領域と、前記表面上に形成された単結晶層を有する非絶縁領域と、前記絶縁領域と前記非絶縁領域との境界領域に存在する少なくとも前記半導体層の側面を被覆する側壁保護部とを備え、前記絶縁領域と前記非絶縁領域との境界領域に存在する前記絶縁層の側面は前記半導体層の側面よりも前記非絶縁領域側に存在する。

【0032】

好ましくは、前記側壁保護部は前記半導体層の側面からの厚さが前記絶縁層の前記半導体基板からの厚さよりも薄い。

【0033】

好ましくは、前記絶縁層の側面のうち、前記半導体基板の近傍の側面が前記半導体層の側壁よりも前記非絶縁領域側に存在する。

【0034】

前記絶縁層の側面のうち、前記半導体層の近傍の側面は前記半導体層の側壁よりも前記絶縁領域側に存在してもよい。

【0035】

本発明に従った他の実施の形態による半導体装置用基板は、表面を有する半導体基板と、前記表面上に、電氣的に絶縁性である第1の絶縁層および該第1の絶縁層によって絶縁された半導体層が形成され、さらに該半導体層上に形成された第2の絶縁層を有する絶縁領域と、前記表面上に形成された単結晶層を有する非絶縁領域とを備え、前記絶縁領域と前記非絶縁領域との境界に存在する前記半導体層の側面および前記第1の絶縁層の側面は、ともに前記絶縁領域と前記非絶縁領域との境界に存在する前記第2の絶縁層の側面よりも前記絶縁領域側に存在する。

【0036】

好ましくは、前記第1の絶縁層の側面は前記半導体層の側面よりも前記絶縁領域側に存在する。

【0037】

好ましくは、前記半導体基板の表面から前記半導体層の表面までの距離 h および前記半導

10

20

30

40

50

体層の側面と前記第2の絶縁層の側面との間の距離 d が、 $d/h = 0.75$ を満たす。

【0038】

【発明の実施の形態】

以下、図面を参照し、本発明による実施の形態を説明する。尚、本実施の形態は本発明を限定するものではない。図面はいずれも理解を容易にするために概略されている。また、当業者にとって、以下の実施の形態のいずれかの組合せを想到することは容易である。

【0039】

図1は、本発明に従った第1の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図である。

【0040】

図1(A)を参照して、半導体基板12の表面に電氣的に絶縁性である絶縁層22が形成され、絶縁層22によって半導体基板から絶縁された半導体層32が形成されている。即ち、SOI構造が半導体基板12上に形成されている。市販されているSOI基板を用いても良い。

【0041】

半導体層32の上にマスク層が形成され、パターニングされる。本実施の形態においては、半導体層32の上に酸化層35が形成され、酸化層35の上に窒化層42が形成される。即ち、二層からなるマスク層35、42が形成される。酸化層35は窒化膜42から半導体層32への応力を軽減し半導体層32を保護する。

【0042】

半導体基板12および半導体層32は、例えば、シリコン基板であり、絶縁層22および酸化層35は、例えば、シリコン酸化膜である。窒化膜42、例えば、シリコン窒化膜である。本実施の形態においては、絶縁層22の厚さは約400nmまたは約200nmであり、半導体層32の厚さは約200nmである。

【0043】

次に、半導体層32がパターニングされたマスク層35、42に従ってエッチングされる。それによって、絶縁層22へ貫通するトレンチ54が形成される。トレンチ54は、半導体層32のエッチングによって露出した絶縁層22の表面部を底面とし、半導体層32のエッチングによって露出した半導体層32の側部を側面とする。

【0044】

図1(B)を参照して、次に、半導体層32を酸化して、トレンチ54の側面に酸化層37を形成する。さらに、絶縁層22の厚さよりも薄い保護層92を半導体基板12上に堆積させる。本実施の形態においては、保護層92は、LPCVD(Low Pressure Chemical Vapor Deposition)によって堆積される。酸化層37は、保護層92から半導体層32を保護する。保護層92は図1(B)において破線で示されている。この保護層92を半導体基板12の表面に向かって異方的にエッチングすることによって、側壁保護部94がトレンチ54の側面に残存する。それによって、側壁保護部94はトレンチ54の側面を被覆する。保護層92および側壁保護部94は、例えば、窒化材料や酸化材料からなる。本実施の形態において、側壁保護部94は窒化材料からなる。

【0045】

側壁保護部94が酸化材料からなる場合には、絶縁層22をエッチングする際に同時にエッチングされる。しかし、絶縁層22の膜厚 t を十分に薄くすることによって、半導体層32が露出することなく、半導体基板12の表面が露出し得る。

【0046】

図1(C)を参照して、トレンチ54の底面から半導体基板12までに存在する絶縁層22をエッチングする。本実施の形態において、絶縁層22は、トレンチ54の底面に比較的近い部分をエッチングするトレンチ側エッチングと半導体基板12に比較的近い部分をエッチングする基板側エッチングとに分けて二段階でエッチングされる。

【0047】

まず、トレンチ側エッチングが実行される。即ち、側壁保護部94から露出している絶縁

10

20

30

40

50

層 2 2 の領域が選択的にRIEなどによって異方的にエッチングされる。それによって、図 1 (C) に示す破線の位置まで絶縁層 2 2 がエッチングされる。絶縁層 2 2 が半導体基板 1 2 の上に残存しているため、半導体基板 1 2 はRIEのプラズマなどによるダメージを受けない。

【 0 0 4 8 】

続いて、絶縁層 2 2 の基板側エッチングが実行される。即ち、 NH_4F 溶液などを用いたウェット・エッチングによって、半導体基板 1 2 が露出するまで絶縁層 2 2 がエッチングされる。ウェット・エッチングは絶縁層 2 2 を化学的にエッチングするため半導体基板 1 2 にダメージを与えない。よって、半導体基板 1 2 には、結晶欠陥が比較的少ない。

【 0 0 4 9 】

絶縁層 2 2 は図 1 (C) の破線まですでに異方的にエッチングされているため、残存している絶縁層 2 2 がウェット・エッチングによって等方的にエッチングされても、半導体基板 1 0 の表面へ向かう方向に対して垂直な横方向へサイド・エッチングされる絶縁層 2 2 の幅は従来と比較して小さい。サイド・エッチングされる絶縁層 2 2 の幅は、図 1 (C) の破線から半導体基板 1 2 の表面までの距離、即ち、トレンチ側エッチングの後に残存している絶縁層 2 2 の残膜厚 t に依存する。

【 0 0 5 0 】

よって、保護層 9 2 が絶縁層 2 2 より薄くても、残膜厚 t を調節することによって、絶縁層 2 2 が半導体層 3 2 の下までサイド・エッチングされないようにすることができる。従って、半導体層 3 2 は露出していない。尚、残膜厚 t は、側壁保護層 9 4 の半導体層 3 2 の側面からの厚さ t' よりも小さい。例えば、残膜厚 t は約 50nm であり、厚さ t' は約 100nm である。

【 0 0 5 1 】

図 1 (D) を参照して、半導体基板 1 2 の表面から単結晶をエピタキシャル成長させることによって、トレンチ 5 4 内部に単結晶層 5 2 が形成される。本実施の形態において、単結晶層 5 2 は選択エピタキシャル成長法により形成される。半導体基板 1 2 の表面が露出し、半導体層 3 2 は露出していないので、単結晶は半導体基板 1 2 から成長し、半導体層 3 2 からは成長しない。

【 0 0 5 2 】

ここで、半導体基板 1 2 のうち、絶縁層 2 2 および半導体層 3 2 が存在している領域を絶縁領域 6 2 とし、絶縁層 2 2 および半導体層 3 2 が存在せず、単結晶層 5 2 が形成されている領域を非絶縁領域 7 2 とする。側壁保護部 9 4 が形成されている領域、並びに絶縁層 2 2 または半導体層 3 2 の一方が残存しており他方が残存していない領域を境界領域 8 2 とする。各添付図面において、絶縁領域 6 2、非絶縁領域 7 2 および境界領域 8 2 のそれぞれは破線によって区別されている。

【 0 0 5 3 】

単結晶は半導体基板 1 2 から成長し、半導体層 3 2 からは成長しないので、境界領域 8 2 またはその近傍においてパンプは形成されない。従って、境界領域 8 2 またはその近傍の単結晶層 5 2 の表面には、結晶欠陥は生じない。

【 0 0 5 4 】

本実施の形態において、マスク層 3 5 および 4 2 は後の工程で除去されるので、単結晶層 5 2 は、単結晶層 5 2 の表面と半導体層 3 2 の表面とが同一平面になるように形成される。それによって、マスク層 3 5 および 4 2 を除去した後における半導体装置用基板 1 0 0 の基板面 9 8 が平坦になる。このようにして、平坦な基板面 9 8 を有する半導体装置用基板 1 0 0 が形成される。

【 0 0 5 5 】

側壁保護部 9 4 は窒化材料から形成されているので、マスク層 3 5 および 4 2 がアッシング等により除去されたときに、側壁保護部 9 4 も半導体層 3 2 の表面まで除去される。従って、絶縁領域 6 2 から境界領域 8 2 を介して非絶縁領域 7 2 まで平坦な基板面 9 8 が形成される。このようにして、半導体装置用基板 2 0 0 が形成される。

10

20

30

40

50

【 0 0 5 6 】

よって、半導体装置用基板 1 0 0 は、半導体基板 1 2 と、半導体基板 1 2 の表面上に、電氣的に絶縁性である絶縁層 2 2 と絶縁層 2 2 によって絶縁された半導体層 3 2 とが形成された絶縁領域 6 2 と、半導体基板 1 2 の表面上に形成された単結晶層 5 2 を有する非絶縁領域 7 2 と、絶縁領域 6 2 および非絶縁領域 7 2 の境界領域 8 2 に存在する少なくとも半導体層 3 2 の側面を被覆する側壁保護部 9 4 とを備えている。

【 0 0 5 7 】

絶縁領域 6 2 と非絶縁領域 7 2 との境界領域 8 2 に存在する絶縁層 2 2 の側面は半導体層 3 2 の側面よりも非絶縁領域 7 2 側に存在する。

【 0 0 5 8 】

半導体装置用基板 1 0 0 の絶縁領域 6 2 および非絶縁領域 7 2 にはそれぞれの特性に適した半導体装置が形成され得る。

【 0 0 5 9 】

図 2 は、本発明に従った第 2 の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図である。

【 0 0 6 0 】

図 2 (A) を参照して、まず、図 1 (A) と同様に、半導体基板 1 2 上に、絶縁層 2 2、半導体層 3 2 およびマスク層 3 5、4 2 が形成される。

【 0 0 6 1 】

半導体層 3 2 と絶縁層 2 2 の一部分がパターニングされたマスク層 3 5、4 2 に従って RIE により異方的にエッチングされる。即ち、トレンチ 5 4 が形成されるとともに、絶縁層 2 2 のトレンチ側エッチングが行われる。それによって、絶縁層 2 2 へ貫通するトレンチ 5 4 が形成される。トレンチ 5 4 は、半導体層 3 2 のエッチングによって露出した絶縁層 2 2 の部分を底面とし、半導体層 3 2 のエッチングによって露出した半導体層 3 2 および絶縁層 2 2 の側部を側面とする。

【 0 0 6 2 】

図 2 (B) を参照して、第 1 の実施の形態と同様に、側壁保護部 9 4 がトレンチ 5 4 の側面に形成される。ただし、第 1 の実施の形態と異なり、トレンチ 5 4 の側面は半導体層 3 2 および絶縁層 2 2 の側部からなるので、側壁保護部 9 4 は、半導体層 3 2 の側部だけでなく、絶縁層 2 2 の側部をも被覆する。

【 0 0 6 3 】

図 2 (C) を参照して、トレンチ 5 4 の底面から半導体基板 1 2 まで残存する絶縁層 2 2 をウェット・エッチングする。即ち、本実施の形態において、絶縁層 2 2 のトレンチ側エッチングは、基板側エッチングが実行され、側壁保護部 9 4 が形成された後に行われる。

【 0 0 6 4 】

トレンチ側エッチングの際に、絶縁層 2 2 のうちトレンチ 5 4 側の一部分は、トレンチ側エッチングによって、既にエッチングされている。従って、絶縁層 2 2 のうち半導体基板 1 2 の比較的近くに残存している部分が基板側エッチングによって等方的にエッチングされる。それによって、保護層 9 2 (図 1 (B) 参照) が絶縁層 2 2 より薄くとも、絶縁層 2 2 の残膜厚 t を調節することによって、絶縁層 2 2 は半導体層 3 2 の下までサイド・エッチングされないようにすることができる。

【 0 0 6 5 】

本実施の形態において、残膜厚 t を半導体層 3 2 の側面からの側壁保護層 9 4 の厚さ t' よりも小さくすることができる。即ち、基板側エッチングにおいて、半導体装置用基板 2 0 0 は、残膜厚 t と厚さ t' との差だけ横方向のマージンを有する。従って、基板側エッチングの後、半導体層 3 2 は露出していない。

【 0 0 6 6 】

また、半導体装置用基板 2 0 0 は、トレンチ側エッチングの際に既にエッチングされている絶縁層 2 2 の厚さの分だけ縦方向のマージンを有する。よって、基板側エッチングにおいて、さらにエッチングが進んだ場合であっても、半導体層 3 2 は露出しない。

10

20

30

40

50

【0067】

図2(E)は、基板側エッチングにおいて、側壁保護層94の厚さ t' を越えてオーバーエッチングしたときの破線円Zで示された部分の拡大図である。図2(E)によれば、縦方向のマージンが t'' で示されている。厚さ t'' は、トレンチ側エッチングの際に既にエッチングされている絶縁層22の厚さに等しい。基板側エッチングにおいて、側壁保護層94の厚さ t' 以上にオーバーエッチングしても、半導体層32は露出していない。

【0068】

よって、本実施の形態において、基板側エッチングは、絶縁層22を t' と t'' との和の厚さの分だけエッチングすることができる。即ち、横方向のマージンおよび縦方向のマージンの両方を考慮した場合、全マージンは、 t' と t'' との和になる。

10

【0069】

本実施の形態において、半導体基板12が露出するまで絶縁層22はウェット・エッチングされるので半導体基板12には結晶欠陥が生じ難い。

【0070】

図2(D)を参照して、半導体基板12の表面から単結晶層52をエピタキシャル成長させることによって、トレンチ54内部に単結晶層52が形成される。

【0071】

第1の実施の形態と同様に、半導体基板12の表面が露出し、半導体層32は露出しないので、単結晶層52は半導体基板12からエピタキシャル成長し、半導体層32からは成長しない。

20

【0072】

よって、境界領域82またはその近傍においてバンプは形成されない。従って、境界領域82またはその近傍の単結晶層52の表面には、結晶欠陥は生じない。また、本実施の形態において、マスク層35および42は後の工程で除去されるので、単結晶層52は、単結晶層52の表面と半導体層32の表面とが同一平面になるように形成される。それによって、マスク層35および42を除去した後における半導体装置用基板100の基板面98が平坦になる。このようにして、平坦な基板面98を有する半導体装置用基板100が形成される。

【0073】

側壁保護部94は窒化材料から形成されているので、マスク層35および42がアッシング等により除去されたときに、側壁保護部94も半導体層32の表面まで除去される。従って、絶縁領域62から境界領域82を介して非絶縁領域72まで平坦な基板面98が形成される。このようにして、半導体装置用基板200が形成される。

30

【0074】

半導体装置用基板200は、絶縁層22の側面のうち、半導体基板12の近傍の側面が半導体層32の側壁よりも非絶縁領域72側に存在するように形成されている。

【0075】

尚、図2(D)において、単結晶層52を成長させる条件によっては、側壁保護部94と絶縁層22との境のエッジuに空間が生じる場合がある。

【0076】

図3は、本発明に従った第3の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図である。

40

【0077】

図3(A)を参照して、まず、図1(A)と同様に、半導体基板12上に、絶縁層22、半導体層32およびマスク層35、42が形成される。

【0078】

次に、半導体層32がパターニングされたマスク層35、42に従ってRIEにより異方的にエッチングされる。それによって、絶縁層22へ貫通するトレンチ54が形成される。トレンチ54は、半導体層32のエッチングによって露出した絶縁層22の表面部を底面とし、半導体層32のエッチングによって露出した半導体層32の側部を側面とする。

50

【0079】

さらに、絶縁層22のトレンチ54側の一部がウェット・エッチングされる。即ち、絶縁層22のトレンチ側エッチングが行われる。絶縁層22はウェット・エッチングによって等方的にエッチングされるため、半導体層32の下に存在する絶縁層22がトレンチ54の側面の方向、即ち、半導体基板12の表面へ向かう方向に対して垂直な横方向へエッチングされる。それによって、半導体層32の側部および底部が露出する。

【0080】

図3(B)を参照して、第1の実施の形態と同様に、側壁保護部94がトレンチ54の側面に形成される。ただし、側壁保護部94は、半導体層32の側部だけでなく、サイド・エッチングされた絶縁層22が存在していた半導体層32の下方にも形成される。よって、保護層92が絶縁層22より薄く堆積されても、側壁保護層94の絶縁層22側面からの厚さ t' は、絶縁層22の残膜厚 t よりも厚いので、続く基板側エッチングの後でも、半導体層32は露出しない。

10

【0081】

図3(C)を参照して、トレンチ54の底面から半導体基板12までに存在する絶縁層22をウェット・エッチングする。即ち、本実施の形態において、絶縁層22の基板側エッチングは、トレンチ側エッチングが実行され、側壁保護部94が形成された後に行われる。

【0082】

第2の実施の形態と同様に、トレンチ側エッチングの際に、絶縁層22のうちトレンチ54側の一部は、既にエッチングされている。従って、基板側エッチングにおいては、絶縁層22のうち半導体基板12の比較的近くに残存している部分が、基板側エッチングによって、等方的にエッチングされる。それによって、上述したように、保護層92が絶縁層22より薄く堆積されても、残存している絶縁層22の膜厚 t を調節することによって、絶縁層22は半導体層32の下までサイド・エッチングされないようにすることができる。従って、半導体層32は露出していない。尚、残膜厚 t は、側壁保護層94の絶縁層22側面からの厚さ t' よりも小さい。

20

【0083】

また、図2(E)と同様に、縦方向のマージンを考慮してもよい。それによって、基板側エッチングにおいて、絶縁層22が厚さ t' 以上にサイド・エッチングされても、半導体層32は露出しない。

30

【0084】

一般に、どの程度の残膜厚 t の絶縁層22がRIEのプラズマによるダメージから半導体基板12を保護できるかは明確に特定できない。

【0085】

しかし、本実施の形態によれば、トレンチ側エッチングおよび基板側エッチングはともに等方性のエッチングである。よって、絶縁層22がRIEによりエッチングされることがないので、トレンチ側エッチングによって半導体基板12が絶縁層22を介してダメージを受ける可能性が無く、半導体基板12への結晶欠陥がさらに生じ難くなる。

【0086】

図3(D)を参照して、半導体基板12の表面から単結晶層52をエピタキシャル成長させることによって、トレンチ54内部に単結晶層52が形成される。

40

【0087】

第1の実施の形態と同様に、半導体基板12の表面は露出しているものの半導体層32が露出していないので、単結晶層52は半導体基板12からエピタキシャル成長し、半導体層32からは成長しない。

【0088】

よって、境界領域82またはその近傍においてバンプは形成されず、結晶欠陥も生じない。

【0089】

50

また、本実施の形態において、マスク層 35 および 42 は後の工程で除去されるので、単結晶層 52 は、単結晶層 52 の表面と半導体層 32 の表面とが同一平面になるように形成される。それによって、マスク層 35 および 42 を除去した後における半導体装置用基板 100 の基板面 98 が平坦になる。このようにして、平坦な基板面 98 を有する半導体装置用基板 100 が形成される。

【0090】

側壁保護部 94 は窒化材料から形成されているので、マスク層 35 および 42 がアッシング等により除去されたときに、側壁保護部 94 も半導体層 32 の表面まで除去される。従って、絶縁領域 62 から境界領域 82 を介して非絶縁領域 72 まで平坦な基板面 98 が形成される。このようにして半導体装置用基板 300 が形成される。

10

【0091】

半導体装置用基板 300 は、絶縁層 22 の側面のうち、半導体基板 12 の近傍の側面が半導体層 32 の側壁よりも非絶縁領域側 72 に存在し、かつ、絶縁層 22 の側面のうち、半導体層 32 の近傍の側面は半導体層 32 の側壁よりも絶縁領域側 82 に存在する。

【0092】

図 4 は、本発明に従った第 4 の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図である。

【0093】

まず、図 1 (A) と同様に、半導体基板 12 上に、絶縁層 22、半導体層 32 およびマスク層 35、42 が形成される。

20

【0094】

次に、図 4 (A) を参照して、半導体層 32 がパターニングされたマスク層 35、42 に従って等方的にエッチングされ、絶縁層 22 へ貫通するトレンチ 54 が形成される。それによって、マスク層 35、42 の下に存在する半導体層 32 がトレンチ 54 の側面の方向へサイド・エッチングされる。即ち、半導体層 32 は半導体基板 12 の表面へ向かう方向に対して垂直な横方向へサイド・エッチングされる。

【0095】

図 4 (B) を参照して、側壁保護部 94 が、第 1 の実施の形態と同様にして、トレンチ 54 の側面に形成される。側壁保護部 94 は、マスク層 35、42 の下に入り込み、半導体層 32 の側部を被覆する。従って、側壁保護部 94 を形成するために堆積される保護層 92 (図 1 (B) 参照) の膜厚は絶縁層 22 の膜厚より薄いにもかかわらず、トレンチ 54 の側面からの側壁保護部 94 の横方向の厚さは、絶縁層 22 の膜厚よりも厚い。

30

【0096】

図 4 (C) を参照して、トレンチ 54 の底面から半導体基板 12 までに存在する絶縁層 22 をウェット・エッチングする。本実施の形態においては、第 1 から第 3 の実施の形態と異なり、絶縁層 22 は、1 回のウェット・エッチングによってエッチングされる。トレンチ 54 の側面からの側壁保護部 94 の横方向の厚さ t' は絶縁層 22 の膜厚 t よりも厚いので、絶縁層 22 がサイド・エッチングされても半導体層 32 は露出しない。

【0097】

本実施の形態においては、図 4 (A) に示すエッチングによって絶縁層 22 はエッチングされていない。しかし、図 4 (E) に示すように、絶縁層 22 の一部をエッチングしてもよい。それによって、絶縁層 22 がサイド・エッチングされて、半導体層 32 の底面の一部が露出され、図 4 (B) において側壁保護部 94 が半導体層 32 のその底面の一部を被覆する。それにより、図 2 (E) で示される形態と同様に、横方向のマージンだけでなく、縦方向のマージンを考慮して、図 4 (C) における絶縁層 22 のエッチングが処理され得る。即ち、絶縁層 22 が厚さ t' 以上にサイド・エッチングされても、半導体層 32 は露出しないように設計することができる。

40

【0098】

図 4 (D) を参照して、半導体基板 12 の表面から単結晶層 52 をエピタキシャル成長させることによって、トレンチ 54 内部に単結晶層 52 が形成される。

50

【 0 0 9 9 】

第1の実施の形態と同様に、半導体基板 1 2 の表面は露出しているものの半導体層 3 2 が露出していないので、単結晶層 5 2 は半導体基板 1 2 からエピタキシャル成長し、半導体層 3 2 からは成長しない。

【 0 1 0 0 】

よって、境界領域 8 2 またはその近傍においてバンプは形成されない。従って、境界領域 8 2 またはその近傍の単結晶層 5 2 の表面には、結晶欠陥は生じない。

【 0 1 0 1 】

また、本実施の形態において、マスク層 3 5 および 4 2 は後の工程で除去されるので、単結晶層 5 2 は、単結晶層 5 2 の表面と半導体層 3 2 の表面とが同一平面になるように形成される。それによって、マスク層 3 5 および 4 2 を除去した後における半導体装置用基板 1 0 0 の基板面 9 8 が平坦になる。このようにして、平坦な基板面 9 8 を有する半導体装置用基板 1 0 0 が形成される。

10

【 0 1 0 2 】

側壁保護部 9 4 は、窒化材料から形成されているので、マスク層 3 5 および 4 2 がアッシング等により除去されたときに、側壁保護部 9 4 も半導体層 3 2 の表面まで除去される。従って、絶縁領域 6 2 から境界領域 8 2 を介して非絶縁領域 7 2 まで平坦な基板面 9 8 が形成される。このようにして半導体装置用基板 4 0 0 が形成される。

【 0 1 0 3 】

半導体装置用基板 4 0 0 は、絶縁領域 6 2 と非絶縁領域 7 2 との境界に存在する半導体層 1 2 の側面および絶縁層 2 2 の側面は、ともに絶縁領域 6 2 と非絶縁領域 7 2 との境界に存在するマスク層 3 5、4 2 の側面よりも絶縁領域 6 2 側に存在する。

20

【 0 1 0 4 】

図 5 は、本発明に従った第 5 の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図である。

【 0 1 0 5 】

図 5 (A) は、図 4 (A) と同様の状態を示す。よって、マスク層 3 5、4 2 の下に存在する半導体層 3 2 がトレンチ 5 4 の側面の方向へサイド・エッチングされている。

【 0 1 0 6 】

図 5 (B) は絶縁層 2 2 がエッチングされた後の状態を示す。本実施の形態は、他の実施の形態と異なり、側壁保護部が形成されない。また、絶縁層 2 2 は、ウェット・エッチングされるので、半導体基板 1 2 の表面への方向に対して垂直な横方向へサイド・エッチングされる。

30

【 0 1 0 7 】

本実施の形態においては、半導体層 3 2 および絶縁層 2 2 がともにウェット・エッチングされている。よって、半導体層 1 2 の側面および絶縁層 2 2 の側面は、ともに絶縁領域 6 2 と非絶縁領域 7 2 との境界に存在するマスク層 3 5、4 2 の側面よりも絶縁領域 6 2 域側に存在する。また、絶縁層 2 2 は半導体層 3 2 の後にウェット・エッチングされている。よって、絶縁層 2 2 の側面は半導体層 3 2 の側面よりも絶縁領域 6 2 側に存在する。よって、マスク層 3 5 および 4 2、半導体層 3 2 および絶縁層 2 2 が逆階段状に形成される。

40

【 0 1 0 8 】

さらに、半導体基板 1 2 の表面から半導体層 3 2 の表面までの距離 h および半導体層 3 2 の側面とマスク層 3 5 または 4 2 の側面との間の距離 d が、 $d / h = 0.75$ を満たす。以下にその理由を記述する。

【 0 1 0 9 】

図 5 (D) を参照して、半導体基板 1 2 の表面と半導体層 3 2 の側面とから単結晶をエピタキシャル成長させることによって、トレンチ 5 4 内部に単結晶層 5 2 が形成される。

【 0 1 1 0 】

一般に、シリコンをエピタキシャル成長させた場合に、シリコン基板の結晶面 (1 0 0) に対して垂直する方向 X へ成長するシリコン結晶の成長速度とシリコン基板の結晶面 (0

50

10) に対して垂直する方向Yへ成長するシリコン結晶の成長速度との比が1:0.75である。

【0111】

本実施の形態において、半導体基板12の表面が結晶面(100)に該当し、半導体層32の側面が結晶面(010)に該当する。

【0112】

半導体層32の側面からも結晶は成長するが、半導体層32の側面からの結晶はマスク層35によってトレンチ54の外側へ半導体層32の表面を越えて成長することを抑制される。半導体層32からの結晶が半導体層32の表面を越えて成長するには、半導体層32の側面からの結晶は横方向、即ち、方向Yへ距離d以上成長しなければならない。

10

【0113】

一方で、半導体基板12の表面から成長する結晶は、方向Xへ結晶が成長する速度よりも $1/0.75 = \text{約}1.33$ 倍速い。

【0114】

よって、本実施の形態において、距離hおよび距離dが、 $d/h > 0.75$ を満たすことによって、半導体層32から成長する結晶が半導体層32の表面を越えて成長する前に、半導体基板12の表面から成長する結晶が半導体層32の表面を越える。従って、非絶縁領域72に形成される単結晶層52の表面にはバンプが発生せず、結晶欠陥も生じない。

【0115】

また、本実施の形態において、マスク層35および42は後の工程で除去されるので、単結晶層52は、単結晶層52の表面と半導体層32の表面とが同一平面になるように形成される。それによって、マスク層35および42を除去した後における半導体装置用基板100の基板面98が平坦になる。このようにして、平坦な基板面98を有する半導体装置用基板100が形成される。従って、絶縁領域62から境界領域82を介して非絶縁領域72まで平坦な基板面98が形成される。

20

【0116】

よって、本実施の形態によれば、側壁保護層92を設けることなく、結晶欠陥が少なく、かつ平坦な半導体装置用基板500が形成され得る。

【0117】

以上に、本発明に従った実施の形態を記述してきたが、これらの実施の形態において、側壁保護部94の形状や材料および絶縁層22の膜厚あるいは残膜厚tは、堆積工程およびエッチング工程を調節することによって任意に変更することができる。それによって、絶縁層22が基板側エッチングされた後、半導体層32が露出しないようにすることは当業者にとって容易であり、そのような実施の形態は総て本発明の効果を有する限り本発明の範囲に属する。

30

【0118】

【発明の効果】

本発明に従った半導体装置用基板を製造する方法によれば、表面の結晶に欠陥が少なく、かつSOIの構造を有する領域とSOIの構造を有しない領域との間に段差がない平坦な表面を有する半導体装置用基板が提供される。

40

【0119】

本発明に従った半導体装置用基板は、表面の結晶に欠陥が少なく、かつSOIの構造を有する領域とSOIの構造を有しない領域との間に段差がない平坦な表面を有する。

【図面の簡単な説明】

【図1】本発明に従った第1の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図。

【図2】本発明に従った第2の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図。

【図3】本発明に従った第3の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図。

50

【図4】本発明に従った第4の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図。

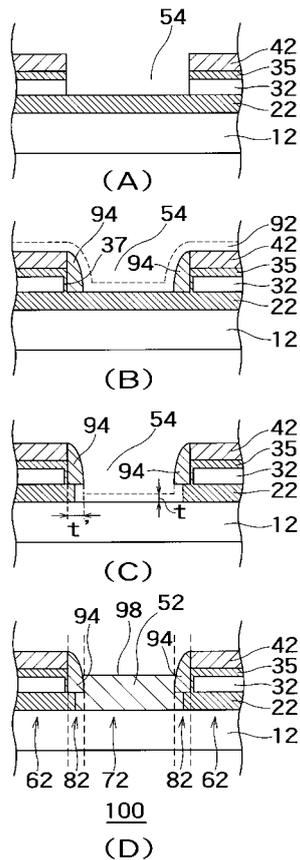
【図5】本発明に従った第5の実施の形態による半導体装置用基板の製造方法を工程順に示した半導体装置用基板の拡大断面図。

【図6】従来の方法に従って、BOX層20をウェット・エッチングして得られたSOI領域と非SOI領域とを有する部分SOI基板の拡大断面図。

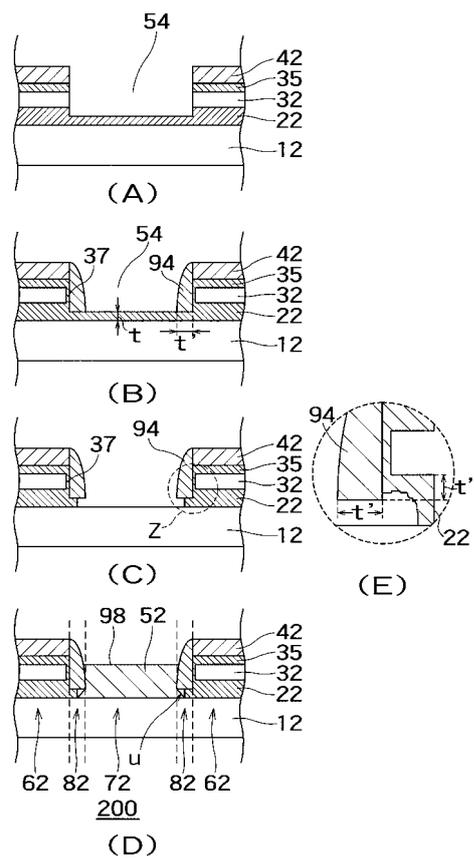
【符号の説明】

- 10、12 半導体基板
- 20、22 絶縁層
- 30、32 半導体層
- 35、40、42 マスク層
- 50、52 単結晶層
- 54 トレンチ
- 62 絶縁領域
- 72 非絶縁領域
- 82 境界領域
- 92 保護層
- 100、200、300、400、500 半導体装置用基板

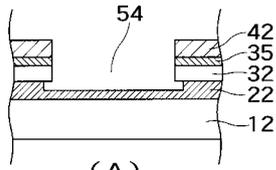
【図1】



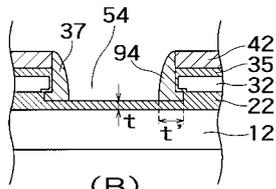
【図2】



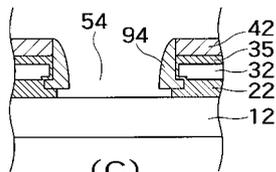
【 図 3 】



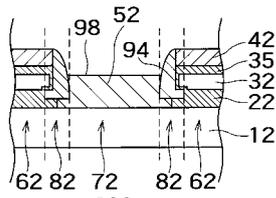
(A)



(B)

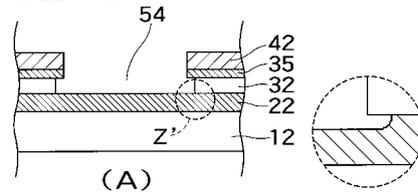


(C)



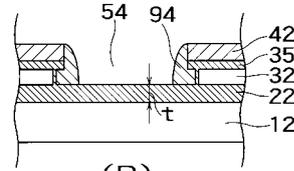
(D)

【 図 4 】

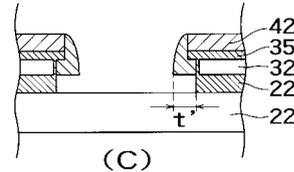


(A)

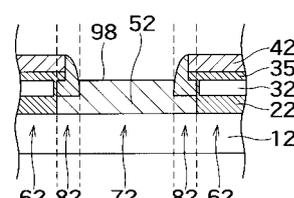
(E)



(B)

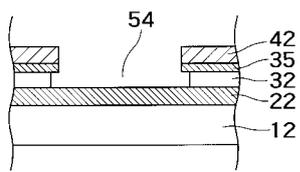


(C)

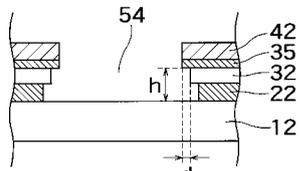


(D)

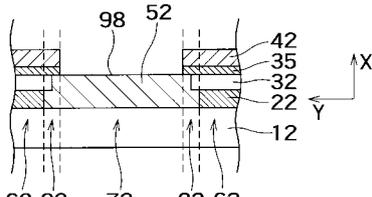
【 図 5 】



(A)

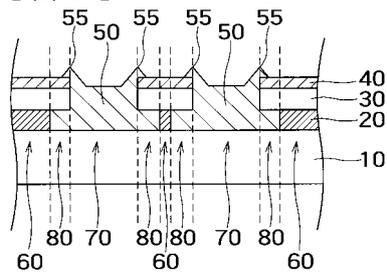


(B)

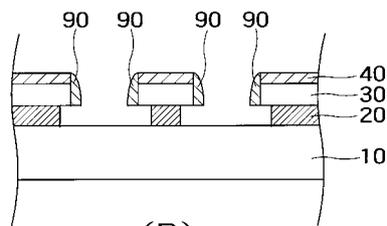


(C)

【 図 6 】



(A)



(B)

フロントページの続き

- (72)発明者 永野 元
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内
- (72)発明者 山田 敬
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内
- (72)発明者 佐藤 力
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内
- (72)発明者 水島 一郎
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内
- (72)発明者 親松 尚人
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内

審査官 池淵 立

- (56)参考文献 特開2000-243944(JP,A)
特開平11-017001(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/205
H01L 21/3065
H01L 21/02