



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201504802 A

(43) 公開日：中華民國 104 (2015) 年 02 月 01 日

(21) 申請案號：103107868

(22) 申請日：中華民國 103 (2014) 年 03 月 07 日

(51) Int. Cl. : G06F1/32 (2006.01)

(30) 優先權：2013/03/15 印度 1123/CHE/2013

(71) 申請人：英特爾公司 (美國) INTEL CORPORATION (US)

美國

(72) 發明人：羅坦 艾法姆 ROTEM, EFRAIM (IL)；果爾德 班傑明 J GOULD, BENJAMIN J. (US)；赫摩丁二世 詹姆斯 G HERMERDING, II, JAMES G. (US)；羅德烈古茲 喬治 P RODRIGUEZ, JORGE P. (US)；奈維 艾隆 NAVEH, ALON (IL)；羅森茲 威格 尼爾 ROSENZWEIG, NIR (IL)；德蓋拉霍爾 維傑 S R DEGALAHAL, VIJAY S R (IN)

(74) 代理人：惲軼群；陳文郎

申請實體審查：有 申請專利範圍項數：25 項 圖式數：6 共 33 頁

(54) 名稱

控制電力供應單元於閒置狀態期間的電力消耗之技術

CONTROLLING POWER SUPPLY UNIT POWER CONSUMPTION DURING IDLE STATE

(57) 摘要

描述控制電力供應單元(PSU)於閒置狀態期間的電力消耗之相關方法及設備。於一個實施例中，一電力供應單元基於相對應於該平台之一或多個組件的電力狀態資訊，及一第一值(相對應於進入低電力消耗態之頻率/頻繁狀態)與一第一臨界值的比較而進入一低電力消耗態(例如 S9)。也揭示其它實施例及請求其之專利。

Methods and apparatus relating to controlling power consumption by a Power Supply Unit (PSU) during idle state are described. In one embodiment, a power supply unit enters a lower power consumption state (e.g., S9) based on power state information, corresponding to one or more components of the platform, and comparison of a first value (corresponding to a frequency/frequentness of entry into the lower power consumption state) to a first threshold value. Other embodiments are also disclosed and claimed.

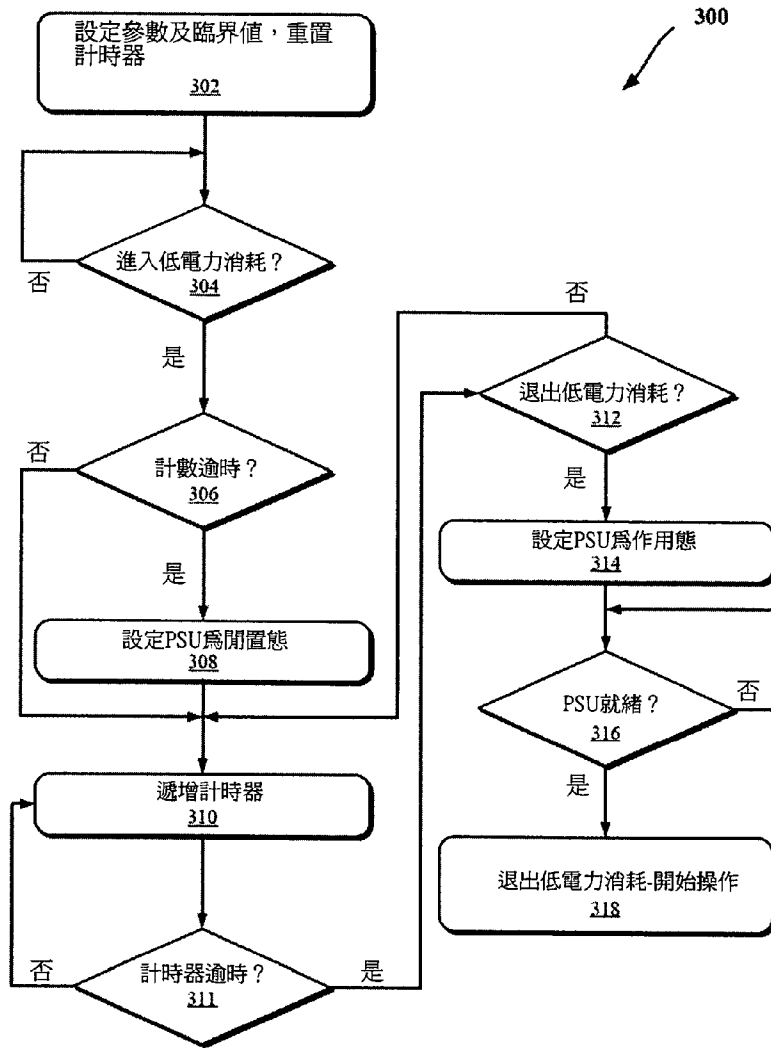


圖3

201504802

發明摘要

※ 申請案號：103107868

※ 申請日：103.3.7.

※IPC 分類：G06F1/32

【發明名稱】(中文/英文)

控制電力供應單元於閒置狀態期間的電力消耗之技術
CONTROLLING POWER SUPPLY UNIT POWER CONSUMPTION
DURING IDLE STATE

【中文】

描述控制電力供應單元(PSU)於閒置狀態期間的電力消耗之相關方法及設備。於一個實施例中，一電力供應單元基於相對應於該平台之一或多個組件的電力狀態資訊，及一第一值(相對應於進入低電力消耗態之頻率/頻繁狀態)與一第一臨界值的比較而進入一低電力消耗態(例如S9)。也揭示其它實施例及請求其之專利。

【英文】

Methods and apparatus relating to controlling power consumption by a Power Supply Unit (PSU) during idle state are described. In one embodiment, a power supply unit enters a lower power consumption state (e.g., S9) based on power state information, corresponding to one or more components of the platform, and comparison of a first value (corresponding to a frequency/frequentness of entry into the lower power consumption state) to a first threshold value. Other embodiments are also disclosed and claimed.

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

300...方法

302-318...操作

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

控制電力供應單元於閒置狀態期間的電力消耗之技術
CONTROLLING POWER SUPPLY UNIT POWER
CONSUMPTION DURING IDLE STATE

【技術領域】

發明領域

[0001] 本文揭示大致上係有關於電子設備領域。更明確言之，本發明之實施例係有關於控制電力供應單元於閒置狀態期間的電力消耗之技術。

【先前技術】

發明背景

[0002] 隨著積體電路(IC)製造技術的改良，製造商能夠集積額外功能至單一矽晶基體上。但隨著此等功能數目的增加，在單一IC晶片上的組件數目也增多。額外組件增加了額外信號切換，但又轉而生成更多熱。額外熱量例如可藉熱膨脹而毀損IC晶片。又，額外熱量可能限制包括此等晶片之計算裝置的使用位置及/或使用應用。

[0003] 舉例言之，可攜式計算裝置可單獨只仰賴電池電力用於其操作。因此，隨著額外功能之整合入可攜式計算裝置，減低電力消耗的需要變得益發重要，例如以便長時間維持電池電力。隨著其IC組件使用更多電力及生成更多熱，非可攜式計算系統也面對冷卻及電力消耗問題。

【發明內容】

[0004] 依據本文揭示之一實施例，係特地提出一種處理器包含邏輯，其中至少一部分係在硬體，該邏輯係基於相對應於一或多個組件之電力狀態資訊，及一第一值與一第一臨界值之比較而使得一電力供應單元進入一較低電力消耗狀態，其中該第一值係相對應於自前一次進入該較低電力消耗狀態算起的一時間。

【圖式簡單說明】

[0005] 詳細說明部分係參考附圖提供。於附圖中，一元件符號之最左數位識別該元件符號首次出現的圖式。於不同圖式中使用相同的元件符號指示相似的或相同的項目。

圖1及圖4-6例示可用以具現此處討論之各個實施例之計算系統之實施例之方塊圖。

圖2例示依據若干實施例計算系統組件之一方塊圖。

圖3例示依據若干實施例之一流程圖。

【實施方式】

較佳實施例之詳細說明

[0006] 於後文詳細說明部分中，陳述無數特定細節以供徹底瞭解各個實施例。但可無該等特定實施例而實施本發明之各個實施例。於其它情況下，眾所周知之方法、程序、組件、及電路不曾於此處以細節描述以免遮掩本發明之特定實施例。又復，本發明之實施例之各種面向可使用各種手段實施，諸如積體半導體電路(「硬體」)、電腦可讀取指令組織成一或多個程式(「軟體」)、或軟硬體的某種組合。爲了本文揭示之目的，述及「邏輯」將係指硬體、軟體、

或其某種組合。

[0007]一般而言，電腦(諸如桌上型電腦、工作站等)的電力供應單元(PSU)由於在低電力消耗態的效率低，故消耗大量閒置電力。中央處理單元(CPU)及平台可具有管理良好的電力狀態，當不使用時進入極低電力消耗態。於企業公司環境中，排程遠端維護的需要連同長時間連接使用(AOAC)的新穎特徵驅使電腦無時無刻一直維持於啟動狀態的使用模式。插在牆壁插座的桌上型電腦完全不關閉，將繼續耗用閒置電力。目前，PSU無法進入節電模式，原因在於比起PSU喚醒時間，CPU及平台喚醒所要求的響應時間極為快速。隨著安裝極為大量電腦的規模經濟效益，使得如此變成電費帳單及二氧化碳排放之環保衝擊兩方面之大問題。

[0008]爲了達成此項目的，此處討論之若干實施例提出針對計算系統及/或處理器(含通用處理器、圖形處理器等)的有效彈性電力管理。於一實施例中，電力消耗係藉控制PSU的閒置態例如於電力狀態期間，諸如平台低電力消耗狀態(例如平台S9狀態)而予管理。一個實施例允許該PSU於平台閒置狀態(諸如S9)進入節電「模式」(此處可互換地又稱「狀態」)。如此處討論，S9節電狀態可仍然傳遞要求的電壓給平台之至少部分(來自該PSU)以允許至少若干操作，但可使用更有效模式。舉例言之，此種電力狀態可確保低電力活動之功能，但無法驅動全功率全效能的活動。

[0009]此外，深C態通常意圖用於CPU或封裝體之深睡、

休眠等狀態，及S態通常意圖用於平台之深睡、休眠等狀態，例如同時許可通訊訊息的「彈出」(或相對快速地從深睡退出)、電子郵件同步及其它「活著」狀及感等。此處討論的新穎S9休眠態允許長時間喚醒延遲，例如數十至數百毫秒之範圍。於此時間期間，平台的電力消耗相當低，因此PSU可置於低功耗模式諸如S9(可類似非同步模式)。於此種電力狀態，該PSU仍然傳遞某個電力(及因而維持部分功能以允許「彈出」)但不允許高電流汲取(及因而不提供全效)。

[0010]通常，各個C態可指示某個功能程度。舉例言之，C0可指示處理器在操作中，C1可指示處理器並非正在執行指令但可幾乎瞬時地返回執行狀態等。雖然前文討論之C態只可應用至處理器(及其核心)，若干實施例可應用至封裝體或平台層面電力消耗狀態(以及任何其它層面，包括處理器層面、裝置層面、通用等)。更加概略言之，部分電力消耗狀態可根據遵照高階組態及功率介面(ACPI)規格修訂版4.0a，2010年4月5日定義者。

[0011]再者，若干實施例可應用於包括一或多個處理器(例如帶有一或多個處理器核心)的計算系統，諸如參考圖1-5之討論。更明確言之，圖1例示依據本發明之一實施例一種計算系統100之方塊圖。系統100可包括一或多個處理器102-1至102-N(此處通稱作「多個處理器102」或「處理器102」)。處理器102可透過互連體或匯流排104通訊。各個處理器可包括各種組件，為求清晰其中部分只參考處理器102-1討論。因此，其餘處理器102-2至102-N各自可包括參

考處理器102-1討論的相同或類似組件。

[0012]於一實施例中，處理器102-1可包括一或多個處理器核心106-1至106-M(此處稱作「多個核心106」或「核心106」)、一快取記憶體108、及/或一路由器110。該等處理器核心106可具現在單一積體電路(IC)晶片上。再者，該晶片可包括一或多個共享及/或專用快取記憶體(諸如快取記憶體108)、匯流排或互連體(諸如匯流排或互連體112)、圖形及/或記憶體控制器(諸如參考圖4-5討論者)、或其它組件。

[0013]於一個實施例中，路由器110可用以在處理器102-1及/或系統100之各個組件間通訊。此外，處理器102-1可包括多於一個路由器110。又復，多個路由器110可通訊以使得資料路徑安排在處理器102-1內部或外部的各個組件間。

[0014]快取記憶體108可儲存由處理器102-1之一或多個組件諸如核心106利用的資料(例如包括指令)。舉例言之，快取記憶體108可本地快取儲存於一記憶體114之資料以供由處理器102之組件更快速存取(例如由核心106更快速存取)。如圖1所示，記憶體114可透過互連體104而與處理器102通訊。於一實施例中，該快取記憶體108(其可共享)可為中間層級快取(MLC)、最末層級快取(LLC)等。又，核心106各自可包括層1(L1)快取(116-1)(此處通稱作「L1快取116」)或其它層快取諸如層2(L2)快取。此外，處理器102-1之各種組件可直接地，經由一匯流排(例如匯流排112)，及/或一

記憶體控制器或中樞器而與快取記憶體108通訊。

[0015]系統100也可包括一平台電源120(例如直流(DC)電源或交流(AC)電源)以供應電力給系統100之一或多個組件。於一實施例中，平台電源120可為電力供應單元(PSU)，諸如此處討論者。於若干實施例中，電源120可包括一或多個電池包及/或電源供應器。電源120可經由電壓調節器(VR)130而耦接至系統100之組件。此外，即便圖1例示一個電源120及一個電壓調節器130，但仍可利用額外電源及/或電壓調節器。例如，舉例言之，處理器102中之一或多者可具有相對應電壓調節器及/或電源。又，電壓調節器130可透過單一電源層(例如供應電力給全部核心106)或多個電源層(例如，於該處各個電源層可供應電力給不同核心或核心群組)耦接至處理器102。

[0016]此外，雖然圖1例示電源120及電壓調節器130為分開的組件，但電源120與電壓調節器130可結合入系統100之其它組件。舉例言之，電壓調節器130之全部或部分可結合入電源120及/或處理器102。

[0017]如圖1所示，處理器102可進一步包括一電力控制邏輯140以控制電力之供給處理器102的組件(例如核心106)。邏輯140可存取此處討論的一或多個儲存裝置(諸如快取記憶體108、L1快取116、記憶體114、或系統100中之其它記憶體)以儲存邏輯140之操作相關資訊，諸如此處討論的與系統100之各種組件通訊之資訊。如圖所示，邏輯140可耦接至電壓調節器130及/或系統100之其它組件，諸如核心

106及/或電源120。

[0018]例如，邏輯140可耦接以接收指示一或多個感測器150之狀態之資訊(例如呈一或多個位元或信號形式)。感測器150可設置接近系統100之組件(或此處討論的其它計算系統，諸如參考其它圖式包括圖4及5討論者)，諸如核心106、互連體104或112、處理器102外部組件等以感測影響系統/平台之電力/熱表現之各項因素，諸如溫度、操作頻率、操作電壓、電力消耗、及/或核心間通訊活動等。

[0019]邏輯140可轉而指示電壓調節器130、電源120、及/或系統100之個別組件(諸如核心106)以修正其操作。舉例言之，邏輯140可指示電壓調節器130及/或電源120(或PSU)以調整其輸出。於若干實施例中，邏輯140可要求核心106修正其操作頻率、電力消耗等。又，即便組件140及150係顯示為含括於處理器102-1，但此等組件可設於系統100內它處。舉例言之，電力控制邏輯140可設於電壓調節器130內、電源120內、直接耦接至互連體104、於處理器102中之一或多者(或另外全部)內部等。此外，如圖1所示，電源120及/或電壓調節器130可與電力控制邏輯140通訊及報告其電力規格。

[0020]圖2例示依據一實施例一種電力管理系統200之方塊圖。CPU/處理器102(及特別電力控制邏輯/單元140)透過一或多個專用接腳、一串列匯流排諸如SVID(運用英特爾公司(Intel Corporation)提供的針對串列VID之通訊協定)、透過DC線之高頻(HF)調變、或其它發訊模式通訊低電力態

給PSU 140。本發訊也可為雙向，允許PSU例如發訊回就緒信號。

[0021] 參考圖2，為求簡明，系統200將處理器102之內容劃分成控制邏輯140及處理器202之其餘部分。電源120供電給處理器/CPU電源供應器204(例如給處理器102及其組件140/202)及平台電源供應器206(例如供電給平台之其餘部分(亦即例如一或多個處理器102以外部分))。為求簡明，系統200也可包括圖2中未顯示的一或多個電壓調節器(參考圖1顯示及討論)。

[0022] 如圖2所示，於一實施例中，電源120可仰賴接收自電力控制邏輯140的信號/資訊而調整PSU的電力狀態。若干實施例利用從CPU及/或平台可得或於其等之中之有關休眠態的資訊，以為了：(a)當能進入休眠態時與PSU閒置週期通訊；及/或(b)提供提示，例如夠早喚醒及就緒CPU操作(參考下圖3進一步考慮如下)。

[0023] 圖3例示依據若干實施例，一種藉PSU控制電力消耗之方法300之實施例之流程圖。於一實施例中，參考圖1-2及4-5討論的各種組件可用以執行參考圖3討論之操作之一或多者(含例如邏輯140)。

[0024] 參考圖1-3，於操作302，可設定一或多個參數及臨界值(例如儲存於一或多個暫存器、表格分錄、及/或儲存裝置，諸如參考圖1-3及4-5討論者)。於操作302，也可重置一或多個計時器。該(等)參數及/或臨界值可指示於哪些位準/值(例如如由處理器及/或平台提供)，邏輯140將使得PSU

120進入低電力消耗態(諸如S9)。又須瞭解操作302可隨時動態地執行而非只在系統啓動時執行一次。

[0025]於若干實施例中，進入S9之條件(例如於操作304之後)可為軟體及/或硬體驅動，例如於硬體由頻率或C-態(例如核心及封裝體C-態)驅動。例如，於操作304，進入S9，於308，CPU可將PSU置於休眠態(例如基於某個計數器/計時器，於306於針對S9之一計數/計時已經逾時，以確保S9不會太快進入，只以某個活動追蹤，將迫使PSU離開S9，容後詳述)。於操作310，一計時器遞增及然後於操作311，檢查計時器。如此允許滯後，確保效能不致於過度受影響。據此，於若干實施例中，當PSU退出低電力消耗態時，例如不只是於低電力消耗態時，一計時器遞增。於一實施例中，操作310之計時器指出PSU已經於閒置態之時間量。於312，當從閒置退出時(例如基於PSU不退出低電力消耗態之一信號/指示，及/或於310遞增之計時器值(或與於操作311時的一臨界值作比較)指示PSU不會過早退出)，PSU於314被作動，方法300於316等待，或等待預先界定的時間(例如如計時器決定)，或基於該PSU已經就緒全效能/功能之一指示(例如參考圖2指示基於某個「就緒」信號)。於一實施例中，CPU作動可被保留/阻擋直到如操作316決定，PSU適當啓動及運轉(或否則直到PSU為全功能操作)。於操作316之後，方法300於操作318退出低電力消耗態。

[0026]如前文討論，計時器/計數器可針對方法300之流程添加(例如針對操作306、310、311、及/或312)，例如控

制進入低電力消耗態(例如S9態)之頻率(或多常進入)及/或從低電力消耗態(例如S9態)退出之頻率(或多常退出)。換言之，太經常地進出低電力消耗態可能有損效能/效率，原因在於額外的退出延遲，且可能導致淨能損。

[0027]淨能損可能有部分原因在於此等變換期間的能量損失及維持CPU的啓動比所需時間更長。如此，計時器可計數退出事件(及/或每個操作310該PSU已經閒置的時間量)，及若退出率夠低(例如於操作312，藉邏輯140決定，或否則基於相對於一臨界值的比較決定)，則於312 PSU退出低功模式(例如S9)。又，於操作306，若進入率(例如相較於退出率)過高(例如基於某個計數器/計時器及與某個臨界值之比較決定)，則進入低電力消耗態被延遲(或，於一實施例中甚至被取消)。

[0028]爲了達成此項目的，若干實施例允許添加檢測機構於CPU端(例如邏輯140)以繫結深C-態(例如S9)及提供一通訊系統給PSU，例如延緩休眠退出直到PSU準備維持高功率要求。

[0029]圖4例示依據本發明之一實施例一計算系統400之方塊圖。該計算系統400可包括一或多個中央處理單元(CPU)或處理器402-1至402-P(此處可稱作「多個處理器402」或「處理器402」)。處理器402可透過互連網路(或匯流排)404通訊。處理器402可包括一通用處理器、一網路處理器(其處理透過電腦網路403通訊之資料)、或其它型別之處理器(含精簡指令集電腦(RISC)處理器或複雜指令集電腦

(CISC))。此外，處理器402可有單核心或多核心設計。有多核心設計的處理器402可整合相同積體電路(IC)晶粒上的不同型別的處理器核心。又，具有多核心設計的處理器402可具現為對稱性或非對稱性多處理器。於一實施例中，處理器402中之一或多者可與圖1之處理器102相同或類似。於若干實施例中，處理器402中之一或多者可包括圖1之核心106、邏輯140、一或多個計時器(諸如參考圖3之討論)、及感測器150中之一或多者。又，參考圖1-5討論的操作可藉計算系統400之一或多個組件執行。例如，電壓調節器(諸如圖1之VR 130)可調節於邏輯140之方向供給圖4之一或多個組件之電壓。

[0030] 晶片組406也可與互連網路404通訊。晶片組406可包括一圖形及記憶體控制中樞器(GMCH) 408。GMCH 408可包括與一記憶體412通訊的一記憶體控制器410。記憶體412可儲存資料，包括由處理器402或含括於計算系統400中之任何其它裝置執行的指令序列，於本發明之一個實施例中，記憶體412可包括一或多個依電性儲存(或記憶體)裝置，諸如隨機存取記憶體(RAM)、動態RAM(DRAM)、靜態DRAM(SDRAM)、靜態RAM(SRAM)、或其它型別的儲存裝置。也可運用非依電性記憶體，諸如硬碟。額外裝置可透過互連網路404通訊，諸如多個CPU及/或多個系統記憶體。

[0031] GMCH 408也可包括與圖形加速器416通訊的圖形介面414。於本發明之一個實施例中，圖形介面414可透過加速圖形埠(AGP)而與圖形加速器416通訊。於本發明之

一實施例中，一顯示器(諸如平板顯示器、陰極射線管(CRT)顯示器、投影螢幕等)可經由例如信號轉換器而與圖形介面414通訊，該信號轉換器將儲存於一儲存裝置諸如視訊記憶體或系統記憶體中之一影像的數位表示型態轉譯成由該顯示器所解譯及顯示的顯示信號。由顯示裝置所產生的顯示信號在藉顯示器解譯及隨後顯示於顯示器上之前可通過各種控制裝置。

[0032]一中樞器介面418可允許GMCH 408與輸入/輸出控制中樞器(ICH) 420通訊。ICH 420可提供一介面給與該計算系統400通訊的I/O裝置。ICH 420可經由週邊橋接器(或控制器)424，諸如週邊組件互連(PCI)橋接器、通用串列匯流排(USB)控制器、或其它型別的週邊橋接器或控制器而與一匯流排422通訊。該橋接器424可提供處理器402與週邊裝置間之一資料路徑。可運用其它型別之拓樸結構。又，多個匯流排例如可經由多個橋接器或控制器而與ICH 420通訊。再者，於本發明之各種實施例中，與ICH 420通訊之其它週邊裝置可包括集積式驅動電子裝置(IDE)或小型電腦系統介面(SCSI)硬碟機、USB埠、鍵盤、滑鼠、並列埠、串列埠、軟碟機、數位輸出支援(例如數位視訊介面(DVI))、或其它裝置。

[0033]匯流排422可與一音訊裝置426、一或多個磁碟驅動器428、及一或多個網路介面裝置430(其係與電腦網路403通訊)通訊。其它裝置透過匯流排422通訊。又，於本發明之若干實施例中，各種組件(諸如網路介面裝置430可與

GMCH 408通訊。此外，處理器402與GMCH 408可組合以形成單一晶片。此外，於本發明之其它實施例中，圖形加速器416可含括於GMCH 408內部。

[0034]此外，計算系統400可包括依電性及/或非依電性記憶體(用於儲存)。舉例言之，非依電性記憶體可包括下列中之一或多者：唯讀記憶體(ROM)、可規劃ROM(PROM)、可抹除PROM(EPROM)、電氣EPROM(EEPROM)、磁碟驅動器(例如428)、軟碟、光碟ROM(CD-ROM)、數位影音碟(DVD)、快閃記憶體、磁光碟、或能夠儲存電子資料(例如含指令)的其它型別之非依電性機器可讀取媒體。於一實施例中，系統400之組件可配置成點對點(PtP)組態。例如，處理器、記憶體、及/或輸入/輸出裝置可藉多個點對點介面互連。

[0035]圖5例示依據本發明之一實施例配置成點對點(PtP)組態的計算系統500。更明確言之，圖5顯示一系統於該處處理器、記憶體、及輸入/輸出裝置可藉多個點對點介面互連。參考圖1-4討論之操作可藉系統500之一或多個組件執行。例如，一電壓調節器(諸如圖1之VR 130)可調節供給圖5之一或多個組件的電壓。

[0036]如圖5例示，系統500可包括數個處理器，其中為求清晰只顯示兩個處理器502及504。該等處理器502及504可各自包括一本地記憶體控制器中樞器(MCH) 506及508以許可與記憶體510及512通訊。記憶體510及/或512可儲存各種資料，諸如參考圖4之記憶體412討論者。又，處理器502

及504可包括圖1之核心106、邏輯140、一或多個計時器(諸如參考圖3之討論)、及/或感測器150中之一或多者。

[0037]於一實施例中，處理器502及504可為參考圖4討論之處理器402中之一者。處理器502及504可分別地使用點對點(PtP)介面電路516及518，透過一PtP介面514交換資料。又，處理器502及504可使用PtP介面電路526、528、530、及532透過PtP介面522及524各自與一晶片組520交換資料。晶片組520可透過高效能圖形介面536，例如使用PtP介面電路537而進一步與高效能圖形電路534交換資料。

[0038]於至少一個實施例中，參考圖1-5討論的一或多個操作可藉處理器502或504及/或系統500之其它組件諸如透過匯流排540通訊者執行。但其它本發明之實施例可存在於圖5之系統500內部的其它電路、邏輯單元、或裝置。此外，本發明之若干實施例可分散遍布圖5中例示的數個電路、邏輯單元、或裝置。

[0039]晶片組520可使用PtP介面電路541與匯流排540通訊。匯流排540可有與其通訊之一或多個裝置，諸如匯流排橋接器542及I/O裝置543。透過一匯流排544，匯流排橋接器542可與其它裝置通訊，諸如鍵盤/滑鼠545、通訊裝置546(諸如數據機、網路介面裝置、或可與電腦網路403通訊的其它通訊裝置)、音訊I/O裝置、及/或資料儲存裝置548。資料儲存裝置548可儲存可由處理器502及/或504執行的碼549。

[0040]於若干實施例中，此處討論的組件中之一或多者

可實施為單晶片系統(SOC)裝置。圖6例示依據一實施例一SOC封裝體之方塊圖。如圖6中之例示，SOC 602包括一或多個中央處理單元(CPU)核心620、一或多個圖形處理單元(GPU)核心630、一輸入/輸出(I/O)介面640、及一記憶體控制器642。SOC封裝體602之各種組件可耦接至互連體或匯流排，諸如此處參考其它圖式討論者。又，SOC封裝體602可包括更多或更少的組件，諸如此處參考其它圖式討論者。進一步，SOC封裝體602之各個組件可包括一或多個其它組件，諸如此處參考其它圖式討論者。於一個實施例中，SOC封裝體602(及其組件)係設置於一或多個積體電路(IC)晶粒上，例如封裝成單一半導體裝置。

[0041]如圖6中之例示，SOC封裝體602係透過記憶體控制器642耦接至一記憶體660(其可與參考其它圖式於此處討論的記憶體相同或類似)。於一實施例中，記憶體660(或其部分)可整合於SOC封裝體602上。

[0042]I/O介面640例如透過一互連體及/或匯流排而耦接至一或多個I/O裝置670，諸如此處參考其它圖式討論者。I/O裝置670可包括鍵盤、滑鼠、觸控墊、顯示器、影像/視訊拍攝裝置(諸如相機或攝錄放影機/視訊記錄器)、觸控螢幕、揚聲器等中之一或多者。此外，於一實施例中，SOC封裝體602可包括/整合邏輯140。另外，邏輯140可設在SOC封裝體602外部(亦即呈一離散邏輯)。

[0043]下列實施例係有關於進一步實施例。實施例1包括一種處理器包含：邏輯，其中至少一部分係在硬體，該

邏輯係基於相對應於一或多個組件之電力狀態資訊，及一第一值與一第一臨界值之比較而使得一電力供應單元進入一較低電力消耗狀態，其中該第一值係相對應於自前一次進入該較低電力消耗狀態算起的一時間。於實施例2中，實施例1之主旨可選擇性地包括一處理器，其包含邏輯，其中至少一部分係在硬體，以基於一指示退出該較低電力消耗狀態而退出該較低電力消耗狀態。於實施例3中，實施例2之主旨可選擇性地包括一處理器，其中該指示係包含下列中之一或多者：一信號、一計時器之逾時、及一第二值與一第二臨界值之比較。於實施例4中，實施例3之主旨可選擇性地包括一處理器，其中該第二值係相對應於從該較低電力消耗狀態退出之一頻繁狀態。於實施例5中，實施例1之主旨可選擇性地包括一處理器，其包含邏輯，其中至少一部分係在硬體，以阻止該處理器之作動直到電力供應單元為操作為止。於實施例6中，實施例1之主旨可選擇性地包括一處理器，其中一平台係包含該處理器及該等一或多個組件。於實施例7中，實施例1之主旨可選擇性地包括一處理器，其中該較低電力消耗狀態係藉該等一或多個組件中之至少一者許可一或多個較低電力活動之功能。於實施例8中，實施例1之主旨可選擇性地包括一處理器，其中該較低電力消耗狀態係藉該等一或多個組件中之至少一者許可一或多個較低電力活動之功能，及該較低電力消耗狀態係不藉該等一或多個組件中之至少一者驅動全功率或全效能活動。於實施例9中，實施例1之主旨可選擇性地包括一

處理器，其中該較低電力消耗狀態係許可於約數十至約數百毫秒之一範圍內的一喚醒延遲。於實施例10中，實施例1之主旨可選擇性地包括一處理器，其進一步包含多個處理器其將耦接至該電力供應單元。於實施例11中，實施例1之主旨可選擇性地包括一處理器，其進一步包含一或多個感測器以檢測下列中之一或多者中之變化：溫度、操作頻率、操作電壓、及電力消耗。於實施例12中，實施例1之主旨可選擇性地包括一處理器，其中該邏輯中之一或多者、該處理器之一或多個處理器核心、及一記憶體係在一單一積體電路上。於實施例13中，實施例1之主旨可選擇性地包括一處理器，其中該較低電力消耗狀態係包含一S9狀態。

[0044]實施例14包括一種方法包含：基於相對應於一或多個組件之電力狀態資訊，及一第一值與一第一臨界值之比較而使得一電力供應單元進入一較低電力消耗狀態，其中該第一值相對應於自前一次進入該較低電力消耗狀態算起的一時間。於實施例15中，實施例14之主旨可選擇性地包括一方法，其進一步包含使得該電力供應單元基於一指示退出該較低電力消耗狀態而退出該較低電力消耗狀態。於實施例16中，實施例15之主旨可選擇性地包括一方法，其中該指示係包含下列中之一或多者：一信號、一計時器之逾時、及一第二值與一第二臨界值之比較。於實施例17中，實施例16之主旨可選擇性地包括一方法，其中該第二值相對應於自前一次從該較低電力消耗狀態退出算起的一時間。

[0045]實施例18包括一種系統包含：具有多個處理器核心之一處理器；記憶體以儲存相對應於該系統之一或多個組件之電力消耗的多個參數；邏輯，其中至少一部分係在硬體，該邏輯係基於相對應於一或多個組件之電力狀態資訊，及一第一值與一第一臨界值之比較而使得一電力供應單元進入一較低電力消耗狀態，其中該第一值係相對應於自前一次進入該較低電力消耗狀態算起的一時間。於實施例19中，實施例18之主旨可選擇性地包括一系統，其包含邏輯，其中至少一部分係在硬體，以基於一指示退出該較低電力消耗狀態而退出該較低電力消耗狀態。於實施例20中，實施例19之主旨可選擇性地包括一系統，其中該指示係包含下列中之一或多者：一信號、一計時器之逾時、及一第二值與一第二臨界值之比較。於實施例21中，實施例20之主旨可選擇性地包括一系統，其中該第二值係相對應於自前一次從該較低電力消耗狀態退出算起的一時間。於實施例22中，實施例19之主旨可選擇性地包括一系統，其包含邏輯，其中至少一部分係在硬體，以阻止該處理器之作動直到電力供應單元為操作為止。

[0046]實施例23包括包含一或多個指令之電腦可讀取媒體，其當在一處理器上執行時組配該處理器以從事如實施例14至17中任一者之一或多個操作。

[0047]實施例24包括一種裝置包含：用以基於相對應於一或多個組件之電力狀態資訊，及一第一值與一第一臨界值之比較而使得一電力供應單元進入一較低電力消耗狀態

之構件，其中該第一值相對應於自前一次進入該較低電力消耗狀態算起的一時間。於實施例25中，實施例24之主旨可選擇性地包括一裝置，其包含用以使得該電力供應單元基於一指示退出該較低電力消耗狀態而退出該較低電力消耗狀態之構件。於實施例26中，實施例25之主旨可選擇性地包括一裝置，其中該指示係包含下列中之一或多者：一信號、一計時器之逾時、及一第二值與一第二臨界值之比較。於實施例27中，實施例26之主旨可選擇性地包括一裝置，其中該第二值相對應於自前一次從該較低電力消耗狀態退出算起的一時間。

[0048]於本發明之各種實施例中，此處例如參考圖1-6討論的操作可具現為硬體(例如邏輯電路)、軟體、韌體、或其組合，其可提供為一電腦程式產品，例如含有形機器可讀取或電腦可讀取媒體其上儲存有指令(或軟體程序)用以規劃一電腦以執行此處討論之處理。機器可讀取媒體可包括一儲存裝置，諸如就圖1-6討論者。

[0049]此外，此等電腦可讀取媒體可下載為電腦程式產品，其中該程式可藉於載波或其它傳播媒體提供的資料信號，透過通訊鏈路(例如匯流排、數據機、或網路連結)而從一遠端電腦(例如伺服器)傳送至一請求電腦(例如客端裝置)。

[0050]於說明書中述及「一個實施例」或「一實施例」表示連結該實施例描述的一特定特性件、結構及/或特性可含括於至少一個具現中。於本說明書之各個位置述及「於

一個實施例中」可以或可非全部皆係指同一個實施例。

[0051]又，於詳細說明部分及申請專利範圍各項中可使用「耦接」及/或「連結」連同其衍生詞。須瞭解此等術語並非意圖作為彼此的同義詞。反而於特定實施例中，「連結」可用以指示二或多個元件彼此係直接實體接觸或電氣接觸。「耦接」可表示二或多個元件彼此係直接實體接觸或電氣接觸。但「耦接」也可表示二或多個元件並非彼此直接實體接觸，但仍然彼此協作或互動。

[0052]如此，雖然已經以結構特性件及/或方法動作特定的語言描述本發明之實施例，但須瞭解本案所請主旨可非限於所描述的特定特性件或動作。反而，該等特定特性件或動作係揭示作為具現本案所請主旨之樣本形式。

【符號說明】

100、400、500...計算系統	120...平台電源、電力供應單元
102、102-1~N、202、402、402-1~P、	(PSU)
502、504...處理器	130...電壓調節器(VR)
106、106-1~M...核心	140...電源控制邏輯
108...快取記憶體	150...感測器
110...路由器	200...電力管理系統
112、422、540、544...匯流排、	204...處理器/CPU電源供應器
互連體	206...平台電源供應器
114、412、510、512、660...記	208...平台之其餘部分
憶體	300...方法
116、116-1...層1(L1)快取	302-318...操作

403...電腦網路	介面
404...互連網路或匯流排	516、518、526、528、530、532、
406、520...晶片組	537、541...點對點介面電路
408...圖形及記憶體控制中樞 器(GMCH)	534...高效能圖形電路 536...高效能圖形介面
410、642...記憶體控制器	542...匯流排橋接器
414...圖形介面	543、670...I/O裝置
416...圖形加速器	545...鍵盤/滑鼠
418...中樞器介面	546...通訊裝置
420...輸入/輸出控制中樞器 (ICH)	548...資料儲存裝置 549...碼
426、547...音訊裝置	602...單晶片系統(SOC)裝置、 SOC封裝體
428...磁碟驅動器	
430...網路介面裝置	620...中央處理單元(CPU)核心
506、508...記憶體控制器中樞 器(MCH)	630...圖形處理單元(GPU)核心
514、522、524...點對點(PtP)	640...輸入/輸出(I/O)介面

申請專利範圍

1. 一種處理器，其包含：

至少一部分於硬體中的邏輯，其用以基於相對應於一或多個組件之電力狀態資訊以及一第一值與一第一臨界值之比較而使得一電力供應單元進入一較低電力消耗狀態，

其中該第一值係相對應於自前一次進入該較低電力消耗狀態以來的一時間。

2. 如請求項1之處理器，其包含至少一部分於硬體中的邏輯，其用以基於退出該較低電力消耗狀態的一指示而使得該電力供應單元退出該較低電力消耗狀態。
3. 如請求項2之處理器，其中該指示係包含下列中之一或多者：一信號、一計時器之逾時、及一第二值與一第二臨界值之比較。
4. 如請求項3之處理器，其中該第二值係相對應於從該較低電力消耗狀態退出之一頻繁狀態(frequentness)。
5. 如請求項1之處理器，其包含至少一部分於硬體中的邏輯，其用以阻止該處理器之作動直到該電力供應單元為操作中為止。
6. 如請求項1之處理器，其中一平台係包含該處理器及該等一或多個組件。
7. 如請求項1之處理器，其中該較低電力消耗狀態係許可由該等一或多個組件中之至少一者所作的一或多個較

低電力活動之功能。

8. 如請求項1之處理器，其中該較低電力消耗狀態係許可由該等一或多個組件中之至少一者所作的一或多個較低電力活動之功能，且該較低電力消耗狀態並未驅動由該等一或多個組件中之至少一者所作的全功率或全效能活動。
9. 如請求項1之處理器，其中該較低電力消耗狀態係許可於約數十至約數百毫秒之一範圍內的一喚醒延遲。
10. 如請求項1之處理器，其進一步包含將耦接至該電力供應單元的多個處理器。
11. 如請求項1之處理器，其進一步包含一或多個感測器，用以檢測下列中之一或多者中之變化：溫度、操作頻率、操作電壓、及電力消耗。
12. 如請求項1之處理器，其中該邏輯中之一或多者、該處理器之一或多個處理器核心、及一記憶體係在一單一積體電路上。
13. 如請求項1之處理器，其中該較低電力消耗狀態係包含一S9狀態。
14. 一種包含一或多個指令之電腦可讀取媒體，該等一或多個指令當在一處理器上被執行時組配該處理器以實行一或多個操作以：

基於相對應於一或多個組件之電力狀態資訊以及一第一值與一第一臨界值之比較而使得一電力供應單元進入一較低電力消耗狀態，

其中該第一值相對應於自前一次進入該較低電力消耗狀態以來的一時間。

15. 如請求項14之電腦可讀取媒體，其進一步包含一或多個指令，當於該處理器上被執行時組配該處理器以實行一或多個操作以基於退出該較低電力消耗狀態的一指示而使得該電力供應單元退出該較低電力消耗狀態。
16. 如請求項15之電腦可讀取媒體，其中該指示係包含下列中之一或多者：一信號、一計時器之逾時、及一第二值與一第二臨界值之比較。
17. 如請求項16之電腦可讀取媒體，其中該第二值係相對應於自前一次從該較低電力消耗狀態退出以來的一時間。
18. 如請求項14之電腦可讀取媒體，其進一步包含一或多個指令，當於該處理器上被執行時組配該處理器以實行一或多個操作以阻止該處理器之作動直到該電力供應單元為操作中為止。
19. 如請求項14之電腦可讀取媒體，其進一步包含一或多個指令，當於該處理器上被執行時組配該處理器以實行一或多個操作以許可由該等一或多個組件中之至少一者所作的一或多個較低電力活動之功能。
20. 如請求項14之電腦可讀取媒體，其進一步包含一或多個指令，當於該處理器上被執行時組配該處理器以實行一或多個操作以許可由該等一或多個組件中之至少一者所作的一或多個較低電力活動之功能，及不驅動由該等

- 一或多個組件中之至少一者所作的全功率或全效能活動。
21. 如請求項14之電腦可讀取媒體，其進一步包含一或多個指令，當於該處理器上被執行時組配該處理器以實行一或多個操作以檢測下列中之一或多者中之變化：溫度、操作頻率、操作電壓、及電力消耗。
22. 一種系統，其包含：
- 具有多個處理器核心之一處理器；
 - 記憶體，其用以儲存相對應於該系統之一或多個組件之電力消耗的多個參數；
 - 至少一部分於硬體中的邏輯，其用以基於相對應於一或多個組件之電力狀態資訊以及一第一值與一第一臨界值之比較而使得一電力供應單元進入一較低電力消耗狀態，其中該第一值係相對應於自前一次進入該較低電力消耗狀態以來的一時間。
23. 如請求項22之系統，其包含至少一部分於硬體中的邏輯，其用以基於退出該較低電力消耗狀態的一指示而使得該電力供應單元退出該較低電力消耗狀態。
24. 如請求項23之系統，其中該指示係包含下列中之一或多者：一信號、一計時器之逾時、及一第二值與一第二臨界值之比較。
25. 如請求項24之系統，其中該第二值係相對應於自前一次從該較低電力消耗狀態退出以來的一時間。

圖式

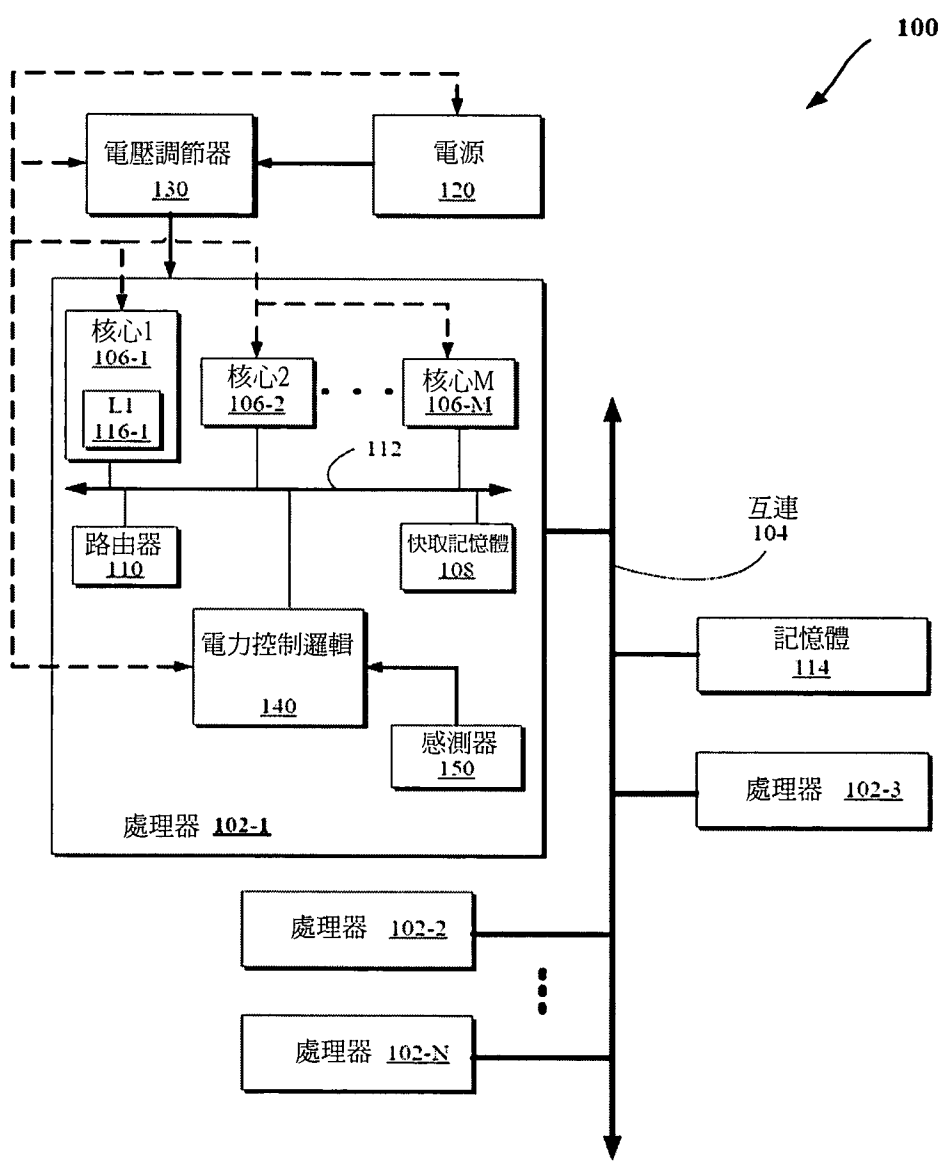


圖1

200

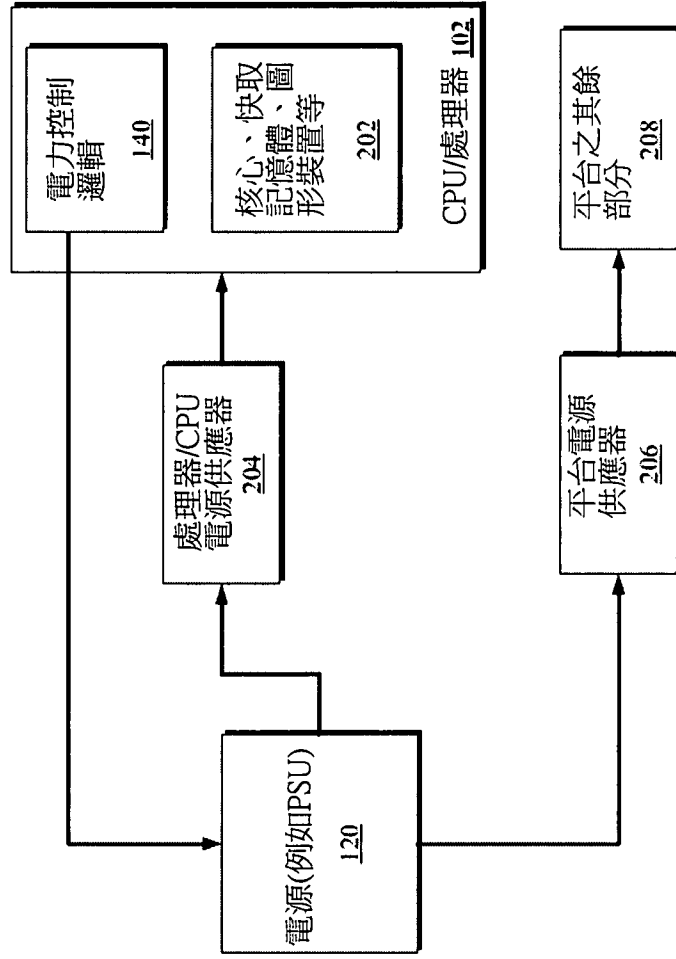


圖2

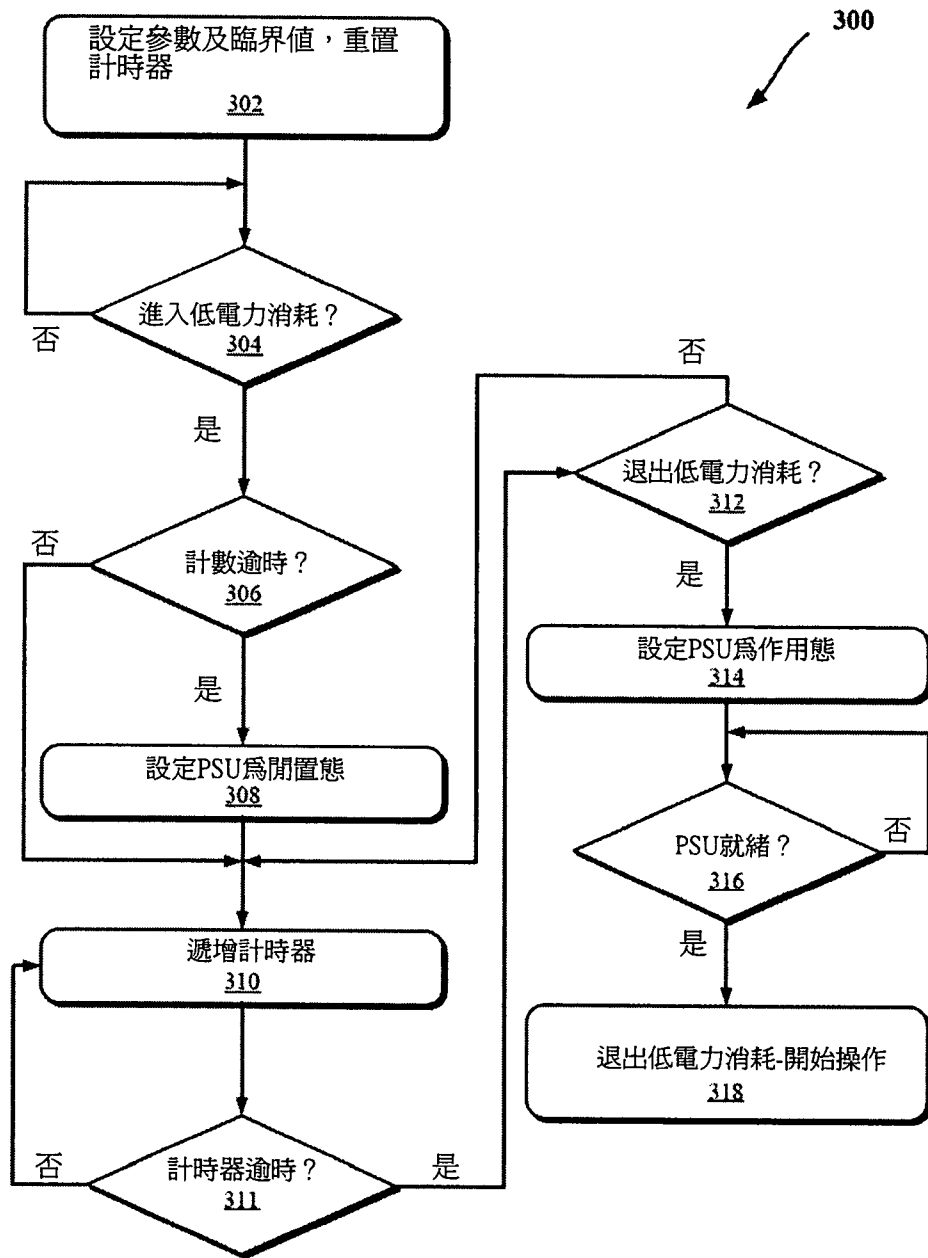


圖3

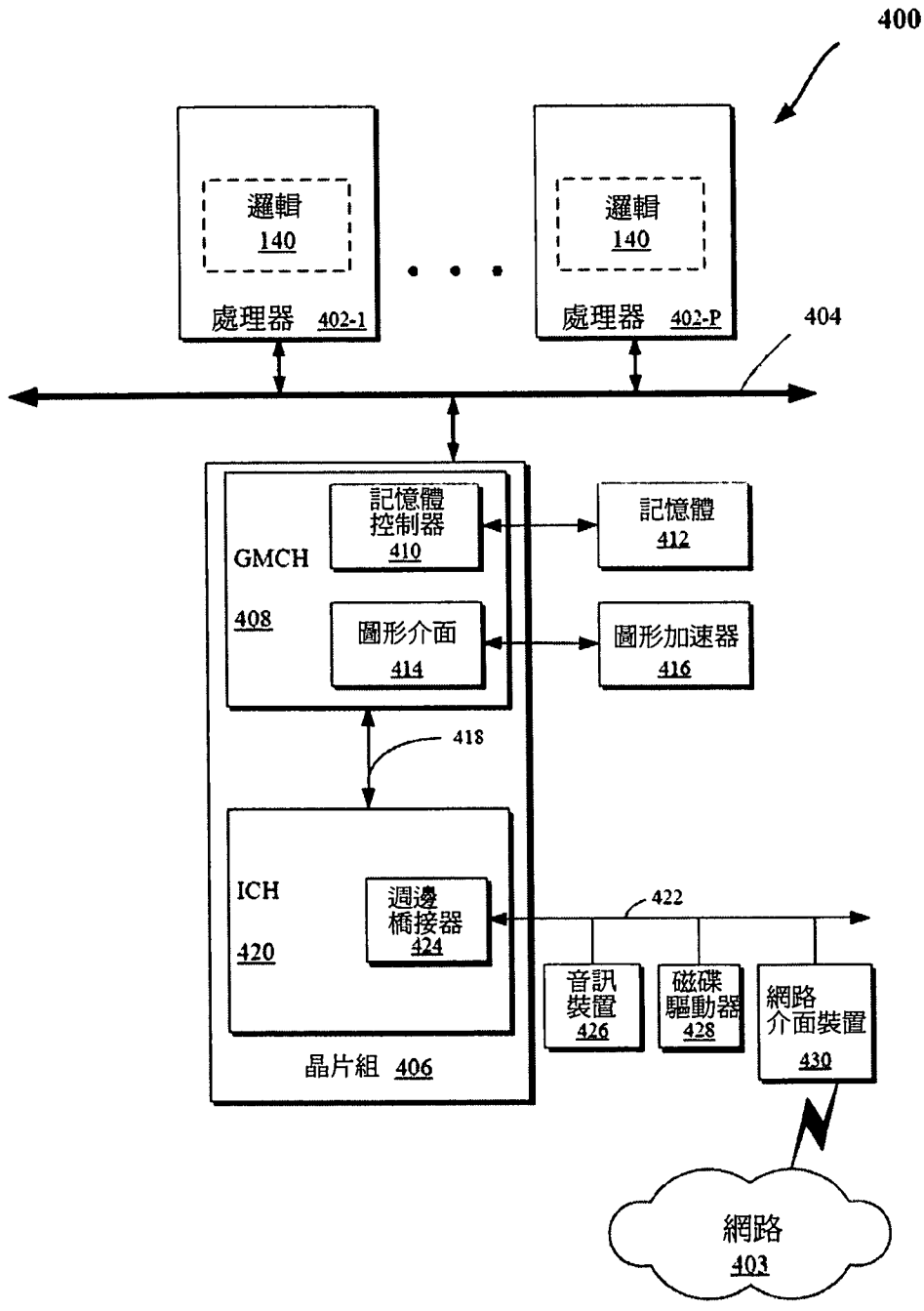


圖4

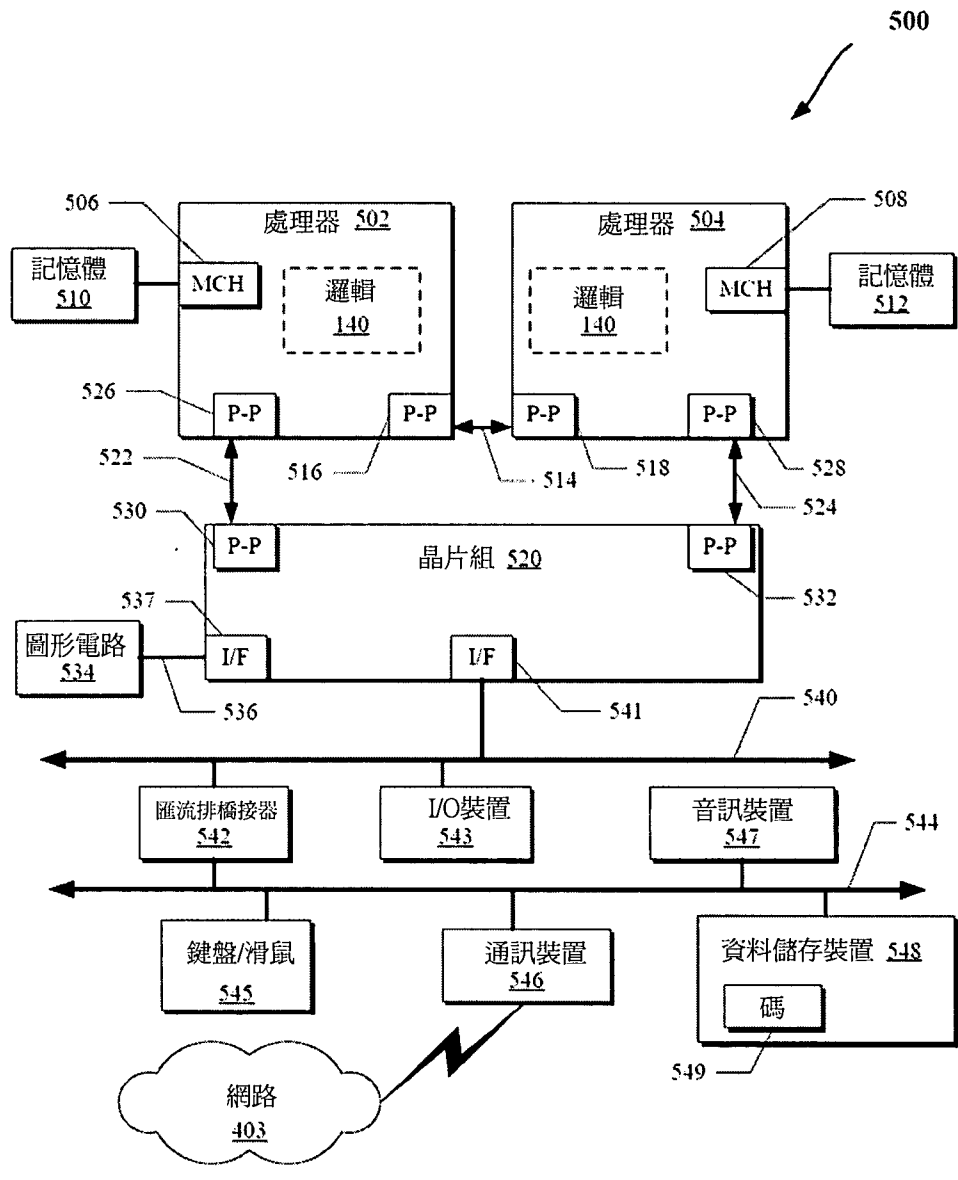


圖5

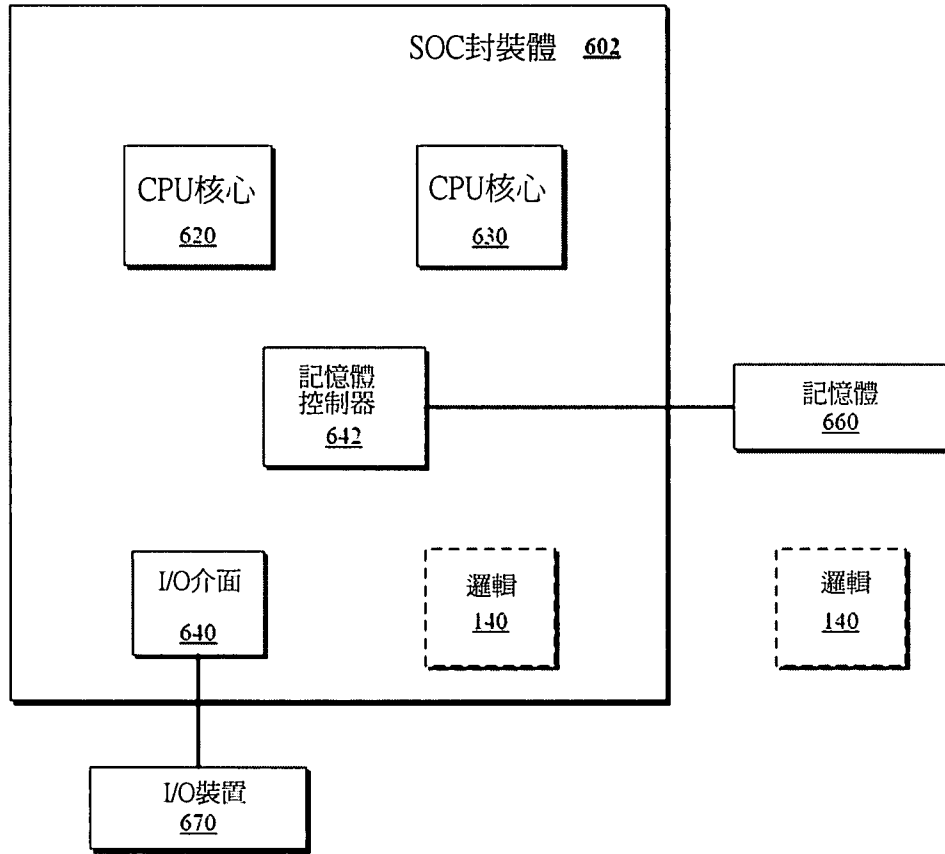


圖6