



(12)

Patentschrift

(21) Deutsches Aktenzeichen: **11 2007 000 404.5**
 (86) PCT-Aktenzeichen: **PCT/US2007/003429**
 (87) PCT-Veröffentlichungs-Nr.: **WO 2007/097925**
 (86) PCT-Anmeldetag: **08.02.2007**
 (87) PCT-Veröffentlichungstag: **30.08.2007**
 (43) Veröffentlichungstag der PCT Anmeldung
 in deutscher Übersetzung: **23.04.2009**
 (45) Veröffentlichungstag
 der Patenterteilung: **31.03.2022**

(51) Int Cl.: **H03K 17/06 (2006.01)**
H03K 17/16 (2006.01)
H03K 17/687 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
60/774,753 **17.02.2006** **US**

(73) Patentinhaber:
**Fairchild Semiconductor Corporation, San Jose,
 Calif., US**

(74) Vertreter:
**Wuesthoff & Wuesthoff, Patentanwälte PartG
 mbB, 81541 München, DE**

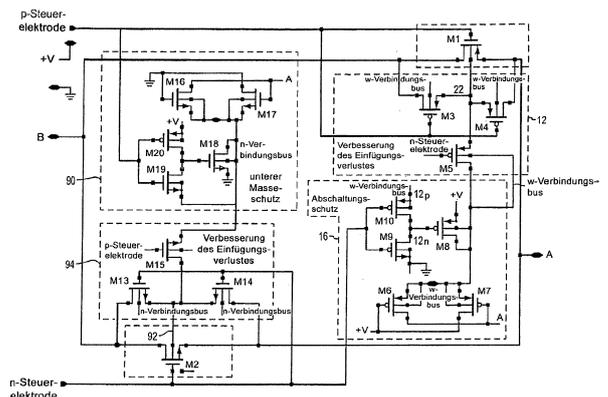
(72) Erfinder:
gleich Patentinhaber

(56) Ermittelte Stand der Technik:

US	2003 / 0 016 072	A1
US	5 818 099	A
US	6 163 199	A

(54) Bezeichnung: **Verfahren zur Reduzierung von Einfügungsverlust und Bereitstellung von Abschaltenschutz für MOSFET-Schalter**

(57) Hauptanspruch: Schalter, umfassend:
 einen ersten Feldeffekttransistor, FET (M1), mit Steuerelektrode, Quallelektrode, Abzugselektrode und Substratanchluss, bei dem ein Eingangssignal (A) an der Abzugselektrode oder der Quallelektrode aufgenommen wird und ein Ausgangssignal (B) jeweils an die Quallelektrode oder Abzugselektrode gegeben wird, wenn der erste FET (M1) eingeschaltet ist;
 einen ersten internen Stromverbindungsbus (w-Verbindungsbus);
 einen zweiten FET (M5), der so angeordnet ist, dass, wenn der erste FET (M1) ausgeschaltet ist, ein zweiter FET (M5) eingeschaltet wird, der den Substratanchluss des ersten FET (M1) mit dem ersten internen Stromverbindungsbus (w-Verbindungsbus) koppelt;
 einen dritten FET (M6), der den ersten internen Stromverbindungsbus (w-Verbindungsbus) mit einer positiven Stromversorgung (V+) koppelt, wenn das Eingangssignal (A) auf niedrig schaltet; und einen vierten FET (M7), der den ersten internen Stromverbindungsbus (w-Verbindungsbus) mit dem Eingangssignal (A) koppelt, wenn die positive Stromversorgung (V+) auf niedrig schaltet, wobei, wenn der zweite FET (M5) eingeschaltet ist, der Substratanchluss des ersten FET auf dem höheren der positiven Stromversorgung (V+) oder des Eingangssignals (A) gehalten wird.



Beschreibung

HINTERGRUND DER ERFINDUNG

Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft MOSFET-Bauelemente und insbesondere MOSFET-Bauelemente, die als Schalter geringer Einschaltimpedanz verwendet werden.

Hintergrundinformationen

[0002] MOSFET-Schalter findet man in vielen Anwendungen und wurden allgemein verbreitet in Hochfrequenz-Schalteranwendungen. Mit fortschreitender Technologie wurden solche Transistorschalter kleiner, schneller und leistungsfähiger. Oft werden diese Schalter mit geringer Einschaltimpedanz genutzt, um logische Daten zwischen Systemen zu übertragen, indem unterschiedliche Stromquellen verwendet werden, angenommen ein 5 V-System, das logische Signale sendet und/oder von einem 3 V-System empfängt. Typisch ist, dass die Stromquellen die hohen Logikpegel bestimmen. Solche Schalter können Logiksysteme miteinander koppeln, die mit 5 V, 3,3 V und/oder 1,8 V versorgt werden.

[0003] Ein Betrieb bei den niedrigeren Stromversorgungspegeln stößt jedoch auf Probleme in Bezug auf die den MOSFET-Transistoren eigenen Schwellenwertanforderungen. Zum Beispiel kann man in Systemen mit abweichenden Stromquellen auf Schwierigkeiten stoßen, bei denen ein von einem System gesendetes logisches Signal höher ist als die Stromversorgung des Empfangssystems. Es ist bekannt, dass Über-/ Unterspannungseffekte katastrophale MOSFET-Störungen verursachen.

[0004] Ein solcher Lösungsweg, die oben erwähnte Einschränkung zu mindern, wird in dem US-Patent US 6 163 199 A ('199) mit dem Titel „Überspannungs-/unterspannungstolerantes Transferrate“ erörtert. Das 199er Patent stellt parallele Transistoren bereit, die zum Überspannungs- und Unterspannungsschutz angeordnet sind. Das 199er Patent steuert die hinteren Gates (Substratanschlüsse) der beteiligten Übertragungstransistoren. Das 199er Patent ist genau wie die vorliegende Anmeldung Eigentum eines gleichen Erfinders, der an diesem teilhat. Das 199er Patent liefert eine ausführlichere Erörterung der Einschränkungen des Standes der Technik zusammen mit einem Lösungsweg, um zu helfen, sich von dem Problem zu befreien. Das 199er Patent ist hier durch Verweis einbezogen.

[0005] Andere bekannte Entwürfe haben sich auf die Verringerung von Einfügungsverlust und Erhöhung der Bandbreite konzentriert, indem der den MOSFET-Strukturen eigene „Substratvorspan-

nungseffekt“ (Body-Effekt) minimiert wird. Einfügungsverlust kann im Allgemeinen beschrieben werden als der Verlust von einem Verbraucher zugeführter Signalleistung infolge der Ergänzung eines weniger als perfekten Schalters im Vergleich zu der, wenn der Schalter perfekt wäre.

[0006] Der Substratvorspannungseffekt wird bedeutend, wenn der FET-Schalter eingeschaltet ist und weder die Quellenelektrode noch die Abzugselektrode auf dem gleichen Potenzial wie der Substratanchluss sind. In solchen Fällen wirkt der Substratanchluss wie ein weiteres Gate (manchmal als „hinteres Gate“ bezeichnet) und erzeugt eine lokale Erhöhung der Schwellenwertspannung, die wiederum die Leitung zwischen Quellenelektrode und Abzugselektrode reduziert. Das heißt, der Einschaltwiderstand des Schalters erhöht sich, was wiederum die Bandbreite des Bauelements aufgrund eines Frequenzabfalls mit den vorhandenen Kapazitäten reduziert. Bandbreite ist hier definiert als der -3 dB Punkt der stetigen Kurve von Einfügungsverlust gegenüber der Frequenz.

[0007] Ein repräsentativer Entwurf im Stand der Technik, der sich auf eine Verringerung des Substratvorspannungseffektes und Einfügungsverlustes konzentrierte, ist in dem Burghartz erteilten US-Patent US 5 818 099 A (099) zu finden. Das 099er Patent beschreibt eine MOSFET-Struktur vom n-Typ mit einer p-Potenzialwanne, die von dem p-Typ-Substrat durch Verwendung einer n-Typ-Potenzialwanne isoliert ist, wie es in **Fig. 6A** des 099er Patent des gezeigt ist. Dieser Strukturtyp wird jetzt von vielen Herstellern solcher Schalter weit verbreitet genutzt, wobei diese gleiche Basisstruktur für n-Typ MOSFET-Strukturen in bevorzugten Ausführungsformen der vorliegenden Erfindung verwendet werden kann. Das 099er Patent ist hierdurch Verweis einbezogen.

[0008] Jedoch kann eine Ausführungsform eines Schaltkreises mit niedrigem Einfügungsverlust des 099er Patentes einen größeren Streuverlust aufweisen, wenn eine Signalspannung vorhanden ist und die Versorgungsspannung zum Übertragungsschalter abgeschaltet ist, z. B. wenn zuerst Strom zum Übertragungsschalter abgeschaltet wird, bevor sie an den Sende- oder Empfangssystemen abgeschaltet wird. Außerdem kann der Schalter eingeschaltet werden, wenn er während des Ausschaltens der Stromversorgung ausgeschaltet sein sollte.

[0009] Zum Beispiel ist im Stand der Technik von **Fig. 1** ein MOSFET des n-Typs mit typischer Vorspannung des Substratanschlusses auf +V dargestellt. Diese gewährleistet, dass die Drain/Source zu Substratanschluss-pn-Übergangsdioden nicht in Durchlassrichtung vorgespannt wird. Wenn jedoch die +V Stromversorgung an Masse ist (durch die aus-

geschaltete Stromversorgung), während am Anschluss A ein hoher Logikpegel, angenommen +5 V, vorhanden ist, wird die pn-Drain-Substratanschlussdiode in dem MOSFET-Schalter in Durchlassrichtung vorgespannt, indem ein potenziell schädlicher Strompfad erzeugt wird, der den Ausgangskondensator der +V-Stromversorgung auflädt. Somit wird die Substratanschluss des p-Typ-MOSFET aufgeladen und folglich der Schalter gespeist, wenn er nicht gespeist sein sollte. Außerdem wird die Kapazität von der Abzugselektrode und der Quellenelektrode zum Substratanschluss, C_{dw} bzw. C_{sw} , wirksam, um die Bandbreite des Schalters zu begrenzen.

[0010] Eine weitere auf MOSFET basierende Schaltung im Zusammenhang mit vorgenannten Problemstellung wird in US 2003/0016072 A1 offenbart, jedoch wird hier lediglich eine Ansteuerung des Substratanschlusses ohne eine Abhängigkeit vom Eingangssignal gezeigt.

[0011] In MOSFET-Schaltern nach dem Stand der Technik verbleiben Einschränkungen für den Überspannungsschutz während Abschaltvorgängen unter höher Einfügung- und Bandbreitenverlust. Die vorliegende Erfindung ist unter anderem auf diese Einschränkungen gerichtet.

ZUSAMMENFASSUNG DER ERFINDUNG

[0012] Den Einschränkungen und Problemen im Stand der Technik wendet sich die vorliegende Erfindung zu, die einen Schalter aus einem einzelnen FET oder parallelen Primär-FETs bereitstellt. Der Substratanschluss oder die Substratanschlüsse der Primär-FETs sind gesteuert, so dass die Drain-Source-Substratanschluss-Diodenübergänge beim Abschalten nicht in Durchlassrichtung vorgespannt werden. Außerdem sind Einfügungsverlust und Bandbreiten des Schalters verbessert.

[0013] Für jeden der Primär-FETs des Schalters ist ein interner Stromverbindungsbus gebildet, wobei die Substratanschlüsse für jeden mit der höheren einer lokalen Stromversorgung oder dem Eingangssignal zum Schalter gekoppelt oder funktionell verbunden werden, welche immer höher für einen PMOS-(Halbleiter) ist, wenn er ein primärer ist, und die niedrigere der Masse oder des Eingangssignals eines NMOS-(Halbleiters), wenn er ein primärer ist.

[0014] Es sind Paare von zusätzlichen in Reihe geschalteten FETs über Drain-Source der primären FETs des Schalters vorgesehen. Die Quellenelektroden dieser zusätzlichen FETs sind mit den Substratanschlüssen des Primär-FET verbunden, so dass ein beliebiges Eingangssignal an den Substratanschlüssen der Primär-FETs auftritt. In einem solchen Fall wird die Kapazität von der Abzugselektrode oder

Quellenelektrode zum Substratanschluss jedes der Primär-FETs vom Frequenzabfall eines beliebigen Wechselstrom-Eingangssignals wirksam aufgehoben.

[0015] In einer bevorzugten Ausführungsform werden andere FETs verwendet, um eine Stromversorgung, ein Eingangssignal und/oder Masse logisch zu den internen Stromverbindungsbusen und den Substratanschlüssen der Primär-FETs durchzulassen.

Figurenliste

[0016] Die nachstehende Erfindungsbeschreibung bezieht sich auf die begleitenden Zeichnungen, von denen:

Fig. 1 ist ein Schaltbild eines MOSFET-Schalters vom p-Typ im Stand der Technik;

Fig. 2 ist ein Schaltbild/Blockdiagramm, das eine Ausführungsform der vorliegenden Erfindung darstellt;

Fig. 3 ist das Schaltbild einer Ausführungsform der Verbesserung eines Einfügungsverlust-Schaltkreises der vorliegenden Erfindung;

Fig. 4 ist ein Schaltbild der Schaltungsanordnung Überspannungsschutz/Abschaltung;

Fig. 5 ist eine Aufzeichnung, die die Verbesserung des Einfügungsverlustes unter Verwendung der vorliegenden Erfindung darstellt;

Fig. 6 ist eine Aufzeichnung, die den geringeren Streuverlust von den Eingangs-/Ausgangssignalen durch einen Sperrschalter darstellt;

Fig. 7 ist ein zusammengesetztes Schaltbild einer in den **Fig. 2**, **Fig. 3** und **Fig. 4** dargestellten Ausführungsform;

Fig. 8A und **Fig. 8B** sind Ansichten im Querschnitt einer PMOS-Struktur und einer NMOS-Struktur, die für Transistoren M1 und M2 genutzt werden können;

Fig. 9 ist ein Schaltbild, das eine Schaltungsanordnung für eine NMOS- und PMOS Realisierung einer Ausführungsform der Erfindung zeigt;

Fig. 10 ist ein zusammengesetztes Schaltbild eines Schaltkreises zur Verbesserung von Einfügungsverlust und Bandbreite; und

Fig. 11 ist ein Schaltkreis, der Abschaltungsfunktionsschaltkreise für den N-Typ-Schalter M2 verbessert.

AUSFÜHRLICHE BESCHREIBUNG EINER ERLÄUTERNDEN AUSFÜHRUNGSFORM

[0017] **Fig. 2** ist ein Schaltbild/Blockdiagramm einer Ausführungsform der vorliegenden Erfindung. M1 ist ein MOSFET vom p-Typ, dessen Quellenelektrode

und Abzugselektrode gemeinsam mit der Quellenelektroden bzw. Abzugselektrode eines MOSFET M2 vom n-Typ verbunden sind. Die gemeinsamen Abzugselektroden sind mit einem Eingang/Ausgang B der verbunden, und die gemeinsamen Quellenelektroden sind mit einem Eingang/Ausgang A verbunden. Wenn der Schalter eingeschaltet ist, bewirken M1 und M2 eine Verbindung zwischen A und B mit geringer Impedanz. Der Begriff „Schalter“ bezieht sich allein auf die Kombination von M1, M2, Informationseinheit 13, wenn der Kontext nicht eine unterschiedliche Bedeutung angibt (z. B. würde sich der „M1-Schalter“ nur auf M1 beziehen).

[0018] In **Fig. 2** kann ein Eingangssignal am Knoten A oder Knoten B eingeleitet werden und jeweils vom Knoten B oder A hervorgehen, wenn der Schalter vorgespannt ist. Mit dem Wechselrichter 10 sind beide M1 und M2 eingeschaltet, wenn EN (Freigabe) hoch ist; und beide M1 und M2 ausgeschaltet, wenn EN niedrig ist. Das N-Gate des Eingangssignals (das EN ist) schaltet M2 bei hoch ein und bei niedrig aus. P-Gate schaltet M1 bei niedrig ein und bei hoch aus. Die Schaltungsanordnung im Block 12 steuert die Potenzialmulde von M1 und ist so ausgeführt, um den Einschaltwiderstand zu verbessern, den Einfügungsverlust zu verringern und die Bandbreite wie nachstehend erörtert zu erhöhen. Die Schaltungsanordnung im Block 16 schützt den MOSFET-Schalter während einer Abschaltung.

[0019] Anmerkung: Im M1 ist das p-Typ-Substrat mit Masse verbunden, und der Substratanschluss oder das hintere Gate von M1 ist meistens an eine Diode, D1, geklemmt. D1 ist die eigenleitende (parasitäre) Diode vom Substrat zum Körper des p-Typ-MOSFET M1. In dieser Ausführungsform, siehe **Fig. 8A**, in der das p-Typ-Substrat geerdet ist und der Substratanschluss von M1 meistens an eine Diode, D1, geklemmt ist, besteht ein Abfall von etwa 0,7 V unter Masse. Das hintere Gate B von M2 ist, wie in **Fig. 2** und **Fig. 8B**, an Masse angeschlossen, kann jedoch mit Schaltkreisen gesteuert werden, die denen der Informationseinheiten 12 und 16 für M1 ähnlich sind. Siehe **Fig. 9**.

[0020] **Fig. 3** ist ein ausführlicheres Schaltbild der die Schaltkreisleistung verbessernden Schaltungsanordnung des Blocks 12 von **Fig. 1**. PMOS M1 wird in einer isolierten N-Potenzialwanne (siehe **Fig. 8A**) hergestellt, die mit der durch M3 und M4 gesteuerten Substratansteuerung 22 verbunden ist. In dieser Ausführungsform sind zwei MOSFETs M3 und M4 vom P-Typ in Reihe vom Knoten A zum Knoten B verbunden, wobei ihre Quellenelektroden an die Substratansteuerung 22, die mit dem Substratananschluss von M1 verbunden ist, angeschlossen sind. Wenn n-Gate niedrig ist, ist der Schalter 13 ausgeschaltet und der w-Verbindungsbus 20 über M5 mit der Substratansteuerung 22 verbunden. Der w-Ver-

bindungsbus spannt außerdem die Substratananschlüsse von M3 und M4 vor. M3 und M4 sowie die Verwendung von w-Verbindungsbus senkt den Einfügungsverlust und verbessert die Abschaltfunktion wie hier beschrieben.

[0021] Mit Bezug auf **Fig. 2** und **Fig. 3**, wenn EN niedrig ist, ist der Schalter 13 ausgeschaltet, n-Gate niedrig, p-Gate hoch und die MOSFETs M1, M2, M3 und M4 sind alle ausgeschaltet. M5 ist eingeschaltet und verbindet die Substratananschlüsse von M1, M3 und M4 mit dem w-Verbindungsbus 20. Typisch ist, dass M3 und M4 mit gleicher Größe und Eigenschaften hergestellt sind. Ein beliebiger Potenzialabfall, Vds über M1 fällt gleichmäßig mit einer Hälfte über M3 und einer Hälfte über M4 ab. Dies hält die Symmetrie dieser bevorzugten Ausführungsform aufrecht.

[0022] Die symmetrischen Funktionen von M3 und M4 in **Fig. 3** zeigen einen verringerten Einfügungsverlust und eine höhere Bandbreite der vorliegenden Erfindung im Vergleich zu bekannten Schaltkreisen. Wie oben mit Bezug auf **Fig. 2** erörtert, tritt sowohl an der Quellenelektrode als auch der Abzugselektrode von M1 ein Wechselstrom-Signal auf, wenn M1 eingeschaltet ist. Selbst bei einem minimalen Abfall über M1 würde etwas von diesem Wechselstrom-Signal durch Kondensatoren sowohl von der Quellenelektrode als auch der Abzugselektrode, Csw und Cdw, zum Substratananschluss von M1 weitergeleitet werden, wenn der Substratananschluss mit einem Punkt geringer Impedanz (+V oder mit Masse für N-Typen) verbunden wäre. Jedoch werden in der vorliegenden Erfindung, wenn M3 und M4 eingeschaltet sind, ihre niedrigen Einschaltwiderstände dazu neigen, eine im Wesentlichen konstante Spannung sowohl über Csw als auch Cdw aufrecht zu erhalten und dadurch eine Weiterleitung des Wechselstromsignals durch diese Kondensatoren begrenzen. Dies verringert den Einfügungsverlust mit Frequenz und erhöht die Bandbreite des Schalters.

[0023] Die Informationseinheit 16 von **Fig. 2** geht in **Fig. 4** ins Einzelne, in der eine Schaltungsanordnung dargestellt ist, die Abschaltungsschutz für die MOSFET-Schalter M1, M2, M3 und M4 durch Realisierung des inneren w-Stromverbindungsbus 20 bewirkt. Wenn EN niedrig ist, M1, M2, M3 und M4 alle ausgeschaltet sind (der Schalter ist ausgeschaltet), gibt es eine Verbindung hoher Impedanz zwischen A und B. Die Substratansteuerung 22 ist über M5 mit der Spannung des w-Verbindungsbus 20, nicht die Stromversorgung +V, wie im Stand der Technik, verbunden. Die Substratansteuerung 22 ist über M5 und M6 von **Fig. 4** mit dem höheren des A-Signalpegels verbunden, wenn die Versorgungsspannung +V an Masse angeschlossen ist oder über M5 und M7 an +V, wenn der A-Signalpegel niedrig ist. Dies schließt die Möglichkeit aus, die

pn-Diode von Drain/Source-Substratanschluss von M1 in Durchlassrichtung vorzuspannen.

[0024] In **Fig. 4** verbindet der w-Verbindungsbus 20 die Substratanschlüsse von PMOS M8, PMOS M5 mit dem PMOS M10 und mit der Potenzialmulde von PMOS M3, M4, M6 und M7. Wenn der Schalter 13 eingeschaltet ist, ist M5 von **Fig. 3** ausgeschaltet, und der w-Verbindungsbus sowie die Substratsteuerung 22 sind nicht verbunden. Wenn jedoch A und B hoch sind und +V an Masse geht, befindet sich die über M3 und M4 mit dem Substratanschluss von M1 verbundene Substratsteuerung 22 auf dem A-Pegel. Wenn A und B niedrig sind, wird die Substratanschluss von M1 dennoch über M3 und M4 auf den niedrigen A Pegel gesteuert. In jedem Fall wird der Substratanschluss von M1 nicht geringer vorgespannt als ihre Drain-Source, und somit wird der Drain-Source-Substratanschluss-pn-Übergang nicht in Durchlassrichtung vorgespannt.

[0025] Indem etwas von der oben erwähnten Erörterung mit Bezug auf **Fig. 3** und **Fig. 4** neu angegeben wird, ist unter normalen Betriebsbedingungen mit +V etwa gleich den Logikpegeln, die bei A und B auftreten könnten, der Schalter (Informationseinheit 13, **Fig. 2**) ausgeschaltet, wenn EN niedrig ist. Das p-Gate ist hoch und das n-Gate ist niedrig. M10 ist eingeschaltet und M8 ist ausgeschaltet. M6 ist ausgeschaltet und M7 kann eingeschaltet sein, wenn A niedrig ist. Wenn das so ist, wird der w-Verbindungsbus 20 über M7 zu +V gesteuert. Wenn A hoch ist und +V an Masse geht, dann wird der w-Verbindungsbus 20 über M6 in den hohen A-Pegel gesteuert. In diesen zwei Fällen wird der mit dem Substratanschluss von M1 verbundene Substratsteuerung 22 über M5 an den w-Verbindungsbus 20 und über M7 an +V oder über M6 an einen hohen A Pegel angeschlossen. Innerhalb der Schwellwertpegel wird der Substratanschluss von M1 nicht unter den hohen Pegel des A-Signals oder +V fallen. Der Substratanschluss von M1 kann nicht mit hohen Pegel bei A an Masse gehen.

[0026] **Fig. 5** veranschaulicht einen verbesserten Einfügungsverlust 50 zwischen der Ansteuerung 54 des Substratanschlusses oder Substratsteuerung 22 des Schalters M1 und dem Stand der Technik, bei dem er mit der Versorgungsspannung (für den MOSFET vom p-Typ) verbunden 52 ist. **Fig. 6** ist ein Vergleich des Streuverlustes von einem Eingangssignal/Ausgangssignal durch einen Speerschalter, bei dem Abschaltvorgänge einen Streuverlust bewirken können. Anzumerken ist, dass bei einem Schaltkreis im Stand der Technik die Achse des Verluststroms 62 in mA (Milliampere) ist, während der Maßstab bei dem erfinderischen Schaltkreis in μA (Mikroampere) ist.

[0027] In praktischen Anwendungen gibt es einen Kompromiss zwischen kleineren Schalterstrukturen, mit kleineren Kapazitäten, die eine Bandbreite erhöhen, jedoch mit höheren „Einschaltimpedanzen“, die eine Bandbreite reduzieren. Die vorliegende Erfindung mit verbesserter Bandbreite bewegt diesen Kompromiss weg zu einer höheren Frequenz. In simulierten Schaltkreisen besitzt ein erfinderischer MOSFET-Schalter vom n-Typ mit einem Nenneinschaltwiderstand von vier Ohm eine Bandbreite von 1,6 GHz im Vergleich zu 350 MHz für einen Entwurf im Stand der Technik.

[0028] Mit Bezug auf **Fig. 1** können in anderen bevorzugten Ausführungsformen das p-Gate und n-Gate getrennt gesteuert werden, um Schalterlogikzustände einzurichten, bei denen M1 eingeschaltet sein kann, wenn M2 ausgeschaltet ist, und umgekehrt. **Fig. 7** ist ein gemischter Schaltkreis, der die Schaltungsanordnung von **Fig. 2**, **Fig. 3** und **Fig. 4** abzüglich des Wechselrichters 10 (von **Fig. 1**) kombiniert.

[0029] **Fig. 8A** zeigt eine Querschnittsdarstellung von PMOS M1, und **Fig. 8B** zeigt die eines isolierten NMOS M2. Die pn-Übergänge geben Dioden an, die Abschaltvorgänge beeinflussen können.

[0030] **Fig. 9** veranschaulicht eine volle schematische NMOS und PMOS-Realisierung der Erfindung, die einen Schaltkreis 90, der M2 gegen eine Operation unterhalb von Masse schützt, und 94 umfasst, der Bandbreite und Einfügungsverlust mit Bezug auf M2 verbessert.

[0031] **Fig. 10** enthält ein Schaltbild der Informationseinheit 94, die der Informationseinheit 12 von **Fig. 3** ähnlich ist, und der Informationseinheit 90, die Informationseinheit 16 von **Fig. 3** ähnlich ist. Anzumerken ist, dass der Substratanschluss 92 des n-Typ-Transistors M2 nicht mit Masse verbunden ist, jedoch an die Quellenelektroden des N-Typs M13 und M14 verbunden ist, die eine Funktion bewirken, die der von M3 und M4 für die M1-Potenzialmulde ähnlich ist. M15 bewirkt eine Funktion, die der von M5 ähnlich ist, und M16 und M17 funktionieren so wie es M6 und M7 tun. M18, M19 und M20 arbeiten ähnlich wie M8, M9 und M10. Der Nutzeffekt besteht darin, Einfügungsverlust zu reduzieren, Bandbreite zu verbessern und das Vorspannen des pn-Übergangs des Substratanschluss von M2 und seiner Drain-Source in Durchlassrichtung zu verhindern.

[0032] Als Anmerkung, die NMOS-Symbole von **Fig. 9** zeigen fünf Anschlüsse, jedoch sind tatsächlich sechs vorhanden wie es in **Fig. 8A** dargestellt ist. In **Fig. 9** Weist ein Anschluss einen Kreis auf, der einen „isolierten“ NMOS-Transistor angibt. **Fig. 8A** veranschaulicht die Konstruktion eines solchen isolierten NMOS-Transistors mit einer Quellenelektrode

S, einer Steuerelektrode G, Abzugselektrode D, Masse oder Potenzialmulde, einer isoliert Schicht NW und dem Substrat SB Isolationsschicht NW ist vorgespannten, um eine vor Spannung der pn-Übergänge in durch das Richtung zu verhindern.

[0033] Der Substratanschluss des Schalters NMOS M2 wird mit dem Schaltkreis von **Fig. 10** gesteuert. Dieser Schaltkreis koppelt den Substratanschluss von M2, um die Bandbreite zu verbessern, den Einfügungsverlust zu senken und Abschaltungsumstände durch Ansteuerung des Substratanschlusses von M2 zu verbessern. Der Schaltkreis von **Fig. 11** steuert einen durch den Schaltkreis von **Fig. 10** erzeugten, zweiten inneren Stromverbindungsbus. Die Schaltkreise von **Fig. 10** und **Fig. 11** sind den in **Fig. 3** und **Fig. 4**, die mit M1 gekoppelt sind, ähnlich. Wenn der Schalter geschlossen ist (M1 und M2 eingeschaltet), wird der Substratanschluss des Schalters NMOS M2 durch NMOS M13 und M14 gesteuert. Wenn der Schalter geöffnet ist, wird der Substratanschluss 92 von M2 durch NMOS M15 mit dem n-Verbindungsbus 102 verbunden. Die n-Verbindungsbusversorgung ist mit den Substratanschlüssen von M13, M14, M15, M16, M17, M18 und M19 verbunden. Bei geschlossenem Zustand des Schalters wird der n-Verbindungsbus durch NMOS M18 zu Masse gezogen. Wenn das Massepotenzial auf einen negativen Spannungspegel abfällt und der Schalteranschluss (A) oberhalb von Masse ist, wird der n-Verbindungsbus durch M17 auf den negativen Spannungspegel gezogen. Wenn sich die Masseversorgung auf Masse befindet und der Schalteranschluss (A) auf einen negativen Spannungspegel gezogen wird, wird der n-Verbindungsbus durch NMOS M16 auf den negativen Spannungswert gezogen werden. Das Ergebnis ist, dass der pn-Übergang in M2 nicht wie oben erörtert in Durchlassrichtung vorgespannt wird.

Patentansprüche

1. Schalter, umfassend:
 einen ersten Feldeffekttransistor, FET (M1), mit Steuerelektrode, Quellenelektrode, Abzugselektrode und Substratanschluss, bei dem ein Eingangssignal (A) an der Abzugselektrode oder der Quellenelektrode aufgenommen wird und ein Ausgangssignal (B) jeweils an die Quellenelektrode oder Abzugselektrode gegeben wird, wenn der erste FET (M1) eingeschaltet ist;
 einen ersten internen Stromverbindungsbus (w-Verbindungsbus);
 einen zweiten FET (M5), der so angeordnet ist, dass, wenn der erste FET (M1) ausgeschaltet ist, ein zweiter FET (M5) eingeschaltet wird, der den Substratanschluss des ersten FET (M1) mit dem ersten internen Stromverbindungsbus (w-Verbindungsbus) koppelt;
 einen dritten FET (M6), der den ersten internen

Stromverbindungsbus (w-Verbindungsbus) mit einer positiven Stromversorgung (V+) koppelt, wenn das Eingangssignal (A) auf niedrig schaltet; und einen vierten FET (M7), der den ersten internen Stromverbindungsbus (w-Verbindungsbus) mit dem Eingangssignal (A) koppelt, wenn die positive Stromversorgung (V+) auf niedrig schaltet, wobei, wenn der zweite FET (M5) eingeschaltet ist, der Substratanschluss des ersten FET auf dem höheren der positiven Stromversorgung (V+) oder des Eingangssignals (A) gehalten wird.

2. Schalter nach Anspruch 1, des Weiteren umfassend:
 einen fünften (M3) und sechsten (M4) FET der gleichen Polarität wie der erste FET (M1), wobei der fünfte FET (M3) und sechste FET (4) so angeordnet sind, dass ihre Quellenelektroden miteinander verbunden sind und die Abzugselektrode des fünften (M3) mit der Abzugselektrode des ersten FET (M1) verbunden ist, und die Abzugselektrode des sechsten (M4) mit der Quelle des ersten FET (M1) verbunden ist; und
 die Substratanschlüsse des fünften (M3) und des sechsten (M4) FET mit dem ersten internen Verbindungsbus (w-Verbindungsbus) gekoppelt sind, und die Quellenelektroden des fünften (M3) und des sechsten (M4) mit dem Substratanschluss des ersten FET (M1) verbunden sind, wobei der fünfte (M3) und sechste (M4) FET mit dem eingeschalteten und ausgeschalteten Schalter eingeschaltet und ausgeschaltet sind.

3. Schalter nach Anspruch 1, bei dem der erste FET (M1) ein P-Typ ist.

4. Schalter nach Anspruch 1, des Weiteren umfassend:
 einen siebenten FET (M2) von entgegen gesetzter Polarität zu dem ersten FET (M1), wobei der siebente FET (M2) eine Abzugselektrode und eine Quellenelektrode jeweils mit einer Abzugselektrode und einer Quellenelektrode des ersten FET (M1) gekoppelt hat;
 einen zweiten internen Stromverbindungsbus (n-Verbindungsbus);
 einen achten FET (M15), der so angeordnet ist, dass, wenn der siebente FET (M2) ausgeschaltet ist, ein achter FET (M15) eingeschaltet wird, der den Substratanschluss des siebenten FET (M2) mit dem zweiten internen Stromverbindungsbus koppelt (n-Verbindungsbus);
 einen neunten FET (M17), der den zweiten internen Stromverbindungsbus (n-Verbindungsbus) mit Masse verbindet wenn die Masseversorgung einen negativen Spannungswert annimmt und das Eingangssignal (A) einen höheren Spannungswert als die Masseversorgung besitzt; und
 einen zehnten FET (M16), der den zweiten internen Stromverbindungsbus (N-Verbindungsbus) mit dem

Eingangssignal (A) koppelt, wenn die Massespannungsversorgung nicht negativen Spannungswert annimmt und das Eingangssignal A einen negativen Spannungswert besitzt, wobei der Substratanschluss des siebenten FET (M2) auf dem niedrigeren von Masse oder dem Eingangssignal (A) gehalten wird.

5. Schaltkreis nach Anspruch 4, des Weiteren umfassend:

einen elften (M13) und zwölften (M14) FET der gleichen Polarität wie der siebente FET (M2), wobei die Quallelektroden des elften (M13) und zwölften (M14) FET miteinander verbunden sind, eine Abzugselektrode des elften (M13) mit einer Abzugselektrode des siebenten (M2) FET verbunden ist, und eine Abzugselektrode des zwölften (M14) mit einer Quallelektroden des siebenten FET (M2) verbunden ist; und

der Substratanschluss des elften (M13) und zwölften FET (M14) mit dem zweiten internen Verbindungsbus (n-Verbindungsbus) gekoppelt sind, und die Quallelektroden der elften (M13) und zwölften FETs (M14) mit dem Substratanschluss des siebenten FET (M2) gekoppelt sind, wobei der elfte (M13) und zwölfte FET (M14) mit dem ein- und ausgeschalteten Schalter eingeschaltet und ausgeschaltet werden.

6. Schaltkreis nach Anspruch 2, des Weiteren umfassend:

ein erstes Freigabe-Eingangssignal (p-Steuerelektrode), das mit Substratanschlüssen des ersten (M1), fünften (M3) und sechsten (M4) FET gekoppelt ist, wobei die Freigabe dieser FET, wenn „richtig“, einschaltet und, wenn „falsch“, den ersten (M1), fünften (M3) und sechsten (M4) FET ausschaltet.

7. Schaltkreis nach Anspruch 5, des Weiteren umfassend:

ein zweites Freigabe-Eingangssignal (n-Steuerelektrode), das mit den Substratanschlüssen des siebenten (M2), elften (M13) und zwölften (M14) FET gekoppelt ist, wobei das zweite Freigabesignal die FETs, wenn „richtig“, einschaltet und, wenn „falsch“, den siebenten (M2), elften (M13) und zwölften (M14) FET ausschaltet.

8. Schaltkreis nach Anspruch 7, bei dem die zweites Freigabe-Eingangssignal (n-Steuerelektrode) die logische Umkehrung des ersten Freigabe-Eingangssignal (p-Steuerelektrode) ist.

9. Verfahren zum Verbinden und Trennen eines Eingangssignals (A) von einem Ausgangssignal (B), wobei das Verfahren die folgenden Schritte aufweist von:

Einschalten des ersten Feldeffekttransistors, FET (M1), der eine Steuerelektrode, Quallelektrode, Abzugselektrode und einen Substratanschluss auf-

weist, wobei ein Eingangssignal (A) an der Abzugselektrode oder der Quallelektrode und ein Ausgangssignal (B) der Quallelektrode oder an der Abzugselektrode anliegt, beziehungsweise, wenn der erste FET (M1) ausgeschaltet ist;

einschalten eines zweiten FET (M5), der die Substratanschluss des ersten FET (M1) mit dem ersten internen Stromverbindungsbus (w-Stromverbindungsbus) koppelt wenn der erste FET (M1) ausgeschaltet ist;

einschalten eines dritten FET (M6), der den ersten internen Stromverbindungsbus (w-Stromverbindungsbus) mit einer positiven Stromversorgung (V+) koppelt, wenn das Eingangssignal (A) auf niedrig schaltet; und

einschalten eines vierten FET (M7), der den ersten internen Stromverbindungsbus (w-Stromverbindungsbus) mit dem Eingangssignal (A) koppelt, wenn die positive Stromversorgung (V+) auf niedrig schaltet, wobei der Substratanschluss des ersten FET (M1) auf der höheren der positiven Stromversorgung (V+) oder dem Eingangssignal (A) gehalten wird.

10. Verfahren nach Anspruch 9, des Weiteren umfassend die Schritte von:

Miteinander Koppeln einer Quallelektrode des fünften (M3) und einer Quallelektrode des sechsten (M4) FET, wobei der fünfte (M3) und sechste (M4) FET über die gleiche Polarität wie der erste (M1) FET verfügen;

Koppeln einer Abzugselektrode des fünften (M3) FET mit einer Abzugselektrode des ersten (M1) FET und einer Abzugselektrode des sechsten (M4) FET mit einer Quallelektrode des ersten (M1) FET; und

koppeln der Substratanschlüsse des fünften (M3) und des sechsten (M4) FET mit dem ersten internen Verbindungsbus (w-Verbindungsbus) und dem Substratanschluss des ersten (M1) FET, wobei der fünfte (M3) und sechste (M4) FET im ein bzw. ausgeschaltetem Zustand das Eingangssignal (A) mit dem Ausgangssignal (B) verbinden bzw. trennen.

11. Verfahren nach Anspruch 9, des Weiteren umfassend die Schritte von:

koppeln einer Abzugselektrode und einer Quallelektrode eines siebenten (M2) FET, jeweils mit der Abzugselektrode und Quallelektrode des ersten (M1) FET, wobei der siebente (M2) FET eine entgegengesetzte Polarität zum ersten (M1) FET aufweist;

einschalten eines achten (M15) FET, der den Substratanschluss des siebenten (M2) FET mit dem zweiten internen Stromverbindungsbus koppelt, wenn der siebente (M2) FET ausgeschaltet ist;

einschalten eines neunten (M17) FET, der den zweiten internen Stromverbindungsbus (n-Verbindungsbus) mit Massespannungsversorgung verbindet,

wenn die Massespannungsversorgung einen negativen Spannungswert aufweist und das Eingangssignal (A) einen höheren Spannungswert aufweist; und einschalten eines zehnten (M16) FET, der den zweiten internen Stromverbindungsbus (n-Verbindungsbus) mit dem Eingangssignal koppelt, die Massespannungsversorgung nicht negativen Spannungswert annimmt und das Eingangssignal (A) einen negativen Spannungswert besitzt, wobei der Substratanschluss des siebenten FET (M2) auf dem niedrigeren von Masse oder dem Eingangssignal (A) gehalten wird.

12. Verfahren nach Anspruch 11, des Weiteren umfassend die Schritte von:

Miteinander verbinden einer Quellenelektrode des elften (M13) FET und einer Quellenelektrode des zwölften (M14) FET welcher die gleiche Polarität wie der siebente (M2) FET besitzt;

verbinden einer Abzugselektrode des elften (M13) mit einer Abzugselektrode des ersten (M1) FET und einer Abzugselektrode des zwölften mit einer Quellenelektrode des siebenten (M2) FET; und Verbinden der Substratanschlüsse des elften (M13) und zwölften (M14) FETs mit dem ersten internen Verbindungsbus, und Verbinden der Quellenelektroden des elften (M13) und zwölften FET (M14) mit dem Substratanschluss des siebenten (M2) FET, wobei der elfte (M13) und zwölfte (M14) FET im ein bzw. ausgeschaltetem Zustand das Eingangssignal (A) mit dem Ausgangssignal (B) verbinden bzw. trennen.

13. Verfahren nach Anspruch 10, des Weiteren umfassend die Schritte von:

Koppeln eines ersten Freigabe-Eingangssignal (p-Steuerelektrode) mit den Steuerelektroden des ersten (M1), fünften (M3) und sechsten (M4) FET, sodass diese FET, wenn „richtig“, einschaltet und, wenn „falsch“, ausschaltet.

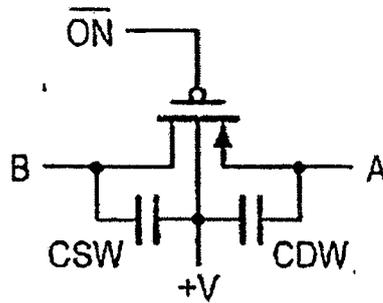
14. Verfahren nach Anspruch 12, des Weiteren umfassend:

Koppeln eines zweiten Freigabe-Eingangssignal (n-Steuerelektrode) mit den Steuerelektroden des siebenten (M2), elften (M13) und zwölften (M14) FET, sodass diese FETs wenn „richtig“, einschaltet und, wenn „falsch“, ausschaltet.

15. Verfahren nach Anspruch 14, bei dem die zweite Freigabe-Eingangssignal (p-Steuerelektrode) die logische Umkehrung der ersten Freigabe-Eingangssignal (n-Steuerelektrode) ist.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen



STAND DER TECHNIK

FIG.1

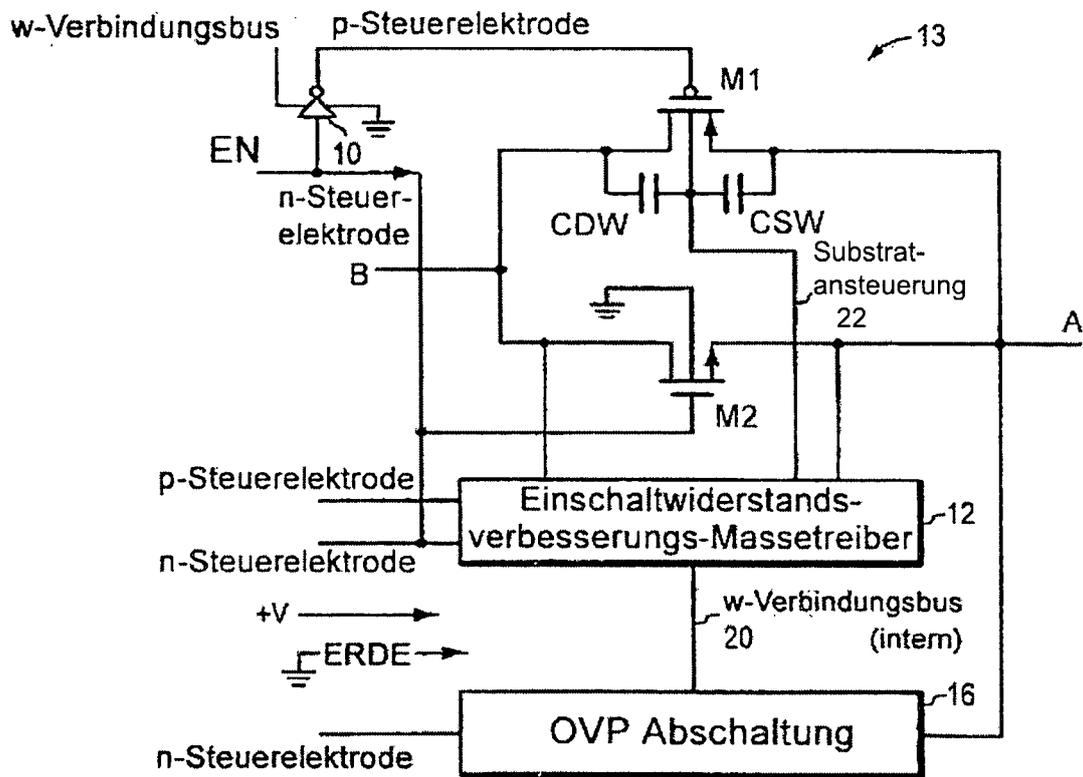


FIG.2

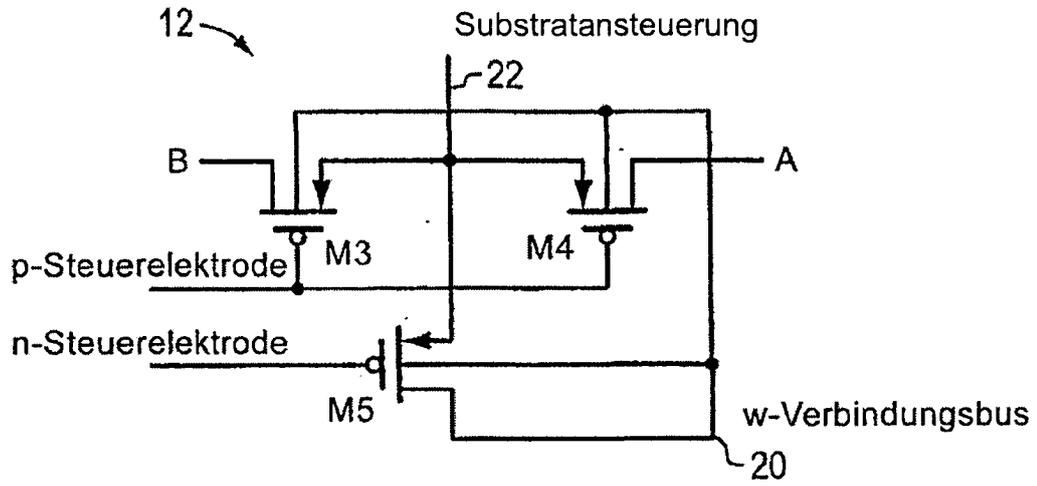


FIG.3

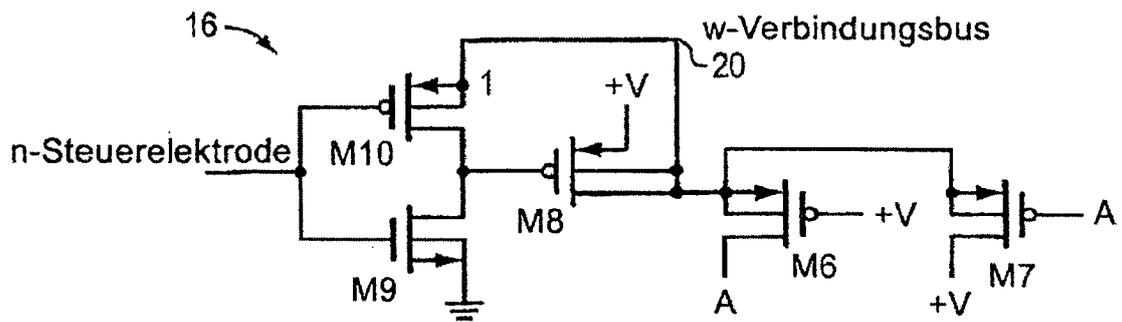


FIG.4

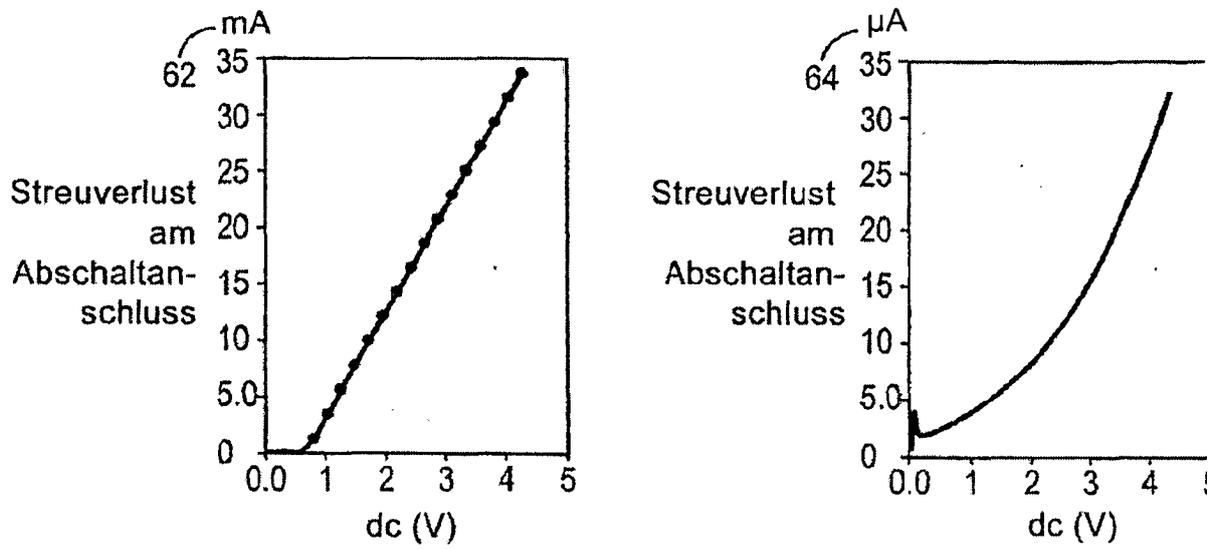


FIG.6

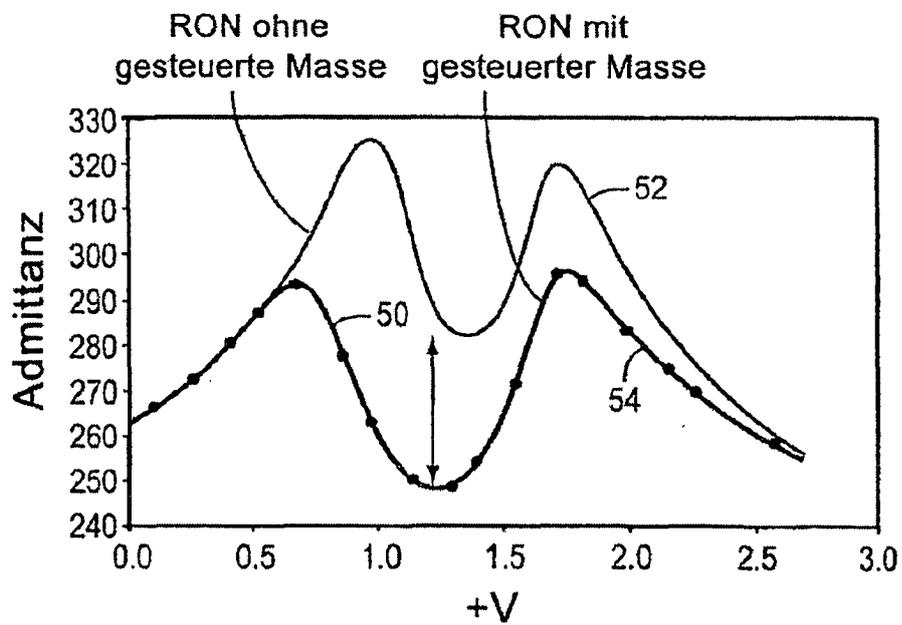


FIG.5

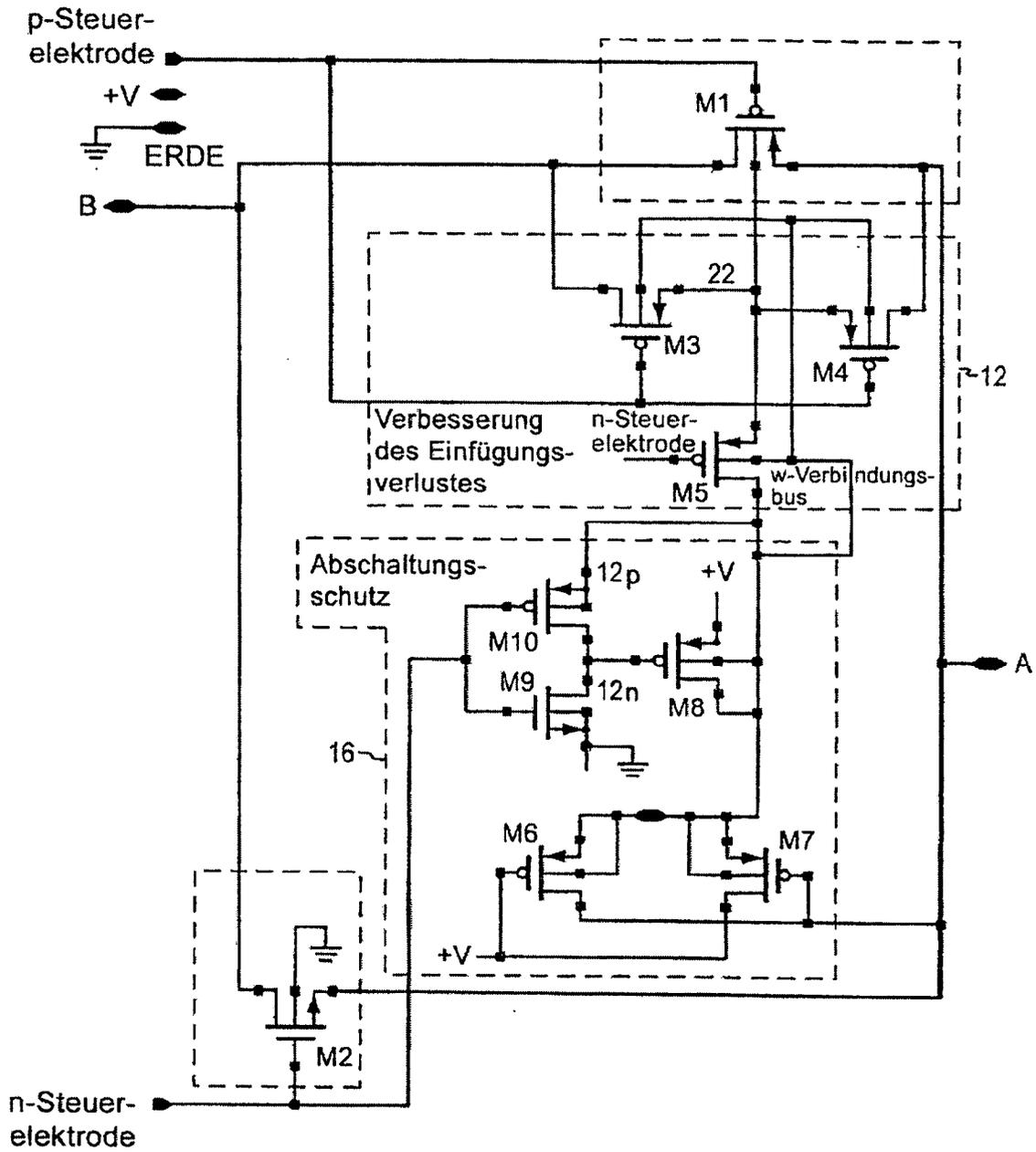


FIG.7

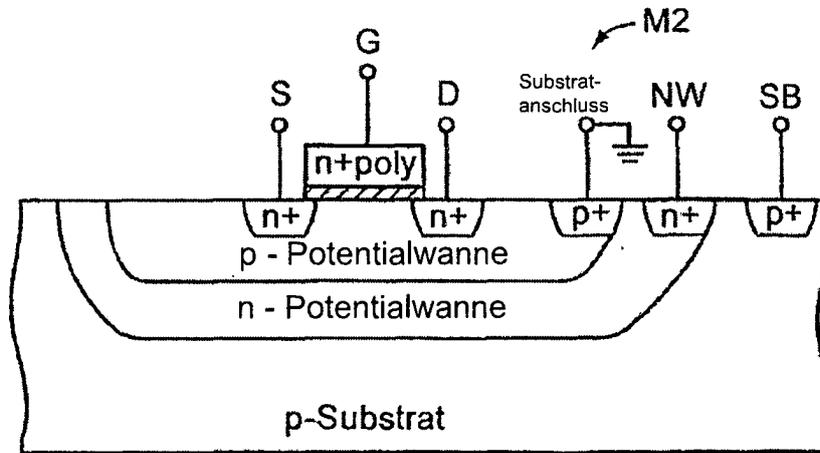


FIG.8B

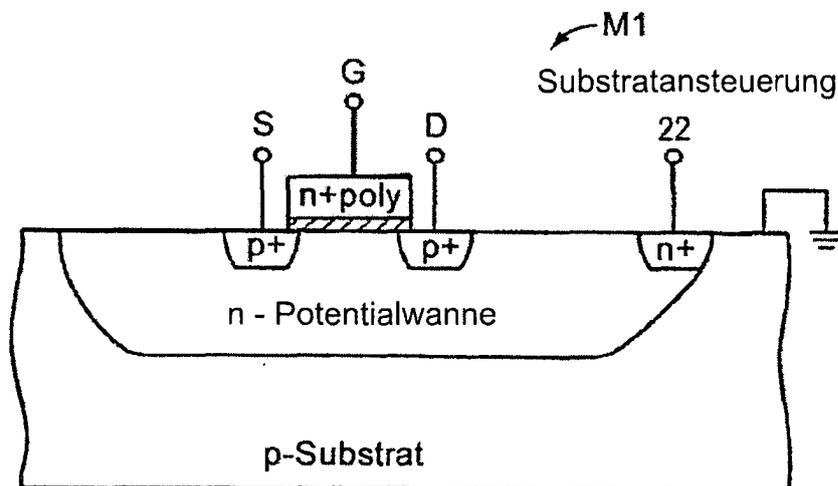


FIG.8A

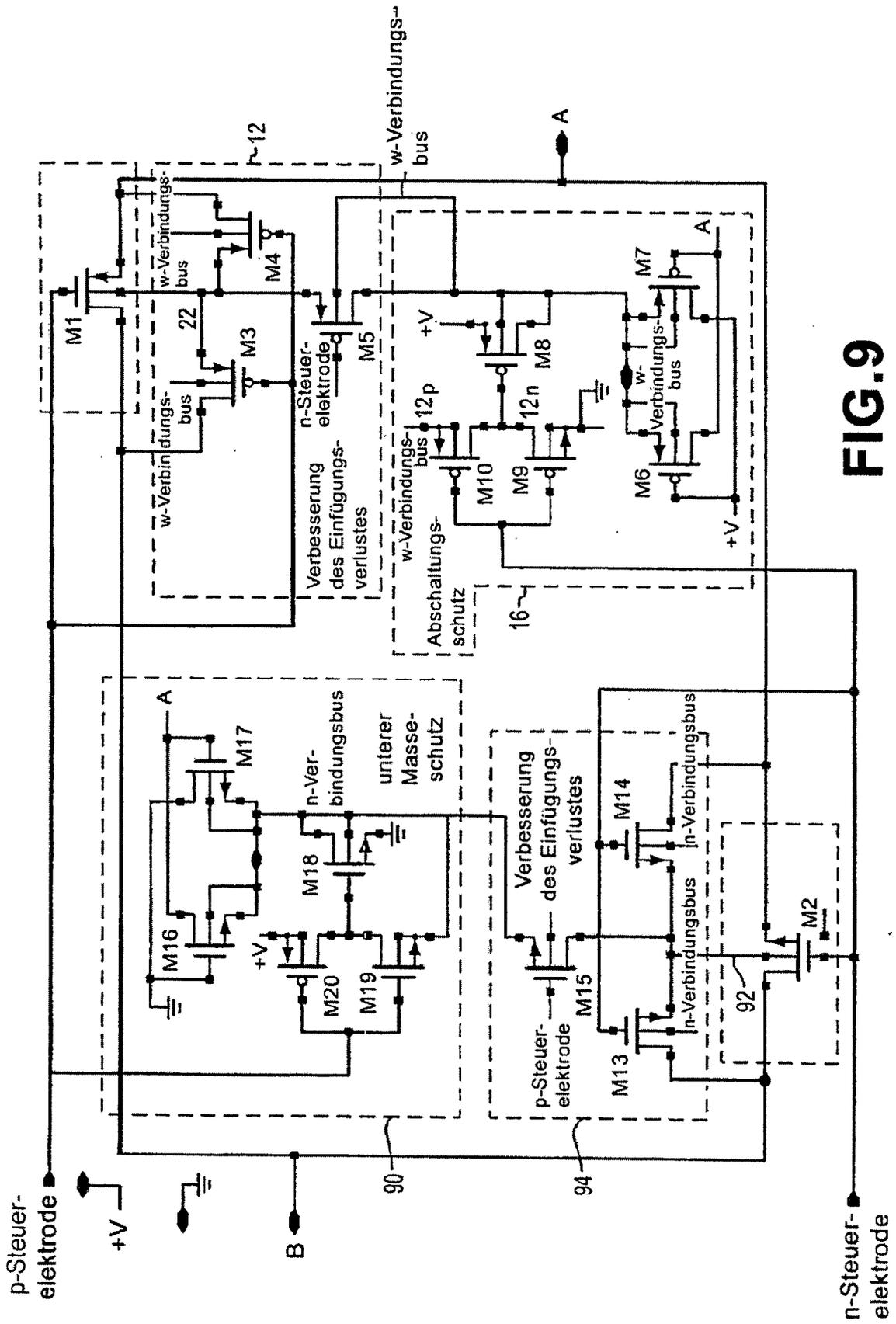


FIG.9

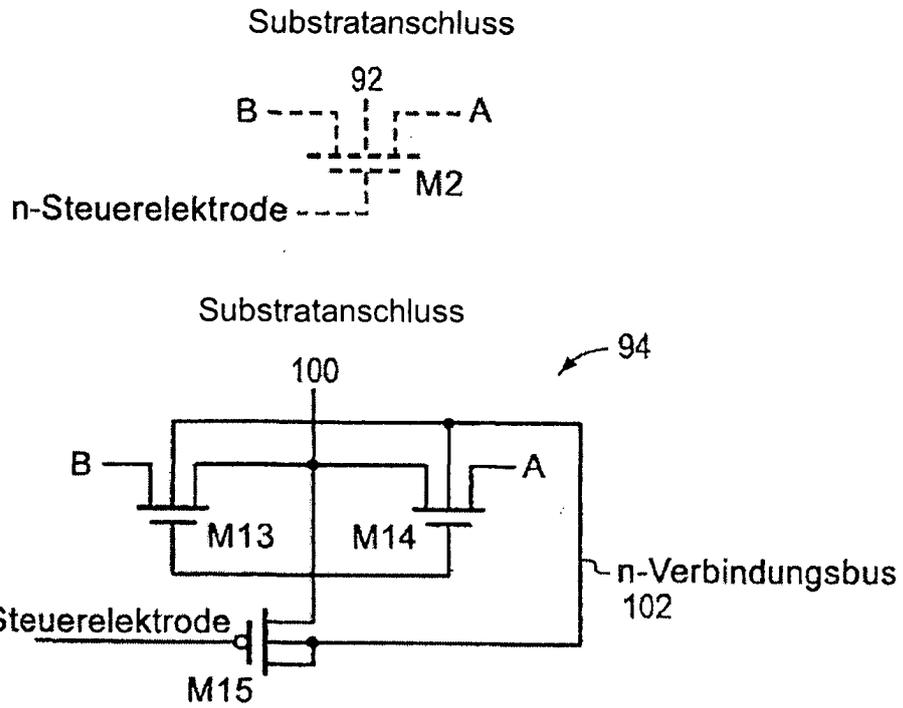


FIG.10

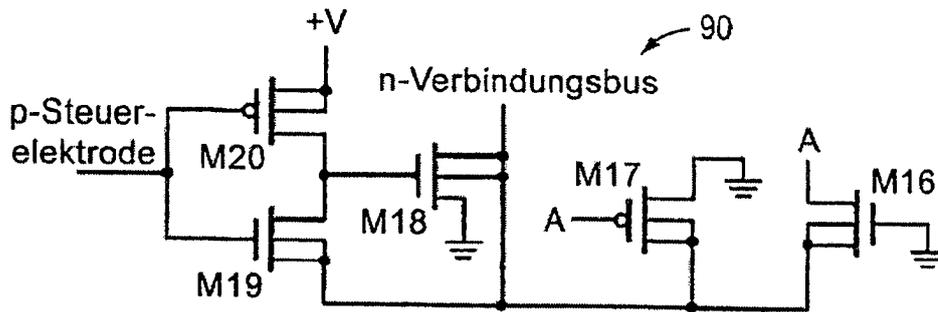


FIG.11