

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7188049号
(P7188049)

(45)発行日 令和4年12月13日(2022.12.13)

(24)登録日 令和4年12月5日(2022.12.5)

(51)国際特許分類	F I
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/04 C
H 0 1 L 25/18 (2006.01)	H 0 1 L 23/48 P
H 0 1 L 23/48 (2006.01)	

請求項の数 12 (全23頁)

(21)出願番号	特願2018-235394(P2018-235394)	(73)特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22)出願日	平成30年12月17日(2018.12.17)	(74)代理人	100105854 弁理士 廣瀬 一
(65)公開番号	特開2020-98821(P2020-98821A)	(74)代理人	100103850 弁理士 田中 秀 てつ
(43)公開日	令和2年6月25日(2020.6.25)	(72)発明者	西田 祐平 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
審査請求日	令和3年11月15日(2021.11.15)	審査官	正山 旭

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1面及び前記第1面の反対側の第2面を有し、前記第1面側に第1回路層及び第2回路層を有する回路基板と、

第3面及び前記第3面の反対側の第4面を有し、前記第1回路層上に前記第4面が取り付けられた第1半導体チップと、

第1貫通孔及び第2貫通孔を有し、前記回路基板の前記第1面と対向して配置され、前記回路基板の面方向における第1方向に延在する板状の出力端子と、

前記出力端子の前記第1貫通孔に挿通され、前記第1半導体チップの前記第3面と前記出力端子とを電氣的に接続する第1金属柱と、

前記出力端子の前記第2貫通孔に挿通され、前記第2回路層と前記出力端子とを電氣的に接続する第2金属柱と、を備え、さらに、

回路A及び回路Bを備え、

前記第1半導体チップは、第1半導体チップA及び第1半導体チップBを含み、

前記出力端子は、出力端子A及び出力端子Bを含み、

前記第1金属柱は、第1金属柱A及び第1金属柱Bを含み、

前記第2金属柱は、第2金属柱A及び第2金属柱Bを含み、

前記第2回路層は、第2回路層A及び第2回路層Bを含み、

前記第2回路層Aは、前記第1方向に対して直交する第2方向に延在された、第2配線部Aを含み、

前記第 2 回路層 B は、前記第 2 方向に延在された第 2 配線部 B を含み、
前記回路 A では、
前記出力端子 A の前記第 1 貫通孔に前記第 1 金属柱 A が挿通され、前記出力端子 A と前記第 1 半導体チップ A とが前記第 1 金属柱 A を介して電氣的に接続され、かつ、
前記出力端子 A の前記第 2 貫通孔に前記第 2 金属柱 A が挿通され、前記第 2 回路層 A の前記第 2 配線部 A と前記出力端子 A とが前記第 2 金属柱 A を介して電氣的に接続されており、
前記回路 B では、
前記出力端子 B の前記第 1 貫通孔に前記第 1 金属柱 B が挿通され、前記出力端子 B と前記第 1 半導体チップ B とが前記第 1 金属柱 B を介して電氣的に接続され、かつ、
前記出力端子 B の前記第 2 貫通孔に前記第 2 金属柱 B が挿通され、前記第 2 回路層 B の前記第 2 配線部 B と前記出力端子 B とが前記第 2 金属柱 B を介して電氣的に接続されている、
半導体装置。

10

【請求項 2】

前記第 1 金属柱及び前記第 2 金属柱は、互いに同一の形状で同一の大きさを有し、同一の材料で構成されている、請求項 1 に記載の半導体装置。

【請求項 3】

第 1 面及び前記第 1 面の反対側の第 2 面を有し、前記第 1 面側に第 1 回路層及び第 2 回路層を有する回路基板と、

第 3 面及び前記第 3 面の反対側の第 4 面を有し、前記第 1 回路層上に前記第 4 面が取り付けられた第 1 半導体チップと、

20

第 1 貫通孔及び第 2 貫通孔を有し、前記回路基板の前記第 1 面と対向して配置され、前記回路基板の面方向における第 1 方向に延在する板状の出力端子と、

前記出力端子の前記第 1 貫通孔に挿通され、前記第 1 半導体チップの前記第 3 面と前記出力端子とを電氣的に接続する第 1 金属柱と、

前記出力端子の前記第 2 貫通孔に挿通され、前記第 2 回路層と前記出力端子とを電氣的に接続する第 2 金属柱と、を備え、

前記第 1 金属柱及び前記第 2 金属柱は、互いに同一の形状で同一の大きさを有し、同一の材料で構成されている、半導体装置。

【請求項 4】

前記第 1 貫通孔及び前記第 2 貫通孔は、前記第 1 方向において離れて、前記出力端子に配置されている、

30

請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

さらに、

第 3 貫通孔を有し、前記回路基板の前記第 1 面と対向して配置され、前記第 1 方向に延在する板状の正端子を備え、

前記出力端子及び前記正端子は、前記第 1 方向に対して直交する第 2 方向に並んでいる、請求項 1 から 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 2 回路層は、前記第 1 方向に対して直交する第 2 方向に延在された、第 2 配線部を含み、

40

前記出力端子が、平面視において、前記第 2 配線部と交差している、請求項 1 から 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

さらに、

前記第 2 回路層に取り付けられた第 2 半導体チップと、

第 4 貫通孔を有し、前記回路基板の前記第 1 面と対向して配置され、前記第 1 方向に延在する板状の負端子と、

前記第 4 貫通孔に挿通され、前記第 2 半導体チップと前記負端子とを電氣的に接続する第 3 金属柱と、を備える

50

請求項 1 から 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記第 1 回路層は、前記第 1 方向に延在された第 1 配線部を含み、
前記正端子が、前記第 1 配線部と対向する、

請求項 5 に記載の半導体装置。

【請求項 9】

前記回路基板は、
前記第 2 面側の基材と、
前記基材と接し、前記基材とは熱伝導率が異なる材料で構成された絶縁層と、を有し、
前記絶縁層上に前記第 1 回路層及び前記第 2 回路層が設けられている、

10

請求項 1 から 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

さらに、
前記回路基板の前記第 1 面側を覆う封止体、を備え、
前記出力端子の一端が前記封止体から突き出ている、

請求項 1 から 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

前記封止体は、
前記回路基板を囲むフレームと、
前記フレームの内側に配置され、前記回路基板の前記第 1 面側を覆う封止樹脂と、を有し、
前記出力端子の一端が前記フレームから突き出ている、

20

請求項 10 に記載の半導体装置。

【請求項 12】

さらに、
前記第 1 半導体チップから離れて配置される制御素子と、
一端が前記制御素子に接合され、他端が前記第 1 半導体チップの前記第 3 面に接合された第 1 金属ワイヤーと、を備える

請求項 1 から 11 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

インバータ装置、無停電電源装置、工作機械、産業用ロボット等では、その本体装置とは独立して、パワー半導体素子を搭載したパワー半導体モジュールが使用されている（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

40

【0003】

【文献】特開 2013 - 171870 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に開示されたパワー半導体モジュールでは、絶縁回路基板の金属箔回路にワイヤーの一端と、外部端子とが接合されている。外部端子において、金属箔回路と接する側の端部は、金属箔回路側に屈曲した屈曲部となっている。その屈曲部の下端が金属箔回路にはんだ付けで接合される。

【0005】

50

ここで、屈曲部の近傍に変形が生じていると、屈曲部の下端と金属箔回路とが接触せず、接合不良が生じる可能性がある。特に、屈曲等の加工が端部に施される外部端子（リードフレーム）は、曲げの加工性を高めるために厚さが薄い傾向がある。厚さ薄いリードフレームは、例えば搬送途中で付加される外力によって、意図せず変形する可能性がある。リードフレームの変形により、外部端子と絶縁回路基板との電気的接続の信頼性が低下する可能性がある。

本発明は上記課題に着目してなされたものであって、電気的接続の信頼性を向上できるようにした半導体装置及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様は、(a)第1面及び第1面の反対側の第2面を有し、第1面側に第1回路層及び第2回路層を有する回路基板と、(b)第3面及び第3面の反対側の第4面を有し、第1回路層上に第4面が取り付けられた第1半導体チップと、(c)第1貫通孔及び第2貫通孔を有し、回路基板の第1面と対向して配置され、回路基板の面方向における第1方向に延在する板状の出力端子と、(d)出力端子の第1貫通孔に挿通され、第1半導体チップの第3面と出力端子とを電気的に接続する第1金属柱と、(e)出力端子の第2貫通孔に挿通され、第2回路層と出力端子とを電気的に接続する第2金属柱と、を備える半導体装置であることを要旨とする。

【0007】

本発明の他の態様は、(a)第1面及び第1面の反対側の第2面を有し、第1面側に第1回路層及び第2回路層を有する回路基板と、(b)第3面及び第3面の反対側の第4面を有し、第1回路層上に第4面が取り付けられた第1半導体チップと、(c)第1貫通孔を有し、回路基板の第1面と対向して配置され、回路基板の面方向における第1方向に延在する板状の出力端子と、(d)出力端子の第1貫通孔に挿通され、第1半導体チップの第3面と出力端子とを電気的に接続する第1金属柱と、(e)第2回路層と出力端子とを電気的に接続する第2金属ワイヤーと、を備える半導体装置であることを要旨とする。

【0008】

本発明の他の態様は、(a)第1面及び第1面の反対側の第2面を有し、第1面側に第1回路層及び第2回路層を有する回路基板を用意する工程と、(b)第3面及び第3面の反対側の第4面を有する第1半導体チップを用意する工程と、(c)第1回路層上に第1半導体チップの第4面を取り付ける工程と、(d)第1貫通孔及び第2貫通孔を有し、回路基板の面方向における第1方向に延在する板状の出力端子を用意する工程と、(e)出力端子を回路基板の第1面と対向して配置する工程と、(f)第1貫通孔に第1金属柱を挿通する工程と、(g)第2貫通孔に第2金属柱を挿通する工程と、(h)第1貫通孔に挿通された第1金属柱を出力端子と第1半導体チップの第3面とに接合する工程と、(i)第2貫通孔に挿通された第2金属柱を出力端子と第2回路層とに接合する工程と、を備える半導体装置の製造方法であることを要旨とする。

【発明の効果】

【0009】

本発明によれば、電気的接続の信頼性を向上できるようにした半導体装置及び半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【0010】

【図1A】図1Aは、本発明の実施形態1に係る半導体装置の構成例を示す平面図である。

【図1B】図1Bは、図1Aの一部を拡大して示す平面図である。

【図2】図2は、本発明の実施形態1に係る半導体装置の構成例を示す回路図である。

【図3A】図3Aは、本発明の実施形態1に係る半導体装置の構成例を示す断面図である。

【図3B】図3Bは、本発明の実施形態1に係る半導体装置の構成例を示す断面図である。

【図3C】図3Cは、本発明の実施形態1に係る半導体装置の構成例を示す断面図である。

【図4】図4は、本発明の実施形態1に係る半導体装置の製造方法を工程順に示す断面図

10

20

30

40

50

である。

【図 5】図 5 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】図 6 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】図 7 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】図 8 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 9】図 9 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

10

【図 10】図 10 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 11】図 11 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 12】図 12 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 13】図 13 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 14】図 14 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

20

【図 15】図 15 は、本発明の実施形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 16】図 16 は、本発明の実施形態 2 に係る半導体装置の構成例を示す断面図である。

【図 17】図 17 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 18】図 18 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 19】図 19 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

30

【図 20】図 20 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 21】図 21 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 22】図 22 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 23】図 23 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 24】図 24 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

40

【図 25】図 25 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 26】図 26 は、本発明の実施形態 2 に係るリードフレーム一体化ケースの製造方法を工程順に示す断面図である。

【図 27】図 27 は、本発明の実施形態 2 に係るリードフレーム一体化ケースの製造方法を工程順に示す断面図である。

【図 28】図 28 は、本発明の実施形態 2 に係るリードフレーム一体化ケースの製造方法を工程順に示す断面図である。

【図 29】図 29 は、本発明の実施形態 2 に係るリードフレーム一体化ケースの製造方法を工程順に示す断面図である。

50

【図30】図30は、本発明の実施形態3に係る半導体装置の構成例を示す断面図である。
【発明を実施するための形態】

【0011】

以下に本発明の実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各装置や各部材の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判定すべきものである。図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0012】

以下の図面の記載では、X軸方向、Y軸方向及びZ軸方向を用いて、方向を示す場合がある。例えば、X軸方向及びY軸方向は、後述する絶縁回路基板1のおもて面1aに平行な方向である。Z軸方向は、後述する絶縁回路基板1の厚さ方向である。X軸方向、Y軸方向及びZ軸方向は、互いに直交する。XYZ軸は右手系をなす。

【0013】

以下の説明では、Z軸の正方向を「上」と称し、Z軸の負方向を「下」と称する場合がある。「上」及び「下」は、必ずしも地面に対する鉛直方向を意味しない。つまり、「上」及び「下」の方向は、重力方向に限定されない。「上」及び「下」は、層及び基板等における相対的な位置関係を特定する便宜的な表現に過ぎず、本発明の技術的思想を限定するものではない。例えば、紙面を180度回転すれば「上」が「下」に、「下」が「上」になることは勿論である。

「平面視」とは、おもて面1aの法線方向（すなわち、Z軸方向）から見ることを意味する。

【0014】

（実施形態1）

図1Aは、本発明の実施形態1に係る半導体装置の構成例を示す平面図である。図1Bは、図1Aの一部を拡大して示す平面図である。図2は、本発明の実施形態1に係る半導体装置の構成例を示す回路図である。図1Aから図2に示すように、本発明の実施形態1に係る半導体装置100は、パワー半導体モジュールであり、3相のインバータ回路50と、インバータ回路を制御する制御回路60と、を備える。

【0015】

インバータ回路50は、図示しない直流電源と、この直流電源の高電位側に接続される正端子（正の入力端子；P端子）42と、低電位側に接続される負端子（負の入力端子；N端子）43と、3相の出力端子41u、41v、41wで構成されている。出力端子41u、41v、41wは、正端子42と負端子43とに接続するU相、V相、W相の3相の回路と、接続点a、b、cでそれぞれ接続されている。出力端子41u、41v、41wは、モータ等の負荷Mに接続される。

【0016】

u相の回路は、u相の上アームと、u相の下アームとで構成されている。u相の上アームは半導体チップ2uを含む。u相の下アームは半導体チップ3uを含む。

同様に、v相の回路は、v相の上アームと、v相の下アームとで構成されている。v相の上アームは半導体チップ2vを含む。v相の下アームは半導体チップ3vを含む。w相の回路は、w相の上アームとw相の下アームとで構成されている。w相の上アームは半導体チップ2wを含む。w相の下アームは半導体チップ3wを含む。

【0017】

半導体チップ2u、2v、2w、3u、3v、3wは、シリコン基板等の半導体基板に縦型のスイッチング素子が形成されたチップである。スイッチング素子は、絶縁ゲート型バイポーラトランジスタ（IGBT）やパワーMOSFET等のトランジスタであってよい。半導体チップ2、3は、逆並列接続されたフリーホイールダイオード（FWD）が形成された半導体チップとともに絶縁回路基板1に搭載されてよい。半導体チップ2、3は

10

20

30

40

50

、半導体基板にIGBTおよびFWDが形成された、RC-IGBT(Reverse-
Conducting IGBT)であってもよい。半導体チップ2、3は、上面電極および
下面電極を有する。上面電極はエミッタ電極、ソース電極又はアノード電極
であり、下面電極はコレクタ電極、ドレイン電極又はカソード電極であつて
よい。半導体チップ2、3は、さらにゲート電極を有してよい。半導体基板
は炭化けい素基板、窒化ガリウム基板等のワイドバンドギャップ半導体
基板であってもよい。

【0018】

以下、半導体チップ2u、2v、2wを区別して説明する必要がないときは、
半導体チップ2u、2v、2wを半導体チップ2と総称する。半導体チップ3u、
3v、3wを区別して説明する必要がないときは、半導体チップ3u、3v、
3wを半導体チップ3と総称する。出力端子41u、41v、41wを区別して説
明する必要がないときは、出力端子41u、41v、41wを出力端子41と総
称する。

10

【0019】

図1Aに示すように、インバータ回路50は、半導体チップ2、3が搭載され
る絶縁回路基板1を備える。絶縁回路基板1は、おもて面1aと、おもて面
1aの反対側の裏面1bとを有する。おもて面1a側には、第1回路層13と、
第2回路層14とが設けられている。第1回路層13は、半導体チップ2を
搭載する電極部131と、電極部131に電氣的に接続し、Y軸方向に延設
された配線部132とを有する。第2回路層14は、半導体チップ3を搭
載する電極部141と、電極部141に電氣的に接続し、X軸方向に延設
された配線部142とを有する。第1回路層13と第2回路層14は、互いに
離れて配置されている。

20

第1回路層13の電極部131は、はんだを介して、半導体チップ2の下面
電極(例えば、コレクタ又はドレイン)に電氣的に接続されている。第2
回路層14の電極部141は、はんだを介して、半導体チップ3の下面電
極(例えば、コレクタ又はドレイン)に電氣的に接続されている。

【0020】

図1Bに示すように、第2回路層14は、u相の回路に含まれる第2回路層
14uと、v相の回路に含まれる第2回路層14vと、w相の回路に含まれる
第2回路層14wとを含む。第2回路層14uは、半導体チップ3uを搭載
する電極部141uと、電極部141uに電氣的に接続し、X軸方向に延設
された配線部142uとを含む。第2回路層14vは、半導体チップ3vを
搭載する電極部141vと、電極部141vに電氣的に接続し、X軸方向に
延設された配線部142vとを含む。第2回路層14wは、半導体チップ3w
を搭載する電極部141wと、電極部141wに電氣的に接続し、X軸方向
に延設された配線部142wとを含む。

30

【0021】

正端子42、負端子43及び出力端子41は、第1リードフレーム4の一部
である。第1リードフレームは、例えば銅(Cu)、Cuを主成分とするCu
合金、アルミニウム(Al)、又は、Alを主成分とするAl合金で構成され
ている。正端子42、負端子43及び出力端子41は、それぞれ、Y軸方向
に延設されている。正端子42は、第1回路層13の配線部132と平面視
で重なる位置に配置されている。負端子43は、半導体チップ3及び第
2回路層14と平面視で重なる位置に配置されている。出力端子41は、
半導体チップ2及び第2回路層14の配線部142と平面視で重なる位置
に配置されている。出力端子41と配線部142は、平面視で互いに直交
している。出力端子41と配線部142は、平面視で格子を成すように配
置されている。

40

【0022】

図1Aに示すように、制御回路60は、半導体チップ2を制御する制御チ
ップ61と、半導体チップ3を制御する制御チップ62と、を有する。制
御チップ61、62は、第2リードフレーム5のダイパッド51上に配置され
ている。第2リードフレーム5は、第1リードフレーム4とは別体に設け
られる。第2リードフレーム5は、例えばCu、Cu合金、Al又はAl合金
で構成されている。半導体チップ2と制御チップ61は、金属ワイ

50

ヤー 7 1 を介して電氣的に接続されている。半導体チップ 3 と制御チップ 6 2 は、金属ワイヤー 7 2 を介して電氣的に接続されている。

【 0 0 2 3 】

例えば、半導体チップ 2 のおもて面 2 a 側に位置するゲート電極と制御チップ 6 1 とが、金属ワイヤー 7 1 を介して電氣的に接続されている。半導体チップ 3 のおもて面 3 a 側に位置するゲート電極と制御チップ 6 2 とが、金属ワイヤー 7 2 を介して電氣的に接続されている。制御チップ 6 1、6 2 と、第 2 リードフレーム 5 の一部である外部端子 5 2 とが金属ワイヤー 7 3 を介して電氣的に接続されている。なお、金属ワイヤー 7 1 から 7 3 は、例えば A 1 又は A 1 合金で構成されている。

【 0 0 2 4 】

図 3 A、図 3 B 及び図 3 C は、本発明の実施形態 1 に係る半導体装置の構成例を示す断面図である。図 3 A は、図 1 A に示す平面図を Y 1 - Y 2 線で切断した断面を示している。図 3 B は、図 1 A に示す平面図を Y 3 - Y 4 線で切断した断面を示している。図 3 C は、図 1 A に示す平面図を Y 5 - Y 6 線で切断した断面を示している。

図 3 A から図 3 C に示すように、絶縁回路基板 1 は、ベース基板 1 1 と、ベース基板 1 1 上に設けられた絶縁層 1 2 と、絶縁層 1 2 上に設けられた第 1 回路層 1 3 と、絶縁層 1 2 上に設けられた第 2 回路層 1 4、とを有する。ベース基板 1 1 は、例えば A 1 又は A 1 合金で構成されている。

【 0 0 2 5 】

図 3 A に示すように、第 1 回路層 1 3 の電極部 1 3 1 上に半導体チップ 2 が配置されている。半導体チップ 2 の裏面 2 b が、はんだ 1 5 を介して電極部 1 3 1 に接合されている。この接合により、第 1 回路層 1 3 は、半導体チップ 2 の裏面 2 b 側に位置する下面電極（コレクタ電極又はドレイン電極）に電氣的に接続されている。

半導体チップ 2 のおもて面 2 a の上方に出力端子 4 1 が配置されている。出力端子 4 1 には、出力端子 4 1 を Z 軸方向に貫く貫通孔 H 1、H 2 が設けられている。貫通孔 H 1 は、半導体チップ 2 と平面視で重なっている。貫通孔 H 2 は、第 2 回路層 1 4 の配線部 1 4 2 と平面視で重なっている。

【 0 0 2 6 】

貫通孔 H 1 には金属柱 2 1 が挿通されている。はんだ 3 1 を介して、金属柱 2 1 は出力端子 4 1 に接合されている。はんだ 3 1 を介して、金属柱 2 1 は半導体チップ 2 のおもて面 2 a にも接合されている。この接合により、出力端子 4 1 は、金属柱 2 1 を介して、半導体チップ 2 のおもて面 2 a 側に位置する上面電極（エミッタ電極又はソース電極）に電氣的に接続されている。

【 0 0 2 7 】

出力端子 4 1 及び金属柱 2 1 は、u 相、v 相、w 相の各回路にそれぞれ設けられている。図 1 B に示すように、出力端子 4 1 は、u 相の半導体チップ 2 u と平面視で重なる出力端子 4 1 u と、v 相の半導体チップ 2 v と平面視で重なる出力端子 4 1 v と、w 相の半導体チップ 2 w と平面視で重なる出力端子 4 1 w と、を含む。金属柱 2 1 は、u 相の半導体チップ 3 u の上面電極と出力端子 4 1 u とを電氣的に接続する金属柱 2 1 u と、v 相の半導体チップ 3 v の上面電極と出力端子 4 1 v とを電氣的に接続する金属柱 2 1 v と、w 相の半導体チップ 3 w の上面電極と出力端子 4 1 w とを電氣的に接続する金属柱 2 1 w と、を含む。

【 0 0 2 8 】

図 3 A に示すように、貫通孔 H 2 には金属柱 2 2 が挿通されている。はんだ 3 1 を介して、金属柱 2 2 は出力端子 4 1 に接合されている。はんだ 1 5 を介して、金属柱 2 2 は第 2 回路層 1 4 の配線部 1 4 2 にも接合されている。この接合により、出力端子 4 1 は、金属柱 2 2 を介して、配線部 1 4 2 に電氣的に接続されている。

金属柱 2 2 は、u 相、v 相、w 相の各回路にそれぞれ設けられている。図 1 B に示すように、金属柱 2 2 は、u 相の出力端子 4 1 u と配線部 1 4 2 u とを電氣的に接続する金属柱 2 2 u と、v 相の出力端子 4 1 v と配線部 1 4 2 v とを電氣的に接続する金属柱 2 2 v

10

20

30

40

50

と、w相の出力端子4 1 wと配線部1 4 2 wとを電氣的に接続する金属柱2 2 wと、を含む。

【0029】

図3 Bに示すように、第2回路層1 4の電極部1 4 1上に半導体チップ3が配置されている。半導体チップ3の裏面3 bが、はんだ1 5を介して電極部1 4 1に接合されている。この接合により、第2回路層1 4は、半導体チップ3の裏面3 b側に位置する下面電極（コレクタ電極又はドレイン電極）に電氣的に接続されている。

半導体チップ3のおもて面3 aの上方に負端子4 3が配置されている。負端子4 3には、負端子4 3をZ軸方向に貫く貫通孔H 3が設けられている。貫通孔H 3は、半導体チップ3と平面視で重なっている。貫通孔H 3には金属柱2 3が挿通されている。はんだ3 1を介して、金属柱2 3は負端子4 3に接合されている。はんだ3 1を介して、金属柱2 3は半導体チップ3のおもて面3 aにも接合されている。この接合により、負端子4 3は、金属柱2 3を介して、半導体チップ3のおもて面3 a側に位置する上面電極（エミッタ電極又はソース電極）に電氣的に接続されている。

10

【0030】

負端子4 3及び金属柱2 3は、u相、v相、w相の各回路にそれぞれ設けられている。図1 Bに示すように、負端子4 3は、u相の半導体チップ3 uと平面視で重なる負端子4 3 uと、v相の半導体チップ3 vと平面視で重なる負端子4 3 vと、w相の半導体チップ3 wと平面視で重なる負端子4 3 wと、を備える。金属柱2 3は、u相の半導体チップ3 uの上面電極と負端子4 3 uとを電氣的に接続する金属柱2 3 uと、v相の半導体チップ3 vの上面電極と負端子4 3 vとを電氣的に接続する金属柱2 3 vと、w相の半導体チップ3 wの上面電極と負端子4 3 wとを電氣的に接続する金属柱2 3 wと、を含む。

20

【0031】

図3 Cに示すように、第1回路層1 3の配線部1 3 2の上方に正端子4 2が配置されている。正端子4 2には、正端子4 2をZ軸方向に貫く貫通孔H 4が設けられている。貫通孔H 4は、配線部1 3 2と平面視で重なっている。この例では、第1回路層1 3の電極部1 3 1に接合された3つの半導体チップ2の個数に対応して、3つの貫通孔H 4が設けられている。3つの貫通孔H 4の各々には、金属柱2 4がそれぞれ挿通されている。はんだ3 1を介して、金属柱2 4は正端子4 2に接合されている。はんだ1 5を介して、金属柱2 4は第1回路層1 3の配線部1 3 2にも接合されている。この接合により、正端子4 2は、金属柱2 4を介して、配線部1 3 2に電氣的に接続されている。なお、金属柱2 1から2 4は、例えばCu、Cu合金、Al又はAl合金で構成されている。

30

【0032】

図3 Aから図3 Cに示すように、絶縁回路基板1のおもて面1 a側は封止樹脂8で覆われている。封止樹脂8によって、絶縁回路基板1のおもて面1 a側と、半導体チップ2、3と、制御チップ6 1、6 2と、金属柱2 1から2 4と、金属ワイヤー7 1から7 3と、が覆われて封止されている。封止樹脂8は、例えばエポキシ樹脂である。

【0033】

出力端子4 1、正端子4 2及び負端子4 3は、絶縁回路基板1に近い側の部位が封止樹脂8で覆われて封止され、絶縁回路基板1から遠い側の部位は封止樹脂8から突き出ている。ダイパッド5 1は、封止樹脂8で覆われて封止されている。外部端子5 2は、ダイパッド5 1に近い側の部位が封止樹脂8で覆われて封止され、ダイパッド5 1から遠い側の部位は封止樹脂8から突き出ている。正端子4 2、負端子4 3及び出力端子4 1は、封止樹脂8からY軸の正方向（矢印の方向）へ突き出ている。外部端子5 2は、封止樹脂8からY軸の負方向（矢印の反対方向）へ突き出ている。

40

【0034】

次に、半導体装置1 0 0の製造方法を説明する。図4から図1 5は、本発明の実施形態1に係る半導体装置の製造方法を工程順に示す断面図である。半導体装置1 0 0は、はんだ塗布装置、リフロー炉、ワイヤーボンディング装置、モールディング装置など、各種の製造装置によって製造される。

50

図 4 に示すように、まず、絶縁回路基板 1 が用意される。次に、図 5 に示すように、製造装置は、絶縁回路基板 1 の第 1 回路層 1 3 上と第 2 回路層 1 4 上とに、はんだ 1 5 をそれぞれ塗布する。

【 0 0 3 5 】

次に、図 6 に示すように、製造装置は、はんだ 1 5 が塗布された第 1 回路層 1 3 上に半導体チップ 2 の裏面 2 b を取り付ける。製造装置は、はんだ 1 5 が塗布された第 2 回路層 1 4 上に半導体チップ 3 の裏面 3 b を取り付ける（図 3 B 参照）。

次に、図 7 に示すように、製造装置は、半導体チップ 2、3 が取り付けられた絶縁回路基板 1 を、はんだ付け治具 2 0 1 に取り付ける。製造装置は、出力端子 4 1、正端子 4 2 及び負端子 4 3 を含む第 1 リードフレーム 4 を、絶縁回路基板 1 のおもて面 1 a と対向するように、はんだ付け治具 2 0 1 に取り付ける。

10

次に、図 8 に示すように、製造装置は、第 1 リードフレーム 4 の貫通孔 H 1 に金属柱 2 1 を挿通する。製造装置は、第 1 リードフレーム 4 の貫通孔 H 2 に金属柱 2 2 を挿通する。製造装置は、第 1 リードフレーム 4 の貫通孔 H 3、H 4 にも、金属柱 2 3、2 4 をそれぞれ挿通する（図 3 B、図 3 C 参照）。

【 0 0 3 6 】

この工程では、製造装置は、金属柱 2 1 を貫通孔 H 1 に深く挿通してその先端を半導体チップ 2 のおもて面 2 1 a に接触させる。製造装置は、金属柱 2 2 を貫通孔 H 2 に深く挿通してその先端を第 2 回路層 1 4 の配線部 1 4 2 に接触させる。なお、金属柱 2 2 の先端は、配線部 1 4 2 上のはんだ 1 5 と接触する。製造装置は、金属柱 2 3 を貫通孔 H 3 に深く挿通してその先端を半導体チップ 3 のおもて面 3 a に接触させる。製造装置は、金属柱 2 4 を貫通孔 H 4 に深く挿通してその先端を第 1 回路層 1 3 の配線部 1 3 2 に接触させる。

20

【 0 0 3 7 】

次に、図 9 に示すように、製造装置は、貫通孔 H 1 から H 4 の周囲と、半導体チップ 2 のおもて面 2 a であって金属柱 2 1 と接する領域の周囲と、半導体チップ 3 のおもて面 3 a であって金属柱 2 3 と接する領域の周囲と、にそれぞれはんだ 3 1 を塗布する。なお、第 2 回路層 1 4 の配線部 1 4 2 であって金属柱 2 2 と接する領域の周囲には、はんだ 1 5 が予め塗布されている。第 1 回路層 1 3 の配線部 1 3 2 であって金属柱 2 4 と接する領域の周囲にも、はんだ 1 5 が予め塗布されている（図 3 C 参照）。

【 0 0 3 8 】

次に、図 1 0 に示すように、製造装置は、はんだ 1 5、3 1 を熔融させる。固化したはんだ 1 5 を介して、半導体チップ 2 の裏面 2 b は第 1 回路層 1 3 の電極部 1 3 1 に接合され、半導体チップ 3 の裏面 3 b は第 2 回路層 1 4 の電極部 1 4 1 に接合される（図 3 B 参照）。はんだ 1 5 を介して、金属柱 2 2 は、第 2 回路層 1 4 の配線部 1 4 2 に接合される。はんだ 3 1 を介して、第 1 リードフレーム 4 と金属柱 2 1 から 2 4 とがそれぞれ接合される。

30

はんだ 3 1 を介して、半導体チップ 2 のおもて面 2 a と金属柱 2 1 とが接合され、半導体チップ 3 のおもて面 3 a と金属柱 2 3 とが接合され、第 1 回路層 1 3 の配線部 1 3 2 と金属柱 2 4 とが接合される。この工程により、第 1 リードフレーム 4 は金属柱 2 1 から 2 4 を介して絶縁回路基板 1 に固定される。

40

【 0 0 3 9 】

次に、図 1 1 に示すように、製造装置は、第 1 リードフレーム 4 が固定された絶縁回路基板 1 をワイヤーボンディング装置 2 0 2 に取り付ける。次に、製造装置は、制御チップ 6 1、6 2 を搭載した第 2 リードフレーム 5 を、ワイヤーボンディング装置 2 0 2 に取り付ける。

次に、図 1 2 に示すように、製造装置は、金属ワイヤー 7 1 の一端を半導体チップ 2 に接合し、金属ワイヤー 7 1 の他端を制御チップ 6 1 に接合する。この工程により、半導体チップ 2 と制御チップ 6 1 とを電氣的に接続する。製造装置は、金属ワイヤー 7 2 の一端を半導体チップ 3 に接合し、金属ワイヤー 7 2 の他端を制御チップ 6 2 に接合する。この工程により、半導体チップ 3 と制御チップ 6 2 とを電氣的に接続する。

50

【0040】

次に、図13に示すように、製造装置は、ワイヤーボンディング後の、絶縁回路基板1、第1リードフレーム4及び第2リードフレーム5を含む構造体を、金型205に取り付ける。例えば、金型205は、上金型203と下金型204とを有する。製造装置は、下金型204の内側に絶縁回路基板1が配置するとともに、絶縁回路基板1に固定された第1リードフレーム4を下金型204上に配置する。製造装置は、第2リードフレーム5も下金型204上に配置する。

【0041】

次に、製造装置は、下金型204に上金型203を接近させて、第1リードフレーム4及び第2リードフレーム5を上金型203と下金型204とで挟持する。次に、製造装置は、上金型203と下金型204とで囲まれるキャビティの内側206に溶融している樹脂（以下、溶融樹脂）を注入し、硬化させる。この工程により、図14に示すように、封止樹脂8が形成される。封止樹脂8によって、絶縁回路基板1のおもて面1aと、金属柱21から24と、半導体チップ2、3と、第1リードフレーム4においてキャビティの内側206に位置する部分と、第2リードフレーム5においてキャビティの内側206に位置する部分とが封止される。

10

【0042】

次に、図14に示すように、製造装置は、第1リードフレーム4において封止樹脂8から露出している部分と、第2リードフレーム5において封止樹脂8から露出している部分とを屈曲させて、所定形状に成形する。以上の工程を経て、半導体装置100が完成する。

20

以上説明したように、本発明の実施形態1に係る半導体装置100は、回路基板（例えば、絶縁回路基板1）と、第1半導体チップ（例えば、上アームの半導体チップ2）と、板状の出力端子41と、第1金属柱（例えば、金属柱21）と、第2金属柱（例えば、金属柱22）と、を備える。

【0043】

絶縁回路基板1は、第1面（例えば、おもて面1a）及びおもて面1aの反対側の第2面（例えば、裏面2b）を有し、おもて面1a側に第1回路層13及び第2回路層14を有する。半導体チップ2は、第3面（例えば、おもて面2a）及びおもて面2aの反対側の第4面（例えば、裏面2b）を有し、第1回路層13上に裏面2bが取り付けられる。出力端子41は、第1貫通孔（例えば、貫通孔H1）及び第2貫通孔（例えば、貫通孔H2）を有し、絶縁回路基板1のおもて面1aと対向して配置され、絶縁回路基板1の面方向における第1方向（例えば、Y軸方向）に延在する。金属柱21は、出力端子41の貫通孔H1に挿通され、半導体チップ2のおもて面2aと出力端子41とを電氣的に接続する。金属柱22は、出力端子41の貫通孔H2に挿通され、第2回路層14と出力端子41とを電氣的に接続する。

30

【0044】

この構造により、出力端子41に反り等の変形が生じて、出力端子41と半導体チップ2のおもて面2aとの間の距離にばらつきが生じた場合でも、金属柱21が貫通孔H1に深く挿通されることで、金属柱21は半導体チップ2のおもて面2aに接触することができ、出力端子41と半導体チップ2とを電氣的に接続することができる。同様に、出力端子41に反り等の変形が生じて、出力端子41と第2回路層14との間の距離にばらつきが生じた場合でも、金属柱22が貫通孔H2に深く挿通されることで、金属柱22は第2回路層14に接触することができ、出力端子41と第2回路層14とを電氣的に接続することができる。

40

【0045】

半導体装置100では、出力端子41と半導体チップ2との間に金属柱21が介在することによって、出力端子41と半導体チップ2との間の距離の自由度が高められている。半導体装置100では、出力端子41と第2回路層14との間に金属柱22が介在することによって、出力端子41と第2回路層14との間の距離の自由度が高められている。この構造により、半導体装置100は、出力端子41と半導体チップ2との電氣的接続の信

50

頼性と、出力端子 4 1 と第 2 回路層 1 4 との電氣的接続の信頼性とを向上させることができる。

貫通孔 H 1 及び貫通孔 H 2 は、Y 軸方向において離れて、出力端子 4 1 に配置されている。この構造により、金属柱 2 1、2 2 も、Y 軸方向において離れて配置される。

【 0 0 4 6 】

半導体装置 1 0 0 は、Y 軸方向に延在する板状の正端子 4 2 を備える。正端子 4 2 は、第 3 貫通孔（例えば、貫通孔 H 4）を有し、絶縁回路基板 1 のおもて面 1 a と対向して配置される。出力端子 4 1 及び正端子 4 2 は、Y 軸方向に対して直交する第 2 方向（例えば、X 軸方向）に並んでいる。この構造により、貫通孔 H 4 に金属柱 2 4 が挿通されることで、正端子 4 2 と絶縁回路基板 1 の配線部 1 3 2 とが電氣的に接続される。半導体装置 1 0 0 は、正端子 4 2 を有する上アームを構成することができる。

10

【 0 0 4 7 】

正端子 4 2 と第 1 回路層 1 3 との間に金属柱 2 4 が介在することによって、正端子 4 2 と第 1 回路層 1 3 との間の距離の自由度が高められている。この構造により、半導体装置 1 0 0 は、正端子 4 2 と第 1 回路層 1 3 との電氣的接続の信頼性を向上させることができる。

第 2 回路層 1 4 は、Y 軸方向に対して直交する X 軸方向に延在された、第 2 配線部（例えば、配線部 1 4 2）を含む。配線部 1 4 2 は平面視において出力端子 4 1 と交差している。この構造により、複数の出力端子 4 1 と複数の配線部 1 4 2 は、平面視で格子状を成すように配置される。

20

【 0 0 4 8 】

半導体装置 1 0 0 は、Y 軸方向に延在する板状の負端子 4 3 と、第 3 金属柱（例えば、金属柱 2 3）と、を備える。負端子 4 3 は、第 2 回路層 1 4 に取り付けられた第 2 半導体チップ（例えば、下アームの半導体チップ 3）と、第 4 貫通孔（例えば、貫通孔 H 3）を有し、絶縁回路基板 1 のおもて面 1 a と対向して配置される。金属柱 2 3 は、貫通孔 H 3 に挿通され、半導体チップ 3 と負端子 4 3 とを電氣的に接続する。この構造により、半導体装置 1 0 0 は、負端子 4 3 を有する下アームを構成することができる。

【 0 0 4 9 】

負端子 4 3 と半導体チップ 3 との間に金属柱 2 3 が介在することによって、負端子 4 3 と半導体チップ 3 との間の距離の自由度が高められている。この構造により、半導体装置 1 0 0 は、負端子 4 3 と半導体チップ 2 との電氣的接続の信頼性を向上させることができる。

30

第 1 回路層 1 3 は、Y 軸方向に延在された第 1 配線部（例えば、配線部 1 3 2）を含む。正端子 4 2 が、配線部 1 3 2 と対向する。この構造により、正端子 4 2 は、金属柱 2 4 を介して配線部 1 3 2 と電氣的に接続される。

【 0 0 5 0 】

半導体装置 1 0 0 は、回路 A（例えば、u 相の回路）及び回路 B（例えば、v 層の回路）を備える。第 1 半導体チップ（例えば、半導体チップ 2）は、第 1 半導体チップ A（例えば、半導体チップ 2 u）及び第 1 半導体チップ B（例えば、半導体チップ 2 v）を含む。出力端子 4 1 は、出力端子 A（例えば、出力端子 4 1 u）及び出力端子 B（例えば、出力端子 4 1 v）を含む。第 1 金属柱（例えば、金属柱 2 1）は、第 1 金属柱 A（例えば、金属柱 2 1 u）及び第 1 金属柱 B（例えば、金属柱 2 1 v）を含む。第 2 金属柱（例えば、金属柱 2 2）は、第 2 金属柱 A（例えば、金属柱 2 2 u）及び第 2 金属柱 B（例えば、金属柱 2 2 v）を含む。第 2 回路層 1 4 は、第 2 回路層 A（例えば、第 2 回路層 1 4 u）及び第 2 回路層 B（例えば、第 2 回路層 1 4 v）を含む。第 2 回路層 1 4 u は、X 軸方向に延在された第 2 配線部 A（例えば、配線部 1 4 2 u）を含む。第 2 回路層 1 4 v は、X 軸方向に延在された第 2 配線部 B（例えば、配線部 1 4 2 v）を含む。

40

【 0 0 5 1 】

u 相の回路では、出力端子 4 1 u の貫通孔 H 1 に金属柱 2 1 u が挿通され、出力端子 4 1 u と半導体チップ 2 u とが金属柱 2 1 u を介して電氣的に接続され、かつ、出力端子 4

50

1 u の貫通孔 H 2 に金属柱 2 2 u が挿通され、第 2 回路層 1 4 u の配線部 1 4 2 u と出力端子 4 1 u とが金属柱 2 2 u を介して電氣的に接続されている。v 相の回路では、出力端子 4 1 v の貫通孔 H 1 に金属柱 2 1 v が挿通され、出力端子 4 1 v と半導体チップ 2 v とが金属柱 2 1 v を介して電氣的に接続され、かつ、出力端子 4 1 v の貫通孔 H 2 に金属柱 2 2 v が挿通され、第 2 回路層 1 4 v の配線部 1 4 2 v と出力端子 4 1 v とが金属柱 2 2 v を介して電氣的に接続されている。

【 0 0 5 2 】

この構造によれば、u 相の回路では、半導体チップ 2 u の上面電極と半導体チップ 3 u の下面電極とが、金属柱 2 1 u、出力端子 4 1 u、金属柱 2 2 u 及び第 2 回路層 1 4 u を介して電氣的に接続される。v 相の回路では、半導体チップ 2 v の上面電極と半導体チップ 3 v の下面電極とが、金属柱 2 1 v、出力端子 4 1 v、金属柱 2 2 v 及び第 2 回路層 1 4 v を介して電氣的に接続される。半導体チップ 2 u、3 u は互いに直列に接続され、半導体チップ 2 v、3 v は互いに直列に接続されるので、半導体装置 1 0 0 は、2 相以上のインバータ回路を構成することができる。

【 0 0 5 3 】

金属柱 2 1 及び金属柱 2 2 は、互いに同一の形状で同一の大きさを有し、同一の材料で構成されている。この構造により、金属柱 2 1、2 2 として、共通の部品を用いることができる。部品点数の低減に寄与する。

絶縁回路基板 1 は、裏面 2 b 側の基材（例えば、ベース基板 1 1）と、ベース基板 1 1 と接し、ベース基板 1 1 とは熱伝導率が異なる材料で構成された絶縁層 1 2 と、を有する。絶縁層 1 2 上に第 1 回路層 1 3 及び第 2 回路層 1 4 が設けられている。この構造により、絶縁層 1 2 は、第 1 回路層 1 3 及び第 2 回路層 1 4 とベース基板との間を絶縁する。このため、ベース基板として金属製の基板を用いることができる。金属製の基板は熱伝導率が高く、放熱板として機能することができる。例えば、ベース基板 1 1 として、アルミニウム、又はアルミニウムを主成分とするアルミニウム合金で構成される基板を用いることができる。

【 0 0 5 4 】

半導体装置 1 0 0 は、絶縁回路基板 1 のおもて面 1 a 側を覆う封止体（例えば、封止樹脂 8）、を備える。出力端子 4 1、正端子 4 2 及び負端子 4 3 を含む第 1 リードフレーム 4 の一端が封止樹脂 8 から突き出ている。この構造により、封止樹脂 8 で封止されたインバータ回路 5 0 は、第 1 リードフレーム 4 を介して、外部装置との間で信号を入出力することができる。

半導体装置 1 0 0 は、半導体チップ 2 から離れて配置される制御素子（例えば、制御チップ 6 1）と、一端が制御チップ 6 1 に接合され、他端が半導体チップ 2 のおもて面 2 a に接合された第 1 金属ワイヤー（例えば、金属ワイヤー 7 1）と、を備える。この構造により、金属ワイヤー 7 1 を介して、制御チップ 6 1 から半導体チップ 2 に制御信号（例えば、ゲート信号）が供給される。

【 0 0 5 5 】

（実施形態 2）

上記の実施形態 1 では、絶縁回路基板 1 のおもて面 1 a 側が封止樹脂 8 で覆われて封止されることを説明した。しかしながら、本発明の実施形態において、パッケージの構成はこの態様に限定されない。

図 1 6 は、本発明の実施形態 2 に係る半導体装置の構成例を示す断面図である。図 1 6 に示すように、実施形態 2 に係る半導体装置 1 0 0 A は、絶縁回路基板 1 のおもて面 1 a 側を覆う封止体として、インサートケース 8 A を備える。インサートケース 8 A は、半導体装置 1 0 0 A の外周部を構成するフレーム 8 1 と、フレーム 8 1 の内側に配置される封止樹脂 8 2 と、フレーム 8 1 を絶縁回路基板 1 に接着する接着剤 8 3 と、を有する。フレーム 8 1 は、エポキシ樹脂などの絶縁性樹脂で構成されている。フレーム 8 1 は、第 1 リードフレーム 4 及び第 2 リードフレーム 5 と一体化している。封止樹脂 8 2 は、例えばエポキシ樹脂である。

10

20

30

40

50

【 0 0 5 6 】

図 1 7 から図 2 5 は、本発明の実施形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。図 1 7 において、第 1 回路層 1 3 上に半導体チップ 2 が搭載され、第 2 回路層 1 4 上に半導体チップ 3 (図 1 A 参照) が搭載される工程までは、実施形態 1 と同じである。半導体チップ 2、3 が搭載された後、製造装置は、絶縁回路基板 1 0 の外周部に接着剤 8 3 を塗布する。

次に、図 1 8 に示すように、製造装置は、半導体チップ 2 のおもて面 2 a と、第 2 回路層 1 4 の配線部 1 4 2 とにはんだ 3 6 を塗布する。製造装置は、半導体チップ 3 のおもて面 3 a と、第 1 回路層 1 3 の配線部 1 3 2 にもはんだ 3 6 を塗布する。

【 0 0 5 7 】

次に、図 1 9 に示すように、製造装置は、絶縁回路基板 1 0 に接着剤 8 3 を介してリードフレーム一体化ケース 9 0 を取り付ける。リードフレーム一体化ケース 9 0 は、第 1 リードフレーム 4 及び第 2 リードフレーム 5 がフレーム 8 1 と一体化し、かつ、第 2 リードフレーム 5 のダイパッド 5 1 に制御チップ 6 1、6 2 が搭載された構造体である。リードフレーム一体化ケース 9 0 の製造方法は、後で説明する。

次に、図 2 0 製造装置は、第 1 リードフレーム 4 の貫通孔 H 1、H 2 に金属柱 2 1、2 2 をそれぞれ深く挿通する。製造装置は、第 1 リードフレーム 4 の貫通孔 H 3、H 4 (図 1 A 参照) にも、金属柱 2 3、2 4 をそれぞれ深く挿通する。次に、図 2 1 に示すように、製造装置は、貫通孔 H 1 から H 4 の周囲にそれぞれはんだ 3 7 を塗布する。

【 0 0 5 8 】

次に、図 2 2 に示すように、製造装置は、はんだ 1 5、3 6、3 7 を溶融させる。この工程により、はんだ 1 5 を介して、半導体チップ 2 と第 1 回路層 1 3 とが接合され、半導体チップ 3 は第 2 回路層 1 4 に接合される。また、はんだ 3 6 を介して、半導体チップ 2 と金属柱 2 1、第 2 回路層 1 4 の配線部 1 4 2 と金属柱 2 2、半導体チップ 3 と金属柱 2 3、第 1 回路層 1 3 の配線部 1 3 2 と金属柱 2 4、とがそれぞれ接合される。また、はんだ 3 7 を介して、第 1 リードフレーム 4 と金属柱 2 1 から 2 4 とが接合される。これらの接合により、第 1 リードフレーム 4 は、金属柱 2 1 から 2 4 を介して絶縁回路基板 1 に固定される。

【 0 0 5 9 】

次に、図 2 3 に示すように、製造装置は、金属ワイヤー 7 1 の一端を半導体チップ 2 に接合し、金属ワイヤー 7 1 の他端を制御チップ 6 1 に接合する。この工程により、半導体チップ 2 と制御チップ 6 1 とを電氣的に接続する。製造装置は、金属ワイヤー 7 2 の一端を半導体チップ 3 に接合し、金属ワイヤー 7 2 の他端を制御チップ 6 2 に接合する。この工程により、半導体チップ 3 と制御チップ 6 2 とを電氣的に接続する。

次に、図 2 4 に示すように、絶縁回路基板 1 を底部とするフレーム 8 1 内に溶融樹脂を注入し、硬化させる。この工程により、封止樹脂 8 2 が形成される。フレーム 8 1 と、封止樹脂 8 2 と接着剤 8 3 とで構成される、インサートケース 8 A が完成する。

【 0 0 6 0 】

次に、図 2 5 に示すように、製造装置は、第 1 リードフレーム 4 においてインサートケース 8 A から露出している部分と、第 2 リードフレーム 5 においてインサートケース 8 A から露出している部分とを屈曲させて、所定形状に成形する。以上の工程を経て、半導体装置 1 0 0 A が完成する。

次に、図 1 9 に示したリードフレーム一体化ケース 9 0 の製造方法を説明する。図 2 6 から図 2 9 は、本発明の実施形態 2 に係るリードフレーム一体化ケースの製造方法を工程順に示す断面図である。

【 0 0 6 1 】

図 2 6 に示すように、まず、第 1 リードフレーム 4 及び第 2 リードフレーム 5 が用意される。次に、製造装置は、第 1 リードフレーム 4 及び第 2 リードフレーム 5 を金型 3 0 5 に取り付ける。例えば、金型 3 0 5 は、上金型 3 0 3 と下金型 3 0 4 とを有する。第 1 リードフレーム 4 と第 2 リードフレーム 5 は、上金型 3 0 3 と下金型 3 0 4 とに挟持される

10

20

30

40

50

。次に、製造装置は、上金型 303 と下金型 304 とで囲まれるキャビティの内側 306 に溶融樹脂を注入し、硬化させる。この工程により、図 28 に示すように、フレーム 81 が形成される。溶融樹脂は、第 1 リードフレーム 4 及び第 2 リードフレーム 5 と接触した状態で硬化する。このため、フレーム 81 は、第 1 リードフレーム 4 及び第 2 リードフレーム 5 と一体化している。

次に、図 29 に示すように、製造装置は、第 2 リードフレーム 5 のダイパッド 51 に、はんだ 65 を介して制御チップ 61、62 を取り付ける。このような工程を経て、リードフレーム一体化ケース 90 が完成する。

【0062】

以上説明したように、本発明の実施形態 2 に係る半導体装置 100A によれば、実施形態 1 で説明した半導体装置 100 と同様に、出力端子 41 と半導体チップ 2 との間に金属柱 21 が介在することによって、出力端子 41 と半導体チップ 2 との間の距離の自由度が高められている。出力端子 41 と第 2 回路層 14 との間に金属柱 22 が介在することによって、出力端子 41 と第 2 回路層 14 との間の距離の自由度が高められている。

10

【0063】

正端子 42 と第 1 回路層 13 との間に金属柱 24 が介在することによって、正端子 42 と第 1 回路層 13 との間の距離の自由度が高められている。負端子 43 と半導体チップ 3 との間に金属柱 23 が介在することによって、負端子 43 と半導体チップ 3 との間の距離の自由度が高められている。この構造により、半導体装置 100A は、出力端子 41、正端子 42 及び負端子 43 を含む第 1 リードフレーム 4 と、絶縁回路基板 1 又は半導体チップ 2、3 との間の電氣的接続の信頼性を向上させることができる。

20

【0064】

半導体装置 100A は、絶縁回路基板 1 のおもて面 1a 側を覆う封止体として、インサートケース 8A を備える。出力端子 41、正端子 42 及び負端子 43 を含む第 1 リードフレーム 4 の一端は、インサートケース 8A のフレーム 81 から突き出ている。このような構成であっても、絶縁回路基板 1 のおもて面 1a 側は封止される。インサートケース 8A で封止されたインバータ回路 50 は、第 1 リードフレーム 4 を介して、外部装置との間で信号を入出力することができる。

【0065】

本発明の実施形態 2 に係る半導体装置の製造方法は、出力端子 41、正端子 42 及び負端子 43 を含む第 1 リードフレーム 4 と一体化したフレーム（例えば、リードフレーム一体化ケース 90）を用意する工程、を備える。製造装置は、リードフレーム一体化ケース 90 を絶縁回路基板 1 のおもて面 1a 側に取り付け、リードフレーム一体化ケース 90 の内側に溶融樹脂を注入する。溶融樹脂の注入とその後の硬化により、製造装置は、絶縁回路基板 1 のおもて面 1a と、金属柱 21 と、金属柱 22 と、第 1 リードフレーム 4 においてリードフレーム一体化ケース 90 の内側に延在する部分とを封止する封止体として、インサートケース 8A を形成することができる。

30

【0066】

（実施形態 3）

上記の実施形態 1、2 では、出力端子 41 と半導体チップ 2 とが金属柱 21 を介して電氣的に接続されることを説明した。負端子 43 と半導体チップ 3 とが金属柱 23 を介して電氣的に接続されることを説明した。しかしながら、本発明の実施形態において、リードフレームと半導体チップとの電氣的接続は、金属柱を介した接続に限定されない。例えば、リードフレームと半導体チップとの電氣的接続は、金属ワイヤーを介した接続であってもよい。

40

【0067】

図 30 は、本発明の実施形態 3 に係る半導体装置の構成例を示す断面図である。図 30 に示すように、実施形態 3 に係る半導体装置 150 は、出力端子 41 と半導体チップ 2 とを電氣的に接続する第 2 金属ワイヤー（例えば、金属ワイヤー 77）を備える。金属ワイヤー 77 は、A1 又は A1 合金で構成されている。金属ワイヤー 77 の一端は出力端子 4

50

1に接合されている。金属ワイヤー77の他端は半導体チップ2のおもて面2aに接合されている。この構造により、出力端子41は、金属ワイヤー77を介して、半導体チップ2のおもて面2a側に位置するエミッタ電極（又は、ソース電極）に電氣的に接続されている。

このような態様であっても、出力端子41と第2回路層14との間に金属柱22が介在することによって、出力端子41と第2回路層14との間の距離の自由度が高められている。この構造により、半導体装置100は、出力端子41と第2回路層14との電氣的接続の信頼性とを向上させることができる。

【0068】

（その他の実施形態）

上記のように、本発明は実施形態及び変形例によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、変形例が明らかとなろう。

【0069】

例えば、上記の実施形態では、半導体チップ2、3がIGBT又はMOSFETであることを説明したが、半導体チップ2、3のゲート絶縁膜は、シリコン酸化膜（SiO₂膜）に限定されるものではなく、他の絶縁膜であってもよい。ゲート絶縁膜には、シリコン窒化（SiON）膜、ストロンチウム酸化物（SrO）膜、シリコン窒化物（Si₃N₄）膜、アルミニウム酸化物（Al₂O₃）膜も使用可能である。ゲート絶縁膜には、単層の絶縁膜をいくつか積層した複合膜等も使用可能である。ゲート絶縁膜としてSiO₂膜以外の絶縁膜を用いたMOSFETは、MIS（metal insulator semiconductor）FETと呼んでもよい。MISFETは、MOSFETを含む、より包括的な絶縁ゲート型トランジスタを意味する。

【符号の説明】

【0070】

- 1 絶縁回路基板
- 1a、2a、3a おもて面
- 1b、2b、3b 裏面
- 2、2u、2v、2w、3、3u、3v、3w 半導体チップ
- 4 第1リードフレーム
- 5 第2リードフレーム
- 8 封止樹脂
- 8A インサートケース
- 10 絶縁回路基板
- 11 ベース基板
- 12 絶縁層
- 13 第1回路層
- 14、14u、14v、14w 第2回路層
- 21、21u、21v、21w、22、22u、22v、22w、23、23u、23v、23w、24 金属柱
- 41、41u、41v、41w 出力端子
- 42 正端子（P端子）
- 43、43u、43v、43w 負端子（N端子）
- 50 インバータ回路
- 51 ダイパッド
- 52 外部端子
- 60 制御回路
- 61、62 制御チップ
- 71、72、73、77 金属ワイヤー
- 81 フレーム

10

20

30

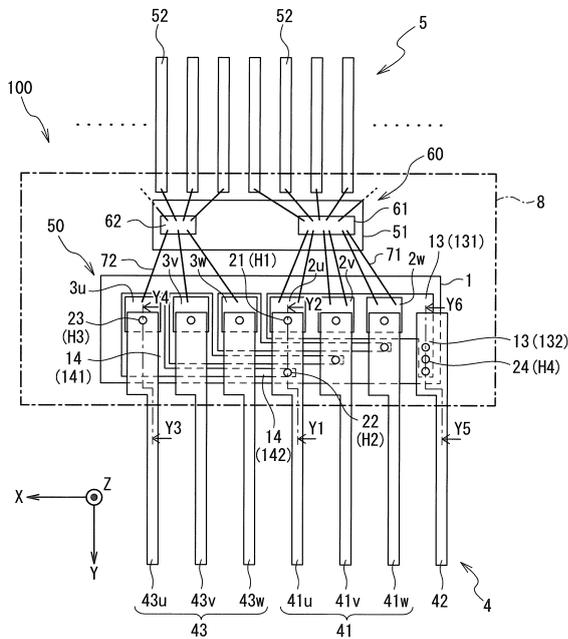
40

50

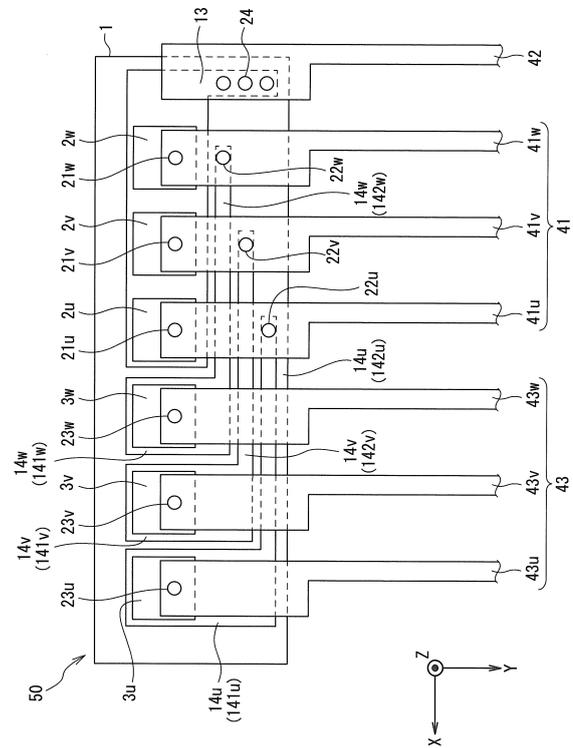
- 8 2 封止樹脂
- 8 3 接着剤
- 9 0 リードフレーム一体化ケース
- 1 0 0、1 0 0 A、1 5 0 半導体装置
- 1 3 1、1 4 1、1 4 1 u、1 4 1 v、1 4 1 w 電極部
- 1 3 2、1 4 2、1 4 2 u、1 4 2 v、1 4 2 w 配線部
- 2 0 1 治具
- 2 0 2 ワイヤーボンディング装置
- 2 0 3、3 0 3 上金型
- 2 0 4、3 0 4 下金型
- 2 0 5、3 0 5 金型
- 2 0 6、3 0 6 キャビティの内側
- a、b、c 接続点
- FWD フリーホイールダイオード
- H 1、H 2、H 3、H 4 貫通孔
- M 負荷

【図面】

【図 1 A】



【図 1 B】



10

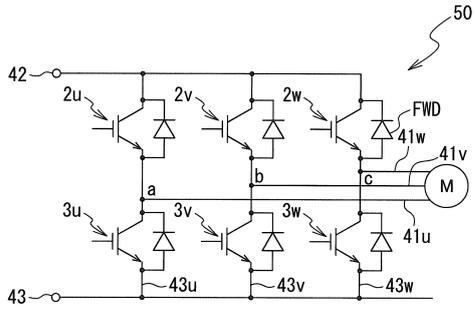
20

30

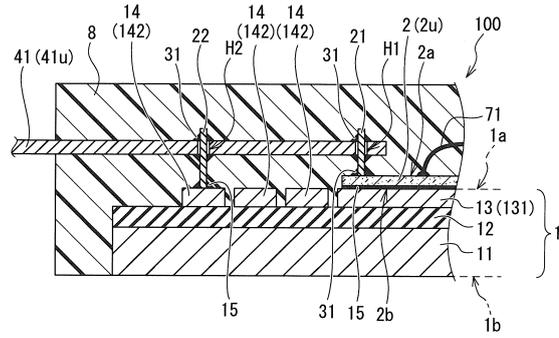
40

50

【図 2】

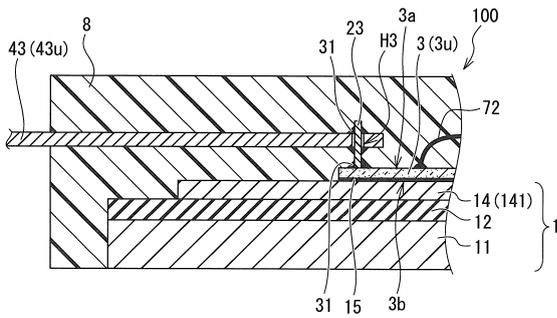


【図 3 A】

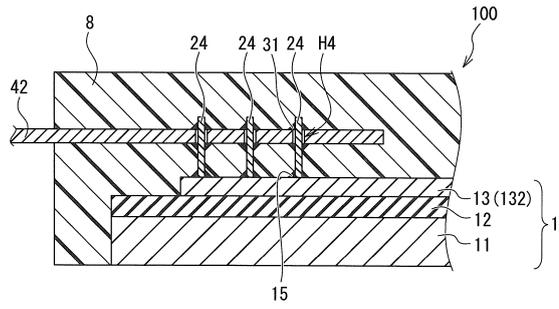


10

【図 3 B】

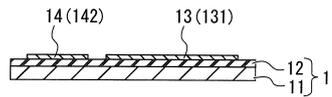


【図 3 C】

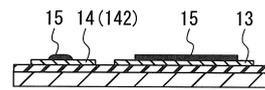


20

【図 4】



【図 5】

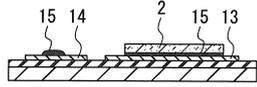


30

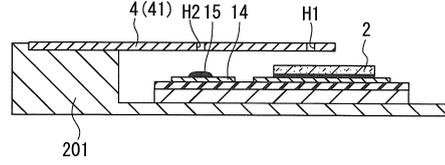
40

50

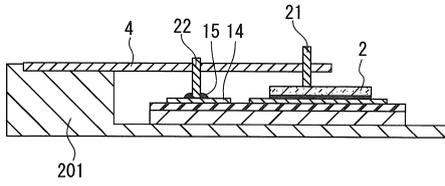
【図 6】



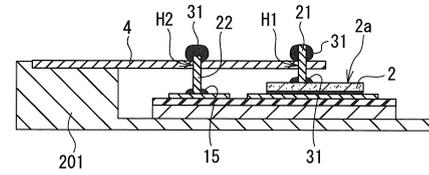
【図 7】



【図 8】

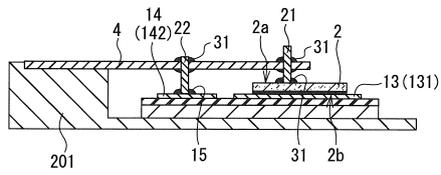


【図 9】

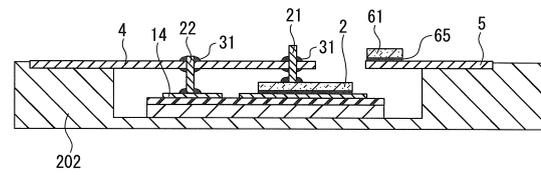


10

【図 10】

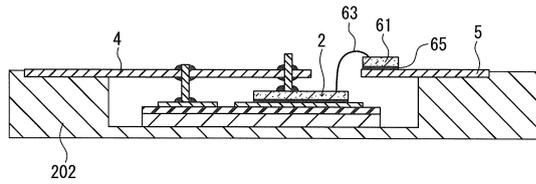


【図 11】

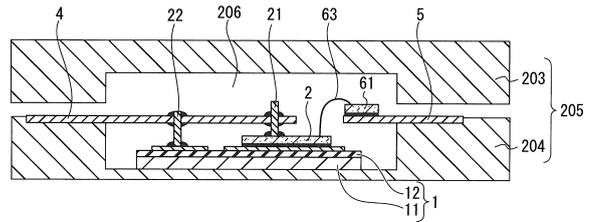


20

【図 12】



【図 13】

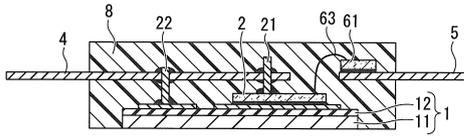


30

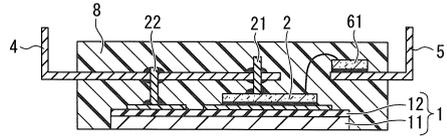
40

50

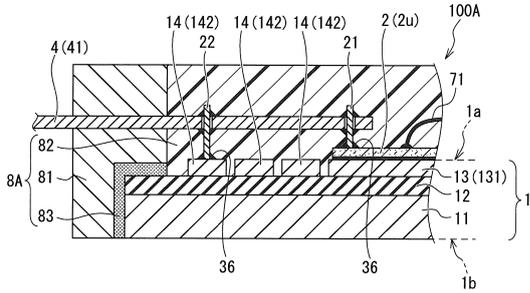
【図 14】



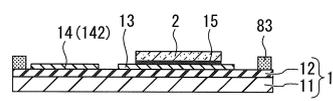
【図 15】



【図 16】

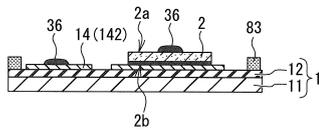


【図 17】

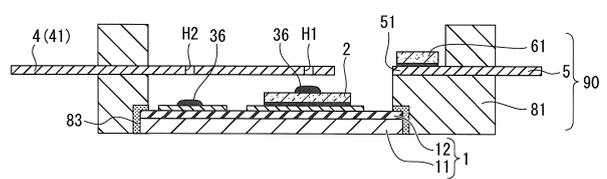


10

【図 18】

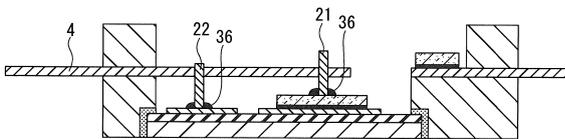


【図 19】

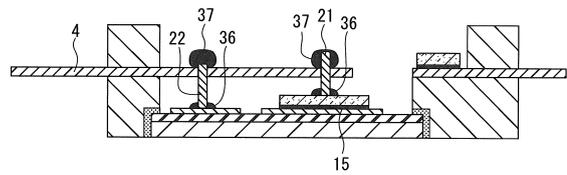


20

【図 20】



【図 21】

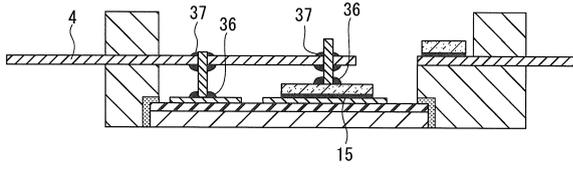


30

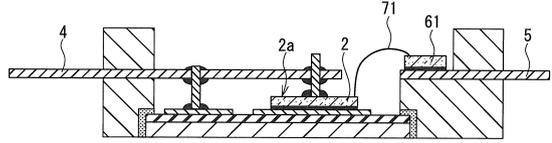
40

50

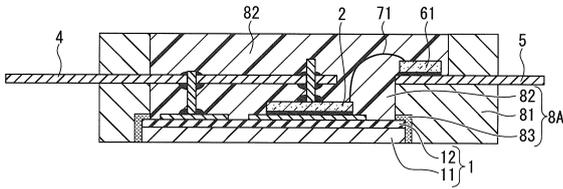
【図 2 2】



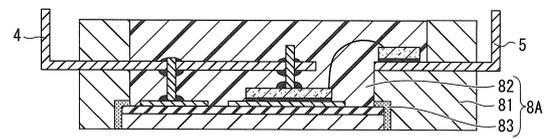
【図 2 3】



【図 2 4】

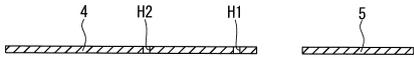


【図 2 5】

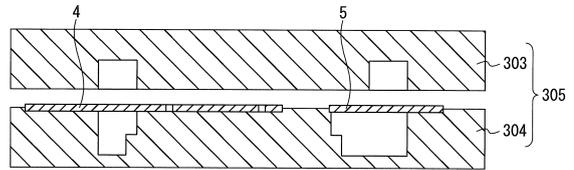


10

【図 2 6】

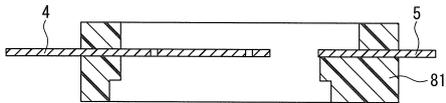


【図 2 7】

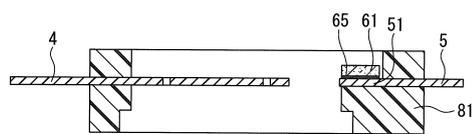


20

【図 2 8】



【図 2 9】

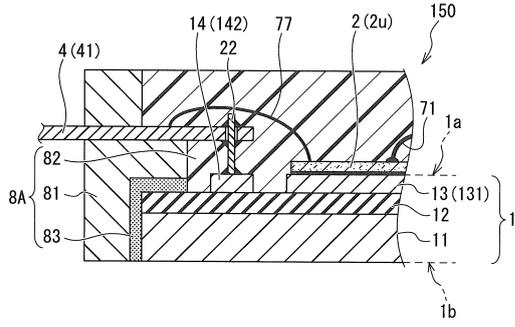


30

40

50

【図 30】



10

20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2017/168756(WO,A1)
特開2014-078564(JP,A)
特開2009-064852(JP,A)
特開2016-066700(JP,A)
国際公開第2014/199764(WO,A1)
特開2014-078646(JP,A)
国際公開第2018/061517(WO,A1)
特開2002-203942(JP,A)
登録実用新案第3198019(JP,U)

- (58)調査した分野 (Int.Cl., DB名)
H01L 25/07
H01L 23/48