



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월07일
(11) 등록번호 10-2450576
(24) 등록일자 2022년09월29일

- (51) 국제특허분류(Int. Cl.)
H01L 23/522 (2006.01) H01L 23/31 (2006.01)
H01L 23/48 (2006.01) H01L 23/482 (2006.01)
H01L 23/495 (2006.01)
- (52) CPC특허분류
H01L 23/522 (2013.01)
H01L 23/3178 (2013.01)
- (21) 출원번호 10-2016-0008249
- (22) 출원일자 2016년01월22일
심사청구일자 2020년10월14일
- (65) 공개번호 10-2017-0088194
- (43) 공개일자 2017년08월01일
- (56) 선행기술조사문헌
JP2013236105 A*
JP2016004888 A*
US20160020175 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
백용호
경기도 수원시 영통구 매영로 150 (매탄동)
김상근
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)
- (74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 10 항

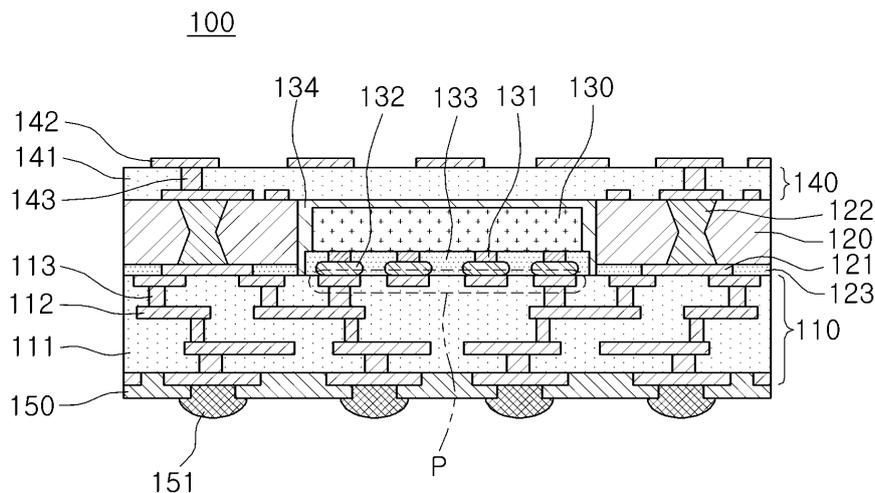
심사관 : 정구원

(54) 발명의 명칭 전자 부품 패키지 및 그 제조방법

(57) 요약

본 발명의 일 실시 형태에 따른 전자 부품 패키지는 각각 절연층, 상기 절연층에 형성된 도전성 패턴 및 상기 절연층을 관통하여 상기 도전성 패턴과 연결된 도전성 비아를 포함하는 제1 및 제2 배선부와, 상기 제1 및 제2 배선부 사이에 배치되며 하나 이상의 관통 홀과 상기 제1 및 제2 배선부를 전기적으로 연결하는 도전성 연결부를 갖는 프레임 및 상기 관통 홀에 둘러싸이도록 배치되어 상기 제1 배선부와 접속된 전자 부품을 포함하며, 상기 제1 배선부의 도전성 패턴 중 상기 전자 부품 측에 형성된 것은 상기 제1 배선부의 절연층에 매립된 형태이다.

대표도 - 도3



(52) CPC특허분류

H01L 23/481 (2013.01)

H01L 23/4828 (2013.01)

H01L 23/495 (2013.01)

(72) 발명자

김예정

경기도 수원시 영통구 매영로 150 (매탄동)

이재연

경기도 수원시 영통구 매영로 150 (매탄동)

최재훈

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

각각 절연층, 상기 절연층에 형성된 도전성 패턴 및 상기 절연층을 관통하여 상기 도전성 패턴과 연결된 도전성 비아를 포함하는 제1 및 제2 배선부;

상기 제1 및 제2 배선부 사이에 배치되며 하나 이상의 관통 홀과 상기 제1 및 제2 배선부를 전기적으로 연결하는 도전성 연결부를 갖는 프레임;

상기 관통 홀에 둘러싸이도록 배치되어 상기 제1 배선부와 접속된 전자 부품; 및

상기 제1 배선부와 상기 프레임 사이에서 상기 관통 홀의 주변 영역에 형성된 식각 저지층;을 포함하며,

상기 제1 배선부의 도전성 패턴 중 상기 전자 부품 측에 형성된 것은 상기 제1 배선부의 절연층에 매립된 형태인 전자 부품 패키지.

청구항 2

제1항에 있어서,

상기 관통 홀에 충전된 봉합재를 더 포함하는 전자 부품 패키지.

청구항 3

제1항에 있어서,

상기 제1 배선부에서 상기 절연층에 매립된 도전성 패턴은 매립되지 않은 것보다 피치가 더 작은 것을 특징으로 하는 전자 부품 패키지.

청구항 4

제1항에 있어서,

상기 전자 부품은 이에 구비된 전극 패드가 상기 제1 배선부를 향하도록 배치된 것을 특징으로 하는 전자 부품 패키지.

청구항 5

제1항에 있어서,

상기 프레임은 프리프레그로 이루어지며, 상기 제1 및 제2 배선부는 광 경화성 물질을 포함하는 것을 특징으로 하는 전자 부품 패키지.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

제1항에 있어서,

상기 식각 지지층은 금속으로 이루어지며 상기 전자 부품과 전기적으로 분리된 것을 특징으로 하는 전자 부품 패키지.

청구항 12

제1항에 있어서,

상기 프레임은 다층 구조를 갖는 것을 특징으로 하는 전자 부품 패키지.

청구항 13

제12항에 있어서,

상기 도전성 연결부는 상기 다층 구조의 프레임의 각층을 각각 관통하도록 형성되며 상기 각층의 도전성 연결부는 상부에서 하부로 갈수록 폭이 좁아지는 형상을 갖는 것을 특징으로 하는 전자 부품 패키지.

청구항 14

제1항에 있어서,

상기 제1 배선부 내에 매립된 추가적인 전자 부품을 더 포함하는 전자 부품 패키지.

청구항 15

제14항에 있어서,

상기 전자 부품은 능동 소자이며, 상기 추가적인 전자 부품은 수동 소자인 것을 특징으로 하는 전자 부품 패키지.

발명의 설명

기술 분야

본 발명은 전자 부품 패키지 및 그 제조방법에 관한 것이다.

배경 기술

[0001]

[0002] 전자 부품 패키지는 전자 부품을 회로 기판(Printed Circuit Board: PCB), 예를 들면, 전자 기기의 메인 보드에 전기적으로 접속하는 한편, 외부의 충격으로부터 전자 부품을 보호하는 등의 기능을 한다. 한편, 최근 전자 부품에 관한 기술 개발의 주요한 추세 중의 하나는 부품의 크기를 축소하는 것이며, 이에 패키지 분야에서도 소형 전자 부품 등의 수요 급증에 따라 소형의 크기를 가지면서 다수의 핀을 구현하는 것이 요구되고 있다.

[0003] 상기와 같은 기술적 요구에 부합하기 제시된 패키지 기술 중의 하나가 웨이퍼 상에 형성된 전자 부품의 전극 패드의 재배선을 이용하는 웨이퍼 레벨 패키지(Wafer Level Package: WLP)이다. 웨이퍼 레벨 패키지에는 팬-인 웨이퍼 레벨 패키지(fan-in WLP)와 팬-아웃 웨이퍼 레벨 패키지(fan-out WLP)가 있으며, 특히 팬-아웃 웨이퍼 레벨 패키지의 경우 소형의 크기를 가지면서 다수의 핀을 구현함에 유용한바 최근 활발히 개발되고 있다.

[0004] 한편, 이러한 패키지를 제조하는 경우, 불량 여부를 가리기 위한 전기 검사가 필요한데 종래에는 IC 칩과 같은 전자 부품을 실장한 후 전기 검사를 수행하는 것이 일반적이었다. 이와 같이 전자 부품을 실장한 상태에서 전기 검사를 하는 경우 불량이 발생하면 패키지를 이루는 배선층 외에도 전자 부품까지 사용하지 못하게 되는바 이는 제조사 입장에서 매우 큰 손실을 발생시키는 요인이 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 다수의 전자 부품을 포함하면서도 컴팩트한 구조를 제공할 수 있으며, 나아가, 전자 부품을 실장 하기 전에 배선부에 대한 전기 검사가 가능함에 따라 제조 효율이 현저히 향상될 수 있는 전자 부품 패키지를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상술한 전자 부품 패키지를 효율적으로 제조할 수 있는 제조방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 과제를 해결하기 위한 방법으로, 본 발명은 일 형태를 통하여 전자 부품 패키지의 신규한 구조를 제안하고자 하며, 구체적으로, 각각 절연층, 상기 절연층에 형성된 도전성 패턴 및 상기 절연층을 관통하여 상기 도전성 패턴과 연결된 도전성 비아를 포함하는 제1 및 제2 배선부와, 상기 제1 및 제2 배선부 사이에 배치되며 하나 이상의 관통 홀과 상기 제1 및 제2 배선부를 전기적으로 연결하는 도전성 연결부를 갖는 프레임 및 상기 관통 홀에 둘러싸이도록 배치되어 상기 제1 배선부와 접속된 전자 부품을 포함하며, 상기 제1 배선부의 도전성 패턴 중 상기 전자 부품 측에 형성된 것은 상기 제1 배선부의 절연층에 매립된 형태이다.

발명의 효과

[0008] 본 발명의 일 실시 형태에서 제안하는 전자 부품 패키지를 사용함으로써 패키지의 사이즈를 줄일 수 있으며 다수의 전자 부품을 사용하는 경우에도 높은 활용성을 갖는다. 또한, 전자 부품을 실장 하기 전에 전기 검사가 가능하도록 함으로써 제조 효율을 현저히 향상시킬 수 있다. 나아가, 본 발명의 일 실시 형태의 제조방법을 사용함으로써 상술한 전자 부품 패키지를 효율적으로 제조할 수 있다.

도면의 간단한 설명

[0009] 도 1은 전자 기기 시스템의 예를 개략적으로 나타내는 블록도이다.
 도 2는 전자 기기에 적용된 전자 부품 패키지의 예를 개략적으로 도시한다.
 도 3은 전자 부품 패키지의 일 예를 개략적으로 나타내는 단면도이다.

도 4 내지 8은 본 발명의 일 실시 형태에 따른 전자 부품 패키지의 제조방법을 개략적으로 나타낸 것이다.

도 9 내지 12는 본 발명의 다른 실시 형태에 따른 전자 부품 패키지와 그 제조방법을 개략적으로 나타낸 것이다.

도 13은 전자 부품 패키지의 다른 예를 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0011] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0012] 전자 기기

[0013] 도 1은 전자 기기 시스템의 예를 개략적으로 나타내는 블록도이다. 도면을 참조하면, 전자 기기(1000)는 메인 보드(1010)를 수용한다. 메인 보드(1010)에는 칩 관련 부품(1020), 네트워크 관련 부품(1030), 및 기타 부품(1040) 등이 물리적 및/또는 전기적으로 연결되어 있다. 이들은 후술하는 다른 부품과도 결합되어 다양한 신호 라인(1090)을 형성한다.

[0014] 칩 관련 부품(1020)으로는 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩; 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩; 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 형태의 칩 관련 부품이 포함될 수 있음은 물론이다. 또한, 이들 부품(1020)이 서로 조합될 수 있음은 물론이다.

[0015] 네트워크 관련 부품(1030)으로는, Wi-Fi(IEEE 802.11 패밀리 등), WiMAX(IEEE 802.16 패밀리 등), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPS, GPRS, CDMA, TDMA, DECT, Bluetooth, 3G, 4G, 5G 및 그 이후의 것으로 지정된 임의의 다른 무선 및 유선 프로토콜들이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다수의 무선 또는 유선 표준들이나 프로토콜들 중의 임의의 것이 포함될 수 있음은 물론이다. 또한, 이들 부품(1030)이 상술한 칩 관련 부품(1020)과 더불어 서로 조합될 수 있음은 물론이다.

[0016] 기타 부품(1040)으로는, 고주파 인덕터, 페라이트 인덕터, 파워 인덕터, 페라이트 비즈, LTCC(low Temperature Co-Firing Ceramics), EMI(Electro Magnetic Interference) filter, MLCC(Multi-Layer Ceramic Condenser) 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다양한 용도를 위하여 사용되는 수동 부품 등이 포함될 수 있음은 물론이다. 또한, 이들 부품(1040)이 상술한 칩 관련 부품(1020) 및/또는 네트워크 관련 부품(1030)과 더불어 서로 조합될 수 있음은 물론이다.

- [0017] 전자 기기(1000)의 종류에 따라, 전자 기기(1000)는 메인 보드(1010)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품을 포함할 수 있다. 이 다른 부품은, 예를 들면, 카메라(1050), 안테나(1060), 디스플레이(1070), 배터리(1080), 오디오 코덱(미도시), 비디오 코덱(미도시), 전력 증폭기(미도시), 나침반(미도시), 가속도계(미도시), 자이로스코프(미도시), 스피커(미도시), 대량 저장 장치(예컨대, 하드디스크 드라이브)(미도시), CD(compact disk)(미도시), 및 DVD(digital versatile disk)(미도시) 등을 포함하며, 이에 한정되는 것은 아니고, 이 외에도 전자 기기(1000)의 종류에 따라 다양한 용도를 위하여 사용되는 기타 부품 등이 포함될 수 있음은 물론이다.
- [0018] 전자 기기(1000)는, 스마트 폰(smart phone), 개인용 정보 단말기(personal digital assistant), 디지털 비디오 카메라(digital video camera), 디지털 스틸 카메라(digital still camera), 네트워크 시스템(network system), 컴퓨터(computer), 모니터(monitor), 태블릿(tablet), 랩탑(laptop), 넷북(netbook), 텔레비전(television), 비디오 게임(video game), 스마트 워치(smart watch) 등일 수 있다. 다만, 이에 한정되는 것은 아니며, 이들 외에도 데이터를 처리하는 임의의 다른 전자 기기일 수 있음은 물론이다.
- [0019] 도 2는 전자 기기에 적용된 전자 부품 패키지의 예를 개략적으로 도시한다. 전자 부품 패키지는 상술한 바와 같은 다양한 전자 기기(1000)에 다양한 용도로써 적용된다. 예를 들면, 스마트 폰(1100)의 바디(1101) 내부에는 메인 보드(1110)가 수용되어 있으며, 상기 메인 보드(1110)에는 다양한 전자 부품(1120) 들이 물리적 및/또는 전기적으로 연결되어 있다. 또한, 카메라(1130)와 같이 메인 보드(1010)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품이 바디(1101) 내에 수용되어 있다. 이때, 상기 전자 부품(1120) 중 일부는 상술한 바와 같은 칩 관련 부품일 수 있으며, 전자 부품 패키지(100A)는, 예를 들면, 그 중 어플리케이션 프로세서일 수 있으나, 이에 한정되는 것은 아니다.
- [0020] 전자 부품 패키지 및 그 제조방법
- [0021] 도 3은 전자 부품 패키지의 일례를 개략적으로 나타내는 단면도이다. 본 실시 형태에 따른 전자 부품 패키지(100)는 제1 배선부(110), 프레임(120), 전자 부품(130) 및 제2 배선부(140)을 주요 구성 요소로서 포함한다.
- [0022] 제1 배선부(110)는 전자 부품(130)의 실장 영역으로 제공되며 전자 부품(130)과 전기적으로 연결된다. 제1 배선부(110)는 절연층(111), 도전성 패턴(112) 및 도전성 비아(113)를 포함하여 구성되며, 전자 부품(130)의 배선 구조를 재배선하는 기능 등을 수행할 수 있다. 도 1의 예에서는 제1 배선부(110)가 다층 구조를 갖는 것으로 표현되어 있지만, 필요에 따라 단층의 배선부로 구성될 수도 있다. 또한, 설계 사항에 따라서 더 많은 층을 가질 수도 있을 것이다.
- [0023] 절연층(111)에 포함될 수 있는 절연 물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들에 유리 섬유 또는 무기 필러와 같은 보강재가 함침된 수지, 예를 들면, 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), FR-4, BT(Bismaleimide Triazine) 수지 등이 사용될 수 있다. 또한, 절연 물질로서 광 경화성 물질(PID)을 사용하는 경우 절연층(111)을 보다 얇게 형성할 수 있고, 미세 패턴을 보다 용이하게 구현할 수 있다. 제1 배선부(110)에서 각 층을 이루는 절연층(111)은 서로 동일한 물질로 이루어질 수 있고, 필요에 따라서는 서로 상이할 수도 있다. 절연층(111)의 두께 역시 특별히 한정되지 않으며, 예를 들면, 각 층은 도전성 패턴(112)을 제외한 두께가 5 μ m 내지 20 μ m 정도, 도전성 패턴(112)의 두께를 고려하면 15 μ m 내지 70 μ m 정도일 수 있다.
- [0024] 도전성 패턴(112)은 배선 패턴 및/또는 패드 패턴의 역할을 수행하며, 형성 물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pd), 또는 이들의 합금 등의 전기 전도성 물질을 사용할 수 있다. 도전성 패턴(112)은 해당 층의 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 재배선 패턴으로써

그라운드(Ground) 패턴, 파워(Power) 패턴, 신호(Signal) 패턴 등의 역할을 수행할 수 있다. 여기서, 신호 패턴은 그라운드 패턴, 파워 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 또한, 패드 패턴으로써 비아 패드, 외부 접속 단자 패드 등의 역할을 수행할 수 있다. 도전성 패턴(112)의 두께 역시 특별히 한정되지 않으며, 예를 들면, 각각 10 μ m 내지 50 μ m 정도일 수 있다.

[0025] 본 실시 형태의 경우, 제1 배선부(110)의 도전성 패턴(112) 중 전자 부품(130) 측에 형성된 것(P)은 절연층(111)에 매립되어 있는 형태로 제공된다. 이 경우, 절연층(111)에 매립된 도전성 패턴(112)은 전자 부품(130)과 직접 연결된 것일 수 있으며, 이에 더하여 전자 부품(130)과 직접 연결된 도전성 패턴(P)과 동일 레벨에 있는 도전성 패턴(112), 즉, 프레임(120)과 직접 연결된 것 등을 포함할 수도 있다. 이러한 매립 패턴(P)의 경우, 돌출된 형태의 패턴과 비교하여 인접한 다른 패턴과의 단락 가능성이 더 낮기 때문에 상대적으로 좁은 간격으로 형성될 수 있다. 즉, 도전성 패턴(112) 중 절연층에 매립된 도전성 패턴(P)은 매립되지 않은 것보다 피치가 더 작게 구현될 수 있다. 이와 같이 매립 패턴(P)에 의하여 미세 패턴의 구현이 가능하며, 이에 따라 전자 부품(130) 등의 실장 밀도 향상, 패키지의 슬림화 등의 장점을 제공한다.

[0026] 한편, 도전성 패턴(112) 중 절연층(111)의 외부로 노출된 것, 예컨대, 전자 부품(130)과 접속되는 것에는 필요에 따라 표면처리 층이 더 형성될 수 있다. 상기 표면처리 층은 당해 기술분야에 공지된 것이라면 특별히 한정되는 것은 아니며, 예를 들어, 전해 금도금, 무전해 금도금, OSP 또는 무전해 주석도금, 무전해 은도금, 무전해 니켈도금/치환금도금, DIG 도금, HASL 등에 의해 형성될 수 있다.

[0027] 도전성 비아(113)는 서로 다른 층에 형성된 도전성 패턴(112) 등을 서로 전기적으로 연결시키며, 그 결과 패키지(100) 내에 전기적 경로를 형성시킨다. 도전성 비아(113) 역시 형성 물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pd), 또는 이들의 합금 등의 전도성 물질을 사용할 수 있다. 도전성 비아(113) 역시 전도성 물질로 완전히 충전될 수 있으며, 또는 전도성 물질이 비아의 벽을 따라 형성된 것일 수도 있다. 또한, 형상이 하면으로 갈수록 직경이 작아지는 테이퍼 형상, 하면으로 갈수록 직경이 커지는 역 테이퍼 형상, 원통형상 등 당해 기술분야에 공지된 모든 형상이 적용될 수 있다.

[0028] 프레임(120)은 패키지(100)의 지지 기능 등을 위한 것으로, 이를 통하여 강성유지 및 두께 균일성의 확보가 가능하다. 프레임(120)은 하나 이상의 관통 홀을 구비하며, 전자 부품(130)은 상기 관통 홀 내에 위치한다. 프레임(120)을 구성하는 물질은 특별히 제한되지는 아니하며, 몰딩 수지나 프리프레그(prepreg), 나아가서는 금속, 세라믹 계열의 물질을 이용할 수 있다. 예를 들어, 후술할 바와 같이 프레임(120)은 프리프레그에 홀을 가공한 후 제1 배선부(110)와 접합될 수 있으며, 이를 위하여 이들 사이에는 접착층(123)이 개재될 수 있다. 이 경우, 접착층(123)은 프리프레그, 솔더 레지스트 등을 포함하는 물질로 이루어질 수 있다.

[0029] 본 실시 형태의 경우, 프레임(120)에는 이를 관통하여 제1 및 제2 배선부(110, 140)와 연결된 도전성 연결부(122)가 형성될 수 있다. 일 예로서, 도 3에서 볼 수 있듯이, 프레임(120)의 도전성 연결부(122)는 제1 배선부(110)의 도전성 패턴(112)과 프레임(120)의 상부 및 하부에 형성된 도전성 패턴(121)과 연결된 형태로 제공될 수 있다. 도전성 연결부(122)는 프레임(120)에 홀 가공을 한 후 이를 충전하도록 도금 등의 공정을 이용하거나 도전성 포스트 형태 등으로 구현될 수 있을 것이다. 한편, 형상 면에서 도 3에 도시된 형태와 같이, 도전성 연결부(122)는 프레임(120)의 상하부 표면으로부터 내부로 갈수록 폭이 좁아지는 형상을 가질 수 있다. 도전성 연결부(122)의 이러한 형태는 프레임(120)의 상부 및 하부에 각각 홀 가공을 하여 얻어질 수 있는 것으로서, 제조 공정과 관련하여 후술할 바와 같이 프레임(120)을 제1 배선부(110)에 접합하는 방식에 적합한 형태이다.

[0030] 전자 부품(130)은 다양한 능동 부품(예컨대, 다이오드, 진공관, 트랜지스터 등) 또는 수동 부품(예컨대, 인덕터, 콘덴서, 저항기 등)일 수 있다. 또는 수백 내지 수백만 개 이상의 소자가 하나의 칩 안에 집적화된 집적회로(Integrated Circuit: IC) 칩일 수 있다. 필요에 따라서는 집적회로가 플립칩 형태로 패키지 된 전자 부품일 수도 있다. 집적회로 칩은, 예를 들면, 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디

지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩일 수 있으나, 이에 한정되는 것은 아니다. 이 경우, 도 3에서는 제1 배선부(110) 상에 한 개의 전자 부품(130)이 실장된 형태를 나타내고 있지만 두 개 이상의 부품이 사용될 수도 있을 것이다.

[0031] 전자 부품(130)은 제1 배선부(110)와 전기적으로 연결되는 하나 이상의 전극 패드(131)를 포함할 수 있으며, 도 3에 도시된 예와 같이, 전자 부품(130)은 이에 구비된 전극 패드가 제1 배선부(110)를 향하는 상태로 실장될 수 있다. 전자 부품(130)은 제1 배선부(110)에 의하여 재배선 될 수 있으며, 이를 위하여 제1 배선부(110)의 도전성 패턴(112)과 솔더 등과 같은 접착성 전기 연결부(132)가 사이에 개재될 수 있다. 또한, 전자 부품(130)의 안정적인 실장을 위하여 전자 부품(130)과 제1 배선부(110) 사이에는 언더필 수지나 절연성 에폭시 등으로 이루어진 접착부(133)가 개재될 수 있으며, 다만, 이러한 접착부(133)는 실시 예에 따라 적절히 변형되거나 제외될 수 있을 것이다. 한편, 전자 부품(130)의 단면에서의 두께는 특별히 한정되지 않으며, 전자 부품(130)의 종류에 따라 달라질 수 있다. 예를 들면, 전자 부품이 집적회로 칩인 경우에는 100 μ m 내지 480 μ m 정도일 수 있으나, 이에 한정되는 것은 아니다.

[0032] 봉합재(encapsulant, 134)는 전자 부품(130) 등을 보호하기 위한 것으로서 프레임(120)의 관통 홀에 충전된다. 전자 부품의 보호 기능을 수행할 수 있다면 봉합재(134)를 이루는 물질은 특별히 한정될 필요는 없다. 예를 들면, 봉합재(134)는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 이들에 유리 섬유 또는 무기 필러와 같은 보강재가 함침된 수지, 예를 들면, 프리프레그, ABF, FR-4, BT, PID 수지 등이 사용될 수 있다. 또한, 봉합재(134)는 미경화 상태의 수지 필름을 제1 배선부(110) 상에 적층한 후 경화함으로써 얻어질 수 있으며, 이러한 방법 외에도 EMC 등의 공지의 몰딩 방식을 사용할 수 있음은 물론이다.

[0033] 한편, 봉합재(134)에는 전자파 차단을 위하여 필요에 따라 전도성 입자가 포함될 수 있다. 전도성 입자는 전자파 차단이 가능한 것이면 어떠한 것이든 사용할 수 있으며, 예를 들면, 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pd), 솔더(solder) 등으로 형성될 수 있으나, 이는 일례에 불과하며 특별히 이에 한정되는 것은 아니다.

[0034] 제2 배선부(140)는 전자 부품(130) 및 프레임(120) 상에 배치되며, 그 위에는 추가적인 전자 부품이나 패키지가 등이 배치될 수 있다. 제1 배선부(110)와 마찬가지로 제2 배선부(140)는 절연층(141), 도전성 패턴(142) 및 도전성 비아(143)를 포함한다. 제2 배선부(140)는 그 하부와 상부에 위치한 전자 부품이나 패키지, 기타 소자 등을 전기적으로 연결할 수 있으며, 또한, 경우에 따라서는 상부에 배치된 부품의 전기 배선을 재배선하는 기능을 수행할 수도 있다. 이 경우, 제2 배선부(140)는 제1 배선부(110)보다 얇게 형성될 수 있다. 예를 들어, 도 3에 도시된 형태와 같이, 제1 배선부(110)는 제2 배선부(140)보다 더 많은 수의 절연층(111)이 적층된 형태일 수 있으며, 다만, 이는 본 발명의 필수적인 사항은 아니라 할 것이다.

[0035] 제1 배선부(110)의 하부, 그리고 도시하지는 않았지만 제2 배선부(140)의 상부에는 외부의 물리적, 화학적 영향 등으로부터 보호할 수 있는 외부층(150)이 구비될 수 있으며, 이 경우, 외부층(150)은 도전성 패턴(112, 142) 중 적어도 일부를 노출시키는 개구부를 가질 수 있다. 외부층(150)을 형성하는 물질은 특별히 한정되지 않으며, 예를 들면, 솔더 레지스트를 사용할 수 있다. 그 외에도 제1 및 제2 배선부(110, 140)의 절연층과 동일한 물질을 사용할 수 있으며, 또한, 외부층(150)은 단층인 것이 일반적이나, 필요에 따라 다층으로 구성될 수도 있다.

[0036] 본 실시 형태에서 필수적인 구성은 아니지만, 전자 부품 패키지(100)의 하부에는 접속 단자(151)가 구비될 수 있다. 접속 단자(151)는 전자 부품 패키지(100)를 외부와 물리적 및/또는 전기적으로 연결시키기 위한 구성으로서, 예를 들면, 전자 부품 패키지(100)는 접속 단자(151)를 통하여 전자 기기의 메인 보드에 실장 된다. 접속 단자(151)는 외부층(150)에 형성된 개구부를 통하여 도전성 패턴(112)과 연결되며, 이를 통하여 전자 부품(130) 등과도 전기적으로 연결된다. 접속 단자(151)는 전도성 물질, 예를 들면, 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pd), 솔더(solder) 등으로 형성될 수 있으나, 이는 일례에 불과하며 재질이 특별

히 이에 한정되는 것은 아니다. 접속 단자(151)는 랜드(land), 볼(ball), 핀(pin) 등일 수 있다. 접속 단자(151)는 다중층 또는 단일층으로 형성될 수 있다. 다중층으로 형성되는 경우에는 구리 필러(pillar) 및 솔더를 포함할 수 있으며, 단일층으로 형성되는 경우에는 주석-은 솔더나 구리를 포함할 수 있으나, 역시 이는 일례에 불과하며 이에 한정되는 것은 아니다.

[0037] 한편, 외부 접속 단자(151) 중 일부는 팬-아웃(fan-out) 영역에 배치될 수 있다. 팬-아웃(fan-out) 영역이란 전자 부품이 배치된 영역을 벗어나는 영역을 의미한다. 즉, 일례에 따른 전자 부품 패키지(100)는 팬-아웃(fan-out) 패키지이다. 팬-아웃(fan-out) 패키지는 팬-인(fan-in) 패키지에 비하여 신뢰성이 우수하고, 다수의 I/O 단자 구현이 가능하며, 3D 접속 (3D interconnection)이 용이하다. 또한, BGA(Ball Grid Array) 패키지, LGA(Land Grid Array) 패키지 등과 비교하여 별도의 기판 없이 전자 기기에 실장이 가능한바 패키지 두께를 얇게 제조할 수 있으며, 가격 경쟁력이 우수하다.

[0038] 상술한 전자 부품 패키지(100)의 경우, 다수의 전자 부품을 컴팩트한 사이즈의 단일 패키지로 구현할 수 있으며, 나아가, 전자 부품을 실장하기 전에 부분적인 전기 검사를 하기에 적합한 구조이다. 이에 따라, 패키지의 구성 요소 중에서 상대적으로 가격이 비싼 전자 부품(130)의 불필요한 소모를 줄일 수 있다. 즉, 전자 부품들(130)을 실장한 후 전기 검사를 수행하는 경우에는 전자 부품이 아닌 배선부에 불량 발생하더라도 전자 부품을 사용하지 못하는 문제가 있었다. 이하, 본 발명의 상술한 구조를 갖는 전자 부품 패키지의 제조방법을 설명한다. 제조방법에 대한 설명을 통하여 상술한 실시 예 또는 변형된 예에 따른 패키지 구조가 더욱 명확히 이해될 수 있을 것이다.

[0039]

[0040] 도 4 내지 8은 본 발명의 일 실시 형태에 따른 전자 부품 패키지의 제조방법을 개략적으로 나타낸 것이다.

[0041]

우선, 도 4에 도시된 예와 같이, 관통 홀(H)을 갖는 프레임(120)을 마련한다. 이를 위하여 CCL (Copper Clad Laminate) 등을 이용할 수 있다. 보다 구체적으로, 프레임(120)에 홀 가공을 하고 이를 도전성 물질로 충전하여 도전성 연결부(122)를 형성하는 공정과 금속 박막을 패터닝하여 도전성 패턴(121)을 형성하는 공정, 프레임(120)에 관통 홀(H)을 형성하는 공정 등을 실행한다. 여기서, 프레임(120)에 홀 가공을 하는 공정의 경우, 프레임(120)의 상하부 각각에 레이저나 기계적 가공 방법을 사용할 수 있다. 마찬가지로, 전자 부품을 수용할 영역으로 제공되는 관통 홀(H)은 프레임(120)을 레이저나 기계적 가공하여 형성될 수 있다.

[0042]

도 4의 공정과 별도로 또는 동시에, 도 5에 도시된 예와 같이, 제1 서포트(160) 상에 제1 배선부(110)를 형성한다. 제1 서포트(160)는 두께가 상대적으로 얇은 제1 배선부(110)를 핸들링하기 위한 것이며 제1 배선부(110)를 지지할 수 있는 기능을 한다면 특별히 채용될 수 있는 물질이 제한되는 것은 아니다. 제1 서포트(160)는 다층 구조일 수 있으며, 후속 공정에서 제1 배선부(110)와 용이하게 제거될 수 있도록 이형층, 금속층 등을 포함할 수 있다. 본 실시 형태의 경우, 제1 서포트(160)가 제1 배선부(110)와 결합된 상태로 제1 배선부(110)에 대한 전기 검사가 수행될 수 있으며, 구체적으로, 도 5에 도시된 예와 같이, 제1 배선부(110) 상부의 도전성 패턴(112)에 검사용 지그(171)를 연결할 수 있다. 이 경우, 검사용 지그(171)는 복수의 팁(172)을 구비하며, 복수의 팁(172)은 도전성 패턴(112) 중 적어도 일부에 대응하는 위치에 배치되어 있을 수 있다. 전자 부품 실장 전에 전기 검사를 실행함으로써 제1 배선부(110)의 불량 여부를 사전에 확인할 수 있으므로 전자 부품의 불필요한 소모를 최소화할 수 있다. 즉, 본 검사 과정에서 불량인 것으로 판정된 제1 배선부(110)는 폐기 또는 다른 목적으로 재활용될 수 있으며, 후속 공정을 진행하지 아니함으로써 공정 비용을 절감할 수 있다. 이러한 제1 배선부(110)는 전기 검사를 위하여 데이지 체인과 같은 부가적인 구조를 구비할 수 있으며, 이에 따라 제1 서포트(160)가 하부에 접합된 상태에서도 제1 배선부(110)의 상부를 통하여 전기 검사가 가능하다.

[0043]

한편, 제1 배선부(110)를 구현하기 위하여 절연층(111), 도전성 패턴(112), 도전성 비아(113)를 의도하는 형상에 맞게 형성하며, 이를 필요한 횟수만큼 반복할 수 있다. 구체적으로, 절연층(111)을 형성하는 방법은 공지 방법으로 가능하며, 예를 들면, 라미네이션 한 후 경화하는 방법, 도포 및 경화 방법 등으로 형성할 수 있다.

라미네이션 방법으로는, 예를 들면, 고온에서 일정시간 가압한 후 감압하여 실온까지 식히는 핫 프레스 후, 콜드 프레스에서 식혀 작업 톨을 분리하는 방법 등이 이용될 수 있다. 도포 방법으로는, 예를 들면, 스퀴즈로 잉크를 도포하는 스크린 인쇄법, 잉크를 안개화하여 도포하는 방식의 스프레이 인쇄법 등을 이용할 수 있다. 경화는 후 공정으로 포토 리소그래피 공법 등을 이용하기 위하여 완전 경화되지 않게 건조하는 것일 수 있다.

[0044] 다음으로, 도 6에 도시된 예와 같이, 제1 배선부(110)을 제2 서포트(161)에 접합하고, 제1 서포트(160)는 제1 배선부(110)로부터 분리한다. 구체적으로, 도 5를 기준으로 제1 배선부(110)의 상부에 제2 서포트(161)를 배치한 후 하부의 제1 서포트(160)를 분리하며, 도 6은 이를 180° 회전하여 나타낸 것이다. 제1 배선부(110)에 다른 서포트(161)를 접합하는 이유는 제1 배선부(110)의 상부에 노출된 도전성 패턴(112)을 매립 패턴(P)의 형태로 구현하고 그 위에 전자 부품을 배치하기 위한 것이다.

[0045] 다음으로, 도 7에 도시된 예와 같이, 도 4와 관련하여 설명한 프레임(120)과 제1 배선부(110)를 연결하며, 구체적으로, 제1 배선부(110) 상에 프레임(120)을 배치하고 이들을 서로 접합한다. 이 경우, 프레임(120)은 관통 홀(H)이 전자 부품이 배치될 매립 패턴(P)에 대응하는 영역에 배치되도록 위치가 조절될 수 있다.

[0046] 제1 배선부(110)와 프레임(120)을 접합하기 위하여 비전도성 물질 등으로 이루어진 접착층(123)을 이들 사이에 개재시킬 수 있으며, 다만 접착층(123) 없이 직접 접합될 수도 있을 것이다. 또한, 본 실시 형태에서는 프레임(120)에 관통 홀을 형성한 상태로 제1 배선부(110)와 접합한 예를 설명하고 있지만, 경우에 따라 제1 배선부(110)에 접합한 상태로 프레임(120)을 홀 가공 할 수도 있을 것이다.

[0047] 다음으로, 도 8에 도시된 예와 같이, 제1 배선부(110) 상에 전자 부품(130)을 배치하고 실장하며, 이 경우, 전자 부품(130)은 전극 패드(131)가 제1 배선부(110)를 향하도록 배치될 수 있다. 실장을 위하여 제공될 수 있는 접착성 전기 연결부(132), 접착부(133)에 대한 구체적인 설명은 생략한다. 전자 부품(130)의 실장 후에는 관통 홀에 충전되도록 봉합재(134)를 형성한다. 봉합재(134)를 형성하는 예로서, 미경화 상태의 수지 필름을 제1 배선부(110) 상에 적층한 후 이를 경화하거나 EMC 몰딩 등의 방법을 사용할 수 있다.

[0048] 한편, 프레임(120)을 부착한 상태에서는 제2 서포트(161)를 제거할 수 있으며, 추가로 당 업계에서 사용되는 에칭과 디스미어(desmear) 공정 등을 적절히 활용할 수 있다. 다만, 제1 서포트(161)는 반드시 본 단계에서 제거될 필요는 없고 후속 공정 또는 이보다 앞서서 제거될 수도 있을 것이다.

[0049] 다음으로, 프레임(120) 상에 제2 배선부(140)를 형성하여 도 3에 도시된 형태의 전자 부품 패키지(100)를 얻을 수 있다. 제2 배선부(140)는 일층 이상의 절연층(141), 절연층(141)에 형성된 도전성 패턴(142)과 절연층(141)을 관통하는 도전성 비아(143)를 포함하며, 앞서 설명한 제1 배선부(110)과 같은 방식으로 얻어질 수 있다.

[0050] 한편, 도시하지는 않았지만, 패키지(100)의 성능 향상이나 추가 기능 확장 등을 위하여, 제2 배선부(140) 상에는 추가적인 전자 부품이나 패키지 등이 배치될 수 있다. 이러한 추가적인 전자 부품 등의 배치를 통하여 소위 POP (Package On Package) 구조를 얻을 수 있다.

[0051] 이하, 도 9 내지 12를 참조하여 본 발명의 다른 실시 예에 따른 전자 부품 패키지의 구조와 이를 제조하는 방법을 설명한다. 본 실시 형태의 경우, 프레임에 관통 홀과 도전성 연결부를 형성하는 방법 등에서 앞선 실시 형태와 차이가 있거나 보다 구체적으로 나타낸 것이며, 특별히 모순되는 사항이 아니라면 앞선 실시 형태에도 적용될 수 있을 것이다. 보다 구체적으로, 다음으로, CCL을 가공하여 프레임을 구현하였던 앞선 실시 형태와 달리 본 실시 형태에서는 여러 층의 절연층, 예컨대 프리프레그를 적층하는 통상적인 기판 공정을 이용하여 프레임을 형성할 수 있다.

- [0052] 우선, 도 9에 도시된 예와 같이, 제1 서포트(260) 상에 식각 저지층(264)을 형성한다. 본 실시 형태에서, 제1 서포트(260)는 그 표면에 이형층(261)과 금속 박막(262)을 포함하는 형태이며, 다만, 제1 서포트(260)에 구비된 이형층(261)과 금속 박막(262)은 제외될 수도 있을 것이다. 식각 저지층(264)은 Ni 등을 도금하여 형성할 수 있으며, 이를 위하여 적절한 형상의 마스크(263)가 이용될 수 있다. 이 경우, 후속 과정에서 식각 저지층(264)을 용이하게 제거하기 위하여 제1 서포트(260)와 식각 저지층(264) 사이에는 이형층이 개재될 수도 있다.

- [0053] 후술할 바와 같이 식각 저지층(264)은 프레임에 관통 홀을 형성하는 과정에서 도전성 패턴 등에 미치는 피해를 최소화하기 위한 것이며, 그 형상은 전자 부품이 실장된 영역을 고려하여 결정될 수 있다. 실시 예에서 따라서는 식각 저지층(264)은 패키지에서 관통 홀 주변 영역에 남아 있을 수 있으며, 전기 연결을 위하여 제공된 것은 아니기 때문에 전자 부품과는 전기적으로 분리될 수 있다.

- [0054] 다음으로, 도 10에 도시된 예와 같이, 앞서 가공된 제1 서포트(260) 상에 프레임(220)과 이에 구비되는 도전성 패턴(221) 및 도전성 연결부(222) 등을 형성한다. 본 실시 형태의 경우, 프레임(220)은 다층 구조를 가지며, 예컨대, 프리프레그 등을 다수 적층하여 얻어질 수 있다. 이 경우, 도 10에 나타난 바와 같이, 도전성 연결부(222)는 다층 구조의 프레임(220)의 각층을 각각 관통하도록 형성되며 각층의 도전성 연결부(222)는 상부에서 하부로 갈수록 폭이 좁아지는 형상을 가질 수 있다. 도전성 연결부(222)의 이러한 형상은 앞선 실시 형태와 달리 각 층별로 적층, 홀 가공, 도전성 물질 충전 등의 과정이 실행됨에 따라 얻어질 수 있다.

- [0055] 한편, 도 10의 하부에 나타낸 것과 같이, 프레임(220)을 형성한 후에는 제1 서포트(260)를 제거하며, 또한, 금속 박막(262)을 패터닝하여 도전성 패턴(221)의 형태로 만들 수 있다.

- [0056] 다음으로, 도 11에 도시된 예와 같이, 프레임(220) 상에 제1 배선부(210)를 형성하며, 이 경우, 제1 배선부(210)는 도 10을 기준으로 프레임(220)의 하면에 형성된 형태로서, 도 11과 도 10은 서로 반전된 상태이다. 제1 배선부(210)는 다수의 절연층(211), 도전성 패턴(212) 및 도전성 비아(213)를 포함한다. 이어서, 제1 배선부(210) 상에 제2 서포트(265)를 배치하며 제2 서포트(265)는 표면에 이형층(266)과 금속 박막(267)을 포함할 수 있다. 추가적인 서포트(265)를 이용함으로써 후소되는 관통 홀 형성 공정 등을 용이하게 실행할 수 있으며, 다만, 실시 형태에 따라서는 제2 서포트(265)를 사용하지 않고 후속 공정을 진행할 수도 있다.

- [0057] 다음으로, 도 12에 도시된 예와 같이, 레이저 가공 등을 이용하여 프레임(220)에 관통 홀(H)을 형성하며, 이를 위하여 다시 앞서 얻어진 구조를 반전시킬 수 있다. 레이저 가공 후에는 식각 저지층(264)을 제거하며, 상술한 바와 같이 이형층을 식각 저지층(264) 하부에 개재시킨 경우에는 보다 용이하게 식각 저지층(264)을 제거할 수 있다. 이 경우, 상술한 바와 같이, 레이저 등을 적용할 시 식각 저지층(264)은 패키지 내의 다른 구성, 예컨대, 도전성 패턴(212) 등에 미치는 피해를 최소화할 수 있으며, 도 12에 나타난 바와 같이, 관통 홀(H) 주변 영역에 남아 있을 수 있다. 이 경우, 본 실시 형태에서 필수적인 사항은 아니라 할 것이지만, 식각 저지층(264)은 전자 부품과는 전기적으로 분리될 수 있다.

- [0058] 한편, 식각 저지층(264)이 제거되어 노출된 제1 배선부(210)의 도전성 패턴(P)은 절연층(211)에 매립된 형태를 가지며, 상술한 바와 같이, 이러한 매립 패턴(P)은 전자 부품의 실장 밀도를 높이고, 패키지의 슬립화 등에 도움이 될 수 있다.

- [0059] 관통 홀(H)을 형성하여 전자 부품이 배치될 영역을 마련한 후에는 앞선 실시 형태와 동일한 공정을 이용하여 전자 부품 패키지를 구현할 수 있다. 구체적으로, 관통 홀(H)에 전자 부품을 배치하고 매립 패턴(P)과 전기적으로 연결하며, 다만, 전자 부품이 반드시 매립 패턴(P)과만 연결되어야 하는 것은 아니고 다른 형태의 도전성 패턴

과 연결될 수도 있을 것이다. 이후, 몰딩부, 제2 배선부 등을 형성함으로써 전자 부품 패키지를 얻을 수 있다. 또한, 패키지를 완성하기 전에 제2 서포트(265)는 제거될 수 있으며, 이 경우, 금속 박막(267)을 패터닝할 수 있다.

[0060] 도 13은 전자 부품 패키지의 다른 예를 개략적으로 나타내는 단면도이다. 본 실시 형태에 따른 전자 부품 패키지(100')의 경우, 앞선 실시 형태와 달리 추가적인 전자 부품(180)을 더 포함하며, 도 13에 도시된 형태와 같이, 이러한 전자 부품(180)은 제1 배선부(110')에 매립될 수 있다. 추가적인 전자 부품(180)의 경우, 필수적인 사항은 아니지만 상대적으로 크기가 작은 수동 소자, 예컨대, 커패시터 등이 이에 해당될 수 있다. 수동 소자를 제1 배선부(110') 내에 배치함으로써 소자 실장 면적이 줄어들어 패키지의 전체 크기를 줄일 수 있다. 또한, 커패시터 등을 하부에 배치함으로써 전류 경로가 짧아지게 되므로 패키지의 전기적 특성이 향상될 수 있다. 하부에 수동 소자를 배치하는 경우, 상부에는 능동 소자를 배치할 수 있다. 제1 배선부(110') 내에 전자 부품(180)을 매립하는 방법의 경우, 절연층(111)의 적층 중에 전자 부품(180)을 배치하고 이를 절연층(111)으로 덮는 방식을 이용할 수 있다. 또한, 이 외에도 전자 부품(180)을 수용하는 코어를 채용할 수도 있으며, 이러한 코어의 상부와 하부에 절연층(111)을 적층하여 전자 부품(180)의 매립 구조를 구현할 수 있을 것이다.

[0061] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

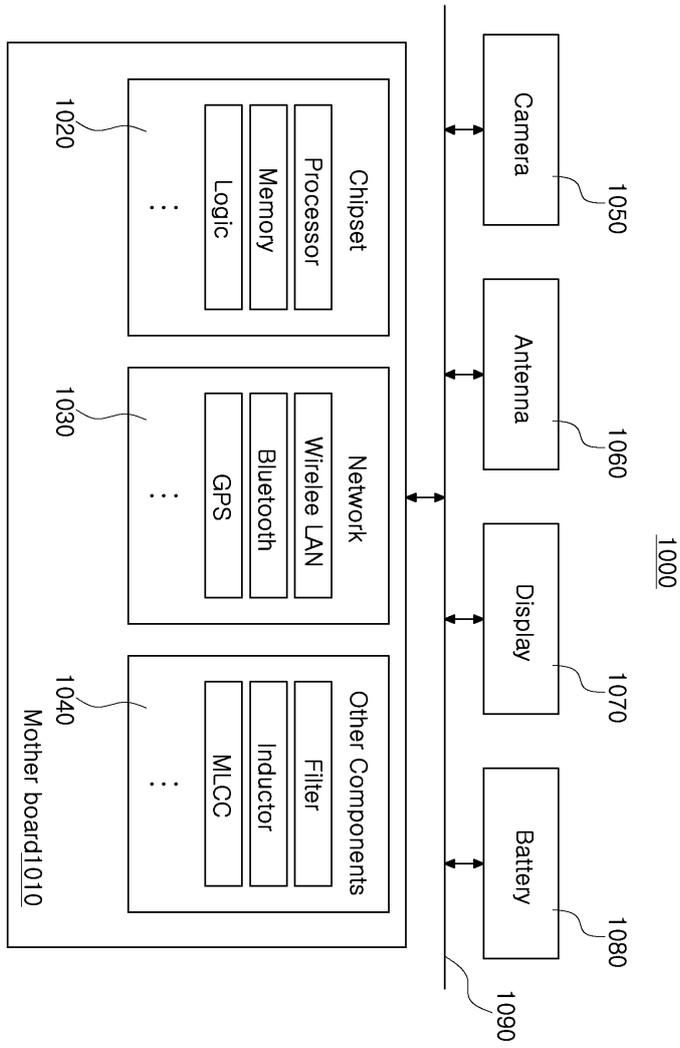
부호의 설명

- [0062] 100, 100': 전자 부품 패키지
- 110, 110', 210: 제1 배선부
- 111, 141, 211: 절연층
- 112, 121, 142, 212: 도전성 패턴
- 113, 143, 213: 도전성 비아
- 122, 222: 도전성 연결부
- 123: 접착층
- 120, 220: 프레임
- 130, 180: 전자 부품
- 131: 전극 패드
- 132: 접착성 전기 연결부
- 133: 접착부
- 134: 봉합재
- 140: 제2 배선부
- 150: 외부층
- 151: 접속 단자
- 160, 161, 260, 265: 서포트
- 261, 266: 이형층
- 262, 267: 금속 박막

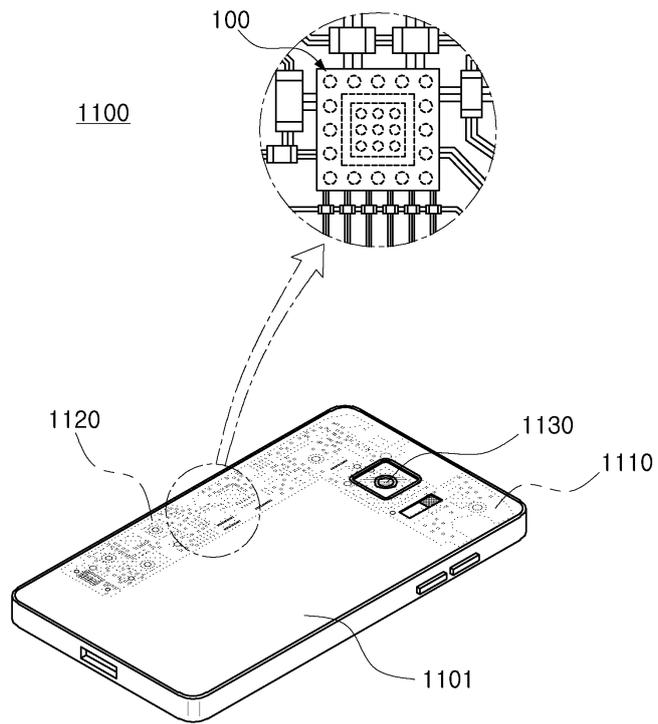
- 263: 마스크층
- 264: 식각 저지층
- H: 관통 홀

도면

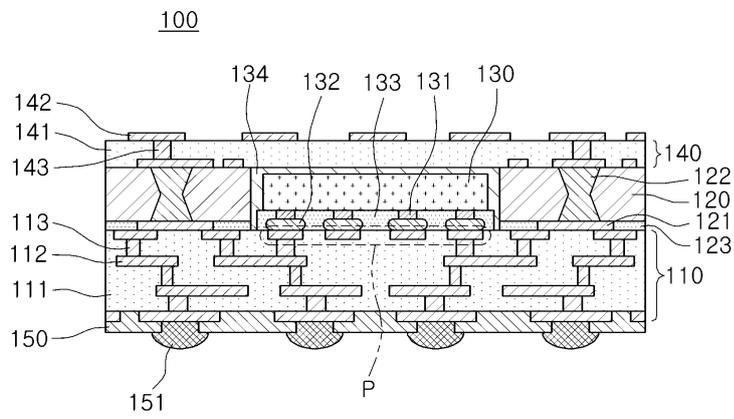
도면1



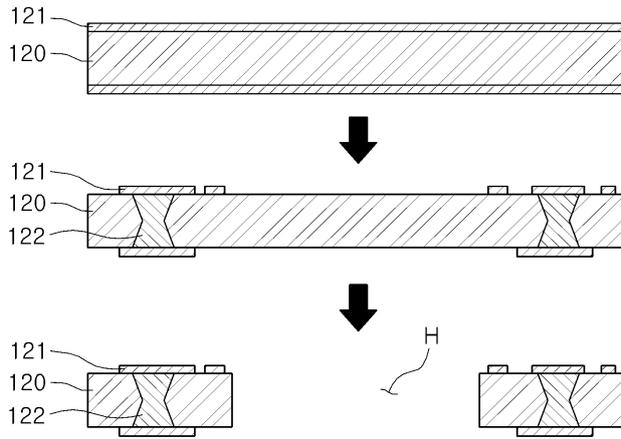
도면2



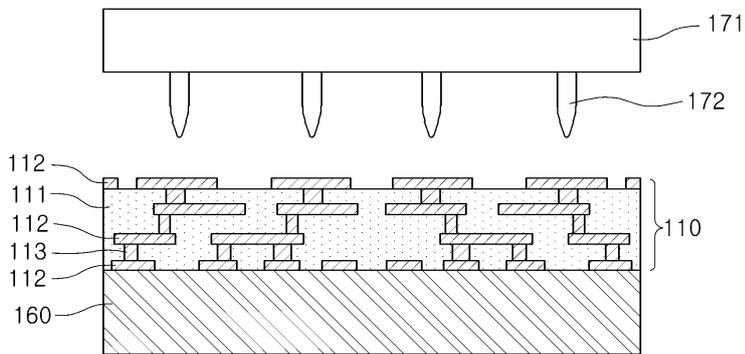
도면3



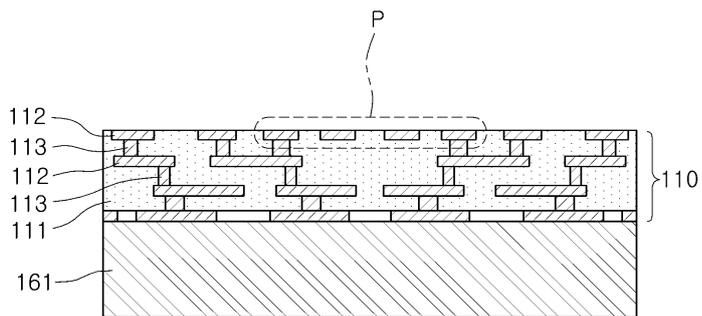
도면4



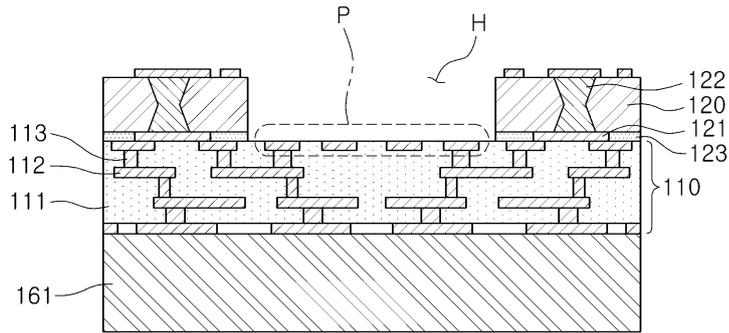
도면5



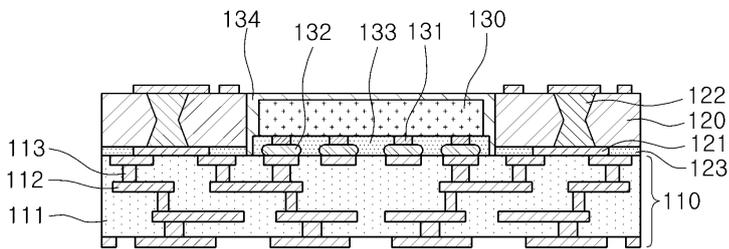
도면6



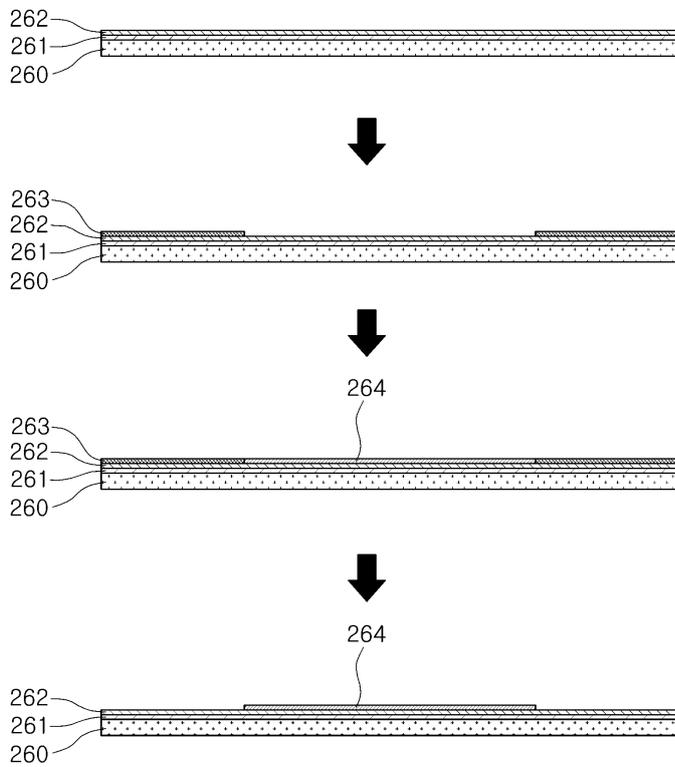
도면7



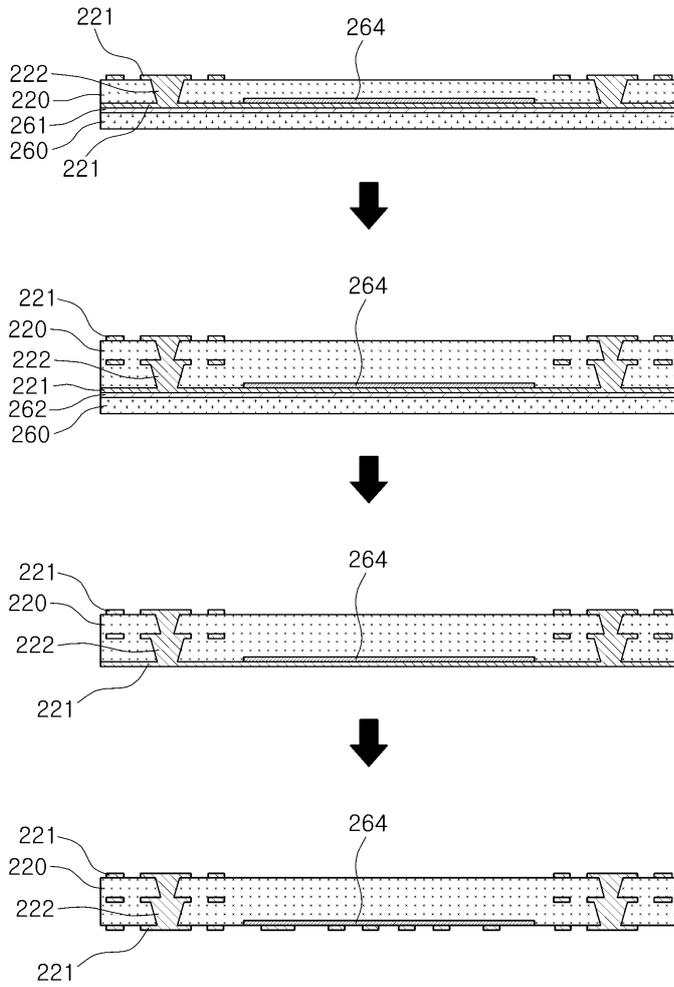
도면8



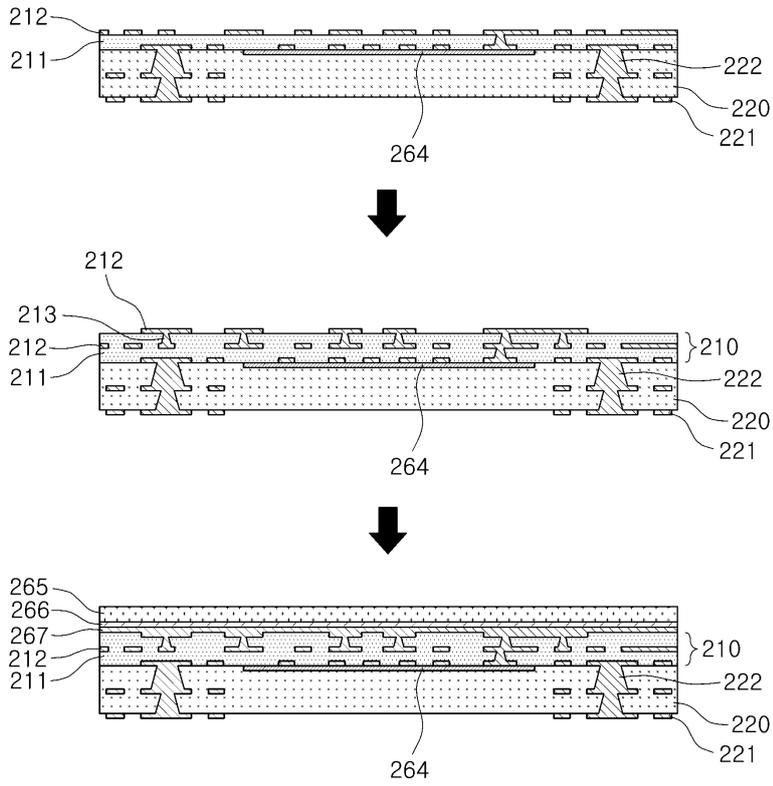
도면9



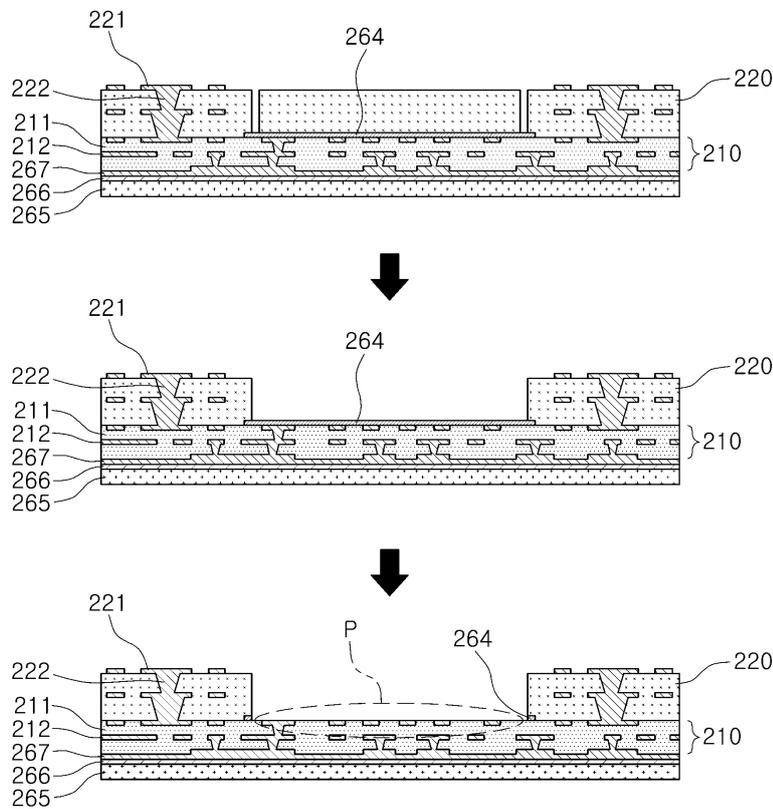
도면10



도면11



도면12



도면13

