

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H04N 5/228		(45) 공고일자 1999년 12월 01일	
		(11) 등록번호 10-0232274	
		(24) 등록일자 1999년 09월 03일	
(21) 출원번호	10-1991-0019124	(65) 공개번호	특 1992-0009193
(22) 출원일자	1991년 10월 30일	(43) 공개일자	1992년 05월 28일
(30) 우선권주장	90-295643 1990년 10월 31일	일본(JP)	
(73) 특허권자	산요덴키 가부시키키가이샤 다카노 야스야키		
	일본 오사카후 모리구치시 게이한 혼도오리 2초메 5반 5고		
(72) 발명자	가와카미 기요따다		
	일본국 오오사카후 오오사카시 쓰루미구 이마즈나가 4-3-4-407		
	다쿠마 마사오		
	일본국 오오사카후 도요나카시 데라우찌 1-4-39-101		
	아세에다 도루		
	일본국 나라켄 이코마시 미나미따하라쵸 2100-1-112		
	야마모토 도루		
	일본국 오오사카후 다이또시 아카이 2-19-13-103		
	무라타 하루히코		
	일본국 오오사카후 모리구찌시 다이니찌쵸 1-2-9-709		
	무라시마 히로쓰구		
	일본국 나라켄 야마모따까다시 가따시오쵸 8-6		
	와따나베 도루		
	일본국 기후켄 오가끼시 미나미와까모리 5-30-3		
	혼자와 마사시		
	일본국 군마켄 오라궁 메이와무라 미나미오시마 357		
	다나이 게이이찌		
(74) 대리인	일본국 오오사카후 이바라기시 가스가 5-2-13 구영창, 이상희, 주성민		

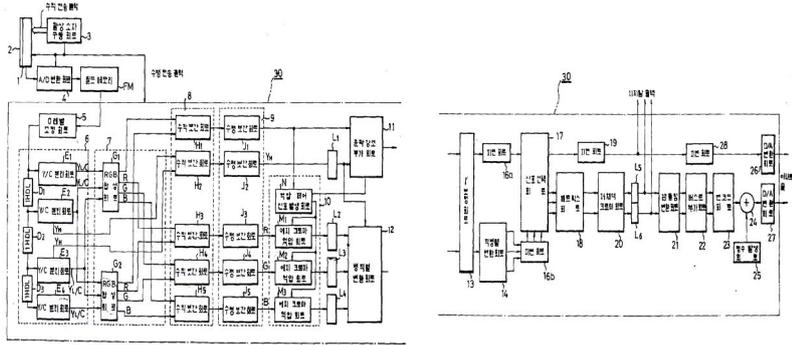
심사관 : 정택렬

(54) 전자 줌 기능을 갖는 비디오 카메라의 디지털 신호 처리용 집적 회로

요약

칼라 필터에 의해 공간 변조된 고체 촬상 소자 출력은 A/D 변환되어 필드 메모리에 기억된다. 전자 줌 실행시에 필드 메모리에서 독출된 디지털 신호는 직렬 접속된 제1, 제2 및 제3의 1H 지연소자에 의해 1H 기간씩 순차 지연된다. 필드 메모리의 출력과, 제1, 제2 및 제3의 1H 지연소자의 출력은 각각 제1 내지 제4의 Y/C 분리회로에 의해 휘도성분과 색성분으로 분리된다. 제1, 제2 및 제3의 Y/C 분리회로 출력에 기초해서 3원색 신호의 제1조가 산출되고, 제2, 제3 및 제4의 분리회로 출력에 기초해서 3원색 신호의 제2조가 산출된다. 전자 줌 기능의 실행에 수반해서 형성되어야 할 표시 포인트에 대응하는 3원색 신호가 산출된 2조의 3원색 신호에 기초하여 형성되고, 휘도 신호가 제1 및 제2지연소자 출력에 기초해서 형성된다.

대표도



명세서

[발명의 명칭]

전자 줌 기능을 갖는 비디오 카메라의 디지털 신호 처리용 집적 회로

[도면의 간단한 설명]

- 제1(a)도는 본 발명의 한 실시예에 따른 디지털 신호 처리용 집적 회로의 전단 부분을 도시한 블록도.
- 제1(b)도는 본 발명의 한 실시예에 따른 디지털 신호 처리용 집적 회로의 후단 부분을 도시한 블록도.
- 제2(a)도, 제2(b)도 및 제2(c)도는 보색 칼라 필터의 배열과 촬상 출력과의 관계를 도시한 도면.
- 제3도는 제1(a)도에 도시한 제로 레벨 조정 회로의 구성을 도시한 블록도.
- 제4도는 제1(a)도에 도시한 Y/C 분리 회로의 구성을 도시한 블록도.
- 제5도는 제1(a)도에 도시한 RGB 합성 회로의 구성을 도시한 블록도.
- 제6도는 제5도에 도시한 상가 평균 회로의 구성을 도시한 블록도.
- 제7도는 제1(a)도에 도시한 수직 보간회로(interpolation circuit)의 구성을 도시한 블록도.
- 제8도는 제1(a)도에 도시한 수평 보간회로의 구성을 도시한 블록도.
- 제9도는 제1(a)도에 도시한 윤곽 강조 부가 회로의 구성을 도시한 블록도.
- 제10도는 제1(a)도에 도시한 에지 크로머 억압부의 구성을 도시한 블록도.
- 제11도는 제1(a)도에 도시한 병직렬 변환회로의 구성을 도시한 블록도.
- 제12도는 제1(b)도에 도시한 매트릭스 회로의 구성을 도시한 블록도.
- 제13도는 저채도 크로머 억압의 원리를 설명하는 도면.
- 제14도는 제1(b)도에 도시한 저채도 크로머 억압 회로의 구성을 도시한 블록도.
- 제15도는 제1(b)도에 도시한 버스트(burst) 부가 회로 및 엔코드 회로의 구성을 도시한 블록도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------------|------------------|
| 1 : 칼라 고체 촬상 소자 | 2 : 보색 칼라 필터 |
| 3 : 촬상 소자 구동 회로 | 4 : A/D 변환회로 |
| 5 : 제로 레벨 조정 회로 | 6 : Y/C 분리부 |
| 7 : RGB 합성부 | 8 : 수직 보간부 |
| 9 : 수평 보간부 | 10 : 에지 크로머 억압부 |
| 11 : 윤곽 강조 부가 회로 | 12 : 병직렬 변환회로 |
| 13 : 감마 보정 회로 | 14 : 직병렬 변환회로 |
| 17 : 신호 선택회로 | 18 : 매트릭스 회로 |
| 20 : 저채도 크로머 억압 회로 | 21,30 : 샘플링 변환회로 |
| 22 : 버스트 부가 회로 | 23 : 엔코드 회로 |

- 24 : 가산회로
- 25 : 정수 발생회로
- D : 1H 지연소자
- E : Y/C 분리회로
- G : RGB 합성회로
- H : 수직 보간회로
- J : 수평 보간회로
- M : 에지 크로머 억압 회로
- N : 억압 제어 신호 발생 회로

[발명의 상세한 설명]

본 발명은 비디오 카메라의 신호 처리용 집적 회로에 관한 것으로, 특히 전자 줌 기능을 갖는 비디오 카메라에 있어서 각종 신호 처리를 디지털로 행하기 위한 집적화된 신호 처리 회로에 관한 것이다.

종래의 디지털 비디오 카메라는 통상 각종의 신호처리를 위해 휘도신호 처리용 집적회로 및 색 신호 처리용 집적회로라고 하는 2개의 집적회로를 내장하고 있다. 그리고, 휘도신호 처리용 집적회로는 화상의 수직 방향의 윤곽 강조등의 디지털 신호 처리를 행하기 위해 2개의 1H(H는 영상 신호의 수평 기간) 지연 소자를 필요로 한다. 또 색신호 처리용 집적 회로도, 색신호의 동시화 등의 디지털 신호 처리를 행하기 위해 2개의 1H 지연소자를 필요로 한다.

이와 같은 1H 지연소자는 보통 RAM을 구성되기 때문에, 집적 회로 상에서 큰 면적을 점유하게 된다. 그래서, 2개의 1H 지연소자를 휘도신호 처리 및 색신호 처리에 공용하는 기술이 제안되어 있고, 예를 들면 1990년 6월에 발행된 내셔널 테크니컬 레포트의 36권 제3호의 제85페이지 내지 제90페이지에 개시되어 있다.

한편, 근래의 비디오 카메라(특히 카메라 일체형 VTR)에 있어서는 광학 줌 렌즈 자체의 배율을 일정하게 유지하면서 전체로서의 줌 배율을 높이기 위해, 종래의 광학 줌 기능에 추가로 전자 줌 기능을 병용하는 케이스가 늘고 있다. 이러한 전자 줌 기능은, 활상화면 내의 선택된 영역 내의 영상 정보를 수직 및 수평 방향으로 보간 처리함으로써 확대된 영상을 얻는 기능으로, 손 떨림에 기인하는 활상화면 주변부의 변동을 배제해서 중앙 영역의 안정한 영상을 기록하는, 이른바 손 떨림 보정 제어에도 이용된다.

이와 같은 전자 줌 기능을 실현하기 위해서는 통상 활상 소자에서 출력되는 영상 신호를 일단 기억하는 필드 메모리를, 상기 휘도 신호 및 색신호의 처리회로 전단에 설치하고, 또 전자 줌에 의해 필요로 하는 새로운 표시 포인트의 영상 정보를 합성하기 위해 보간 처리를 행하는 집적회로를 휘도 신호 및 색신호 처리회로의 후단에 설치하도록 구성되어 있다. 그리고 상기 보간 처리용 집적회로는 보간 처리를 위해 2개의 1H 지연소자를 더 필요로 한다.

따라서, 상기 문헌에 기재된 것과 같은 디지털 비디오 카메라에 있어서, 전자 줌 기능을 실현하기 위해서는 휘도신호 처리, 색신호 처리, 보간 처리를 위해 각각 집적회로가 필요하기 때문에 함께 3개의 집적회로가 필요해져서 카메라 자체의 소형화에 장애가 된다.

그래서, 이들 3개의 집적회로가 가지는 각종 기능을 1개의 집적회로 내에 수납함으로써, 비디오 카메라의 신호 처리 시스템의 소형화를 도모할 필요가 있다. 그러나, 상기와 같이 휘도신호 및 색신호 처리를 위해 2개의 1H 지연소자(RAM)이 필요하고, 또 보간 처리를 위해 2개의 1H 지연소자가 필요하기 때문에, 1개의 집적회로로 상기의 모든 신호 처리를 위해서는 1개의 집적회로 상에 4개의 1H 지연소자(RAM)을 설치해야 한다. 여기에서, 1H 지연소자(RAM)라는 것은 상기 문헌의 제89페이지의 제5(a)도의 칩의 레이아웃도에 도시한 것처럼 칩 상에서 상당히 큰 면적을 점유하기 때문에 각종 신호 처리용으로 4개의 1H 지연소자(RAM)을 필요로 한다는 것은 디지털 비디오 카메라의 신호 처리 시스템의 1칩화 실현이 곤란한 문제점이었다.

본 발명의 목적은 전자 줌 기능을 갖는 비디오 카메라의 소형화를 도모하는 것이다.

본 발명의 다른 목적은 디지털 비디오 카메라의 신호 처리 시스템의 1칩화를 도모하는 것이다.

본 발명의 또 다른 목적은 비디오 카메라의 디지털 신호 처리용 집적회로에 있어서, 통상의 휘도신호 및 색신호 처리와, 전자 줌을 위한 보간 처리를 1H 지연소자를 공용하여 행할 수 있게 하는 것이다.

본 발명을 요약하면, 칼라 필터에 의해 공간 변조된 고체 활상 소자 출력을 A/D 변환해서 필드 메모리에 일단 기억하고, 기억된 디지털 신호를 독출해서 전자 줌 기능을 실행하는 비디오 카메라를 위한 디지털 신호 처리용 집적회로로서, 제1, 제2 및 제3의 1H 지연소자, 제1, 제2, 제3 및 제4의 Y/C 분리회로, 제1RGB 합성회로, 제2RGB 합성회로, 휘도신호를 위한 보간회로 및 색신호를 위한 보간회로를 구비한다. 제1, 제2 및 제3의 1H 지연소자는 필드 메모리에서 독출된 디지털 신호를 1수평 기간씩 차례로 지연시킨다. 제1, 제2, 제3 및 제4 Y/C 분리회로는 디지털 신호 및 제1, 제2 및 제3의 1H 지연소자의 출력을 각각 휘도 성분과 선순차의 색 성분으로 분리한다. 제1RGB 합성 회로는 제1, 제2 및 제3의 Y/C 분리회로의 색 성분 출력에 기초해서 3원색 신호의 제1조를 형성한다. 제2RGB 합성회로는 제2, 제3 및 제4 Y/C 분리회로의 색 성분 출력에 기초해서 3원색 신호의 제2조를 형성한다. 휘도신호의 보간회로는 제1 및 제2의 지연소자의 출력에 기초해서, 전자 줌 기능의 실행에 따라 형성되어야 할 새로운 표시 포인트에 대응하는 3원색 신호를 합성한다.

따라서, 본 발명의 주된 이점은 1H 지연소자를 3개로 감소시키면서, 전자 줌 기능을 갖는 신호처리가 가능해지므로 디지털 비디오 카메라의 신호처리 시스템의 1칩화가 가능해지는 것이다.

제1(a)도 및 제1(b)도는 본 발명의 한 실시예에 따른 디지털 비디오 카메라의 주된 신호 처리계를 도시하는 개략 블럭도로, 특히 제1(a)도는 디지털 신호 처리용 집적회로의 전단 부분을 나타내고, 제1(b)도는 그 후단 부분을 나타낸다.

제1(a)도를 참조하면, 단판식 칼라 고체 활상 소자(1)의 수광면에는 제2(a)도에 도시한 바와 같은 배열

을 갖는 보색 칼라 필터(2)가 설치되어 있고, 이 보색 칼라 필터(2)를 통해 촬상 소자(1)의 수광면에 입사한 광은 여기서 전기신호로 광전 변환된다. 이와 같이 해서 얻어진 수광 출력의 촬상 소자(1)에서의 독출은 촬상 소자 구동 회로(3)에서 공급되는 수평 및 수직 전송 클럭에 따라 행해진다.

보다 상세히 설명하면, 기수 필드에 있어서는 연속하는 상하 2라인에 대해 각 화소마다 수광 출력이 가산되어, 점순차의 촬상 출력이 형성된다. 예를 들면, 제2(b)도의 상단 좌단(끝)을 참조하면 제2(a)도의 제1 및 제2라인의 좌단의 필터 배열 R +B 및 G +B를 통해 얻어지는 수광 출력의 합이 1개의 화소의 촬상 출력 R+G +2B를 형성하고, 마찬가지로 제2(a)도의 제1 및 제2라인의 필터 배열에서 얻어지는 수광 출력의 합이 제2(b)도의 상단 화소의 촬상 출력을 형성하고 있다. 또 제2(a)도의 제3 및 제4의 필터 배열에서 얻어지는 수광 출력의 합이 제2(b)도의 하단의 화소 촬상 출력을 형성하고 있다.

다음에 우수 필드에 있어서는, 제2(c)도에 도시한 바와 같이, 제2(b)도에서 1라인 벗어나 연속하는 상하 2라인에 대해 각 화소마다 수광 출력이 가산되어 점순차의 촬상 출력이 형성된다. 이 제2(a)도에 도시한 바와 같은 보색 칼라 필터 배열과, 그것에 의해 공간 변조되어 발생하는 제2(b)도 및 제2(c)도에 도시한 각 화소에서의 촬상 출력의 배열은 해당 기술 분야에 있어서 주지 관용의 기술이다.

이와 같이 해서 칼라 고체 촬상 소자(1)에서 도출된 점순차의 촬상 출력은 A/D 변환회로(4)에 있어서, 촬상 소자 구동 회로(3)에서 공급되는 수평 전송 클럭에 동기해서 10비트의 디지털 신호로 변환된다. 이와 같이 해서 얻어진 디지털 촬상 신호는 필드 메모리 FM에 일단 기억된다. 그리고, 전자 줌의 실행에 따른 신호처리의 타이밍에 동기해서 촬상화면 내의 선택된 영역에 대응하는 디지털 신호가 독출되어 1칩의 디지털 집적회로(30)에 입력된다.

디지털 집적회로(30)에 공급된 디지털 촬상 신호는 먼저 제로 레벨 조정회로(5)로 공급되어, 촬상 신호 중의 광학 블랙(optical black)의 출력 레벨이 제로 레벨로 되도록 기준 레벨이 조정된다. 이 제로 레벨 조정 회로(5)는 뒤에서 상세히 설명한다.

다음에, 제로 레벨 조정이 실시된 디지털 촬상 신호는 Y/C 분리부(6)으로 입력된다. Y/C 분리부(6)에 입력된 신호는 종속 접속된 3개의 1H 지연소자(D₁, D₂, 및 D₃)에 순차 입력된다. 그리고, 제로 레벨 조정 회로(5), 1H 지연소자(D₁, D₂ 및 D₃)의 출력은 각각 Y/C 분리회로(E₁, E₂, E₃ 및 E₄)로 공급된다.

Y/C 분리회로(E₁, E₂, E₃ 및 E₄) 각각은 공급된 디지털 촬상 신호를 휘도 성분(Y_L)과 선순차의 색 성분 C_r(=2R-G) 또는 C_b(=2B-G)로 분리출력한다. 또, 1H 지연소자(D₁ 및 D₂)의 디지털 지연 출력은 각각 Y/C 분리회로(E₂ 및 E₃)을 통해 그대로 도출되어, 칼라 필터(2)에 의해 공간 변조된 휘도신호(Y_H)로서 후단의 회로로 공급된다. Y/C 분리회로(6)에 대해 후에 상세히 설명한다.

또 1H 지연소자(D₁, D₂ 및 D₃)은 각각 신호 비트폭 X 1라인의 화소수분의 RAM으로 구성된다. D₁에는 제로 레벨조정(5)의 출력이, D₂에는 D₁의 출력이, D₃에는 D₂의 출력이 입력되어, 1H 기간 후에 그들 신호를 각각 출력하도록 구성된다.

이와 같이 해서 Y/C 분리부(6)에서 공급되는 4라인 분의 휘도 성분 신호(Y_L)과 선순차의 색 성분 신호(C_r 또는 C_b)는 다음 단의 RGB 합성부(7)에 공급된다. RGB 합성부(7)은 서로 동일 구성을 갖는 2개의 RGB 합성회로(G₁ 및 G₂)에 의해 구성된다.

RGB 합성회로(G₁)은 Y/C 분리회로(E₁, E₂ 및 E₃)에서 공급되는 연속하는 3라인분의 휘도 성분 신호(Y_L)과 선순차의 색 성분 신호(C_r 또는 C_b)를 수신하여 R, G 및 B의 3원색 신호와 수직 방향의 윤곽강조 신호를 형성해서 공급한다.

한편, RGB 합성회로(G₂)는 Y/C 분리회로(E₃ 및 E₄)에서 공급되는, 연속하는 3라인 분의 휘도 성분 신호(Y_L)과 선순차의 색 성분 신호(C_r 또는 C_b)를 수신하여 R, G 및 B의 3원색 신호와 수직 방향의 윤곽 강조 신호를 형성해서 공급한다.

따라서, 이 RGB 합성부(7)에서는 재생 화면 상에서 연속하는 2라인 분에 상당하는 2조의 3원색 신호 및 2개의 수직 윤곽 강조 신호가 공급되게 된다. RGB 합성회로는 후에 상세히 설명한다.

이들 2조의 3원색 신호 및 2개의 수직 윤곽 강조 신호와, Y/C 분리부(6)에서 공급되는 2개의 휘도(Y_H)는 다음 단의 수직 보간부(8)로 입력된다. 이 수직 보간부(8)은 서로 동일 구성을 갖는 5개의 수직 보간회로(H₁ 내지 H₅)로 구성된다.

수직 보간회로 각각은 전자 줌 실행시에 수직 방향의 영상 표시 정보의 보간을 행하기 위해, 촬상화면 상의 상하 2개의 라인의 동종 신호를 소정의 비율로 혼합하여, 새로운 표시 포인트에 대응하는 수직 보간 신호를 형성한다. 즉, 수직 보간회로(H₁)은 수직 윤곽 강조 신호의 수직 보간 신호를 형성하고, 수직 보간회로(H₂)는 휘도신호(Y_H)의 수직 보간 신호를 형성하고, 수직 보간회로(H₃)은 R 신호의 수직 보간 신호를 형성하고, 수직 보간회로(H₄)는 G신호의 수직 보간 신호를 형성하고, 수직 보간회로(H₅)는 B신호의 수직 보간 신호를 형성한다. 또, 수직 보간회로는 뒤에서 상세히 설명한다.

이와 같이, 수직 보간부(8)에서 공급된 5종류의 수직 보간 신호는 다음 단의 수평 보간부(9)에 입력된다. 이 수평 보간부(9)는 서로 동일 구성을 갖는 5개의 수평 보간회로(J₁ 내지 J₅)에 의해 구성된다.

각각의 수평 보간회로는 전자 줌 실행시에, 수평 방향의 영상 표시 정보의 보간을 행하기 위해, 앞뒤에 있는 동종의 신호를 소정의 비율로 혼합해서 새로운 표시 포인트에 대응하는 수평 보간 신호를 형성한다. 즉, 수평 보간회로(J₁)은 수직 윤곽 강조 신호의 수평 보간 신호를 형성하고, 수평 보간회로(J₂)는

휘도신호(Y_H)의 수평 보간 신호를 형성하고, 수평 보간회로(J_3)는 R신호의 수평 보간 신호를 형성하고, 수평 보간회로(J_4)는 G신호의 수평 보간 신호를 형성하고 수평 보간회로(J_5)는 B신호의 수평 보간 신호를 형성한다.

또 수평 보간회로에 대해서는 후에 상술한다.

이와 같이, 수평 보간부(9)에서 공급된 수직 및 수평 보간이 실시된 5종류의 신호 중, 3원색 신호 R, G, B는 에지 크로머 억압부(10)에 입력된다. 에지 크로머 억압부(10)는 억압 제어 신호 발생 회로(N)과, 에지 크로머 억압 회로(M_1 내지 M_3)에 의해 구성된다. 상기 3원색 신호 R, G, B는 각각 에지 크로머 억압 회로(M_1 , M_2 및 M_3)에 입력된다. 또 억압 제어 신호 발생 회로(N)은 수평 보간부(9)에서 공급되는 수직 윤곽 강조 신호와 후술하는 윤곽 강조 부가 회로(11)에서 공급되는 수평 윤곽 강조 신호를 수신하여 휘도 신호(Y_H)의 수직 방향 및 수평 방향의 비 상관 부분을 검출하고 억압 제어 신호를 발생해서 에지 크로머 억압 회로(M_1 내지 M_3)에 공급한다. 각 에지 크로머 억압 회로는 이 억압 제어 신호에 따라 그 출력 게인을 제어한다. 이것에 의해, 활상화면 상의 수평 및 수직 방향의 휘도 변화가 큰 부분에 있어서의 색의 번짐을 방지할 수 있다. 에지 크로머 억압부(10)에 대해서는 뒤에서 상세히 설명한다.

수평 보간부(9)에서 공급되는 수직 윤곽 강조 신호는 또한 윤곽 강조 부가 회로(11)로 공급되고, 한편 수평 보간부(9)에서 공급되는 휘도신호(Y_H)는 디지털 저역 통과 필터(L_1)을 통해 고역 성분(변조색 신호)이 제거된 후, 윤곽 강조 부가 회로(11) 및 병직렬 변환회로(12)로 공급된다. 또 에지 크로머 억압부(10)에서 공급되는 3원색 신호 R, G, B는 각각 디지털 저역 통과 필터(L_2 , L_3 및 L_4)를 통해 중 고역 성분이 제거된 후 병직렬 변환회로로 공급된다.

윤곽 강조 부가 회로(11)은 휘도신호(Y_H)에 기초해서 수평 윤곽 강조 신호를 발생하고 수직 및 수평 윤곽 강조 신호를 휘도신호(Y_H)에 부가한다. 윤곽 강조 부가 회로(11)에 대해서는 후에 상술한다.

한편, 디지털 저역 통과 필터(L_2 내지 L_4)에 의해 각각 중고역 성분이 제거된 3원색 신호 R, G, B 각각은 휘도신호 대역의 1/3의 신호 대역밖에 가지고 있지 않다. 그래서, 이들 3원색 신호 R,G,B를 시분할 압축 다중화함으로써, 3원색 신호를 휘도 신호 대역과 동등한 대역의 1계통의 신호로 변환할 수 있다. 이와 같이, 시분할 압축 다중에 의해 색신호의 감마 보정을 실시하기 위한 감마 보정 회로는 1조로 충분하고, R,G,B의 각 신호마다 신호 처리를 하는 경우에 비해 회로를 간소하게 구성할 수 있다.

이 때문에, 병직렬 변환회로(12)는 저역 통과 필터(L_2 내지 L_4)에 의해 대역 제한된 3원색 신호를 점순차의 시간축 압축 다중 신호로 변환하고, 또 고 휘도 부분 및 저 휘도 부분의 색신호 레벨을 억압하는 처리와, 화이트 밸런스를 제어하는 처리를 한다. 이들 처리는 고체 활상 소자의 광전하의 포화시에 화면상에 발생하는 처리를 한다. 이들 처리는 고체 활상 소자의 광전하의 포화시에 화면상에 발생하는 이른바 하이라이트 그린의 제거와, 저휘도부의 색신호의 S/N 비의 개선을 목적으로 한다. 또 병직렬 변환회로(12)에 대해서는 후에 상술한다.

윤곽 강조 부가 회로(11)에 의해 윤곽 강조 신호가 부가된 휘도 신호와, 병직렬 변환회로(12)에 의해 시분할 다중된 3원색 신호는, 제1(b)도에 도시한 후단의 감마 보정 회로(13)에 공급된다. 이 감마 보정에 의해 브라운관에 표시할 때 문제로 되는 브라운관의 감마 특성이 보정된다.(입력 전압 V에 대한 발광 휘도(L)이 $L \propto V^{0.45}$ 로 된다.)

감마 보정된 휘도 신호는 지연회로(16a)를 통해 신호 선택 회로(17)로 입력된다. 한편 감마 보정된 시분할 다중 3원색 신호는 직병렬 변환회로(14)에 입력되어 본래의 3원색 신호로 변환된다. 3원색 신호 R,G,B는 다시 지연회로(16b)를 통해 다이강 조정용의 지연회로(16a)를 통한 휘도신호와 타이밍이 맞추어진 상태로 신호 선택회로(17)로 공급된다. 신호 선택 회로(17)은 칼라바 등의 기준 신호 및 타이틀 신호 발생원을 포함하고 이들 신호를 선택적으로 출력한다.

신호 선택회로(17)에서 출력된 3원색 신호 R,G,B는 매트릭스 회로(18)로 공급되어, 2종류의 색차 신호로 변환된 후 후단의 저채도 크로머 억압 회로(20)으로 공급된다. 저채도 크로머 억압 회로(20)은 백색이나 흑색등의 저채도 부분에 노이즈등에 의해 색을 갖게 되는 것을 방지하기 위해 저채도 부분의 색차 신호의 억압을 행한다. 저채도 크로머 억압 회로(20)에 대해서는 후에 상술한다.

저채도 크로머 억압 회로(20)에 의해 억압된 2개의 색차 신호는 각각 저역 통과 필터(L_5 및 L_6)으로 공급되어 저역 성분만이 추출된다. 한편, 신호 선택회로(17)에서 출력된 휘도신호는 지연회로(19)에 의해 저역 통과 필터(L_5 및 L_6)에서 출력되는 색차 신호와 타이밍이 맞추어진다. 이 휘도 신호와, 저역 통과 필터(L_5 및 L_6)에서 출력되는 색차 신호는, 디지털 출력으로서 디지털 집적 회로(30)의 외부로 공급된다.

저역 통과 필터(L_5 및 L_6)의 출력은 또한 샘플링 변환 회로(21)로 공급되어, 상기 수평 전송 클럭과는 다른 위상 및 주기를 갖는 칼라 서브캐리어의 주파수 f_{sc} 의 4배의 주파수에서의 신호처리가 가능하도록 샘플링 타이밍, 즉 데이터 래치 타이밍이 변경된다.

샘플링 변환회로(21)의 출력은 버스트 부가 회로(22)로 공급되어 버스트 신호에 대응하는 기준 레벨 신호가 부가된다. 기준 레벨 신호가 부가된 색차 신호는 엔코드 회로(23)으로 공급되어 직각 위상 변조된다. 버스트 부가 회로(22) 및 엔코드 회로(23)에 대한 상세한 설명은 후술한다.

엔코드 회로(23)의 변조 출력은 가산회로(24)의 한 쪽 입력에 공급된다. 또, 가산회로(24)의 다른쪽 입력에는 정수 발생회로(25)의 출력이 공급되어 상기 변조 출력에 가산된다. 가산회로(24)의 출력은 D/A 변환회로(27)로 공급되어 아날로그의 변조 색신호로 변환된다. 한편, 지연회로(19)의 출력은

지연회로(28)에 의해 가산회로(24)의 출력과 타이밍이 맞추어진후, D/A 변환회로(26)으로 공급되어 아날로그의 휘도신호로 변환된다. 이상과 같이 디지털 집적회로(50)에서는 아날로그의 휘도신호 및 변조 색 신호가 외부 출력된다.

또 본 실시예에 있어서는, D/A 변환회로(26)에 의한 아날로그 변환 후에, 도시하지 않은 회로에 의해 동기 신호가 휘도신호에 부가된다. 이것에 의해, 디지털 집적회로(30)에 있어서의 디지털 처리시에 영상신호 레벨의 다이내믹 레이지를 충분히 크게 확보할 수 있다.

다음에 제1(a)도 및 제1(b)도에 도시한 실시예의 각 구성 요소에 대해 상세히 설명한다.

[제로 레벨 조정 회로]

먼저, 제3도는 제1(a)도에 도시한 제로 레벨 조정 회로(5)의 구성을 도시한 블록도이다. 이 제로 레벨 조정 회로(5)는 각 수평 주사 기간의 종료 부분에 있어서 활상 신호에 포함되는 광학 블랙의 출력 레벨이 제로 레벨이 되도록 필드 메모리 FM에서 독출된 디지털 활상 신호의 기준 레벨을 조정한다.

먼저 필드 메모리 FM에서 독출되어 제로 레벨 조정 회로(5)에 입력된 10비트의 디지털 활상 신호는 래치 회로(5a)에 공급됨과 동시에, 감산 회로(5i)의 정(正) 입력에 공급된다. 래치회로(5a)는 도시하지 않은 신호원에서 공급되는 래치 펄스(P₁)에 동기해서 활상 신호의 광학 블랙 부분의 중앙 부근의 8샘플점에 대응하는 활상 신호 레벨을 순차 래치한다. 래치회로(5a)에 의해 래치된 데이터는 순차 가산 회로(5b)의 한 쪽 입력으로 공급된다.

래치회로(5c)는 래치 펄스(P₁)의 직전에 도시하지 않은 신호원에서 공급되는 래치 펄스(P₂)에 의해 미리 리셋되고, 상기 래치 펄스(P₁)에 따라 가산회로(5b)의 출력을 순차 래치한다. 그리고, 래치회로(5c)에 의해 래치된 데이터는 차례로 가산 회로(5b)의 다른 쪽 입력으로 공급된다. 즉, 가산회로(5b)는 래치회로(5a 및 5c)의 출력을 차례로 가산함으로써 활상 신호의 8 샘플점에 있어서의 신호 레벨을 차례로 적산하여 그 적산 결과는 래치회로(5c)에 래치되게 한다.

이와 같이, 8샘플 분의 적산 완료 후에, 래치회로(5d)는 래치 펄스(P₂)를 지연회로(5h)에서 1수평기간 지연시켜 얻어지는 래치 펄스(D₁)에 따라 래치회로(5c)에 래치되어 있는 13비트의 적산치 중 하위 3비트를 제외한 상위 10비트의 적산치를 평균치로서 래치한다.

래치회로(5d)에 래치된 평균치 데이터는 선택회로(5f)의 한 쪽 입력과 가산회로(5e)의 다른 쪽 입력에 공급된다. 선택회로(5f)는 도시하지 않은 신호원에서 공급되는 제어 신호에 따라 각 필드의 선두 부분에서 적산 개시시 1회만 래치회로(5d)의 출력을 선택해서 가산회로(5e)의 다른 쪽 입력에 공급한다. 가산회로(5e)의 출력은 각 필드의 선두 부분에서 도시하지 않은 신호원에서 공급되는 래치 펄스(P₃)에 의해 미리 리셋되어 있는 래치회로(5g)에 공급되고, 그 래치 출력은 선택회로(5f)의 다른 쪽 입력에 공급된다. 선택회로(5f)는 제어신호에 따라, 2회째 이후의 적산 동작에 있어서는 래치회로(5g)의 출력을 선택해서 가산회로(5e)의 다른 쪽 입력에 공급한다.

가산회로(5e)의 적산 출력의 하위 1비트를 제외한 상위 10비트가 적산 출력의 평균치로서 상기 지연된 펄스(D₁)에 의해 래치회로(5g)에 래치된다. 그리고, 래치회로(5g)의 출력은 제로 레벨 기준치로서 감산회로(5i)의 부(負) 입력으로 공급된다.

감산회로(5i)는 필드 메모리 FM에서 독출된 디지털 활상 신호에서 상기 제로 레벨 기준치를 감산하고, 그 출력은 제로 레벨 클립 회로(5j)에 입력된다. 제로 레벨 클립 회로(5j)는 불필요한 부의 감산 출력을 제로 레벨로 클립하고, 10비트의 제로 레벨 조정된 출력을 공급한다. 이것에 의해 제3도의 제로 레벨 조정 회로(5)에서는 활상 신호의 광학 블랙 부분의 신호 레벨이 제로 레벨로 조정된, 제로 레벨 조정 출력이 후단의 Y/C 분리부(6)에 공급된다.

[Y/C 분리회로]

다음에 제4도는 제1(a)도에 도시한 Y/C 분리회로(E₂)의 구성을 도시한 블록도이다. 또 Y/C 분리회로(E₃)는 Y/C 분리회로(E₂)와 동일 구성을 가지고, Y/C 분리회로(E₁ 및 E₄)는 활상 신호 출력(Y_H)를 가지고 있지 않은 점을 제외하고 Y/C 분리회로(E₂)와 동일 구성을 가진다.

Y/C 분리회로는 입력된 디지털 활상 출력을 그대로 공간 변조된 고역 휘도신호(Y_H)로서 출력함과 동시에 디지털 활상 출력을 저역의 휘도 성분(Y_L)과 선순차의 색성분(C_r 또는 C_b)로 분리해서 출력한다.

먼저, 제4도를 참조하면 제3도의 제로 레벨 조정 회로(5)에서 공급되는 제로 레벨 조정 출력은 종으로 연속 접속된 래치회로(6a 내지 6d)에 차례로 래치된다. 그리고 래치회로(6b 및 6d)의 출력은 평균화하기 위해 가산회로(6e)의 입력에 각각 공급되어 가산된다. 이 가산회로(6e)의 평균화된 출력(A)는 래치회로(6c)의 출력(B)에 대응하고 있다. 이 평균화 출력(A)는 가산회로(6f) 및 감산회로(6g)의 각각 한쪽 입력에 공급된다. 또 래치회로(6c)의 출력(B)는 가산회로(6f) 및 감산회로(6g)의 각각 다른 쪽 입력으로 공급됨과 동시에 고역 휘도 성분(Y_H)로서 그대로 공급된다.

이 결과, 가산회로(6f)로부터는 상기 출력(A 및 B)의 합에 상당하는 신호 Y_L=2R+2B+3G가 저역 휘도 성분(Y_L)로서 출력된다. 또, 감산회로(6g)로부터는 상기 A 및 B의 차에 상당하는 신호 ±C_r=(2R-G) 또는 ±C_b=(2B-G)가 색성분으로서 선순차로 출력된다. 또 색성분(C_r 및 C_b)의 정부의 부호는 점순차로 반전된다.

휘도 성분(Y_L)은 래치회로(6h 및 6i)를 거쳐 2클럭 기간 지연되어 출력된다. 한편 선순차의 ±C_r 및

$\pm C_b$ 는 래치회로(6j)를 통해 부호 제어 회로(6k)로 공급되고, 이 부호 제어 회로(6k)는 도시하지 않은 신호원에서 공급되는 펄스(P_4)에 의해 색성분의 점순차의 부호 반전 상태를 해소한다. 이 결과, 부호 제어 회로(6k)에서는 선순차로 C_r 또는 C_b 가 색성분으로서 출력된다.

[RGB 합성회로]

다음에 제5도는, 제1(a)도의 RGB 합성회로(G_1)의 구성을 도시하는 블록도이다. 또, RGB 합성회로(G_2)도 RGB 합성회로(G_1)과 동일 구성을 갖는다.

이 RGB 합성회로(G_1)은 선순차 색신호의 동시화 회로(7a), RGB 합성 처리 회로(7b) 및 수직 윤곽 강조 신호 발생 회로(7c)로 구성된다.

먼저 동시화 회로(7a)는 제0라인 및 제2라인 색성분 정보를 종류가 서로 같고 또 제1라인의 색성분 정보와는 종류가 다르다고 하는 것에 착안하여, 제0라인 및 제2라인의 색성분 정보에 기초하여, 제1라인의 영상 표시 포인트에 대응하는 색정보를 합성한다. 합성은 후술하는 바와 같이, 휘도 신호의 상관에 기초하여 실행된다.

즉, 0라인의 색성분 C_0 는 래치회로(G_3) 및 래치회로(G_{10})을 거쳐 상기 평균 회로(G_{15})에 입력된다. 또 제2라인의 색성분(C_2)는 래치회로(G_5) 및 래치회로(G_{12})를 거쳐 상기 평균 회로(G_{15})로 입력된다. 또 제1라인의 색성분(C_1)은 래치회로(G_4) 및 래치회로(G_{11})을 거쳐 래치회로(G_{20})에 입력된다.

상기 평균의 계수를 결정하기 위해 감산회로(G_6)에 있어서 제0라인의 합성 휘도 성분(Y_{10})에서 제1라인의 합성 휘도 성분(Y_{11})을 감함으로써, 해당 제1라인의 상측에서 상하에 인접하는 라인 간의 휘도신호의 차가 구해진다. 한편, 감산회로(G_7)에 있어서, 제1라인의 하측에서 상하에 인접하는 라인간의 휘도신호의 차가 구해진다.

얻어진 2개의 차신호의 각각 상위 5비트가 래치회로(G_8) 및 래치회로(G_9)에 각각 래치되고, 이들 래치 출력은 상기 평균 계수 산출 회로(G_{13})에 공급된다. 이 상기 평균 계수 산출 회로(G_{13})은 제1라인의 상측 및 하측의 차신호 레벨끼리의 차에 따라 4비트의 상기 평균 계수 K 를 산출하여 래치회로(G_{16})에 래치시킨다.

상기의 상기 평균 회로(G_{15})는 이 상기 평균 계수 K 에 따라, 제0라인 및 제2라인의 입력 신호를 상기 평균 처리해서 래치회로(G_{19})에 공급한다.

따라서, 래치회로(G_{19} 및 G_{20})에는 서로 종류가 다른 2종류의 색성분이 동시화되어 공급된다. 다만, 래치되는 색성분은 색정보의 종류가 라인마다 전환되어 있기 때문에, 후단에 전환 회로를 설치함으로써, 동일 색정보를 동일 신호 경로에 공급하도록 신호의 선택 전환을 행할 필요가 있다.

또 휘도 신호에 대해서도 동일하다. 즉, 제0라인 및 제2라인의 휘도 신호(Y_{10} 및 Y_{12})를 상기 평균 회로(G_{14})에 의해 상기 평균 계수 K 에 따라 상기 평균한다. 이 상기 평균의 결과는 래치회로(17)에 래치되고, 또 가산회로(G_{18})에 의해 제1라인의 휘도 신호(Y_{11})에 가산된다. 그 결과, 얻어지는 12비트의 가산 출력중, 상위 11비트가 래치회로(G_{21})에 입력되어 평균화되고, 이것에 의해 3라인 분의 합성 휘도 성분(Y_L)이 합성된다.

다음에, RGB 합성처리 회로(7b)는 동시화된 색성분을 전환 선택함으로써, 각 신호로 마다 색정보를 공통화한 후, 또한 2종류의 색성분(C_r 및 C_b)를 RGB의 3원색 신호로 변환한다.

즉, 래치회로(G_{19} 및 G_{20})의 출력은 선택회로(G_{23} 및 G_{24})에 의해 도시하지 않은 신호원에서 공급되는 라인 주기로 출력 레벨이 반전되는 펄스(P_5)에 따라 상보적으로 선택되어 선택회로(G_{23})에서 C_b 성분이 그리고 선택회로(G_{24})에서 C_r 성분이 연속적으로 공급된다.

이와 같이 해서 얻어진 C_b 성분 및 C_r 성분은 감산회로(G_{27})에서 감산되어 차신호로서 ($C_r - C_b$)가 출력되어 래치회로(G_{29} 및 G_{36})에 차례로 래치된다.

또, Y_L 성분 및 C_r 성분은 감산회로(G_{28})에서 감산되어 차신호로서 ($Y_L - C_r$)이 출력되어 래치회로(G_{31})에 래치된다. 또, 래치회로(G_{31})의 출력은 승산 회로(G_{34})에서 0.25의 정수 K_2 를 곱하여 래치회로(G_{38})에 래치된다.

또, Y_L 성분 및 C_b 성분은 감산회로(G_{22})에서 감산되어 차신호로서 ($Y_L - C_b$)가 출력되어 래치회로(G_{55})에 래치된다. 또한, 래치회로(G_{55})의 출력은 승산회로(G_{35})에서 0.25의 정수 K_1 을 곱하여 래치회로(G_{40})에 래치된다. 또, 래치회로(G_{21})의 래치 출력은 래치회로(G_{33} 및 G_{41})에도 공급되어 래치된다.

래치회로(G_{25})에 래치된 C_b 성분은 래치회로(G_{30} 및 G_{37})에 차례로 래치되고 래치회로(G_{26})에 래치된 C_r 성분은 래치회로(G_{32} 및 G_{39})에 차례로 래치된다.

감산회로(G_{42})는 래치회로(G_{36} 및 G_{41})의 래치 출력을 감산해서 G성분으로 다음과 같은 출력을 산출해서 래치회로(G_{45})로 공급한다.

$$Y_L - C_r + C_b = (2R + 3G + 2B) - (2R - G) - (3B - G) = 5G$$

감산회로(G₄₃)는 래치회로(G₃₇ 및 G₃₈)의 래치 출력을 감산해서 B성분으로 다음과 같은 출력을 산출해서 래치회로(G₄₆)로 공급한다.

$$0.25(Y_L - C_r) - C_b = 0.25(4G + 2B) + 2B - G = 2.5B$$

감산회로(G₄₄)는 래치회로(G₃₉ 및 G₄₀)의 래치 출력을 감산해서 R성분으로서 다음과 같은 출력을 산출해서 래치회로(G₄₇)로 공급한다.

$$0.25(Y_L - C_b) - C_r = 0.25(4G + 2R) + 2R - G = 2.5R$$

래치회로(G₄₅, G₄₆ 및 G₄₇)의 출력은 각각 제로 클립 회로(G₄₈, G₄₉ 및 G₅₀)을 통해 10비트의 3원색 신호 G, B 및 R로서 출력된다.

한편, 수직 윤곽 강조 신호 발생회로(7c)는 상하 라인간의 휘도정보의 차에 기초해서 수직 윤곽 강조 신호를 발생한다. 먼저, 0라인패 및 2라인패의 지역 휘도 성분(Y_{L0} 및 Y_{L2})는 가산회로(G₅₂)에서 평균화되어 래치회로(G₅₃)에 래치된다. 또, 1라인패의 지역 휘도 성분(Y_{L1})은 래치회로(G₅₁)에 래치되고, 그 출력은 감산회로(G₅₄)에서 래치회로(G₅₃)의 출력과 감산 처리된다. 이 감산에 의해 수직 방향의 휘도 변화의 경계 부분에서 정부(正負) 양방향으로 변화하는 제1라인의 수직 윤곽 강조 성분이 형성되어 래치회로(G₅₆)에 래치된다. 래치회로(G₅₆)의 출력은 고역 성분 및 대진폭 성분을 차단하는 지역 통과 필터 및 슬라이스 회로(G₅₇)을 통해 미분되어진 윤곽 강조 신호로서 공급된다.

[상가 평균 회로]

다음에 제6도는 제5도 중에 도시한 색 성분의 상가 평균 회로(G₁₅)의 구체적 구성을 도시한 블록도이다. 또 휘도 성분의 상가 평균회로(G₁₄)도 상가 평균 회로(G₁₅)와 같은 회로 구성을 갖는다.

먼저 제5도의 상가 평균 계수 산출회로(G₁₃)으로부터 래치회로(G₁₆)을 통해 공급되는 4비트의 상가 평균 계수 K는 제6도의 래치회로(G₆₀)에 래치됨과 동시에 감산회로(G₆₅)에 공급되어 정수 1에서 감산처리되어 계수(1-K)가 래치회로(G₅₉)에 래치된다.

래치회로(G₆₀)에 래치된 상가 평균 계수 K는 제2라인의 색성분(C₂)와 승산처리되고, 래치회로(G₅₉)에 래치된 계수(1-K)는 제0라인의 색성분(C₀)와 승산처리된다. 승산 결과는 각각 이하와 같이 가산되어 비례 배분 처리가 실행된다.

보다 상세히 설명하면, 제0라인의 색성분(C₀)는 그대로 AND 게이트(G₆₁)의 한 쪽의 입력에 공급되고, 시프트다운 회로(G₆₂)에 의해 1비트만 시프트다운된 1/2 레벨의 색성분은 AND 게이트(G₆₂)의 한 쪽 입력에 공급되고, 시프트다운 회로(G₆₃)에 의해 2비트만 시프트다운된 1/4 레벨의 색성분은 AND 게이트(G₆₃)의 한 쪽의 입력에 공급되고, 시프트다운 회로(G₆₄)에 의해 3비트만 시프트다운된 1/8 레벨의 색성분은 AND 게이트(G₆₄)의 한 쪽 입력에 공급된다. 한편 래치회로(G₅₉)에 래치되어 있는 4비트의 계수(1-K)의 각 비트 출력은 각 AND 게이트의 제어 입력으로서 대응하는 AND 게이트의 다른 쪽 입력에 공급되어 비트마다 승산처리가 실행된다.

AND 게이트(G₆₁)의 출력과 AND 게이트(G₆₂)의 출력은 가산회로(G₆₉)에서 가산되고 그 가산출력은 래치회로(G₇₃)에 래치된다.

또, AND 게이트(G₆₃)의 출력과 AND 게이트(G₆₄)의 출력은 가산회로(G₇₀)에서 가산되고, 그 가산 출력은 래치회로(G₇₄)에 래치된다.

또 래치회로(G₇₃)의 출력과 래치회로(G₇₄)의 출력은 가산회로(G₇₇)에서 가산되어 그 가산 출력은 래치회로(G₇₉)에 래치된다.

제2라인의 색성분(C₂)에 대해서도, 상기 색성분(C₀)에 대한 처리와 동일 처리가 실시된다. 즉, 제2라인의 색성분(C₂)는 그대로 AND 게이트(G₆₅)의 한 쪽 입력에 공급되고, 시프트다운 회로(G₆₅)에 의해 1비트만 시프트다운된 1/2레벨의 색성분은 AND 게이트(G₆₆)의 한 쪽 입력에 공급되고, 시프트다운 회로(G₆₆)에 의해 2비트만 시프트다운된 1/4레벨의 색성분은 AND 게이트(G₆₇)의 한 쪽 입력에 공급되고, 시프트다운 회로(G₆₇)에 의해 3비트만 시프트 다운된 1/8 레벨의 색성분은 AND 게이트(G₆₈)의 한 쪽 입력에 공급된다. 한편, 래치회로(G₆₀)에 래치되어 있는 4비트의 상가 평균 계수 k의 각 비트 출력은 각 AND 게이트의 제어 입력으로서, 대응하는 AND 게이트의 다른 쪽 입력에 공급되어 비트마다 승산처리가 실행된다.

AND 게이트(G₆₅)의 출력과 AND 게이트(G₆₆)의 출력은 가산회로(G₇₁)에서 가산되고, 그 가산 출력은 래치회로(G₇₅)에 래치된다. 또 AND 게이트(G₆₇)의 출력과 AND 게이트(G₆₈)의 출력은 가산회로(G₇₂)에서 가산되고, 그 가산 출력은 래치회로(G₇₆)에 래치된다. 또 래치회로(G₇₅)의 출력과 래치회로(G₇₆)의 출력은 가산회로(G₇₈)에서 가산되고 그 가산 출력은 래치회로(G₈₀)에 래치된다.

또, 래치회로(G_{79})의 출력과 래치회로(G_{80})의 출력은 가산회로(G_{81})에서 가산되고, 가산회로(G_{81})로부터는 비례 배분 처리가 실시된 상가 평균 출력이 공급된다.

[수직 보간회로]

다음에, 제7도는 제1(a)도에 도시한 수직 보간회로(H_2)의 구체적인 구성을 도시한 블럭도이다. 또 나머지 수직 보간회로(H_1 , H_3 및 H_5)도 공통의 회로 구성을 갖는다.

이 수직 보간회로는 전자 줌의 실행에 따라 확대된 영상을 형성하기 위해 활상 포인트(화소)간을 수직 방향으로 8등분함으로써 특정되는, 거의 균등한 간격의 표시 포인트에 대응하는 새로운 영상 데이터를 활상 포인트에 있어서 활상 출력에 기초해서 비례 배분으로 합성한다.

즉, 새로운 표시 포인트가 어느 활상 포인트 상방의 활상 포인트 측으로 $X/8$ (X 는 0 내지 7의 정수)만큼 돌아온 위치에 있을 때 비례 배분에 의해 표시 포인트의 영상 데이터를 구성한다.

먼저, Y/C 분리회로(E_2 및 E_3)에서 공급된 서로 1수평 기간 벗어난 휘도 성분(Y_{H1} 및 Y_{H2})는 래치회로(H_{10} 및 H_{11})에 각각 공급된다. 그 결과 공간적으로 수직 방향에 전후하는 휘도신호가 래치되게 된다.

이 전후관계에 있어서, 합성 되어야할 표시 포인트를 특정하는 X 가 래치회로(H_8)에 래치됨과 동시에 감산 회로(H_6)에 공급되어 정수 1로 감산 처리되어 $1-X$ 가 래치회로(H_7)에 래치된다.

래치회로(H_8)에 래치되어 있는 X 는 휘도성분(Y_{H2})와 승산처리 되고, 래치회로(H_7)에 래치되어 있는 $1-X$ 는 휘도성분(Y_{H1})과 승산처리되고, 승산 결과는 각각 이하와 같이 가산되어 비례 배분 처리가 실행된다.

보다 상세히 설명하면, 래치회로(H_{10})의 출력은 그대로 AND 게이트(H_{12})의 한 쪽 입력으로 공급되고, 시프트다운 회로(H_{31})에 의해 1비트만 시프트다운된 래치출력은 AND 게이트(H_{13})의 한 쪽 입력에 공급되고, 시프트다운 회로(H_{32})에 의해 2비트만 시프트다운된 래치 출력은 AND 게이트(H_{14})의 한 쪽 입력에 공급되고, 시프트다운 회로(H_{33})에 의해 3비트만 시프트다운된 래치 출력은 AND 게이트(H_{15})의 한 쪽 입력으로 공급 된다.

한편 래치회로(H_7)에 래치되어 있는 4비트의 계수($1-X$)의 각 비트 출력은 각 AND 게이트의 제어 입력으로서, 대응하는 AND 게이트의 다른 쪽 입력에 공급되어 비트마다 승산처리가 실행된다.

AND 게이트(H_{12})의 출력과 AND 게이트(H_{13})의 출력은 가산회로(H_{19})에서 가산되고, 그 가산 출력은 래치회로(H_{22})에 래치된다. 또 AND 게이트(H_{14})의 출력과 AND 게이트(H_{15})의 출력은 가산회로(H_{20})에서 가산되고, 그 가산 출력은 래치회로(H_{23})에 래치된다. 또 래치회로(H_{22})의 출력과 래치회로(H_{23})의 출력은 가산 회로(H_{26})에서 가산되고, 그 가산 출력은 래치회로(H_{28})에 래치된다.

한편, 래치회로(H_{11})의 출력은 시프트다운 회로(H_{34})에 의해 1비트만 시프트다운 되어 AND 게이트(H_{16})의 한 쪽 입력에 공급되고, 시프트다운 회로(H_{35})에 의해 2비트만 시프트다운된 래치출력은 AND 게이트(H_{17})의 한 쪽 입력에 공급되고, 시프트다운 회로(H_{36})에 의해 3비트만 시프트다운된 출력은 AND 게이트(H_{18})의 한 쪽 입력에 공급된다.

한편, 래치회로(H_8)에 래치되어 있는 4비트의 계수 X 의 하위 3비트 출력 각각은 각 AND 게이트의 제어 입력으로서, 대응하는 AND 게이트의 다른 쪽 입력에 공급되어 비트마다 승산 처리가 실행된다.

AND 게이트(H_{16})의 출력은 래치회로(H_{24})에 래치된다. 또 AND 게이트(H_{17})의 출력과 AND 게이트(H_{18})의 출력은 가산회로(H_{21})에서 가산되고, 그 가산 출력은 래치회로(H_{25})에 래치된다. 또 래치회로(H_{24})의 출력과 래치회로(H_{25})의 출력은 가산회로(H_{27})에서 가산되고, 그 가산 출력은 래치회로(H_{29})에 래치된다.

또, 래치회로(H_{28})의 출력과 래치회로(H_{29})의 출력은 가산회로(H_{30})에서 가산되고, 가산회로(H_{30})에서는 합성된 새로운 표시 포인트의 영상 데이터가 출력된다.

[수평 보간회로]

제8도는 제1(a)도에 도시한 수평 보간회로(J_2)의 구성을 도시하는 블럭도이다. 다른 수평 보간회로(J_1 , J_3 내지 J_5)도 수평 보간회로(J_2)와 공통의 회로 구성을 갖는다.

이 제8도에 도시한 수평 보간회로는 제7도의 수직 보간회로에서 출력되는 휘도 성분(Y_H)이 래치회로(J_{11})에 공급됨과 동시에 래치회로(J_9)를 통해 래치회로(J_{10})에 공급되는 점을 제외하고, 제7도의 수직 보간회로와 동일구성을 가지고 있으므로 그 상세한 설명을 여기서 반복하지 않는다.

[윤곽 강조 부가 회로]

다음에, 제9도는 제1(a)도에 도시한 윤곽 강조 부가 회로(11)의 구체적 구성을 도시한 블럭도이다. 윤곽 강조 부가 회로(11)은 수평 보간회로(J_2)에서 저역 통과 필터(L_1)을 통해 공급되는, 고역 성분이 제거된 휘도신호(Y)에 기초해서 수평 윤곽 강조 신호를 형성하고 수평 보간회로(J_1)에서 공급되는 수직 윤곽 강조 신호에 가산해서 윤곽 강조 신호를 형성하여 휘도신호(Y)에 가산한다.

제9도를 참조해서 보다 상세히 설명하면 수직 및 수평 보간이 실시된 휘도신호(Y)는 수평 윤곽 강조 신호 발생 회로(11b)에 입력됨과 동시에 가산회로(11e)의 한 쪽 입력에 공급된다. 이 신호는 칼라 필터(2)에 의해 공간 변조된 활상 출력으로, 이것을 휘도 신호로 간주하기 위해서는 전후하는 2라인분의 활상 출력을 가산 평균할 필요가 있다. 따라서, 수평 윤곽 강조 신호 발생 회로(11b)에 입력된 휘도신호(Y)는 래치회로(11f 및 11g)에 차례로 입력되고, 양 래치회로의 출력은 또한 가산회로(11h)의 입력에 각각 공급된다. 그 결과 가산회로(11h)에서 얻어지는 평균 출력은 휘도 신호로서 래치회로(11i)에 래치된다.

이 래치회로(11i)의 출력은 래치회로(11j 및 11k)에 차례로 입력되고, 가산회로(11i)은 래치회로(11j)의 출력에 대해 공간적으로 양측 라인의 휘도 신호를 평균화해서 래치회로(11m)에 래치한다.

래치회로(11m)에서의 래치 타이밍으로, 래치회로(11j)의 출력은 래치회로(11k)에 래치되고, 래치회로(11m 및 11k)의 출력은 각각 감산회로(11n)의 부 및 정입력에 공급된다. 감산회로(11n)은 공간적으로 중앙 라인의 휘도치에서 공간적으로 양측 라인의 휘도 신호의 평균치를 감산해서 수평 방향의 윤곽 강조 신호를 형성하고 있다. 이 수평 윤곽 강조 신호는 가산 회로(11c)의 한 쪽 입력에 공급됨과 동시에 후술하는 에지 크로머 억압부(10)의 억압 제어 신호 발생 회로(N)에 공급된다.

한편, 수직 및 수평 보간이 실시된 수직 윤곽 강조 신호는 승산회로(11a)의 한 쪽 입력에 공급되고, 상기 수평 윤곽 강조 신호와의 밸런스를 유지하기 위해 소정의 정수 K_3 과 승산된 후 가산회로(11c)의 다른 쪽 입력에 공급된다. 가산회로(11c)는 수직 및 수평의 윤곽 강조 신호를 가산해서 승산회로(11d)의 한 쪽 입력에 공급된다. 이 윤곽 강조 신호는 승산기(11d)에서 정수 K_4 가 승산되어 레벨 조정된 후 가산 회로(11e)의 다른 쪽 입력에 공급된다.

이것에 의해, 휘도 신호에 윤곽 강조 신호가 부가되어, 영상 상의 휘도 변화의 경계 부분, 즉 피사체의 윤곽 강조가 행해진다.

[에지 크로머 억압회로]

다음에 제10도는 제1(a)도에 도시한 에지 크로머 억압부(10)를 구성하는 억압 제어 신호 발생 회로(N) 및 에지 크로머 억압 회로(M_1)의 구체적 구성을 도시한 블록도이다. 또 도시하지 않은 에지 크로머 억압 회로(M_2 및 M_3)의 회로 구성은 도시한 회로(M_1)과 동일하다.

억압 제어 신호 발생 회로(N)은 수평 보간회로(J_1)에서 공급되는 상기 수직 윤곽 강조 신호의 절대치와, 윤곽 강조 부가 회로(11)에서 공급되는 상기 수평 윤곽 강조 신호의 절대치를 비교해서 큰 쪽의 절대치를 선택하고, 선택된 절대치에 따른 억압 제어 신호를 발생해서 에지 크로머 억압 회로(M_1 내지 M_3)에 공통으로 공급한다.

또, 에지 크로머 억압 회로는 억압 제어 신호 발생회로(N)에서 공급되는 억압 제어 신호의 레벨에 따라 각 색신호의 레벨을 제어하고, 이것에 의해 재생 영상의 윤곽 부분에 생기는 색이 번지는 것을 억제한다.

제10도를 참조해서, 보다 상세히 설명하면, 윤곽 강조 부가 회로(11)에서 공급된 수평 윤곽 강조 신호는 절대치화 회로(N_1)에 입력되어 절대치화 된다. 한편 수평 보간회로(J_1)에서 공급된 수직 윤곽 강조 신호는 절대치화 회로(N_2)에 입력되어 절대치화 된다. 양 절대치화 회로의 출력은 비교회로(N_3)의 출력에 따라 큰 쪽의 절대치 출력을 선택하여 제어 신호 발생회로(N_5)에 공급한다. 이 제어 신호 발생회로(N_5)로부터는 각 에지 크로머 억압 회로를 제어하기 위한 제어 신호가 공급된다.

제1(a)도의 수평 보간회로(J_3)에서 공급된 수직 및 수평 보간이 실시된 색신호 R은 에지 크로머 억압 회로(M_1)을 구성하는 래치회로(M_4)에 공급되어 래치된다. 이 래치회로(M_4)의 래치 출력은 그대로 선택회로(M_5)의 한 쪽 입력에 공급되고, 이 래치 출력을 시프트다운 회로(M_9)에서 1지트만 시프트다운한 출력이 선택회로(M_5)의 다른 쪽 입력에 공급된다. 또, 래치회로(M_4)의 래치 출력을 시프트다운 회로(M_{10})에서 2비트만 시프트다운한 출력이 선택 회로(M_6)의 한 쪽 입력에 공급되고, 또 시프트다운 회로(M_{11})에서 3비트만 시프트다운한 출력이 선택회로(M_6)의 다른 쪽 입력에 공급된다.

선택회로(M_5 및 M_6)의 각각은 상기 제어 신호 발생회로(N_5)에서 공급되는 제어 신호에 따라 어느 한 쪽의 입력을 선택하고, 또 선택회로(M_7)의 입력에 공급한다. 선택회로(M_7)도 상기 제어 신호에 따라 어느 한 쪽의 입력을 선택해서 래치회로(M_8)에 공급한다. 이와 같이 해서 래치된 색신호 R은 저역 통과 필터(L_2)(제1(a)도)를 통해 병직렬 변환회로(12)에 공급된다.

또, 나머지 에지 크로머 억압 회로(M_2 및 M_3)을 상기 에지 크로머 억압 회로(M_1)와 같은 형태로 다른 색신호를 처리하고 있으므로 상세한 설명은 생략한다.

[병직렬 변환회로]

다음에 제11도는 제1(a)도에 도시한 병직렬 변환회로(12)의 구체적인 구성을 도시하는 블록도이다. 이 병직렬 변환회로는 3원색 신호 각각의 주파수 대역이 좁아도 좋은 것을 감안하여, 3원색 신호 각각을 3샘플 주기로 샘플링함으로써 1계통의 직렬 신호로 변환한다. 병직렬 변환회로(12)는 또 화이트 밸런스의 조정, 저 조도 크로머 억압의 제어 및 고 휘도 부분 및 저 휘도 부분의 크로머 억압의 제어를 실행한다.

제11도를 참조해서 보다 상세히 설명하면, 3원색 신호 중 에지 크로머 억압 회로(M_1)에서 저역 통과 필터(L_2)를 통해 공급되는 R신호는 래치회로(S_1)에 래치되고, 에지 크로머 억압 회로(M_2)에서 저역 통과

필터(L₃)를 통해 공급되는 G신호는 래치회로(S₂ 및 S₃)에 차례로 래치되고, 에지 크로머 억압 회로(M₃)에서 저역 통과 필터(L₄)를 통해 공급되는 B신호는 래치회로(S₄, S₅ 및 S₆)에 차례로 래치된다. 상기 래치회로(S₁, S₃ 및 S₆)의 출력은 각각 AND 게이트(S₇, S₈ 및 S₉)의 한 쪽 입력에 공급된다. 이들 AND 게이트(S₇ 내지 S₉)는 각각 타이밍 펄스(T₁ 내지 T₃)에 따라 차례로 개방되고, 동일 타이밍에서 3원색 신호가 차례로 OR 게이트(S₁₀)에 입력된다. OR게이트(S₁₀)에서 출력되는 시분할 다중 색신호는 지연회로(S₁₁)을 통해 래치회로(S₁₂)로 공급되어 래치된다. 이 지연회로(S₁₁)은 이하에 서술하는 크로머 억압 데이터의 발생 타이밍에 맞추어 지연 처리를 실행하기 위해 설치되어 있다.

본 실시예에서는 고 휘도 부분 및 저 휘도 부분에 있어서 3원색 신호의 레벨을 억압하도록 구성되어 있다. 이 때문에, 억압 신호 발생 회로(S₁₃)은 휘도 신호(Y)를 수신하여 샘플링의 타이밍에서 휘도 신호 레벨에 대응한 억압신호를 발생해서 래치회로(S₁₄)에 공급한다.

또, 본 실시예에서는 도시하지 않은 회로에서 화이트 밸런스 보정 및 저 조도 크로머 억압을 위한 제어 데이터를 각 색신호 마다에 대응하여 형성하고 있고, R제어 신호는 래치회로(S₁₅)를 통해 AND 게이트(S₂₁)의 한 쪽 입력에 공급되고, G 제어신호는 래치회로(S₁₆ 및 S₁₇)을 통해 AND 게이트(S₂₂)의 한 쪽 입력에 공급되고, B 제어 신호는 래치회로(S₁₈, S₁₉ 및 S₂₀)을 통해 AND 게이트(S₂₃)의 한 쪽 입력에 공급된다. 이들 AND 게이트(S₂₁ 내지 S₂₃)는 각각 타이밍 펄스(T₁ 내지 T₃)에 따라 차례로 개방되고, 동일 타이밍에 있어서 제어 신호가 차례로 OR 게이트(S₂₄)에 입력된다. OR 게이트(S₂₄)에서 출력되는 시분할 다중 제어 신호는 래치회로(S₂₆)에 공급되어 래치된다.

래치회로(S₁₄)에 래치된 상기 억압 신호와 래치회로(S₂₆)에 래치된 상기 제어신호는 승산회로(S₂₇)에서 승산처리되어 래치회로(S₂₈)에 래치된다.

또, 래치회로(S₁₂)에 래치된 상기 시분할 다중 색신호와, 래치회로(S₂₈)에 래치된 시분할 다중 제어 신호는 승산회로(S₂₉)에서 승산 처리되어 3원색 신호의 레벨 억압이 이루어지고, 그 결과는 래치회로(S₃₀ 및 S₃₁)에 차례로 래치된다.

[매트릭스 회로]

제1(b)도에 도시한 γ 보정 회로(13), 직병렬 변환회로(14) 및 신호 선택회로(17)은 주지하고 있는 회로이기 때문에 그 상세한 설명은 여기서는 생략한다.

다음에 제12도는 제1(b)도에 도시한 매트릭스 회로 중, 색차 신호(R-Y)를 형성하는 부분을 구체적으로 도시한 블럭도이다. 매트릭스 회로는 R-Y 신호를 산출하기 위해 0.7R-0.59G-0.11B의 연산을 행하는 것이다.

제12도를 참조해서 보다 상세히 설명하면, 래치회로(18a, 18b 및 18c)에 각각 래치된 3원색 신호 R, G 및 B는 선택회로(18d)에 공급되고, 래치회로(18e, 18f 및 18g)에 각각 3원색 신호에 대응하는 래치된 계수 0.7, -0.59 및 -0.11은 선택회로(18h)에 공급된다. 그리고 3상의 타이밍 펄스(T₁, T₂ 및 T₃)에 의해 순차 색신호와 대응하는 절대치 계수가 각각 선택 회로(18d 및 18h)에 의해 선택되어 승산회로(18i)에 공급되어 승산된다.

승산회로(18i)의 승산 출력은 부호 제어 회로(18j)에 공급되어 승산 계수의 부호를 부가한 후 가산회로(18k)에 입력된다. 가산회로(18k)와 래치회로(18l)은 부호 제어 회로(18j)에서 공급되는 데이터를 3개씩 적산 처리해서 이것에 의해 상기(R-Y)신호를 구하기 위한 연산 처리를 실행한다.

또, B-Y 신호를 산출하는 매트릭스 회로도 승산 계수이외의 회로 구성은 동일하기 때문에 설명은 생략한다.

[저채도 크로머 억압 회로]

다음으로, 제13도는 저채도 크로머 억압의 원리를 설명하는 그래프이고, 제14도는 제1(b)도에 도시한 저채도 크로머 억압회로(20) 중 (R-Y)신호를 처리하는 부분을 도시한 블럭도이다.

저채도 크로머 억압회로에서는 제13도에 도시한 바와 같이, 경계치로 규정되는 범위 내에 포함되는 소레벨의 크로머 성분의 레벨을 1/2로 억압하는 것이고, 또 상기 범위외의 크로머 성분에 대해서는 크로머 신호의 연속성을 유지하기 위해 일정한 오프셋트 위를 실시한다.

그래서, 제14도를 참조하면 R-Y 신호는 레벨 억압을 위해 1/2 억압회로(20a)에 입력됨과 동시에 오프셋트를 위해 절대치화 회로(20b)로 입력된다. 감산회로(20d)는 오프셋트 데이터 발생회로(20c)가 발생하는 오프셋트 데이터 α 를 절대치화 회로(20b)의 출력에서 감산해서 감산 출력을 부호 제어 회로(20e)로 입력한다. 이 부호 제어 회로(20e)는 입력신호(R-Y)의 부호에 대응하는 부호를 그 입력에 부가해서 오프셋트가 실시된 출력을 발생한다. 이 오프셋트 출력과, 1/2 억압회로(20a)에서의 억압 출력은 선택회로(20f)에 입력된다.

한편, 비교회로(20g)는 입력된 (R-Y) 신호와, 소정의 경계치 데이터를 비교해서 전환 제어 신호를 발생하고 선택회로(20f)에 공급한다. 선택회로(20f)는 이 전환 제어 신호에 응답해서 입력신호 (R-Y)가 제13도에 도시한 경계치로 규정되는 범위 내의 값일 때에는 1/2 억제회로(20a)의 출력을 선택해서 공급하고, 그 이외일 때는 부호 제어 회로(20e)의 출력을 선택해서 공급한다.

[버스트 부가회로 및 인코드 회로]

다음에 제15도는 제1(b)도에 도시한 버스트 부가회로(22) 및 엔코드 회로(23)의 구체적인 구성을 도시한 블럭도이다. 버스트 부가회로(22)는 PAL 방식 및 NTSC 방식에 대응하는 버스트 신호에 대응하는 레벨 데이터를 발생한다.

버스트 데이터는 NTSC 방식의 경우에 0 및 $-B_L$ 을 이용해서 $4f_{sc}$ 의 주파수로, 0, B_L , 0, $-B_L$ 의 순으로 데이터를 발생하면 되고, PAL 방식의 경우에는 $B_L/\sqrt{2}$ 및 $-B_L/\sqrt{2}$ 를 이용해서 $4f_{sc}$ 의 주파수로, $B_L/\sqrt{2}$, $B_L/\sqrt{2}$, $-B_L/\sqrt{2}$, $-B_L/\sqrt{2}$ 의 순으로 데이터를 발생하면 좋다.

그래서 데이터 발생회로(22c 내지 22f)는 각각 상기 소정의 데이터 0, $B_L/\sqrt{2}$, $-B_L$, $-B_L/\sqrt{2}$ 를 선택회로(22g 및 22h)에 공급하고, PAL/NTSC 선택신호에 의해 0 및 $-B_L$ 의 조합 또는 $B_L/\sqrt{2}$ 및 $-B_L/\sqrt{2}$ 의 조합으로 선택 출력을 다음 단의 선택회로(22a 및 22b)에 공급한다. 이들 선택회로(22a 및 22b)의 각각은 버스트 게이트 펄스를 제어 입력으로서 버스트 기간 중에만, 대응하는 전단의 선택회로에 의해 선택된 데이터를 선택하여 공급한다.

또, 엔코드 회로(23)은 (R-Y) 및 (B-Y)의 신호를 직각 위상 변조하는 회로이고, NTSC 방식의 경우에는 $4f_{sc}$ 의 주파수로 (R-Y), (B-Y), $-(R-Y)$, $-(B-Y)$ 의 순으로 데이터를 선택하고 PAL 방식의 경우에는 $4f_{sc}$ 의 주파수로 기수 라인에 대해 (R-Y), (B-Y), $-(R-Y)$, $-(B-Y)$ 의 순으로 데이터를 선택하고, 우수 라인에 대해서는 $-(R-Y)$, (B-Y), (R-Y), $-(B-Y)$ 의 순으로 데이터를 선택한다.

그래서 제15도를 참조하면, 엔코드 회로 전환 제어 회로(23b)는 PAT/NTSC 선택신호, f_{sc} 의 신호, $4f_{sc}$ 의 신호 및 $f_H/2$ 의 신호를 수신하여 선택 제어 신호를 발생하여 선택회로(23a 및 23d)에 공급한다. 이것에 의해 전단의 선택회로(23a)는 $4f_{sc}$ 의 주파수로 (R-Y) 신호와 (B-Y) 신호를 교대로 선택한다. 선택된 신호는 그대로 후단의 선택회로(23d)의 한 쪽 입력에 공급됨과 동시에, 부호 반전회로(23c)에 의해 부호 반전된 후 선택회로(23d)의 다른 쪽 입력에 공급된다. 이 선택회로(23d)에 의한 선택으로 데이터의 부호 배열이 제어되어 원하는 위상 변조데이터가 형성된다.

이 형성된 변조 데이터는 정 및 부의 데이터를 포함하고 있으므로, 이것을 D/A 변환하는 것은 곤란하다. 그래서 제1(b)도에 도시한 바와 같이 가산회로(23f)는 정수 발생 회로(23e)에서 공급되는 정수를 변조 데이터에 가산해서 가산 출력을 D/A 변환회로(27)(제1(b)도)에 공급한다.

또 상기 실시예에서는 (R-Y) 및 (B-Y) 신호를 변조했으나, I신호와 Q신호를 변조하도록 구성해도 동일한 효과가 얻어진다.

이상과 같이 본 발명의 실시예에 따르면, 1H 지연소자의 수를 3개(제1(a)도의 D_1 내지 D_3)로 감소시키면서, 전자 증 기능에 따르는 신호 처리가 가능해지고, 디지털 비디오 카메라의 신호 처리 시스템의 1칩화가 가능해진다.

본 분야에 숙련된 기술자들은 본 발명의 범위 내에서 본 발명을 여러 가지로 변형 및 실시할 수 있다.

(57) 청구의 범위

청구항 1

칼라 필터(2)에 의해 공간 변조된 고체 촬상 소자(1)의 출력을 A/D 변환해서 필드 메모리(FM)에 일단 기억하고, 기억된 디지털 신호를 독출해서 전자 증 기능을 실행할 수 있는 비디오 카메라를 위한 디지털 신호 처리용 집적 회로(30)에 있어서, 상기 필드 메모리에서 독출된 디지털 신호를 1 수평 기간씩 차례로 지연시키는 제1, 제2 및 제3의 1H 지연 소자(D_1 , D_2 , D_3), 상기 디지털 신호 및 상기 제1, 제2 및 제3의 1H 지연 소자의 출력을 각각 휘도 성분과, 선순차의 2종류의 색 성분으로 분리하는 제1, 제2, 제3 및 제4의 Y/C 분리수단(E_1 , E_2 , E_3 및 E_4), 상기 제1, 제2 및 제3의 Y/C 분리 수단의 출력에 기초해서 3원색 신호의 제1조를 형성하는 제1 RGB 합성 수단(G_1), 상기 제2, 제3 및 제4의 Y/C 분리 수단의 출력에 기초해서 3원색 신호의 제2조를 형성하는 제2 RGB 합성 수단(G_2), 상기 제1 및 제2 지연 소자의 출력에 기초해서 전자 증 기능의 실행에 따라 형성되어야 할 새로운 표시 포인트에 대응하는 휘도 신호를 합성하는 휘도 신호 보간 수단(H_2 및 J_2), 및 상기 제1 및 제2조의 3원색 신호에 기초해서 전자 증 기능의 실행에 따라 형성되어야 할 새로운 표시 포인트에 대응하는 3원색 신호를 합성하는 색 신호 보간 수단(H_3 , H_4 , H_5 , J_3 , J_4 및 J_5)을 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 2

제1항에 있어서, 상기 필드 메모리에서 독출된 디지털 신호의 광학 블랙 부분의 레벨이 제로(0) 레벨로 되도록 상기 디지털 신호의 기준 레벨을 조정하는 제로(0) 레벨 조정 수단(5)를 더 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 3

제1항에 있어서, 상기 제1, 제2, 제3 및 제4의 Y/C 분리 수단의 휘도 성분 출력에 기초해서, 수직 방향의 윤곽 강조 신호를 발생하는 수단(7c), 및 상기 휘도 신호 보간 수단의 출력에 기초해서 수평 방향의 윤곽 강조 신호를 발생하는 수단(11b)를 더 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

로.

청구항 4

제3항에 있어서, 상기 수직 방향 및 수평 방향의 윤곽 강조 신호에 기초하여, 상기 휘도 신호 보간회로에서 출력되는 휘도 신호에 윤곽 강조를 실시하는 수단(11)을 더 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 5

제4항에 있어서, 상기 제1 및 제2 RGB 합성 수단 각각은, 대응하는 Y/C 분리 수단의 휘도 성분 출력에 기초해서 결정되는 상가 평균 계수(相加平均係數)에 의해, 대응하는 Y/C 분리 수단의 색 성분 출력 중 동종의 색성분 출력의 상가 평균을 산출함으로써 선순차의 2종류의 색 성분을 동시화하는 수단(7a), 및 대응하는 Y/C 분리 수단의 휘도 성분 출력과, 상기 동시화 수단의 출력에 소정의 연산을 하여 3원색 신호의 조를 병렬로 형성하는 RGB 합성 처리수단(7b)을 포함하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 6

제5항에 있어서, 상기 휘도 신호의 보간 수단은, 상기 제1 및 제2지연 소자 출력에 수직 방향의 보간을 실시하는 수직 보간 수단(H_2), 및 상기 수직 보간 수단 출력에 수평 방향의 보간을 실시하는 수평 보간 수단(J_2)을 포함하고, 상기 색 신호 보간 수단은, 상기 제1 및 제2조의 원색 신호에 기초해서 각 색 신호 마다 수직 방향의 보간을 실시하는 1조의 수직 보간 수단(H_3 , H_4 및 H_5), 및 상기 제1조의 수직 보간 수단의 출력에 수평 방향의 보간을 실시하는 1조의 수평 보간 수단(J_3 , J_4 및 J_5)을 포함하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 7

제6항에 있어서, 상기 수직 및 수평 보간 수단의 각각은, 활상 포인트에 대응하는 상기 디지털 휘도 신호 또는 색 신호를 비례 배분함으로써, 인접하는 활상 포인트간을 균등 배분하여 얻어지는 새로운 표시 포인트에 대응하는 휘도 신호 또는 색 신호를 산출하는 수단을 포함하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 8

제6항에 있어서, 상기 수직 및 수평의 윤곽 강조 신호에 따라, 상기 1조의 수평 보간 수단에서 공급되는 3원색 신호의 레벨을 억제하는 에지 크로머 억압 수단(10)을 더 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 9

제8항에 있어서, 상기 에지 크로머 억압 수단은, 상기 수직 및 수평의 윤곽 강조 신호에 기초해서 상기 휘도 신호의 비상관 부분을 검출하는 수단(N), 및 상기 검출 수단의 출력에 따라 상기 3원색 신호의 레벨을 각 색마다 억제하는 1조의 에지 크로머 억압 회로(M_1 , M_2 및 M_3)를 포함하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 10

제8항에 있어서, 상기 윤곽 강조 수단에서 출력되는 휘도 신호 및 상기 에지 크로머 억압 수단에서 출력되는 3원색 신호에 감마 보정을 실시하는 수단을 더 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 11

제10항에 있어서, 상기 감마 보정이 실시된 3원색 신호를 2종류의 색차 신호로 변환하는 매트릭스 수단(18)을 더 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 12

제11항에 있어서, 상기 매트릭스 수단에서 공급되는 색차 신호 중저채도 영역에서의 신호 레벨의 억압을 행하는 저채도 크로머 억압 수단(20)을 더 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 13

제12항에 있어서, 상기 저채도 크로머 억압 수단에서 출력되는 2종류의 색차 신호에 버스트 신호에 대응하는 레벨의 데이터를 추가하는 수단(22), 및 상기 버스트 레벨 데이터가 추가된 2종류의 색차 신호를 각각 위상 변조하는 엔코드(encode) 수단(23)을 더 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 14

제13항에 있어서, 상기 엔코드 수단 출력을 D/A 변환해서 외부 출력하는 수단(24, 25 및 27), 및 상기 감마 보정이 실시된 휘도 신호를 D/A 변환해서 외부 출력하는 수단(19, 28 및 26)을 더 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 15

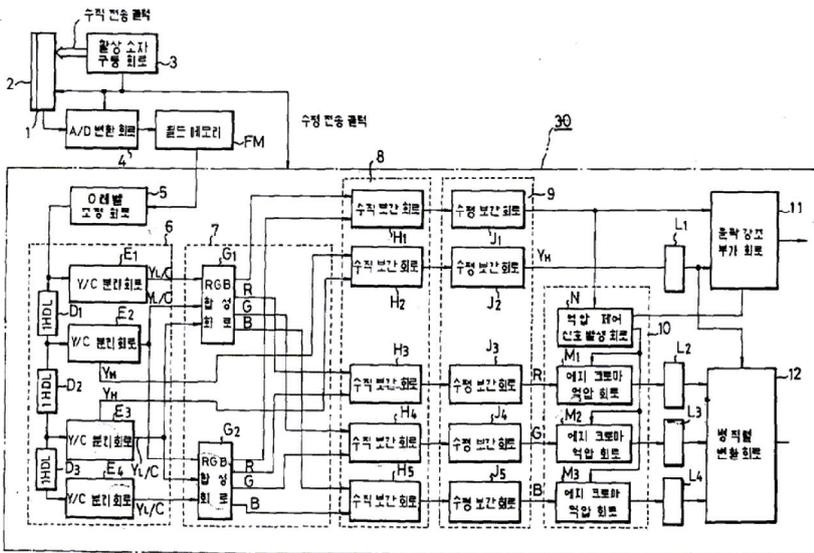
제1항에 있어서, 상기 제1, 제2 및 제3의 1H 지연 소자의 각각은 RAM으로 구성되는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

청구항 16

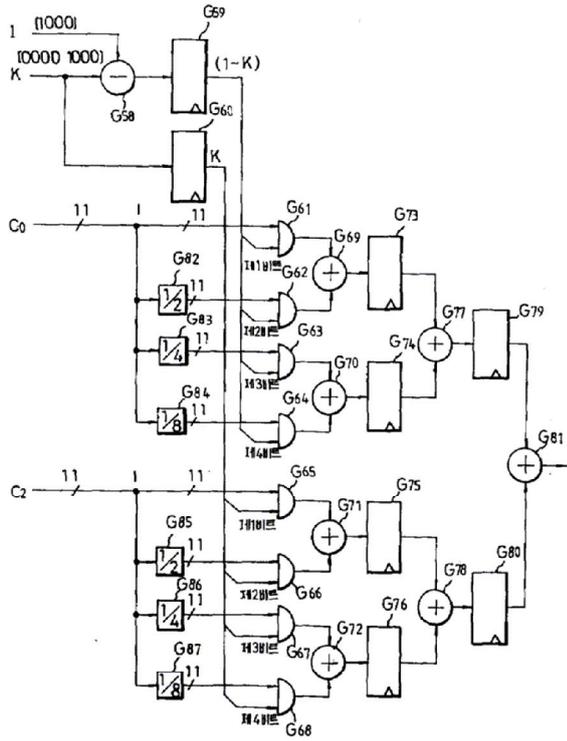
칼라 필터(2)에 의해 공간 변조된 고체 촬상 소자(1)의 출력을 A/D 변환해서 필드 메모리(FM)에 일단 기억하고, 기억된 디지털 신호를 독출해서 전자 줌 기능을 실행하는 비디오 카메라를 위한 디지털 신호 처리용 집적 회로(30)에 있어서, 상기 필드 메모리에서 독출된 디지털 신호를 1 수평 기간씩 차례로 지연시키는 제1, 제2 및 제3의 1H 지연 소자(D₁, D₂ 및 D₃), 상기 디지털 신호 및 상기 제1, 제2 및 제3의 1H 지연 소자의 출력을 각각 휘도 성분과, 선순차의 2종류의 색성분으로 분리하는 제1, 제2, 제3 및 제4의 Y/C 분리 수단(E₁, E₂, E₃ 및 E₄), 상기 제1 제2 및 제3의 Y/C 분리 수단의 출력에 기초해서 3원색 신호의 제1조를 형성하는 제1 RGB 합성 수단(G₁), 상기 제2, 제3 및 제4의 Y/C 분리 수단의 출력에 기초해서 3원색 신호의 제2조를 형성하는 제2 RGB 합성 수단(G₂), 상기 제1 및 제2 지연 소자의 출력에 기초해서 전자 줌 기능의 실행에 따라 형성되어야 할 새로운 표시 포인트에 대응하는 휘도 신호를 합성하는 휘도 신호 보간 수단(H₂ 및 J₂), 상기 제1 및 제2조의 3원색 신호에 기초해서 전자 줌 기능의 실행에 따라 형성되어야 할 새로운 표시 포인트에 대응하는 3원색 신호를 합성하는 색 신호 보간 수단(H₃, H₄, H₅, J₃, J₄ 및 J₅), 및 상기 색 신호 보간 수단에서 공급되는 3원색 신호의 각각의 대역을 압축해서 시분할 다중함으로써 1계열의 색 신호로 변환해서 공급하는 수단(12)을 구비하는 것을 특징으로 하는 디지털 신호 처리용 집적 회로.

도면

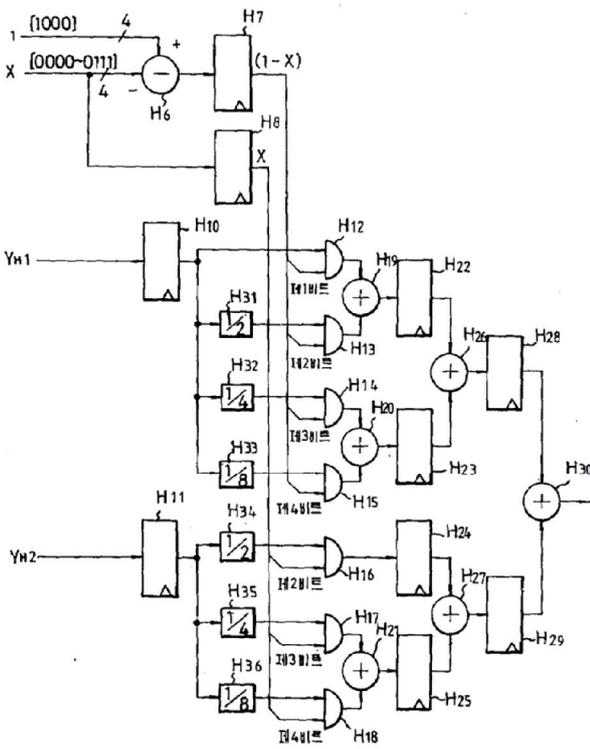
도면 1a



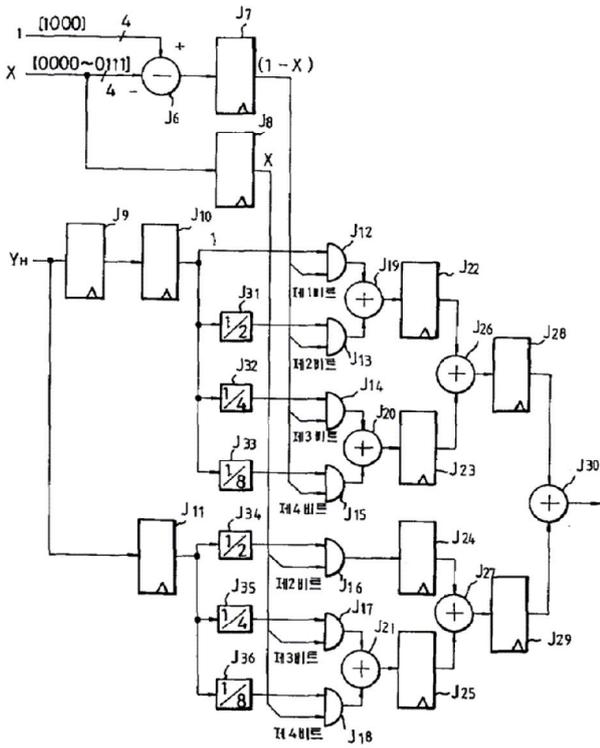
도면6



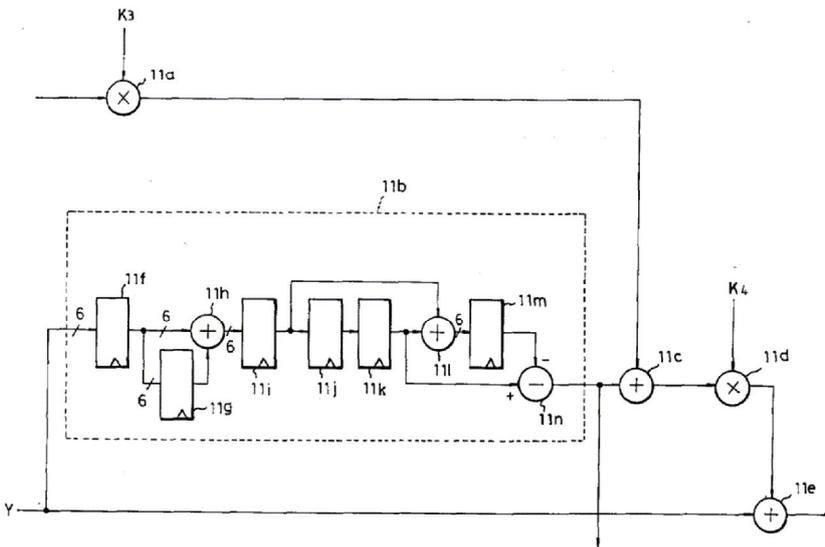
도면7



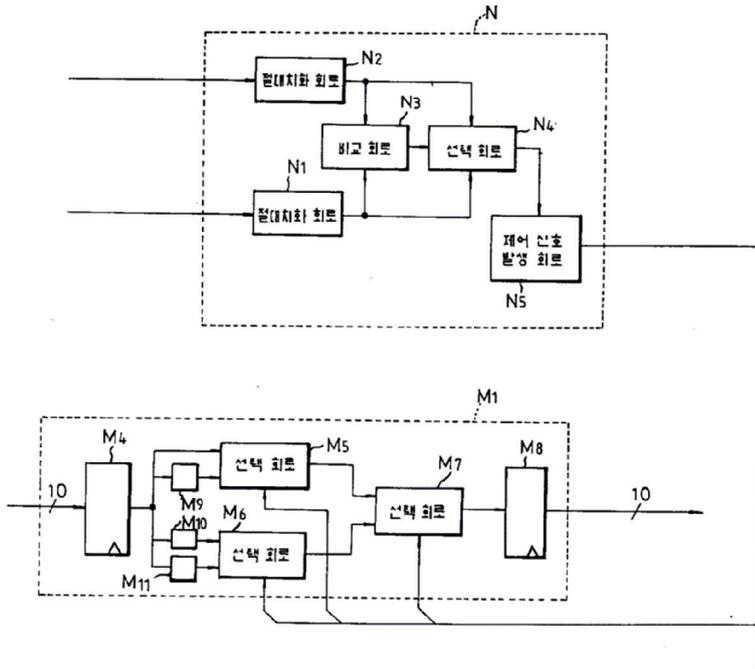
도면8



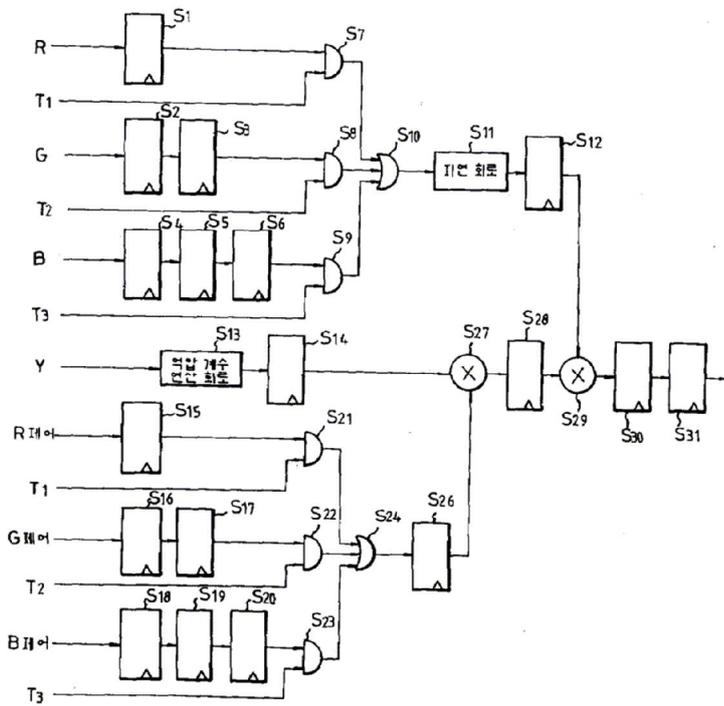
도면9



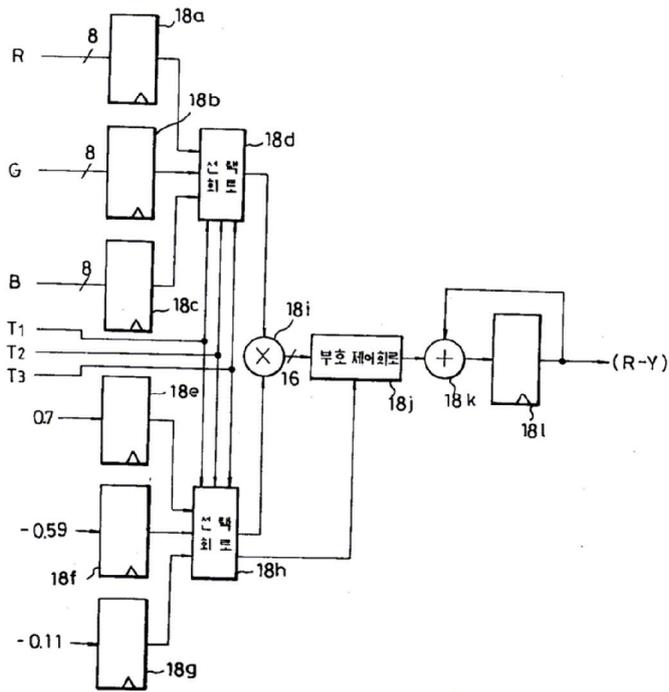
도면10



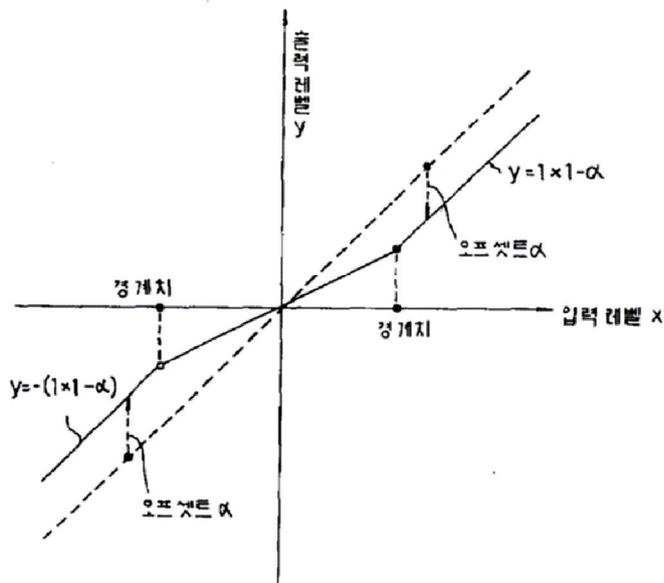
도면11



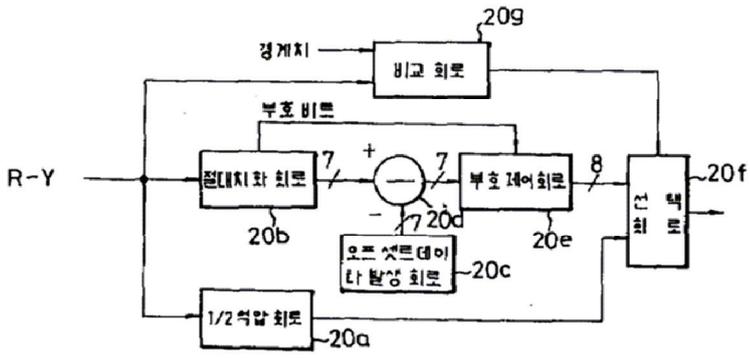
도면 12



도면 13



도면 14



도면 15

