



(12)发明专利申请

(10)申请公布号 CN 106211413 A

(43)申请公布日 2016.12.07

(21)申请号 201610363315.1

(22)申请日 2016.05.26

(30)优先权数据

2015-110423 2015.05.29 JP

(71)申请人 株式会社半导体能源研究所

地址 日本神奈川县

(72)发明人 三宅博之 宍户英明 川岛进

山崎舜平

(74)专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 周善来 王玉玲

(51)Int.Cl.

H05B 33/08(2006.01)

G09G 3/32(2016.01)

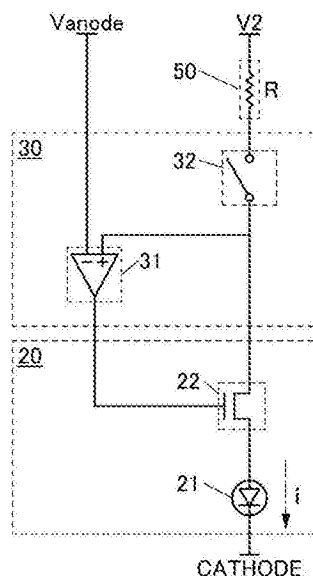
权利要求书2页 说明书57页 附图48页

(54)发明名称

半导体装置以及包括该半导体装置的显示装置

(57)摘要

本发明的一个方式是一种包括晶体管的半导体装置,该半导体装置包括:像素电路;监控电路;以及校正电路,像素电路包括:选择晶体管;驱动晶体管;以及发光元件,监控电路包括监控发光元件;以及监控晶体管,在半导体装置中,取得流过监控发光元件及监控晶体管的电流值,并通过校正电路控制流过发光元件及驱动晶体管的电流值。



1. 一种包括晶体管的半导体装置,包括:
像素电路,包括:
选择晶体管;
驱动晶体管;以及
发光元件;
监控电路,包括:
监控发光元件;以及
监控晶体管;
校正电路,包括:
放大电路;以及
开关元件;
第一电极;
第二电极;以及
第三电极,
其中,所述监控发光元件的一对电极的一个与所述第一电极电连接,
所述监控发光元件的一对电极的另一个与所述监控晶体管的源电极和漏电极中的一个电连接,
所述监控晶体管的所述源电极和所述漏电极中的另一个与所述放大电路的第一输入端子电连接,
所述监控晶体管的栅电极与所述放大电路的输出端子电连接,
所述第二电极与所述放大电路的第二输入端子电连接,
所述第三电极通过所述开关元件与所述监控晶体管的所述源电极和所述漏电极中的另一个电连接,
电阻器连接于所述第三电极与所述监控晶体管的所述源电极和所述漏电极中的另一个之间,
并且,通过所述校正电路控制流过所述发光元件的电流。
2. 根据权利要求1所述的半导体装置,其中所述电阻器设置在所述监控晶体管的所述源电极和所述漏电极中的另一个与所述放大电路的所述第一输入端子连接的布线的外部。
3. 根据权利要求1所述的半导体装置,其中所述电阻器包括氧化物导电体。
4. 根据权利要求3所述的半导体装置,其中所述选择晶体管、所述驱动晶体管以及所述监控晶体管在沟道区域中包括氧化物半导体。
5. 根据权利要求4所述的半导体装置,其中所述氧化物导电体及所述氧化物半导体包含至少一个相同的金属元素。
6. 根据权利要求4所述的半导体装置,其中所述氧化物导电体和所述氧化物半导体中的一个或两个包含In、Zn、M(M是Ti、Ga、Y、Zr、La、Ce、Nd、Sn或Hf)。
7. 根据权利要求4所述的半导体装置,
其中所述氧化物导电体和所述氧化物半导体中的一个或两个包括结晶部,
并且所述结晶部具有c轴取向性。
8. 一种显示装置,包括:

权利要求1所述的半导体装置;以及
滤色片。

9.一种显示模块,包括:

权利要求8项所述的显示装置;以及
触摸传感器。

10.一种显示模块,包括:

权利要求1所述的半导体装置;以及
操作键或电池。

半导体装置以及包括该半导体装置的显示装置

技术领域

[0001] 本发明的一个方式涉及一种包括氧化物半导体膜的半导体装置以及包括该半导体装置的显示装置。

[0002] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式的技术领域涉及一种物体、方法或制造方法。另外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。本发明的一个方式尤其涉及一种半导体装置、包括电致发光(Electro Luminescence)元件的显示装置(以下,也称为EL显示装置)、液晶显示装置、发光装置、蓄电装置、存储装置、摄像装置、这些装置的驱动方法或这些装置的制造方法。

背景技术

[0003] 通过使用形成在具有绝缘表面的衬底上的半导体薄膜来构成晶体管(也称为场效应晶体管(FET)或薄膜晶体管(TFT))的技术受到关注。该晶体管被广泛地应用于如集成电路(IC)及图像显示装置(显示装置)等电子器件。作为可以应用于晶体管的半导体薄膜,以硅为代表的半导体材料被周知,而作为其他材料,氧化物半导体受到关注(例如,专利文献1)。

[0004] 另外,也公开了如下结构:为了校正对EL显示装置的各像素设置的包含氧化物半导体的晶体管及发光元件的周围温度(以下,记载为环境温度)所导致的特性变化,设置监控电路的结构。该监控电路设置在像素部的外侧,具有根据环境温度校正发光元件的阴极的电位的结构(例如,专利文献2)。

[0005] [专利文献1]日本专利申请公开2006-165529号公报

[专利文献2]日本专利申请公开2012-78798号公报

发明内容

[0006] 如专利文献2所示,发光元件具有其电阻值(内部电阻值)根据环境温度发生变化的性质。具体而言,当将室温看作通常温度时,在温度比通常温度高的情况下电阻值降低,在温度比通常温度低的情况下电阻值上升。因此,发光元件的电流-电压特性根据环境温度发生变化。具体而言,当温度上升时,发光元件的电流值增加而其亮度比所希望的亮度高,当温度下降时,在施加相同电压的情况下,发光元件的电流值降低而其亮度比所希望的亮度低。因此,由于环境温度变化引起流过发光元件的电流之值的变动,所以有可能产生发光元件的亮度偏差。

[0007] 鉴于上述问题,本发明的一个方式的目的之一是抑制因环境温度变化所引起的流过发光元件的电流之值的变动而产生的发光元件的亮度偏差。另外,本发明的一个方式的其他目的之一是提供一种新颖的半导体装置。本发明的一个方式的其他目的之一是提供一种新颖的显示装置。

[0008] 注意,上述目的的记载不妨碍其他目的的存在。本发明的一个方式并不需要实现

所有上述目的。上述目的以外的目的从说明书等的描述中是显而易见的，并可以从所述描述中抽取。

[0009] 本发明的一个方式是一种包括晶体管的半导体装置，该半导体装置包括：像素电路；监控电路；以及校正电路，像素电路包括：选择晶体管；驱动晶体管；以及发光元件，监控电路包括监控发光元件；以及监控晶体管，在半导体装置中，取得流过监控发光元件及监控晶体管的电流值，并通过校正电路控制流过发光元件及驱动晶体管的电流值。更具体地说，该半导体装置为如下。

[0010] 本发明的一个方式是一种包括晶体管的半导体装置，该半导体装置包括：像素电路；监控电路；校正电路；第一电极；第二电极；以及第三电极，像素电路包括：选择晶体管；驱动晶体管；以及发光元件，监控电路包括监控发光元件；以及监控晶体管，校正电路包括：放大电路；以及开关元件，监控发光元件的一对电极的一个与第一电极电连接，监控发光元件的一对电极的另一个与监控晶体管的源电极和漏电极中的一个电连接，监控晶体管的源电极和漏电极中的另一个与放大电路的第一输入端子电连接，监控晶体管的栅电极与放大电路的输出端子电连接，第二电极与放大电路的第二输入端子电连接，第三电极通过开关元件与监控晶体管的源电极和漏电极中的另一个电连接，电阻器连接于第三电极与监控晶体管的源电极和漏电极中的另一个之间，通过校正电路控制流过发光元件的电流。

[0011] 另外，在上述方式中，电阻器优选设置在将监控晶体管的源电极和漏电极中的另一个与放大电路的第一输入端子彼此连接的布线的外部。另外，在上述方式中，电阻器优选包括氧化物导电体。

[0012] 另外，在上述方式中，选择晶体管、驱动晶体管以及监控晶体管优选在其沟道区域中包括氧化物半导体。

[0013] 另外，在上述方式中，氧化物导电体及氧化物半导体优选包含至少一个相同的金属元素。另外，在上述方式中，氧化物导电体和氧化物半导体中的一个或两个优选包含In、Zn、M(M是Ti、Ga、Y、Zr、La、Ce、Nd、Sn或Hf)。另外，在上述方式中，优选的是，氧化物导电体和氧化物半导体中的一个或两个包括结晶部，并且该结晶部具有c轴取向性。

[0014] 另外，本发明的另一方式是包括上述各方式之任一所述的半导体装置和滤色片的显示装置。另外，本发明的另一方式是包括该显示装置和触摸传感器的显示模块。另外，本发明的另一方式是包括上述各方式之任一所述的半导体装置、上述显示装置或上述显示模块以及操作键或电池的电子设备。

[0015] 根据本发明的一个方式可以抑制因环境温度变化所引起的流过发光元件的电流之值的变动而产生的发光元件的亮度偏差。根据本发明的一个方式可以提供一种新颖的半导体装置。根据本发明的一个方式可以提供一种新颖的显示装置。

[0016] 注意，这些效果的记载不妨碍其他效果的存在。此外，本发明的一个方式并不需要具有所有上述效果。上述效果以外的效果从说明书、附图、权利要求书等的描述中是显而易见的，并可以从所述描述中抽取。

附图说明

[0017] 图1是示出半导体装置的一个方式的方框图；

图2是说明半导体装置的一个方式的电路的图；

图3是说明半导体装置的一个方式的电路的图；
图4是说明半导体装置的一个方式的电路的图；
图5是说明半导体装置的一个方式的电路的图；
图6是说明半导体装置的一个方式的电路的图；
图7A和图7B是示出半导体装置的一个方式的俯视图及截面图；
图8是说明半导体装置的一个方式的电路的图；
图9是说明半导体装置的一个方式的电路的图；
图10A和图10B是示出半导体装置的一个方式的俯视图及截面图；
图11A和图11B是说明发光元件的L-J特性及发光元件的I-V特性的图；
图12是说明晶体管的温度特性的图；
图13是说明氧化物导体(OC)的电阻的温度特性的图；
图14A至图14C是示出晶体管的一个方式的俯视图及截面图；
图15A至图15C是示出晶体管的一个方式的俯视图及截面图；
图16A至图16C是示出晶体管的一个方式的俯视图及截面图；
图17A至图17C是示出晶体管的一个方式的俯视图及截面图；
图18A至图18C是示出晶体管的一个方式的俯视图及截面图；
图19A至图19D是示出晶体管的一个方式的截面图；
图20A和图20B是说明氧化物半导体的能带结构的图；
图21A至图21D是示出半导体装置的制造工序的一个例子的截面图；
图22A和图22B是示出半导体装置的制造工序的一个例子的截面图；
图23A至图23C是示出半导体装置的制造工序的一个例子的截面图；
图24A至图24D是示出半导体装置的制造工序的一个例子的截面图；
图25A至图25E是说明CAAC-OS及单晶氧化物半导体的利用XRD的结构分析的图以及CAAC-OS的选区电子衍射图案；
图26A至图26E是CAAC-OS的截面TEM图像、平面TEM图像及其图像分析；
图27A至图27D是示出nc-OS的电子衍射图案的图及nc-OS的截面TEM图像；
图28A和图28B是a-like OS的截面TEM图像；
图29是示出因电子照射导致的In-Ga-Zn氧化物的结晶部的变化的图；
图30A和图30B是示出触摸屏的一个例子的透视图；
图31A和图31B是示出显示装置及触摸传感器的例子的截面图；
图32A和图32B是示出触摸屏的例子的截面图；
图33A和图33B是触摸传感器的方框图及时序图；
图34是触摸传感器的电路图；
图35A和图35B是说明输入输出装置的图；
图36A至图36D是说明输入装置的图；
图37A至图37D是说明输入装置的图；
图38是说明输入输出装置的图；
图39是说明输入输出装置的图；
图40A至图40C是说明本发明的一个方式的电路图及时序图；

图41A至图41C是说明本发明的一个方式的图表及电路图；
图42A和图42B是说明本发明的一个方式的电路图及时序图；
图43A和图43B是说明本发明的一个方式的电路图及时序图；
图44是说明显示模块的图；
图45A至图45G是说明电子设备的图；
图46A和图46B是说明实施例的晶体管的 I_{on} 及 V_{th} 的图；
图47是说明实施例的半导体装置的显示例子的图；
图48A和图48B是说明实施例的半导体装置的显示例子的图；
图49是实施例的半导体装置的电路图；
图50是说明实施例的半导体装置的耗电量的图；
图51是说明实施例的电路结构的图；
图52是说明实施例的发光元件的亮度-电压特性的图；
图53是说明实施例的校正电路的概念的图；
图54是说明实施例的发光元件的亮度-灰度特性的图；
图55是实施例的半导体装置的电路图；
图56是说明发光元件及晶体管的电流-电压特性的概念的图；
图57是说明各种温度下的样品B1及样品B2的亮度的图。

具体实施方式

[0018] 下面,参照附图对实施方式及实施例进行说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式及实施例可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面的实施方式及实施例所记载的内容中。

[0019] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不一定限定于上述尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。另外,在附图中,在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0020] 此外,在本说明书等中,为了方便起见,附加了第一、第二等序数词,而其并不表示工序顺序或叠层顺序。因此,例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外,本说明书等所记载的序数词与用于指定本发明的一个方式的序数词有时不一致。

[0021] 在本说明书中,为方便起见,使用了“上”、“下”等表示配置的词句,以参照附图说明构成要素的位置关系。另外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于本说明书中所说明的词句,可以根据情况适当地更换。

[0022] 此外,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。摄像装置、显示装置、液晶显示装置、发光装置、电光装置、发电装置(包括薄膜太阳能电池、有机薄膜太阳能电池等)及电子设备有时包括半导体装置。

[0023] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶

晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟道区域,并且电流能够流过漏极、沟道区域以及源极。注意,在本说明书等中,沟道区域是指电流主要流过的区域。

[0024] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时相互调换。因此,在本说明书等中,源极和漏极可以相互调换。

[0025] 注意,在本说明书等中,氮氧化硅膜是指其组成中氧含量多于氮含量的膜,优选在55原子%以上且65原子%以下、1原子%以上且20原子%以下、25原子%以上且35原子%以下、0.1原子%以上且10原子%以下的浓度范围内分别包含氧、氮、硅和氢。氮氧化硅膜是指其组成中氮含量多于氧含量的膜,优选在55原子%以上且65原子%以下、1原子%以上且20原子%以下、25原子%以上且35原子%以下、0.1原子%以上且10原子%以下的浓度范围内分别包含氮、氧、硅和氢。

[0026] 另外,在本说明书等中,可以将“膜”和“层”相互调换。例如,有时可以将“导电层”变换为“导电膜”。此外,例如,有时可以将“绝缘膜”变换为“绝缘层”。

[0027] 在本说明书等中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态。因此,也包括该角度为 -5° 以上且 5° 以下的状态。“大致平行”是指两条直线形成的角度为 -30° 以上且 30° 以下的状态。另外,“垂直”是指两条直线的角度为 80° 以上且 100° 以下的状态。因此,也包括该角度为 85° 以上且 95° 以下的状态。“大致垂直”是指两条直线形成的角度为 60° 以上且 120° 以下的状态。

[0028] 注意,在本说明书等中,当明确地记载有“X与Y连接”时,包括X与Y电连接的情况、X与Y在功能上连接的情况以及X与Y直接连接的情况。因此,不局限于附图或文中所示的连接关系等规定的连接关系,还包括附图或文中所示的连接关系以外的连接关系。

[0029] 这里,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜等)。

[0030] 作为X与Y电连接的情况的一个例子,例如可以在X与Y之间连接一个以上的能够电连接X与Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示元件、发光元件和负载等)。另外,开关具有控制开启和关闭的功能。换言之,通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过。或者,开关具有选择并切换电流路径的功能。

[0031] 作为X与Y在功能上连接的情况的一个例子,例如可以在X与Y之间连接一个以上的能够在功能上连接X与Y的电路(例如,逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(DA转换电路、AD转换电路、伽马校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路等)、信号产生电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,也可以说X与Y在功能上是连接着的。

[0032] 此外,当明确地记载有“X与Y连接”时,包括如下情况:X与Y电连接的情况(换言之,以中间夹有其他元件或其他电路的方式连接X与Y的情况);X与Y在功能上连接的情况(换言之,以中间夹有其他电路的方式在功能上连接X与Y的情况);以及X与Y直接连接的情况(换言之,以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。换言之,当明确记载有“电连接”时,与只明确记载有“连接”的情况相同。

[0033] 注意,例如,在晶体管的源极(或第一端子等)通过Z1(或没有通过Z1)与X电连接,晶体管的漏极(或第二端子等)通过Z2(或没有通过Z2)与Y电连接的情况下以及在晶体管的源极(或第一端子等)与Z1的一部分直接连接,Z1的另一部分与X直接连接,晶体管的漏极(或第二端子等)与Z2的一部分直接连接,Z2的另一部分与Y直接连接的情况下,可以描述为如下。

[0034] 例如,可以表达为“X、Y、晶体管的源极(或第一端子等)及晶体管的漏极(或第二端子等)互相电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)及Y依次电连接”。或者,可以表达为“晶体管的源极(或第一端子等)与X电连接,晶体管的漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)及Y依次电连接”。或者,可以表达为“X通过晶体管的源极(或第一端子等)及漏极(或第二端子等)与Y电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置为相互连接”。通过使用与这种例子相同的表达方法规定电路结构中的连接顺序,可以区别晶体管的源极(或第一端子等)与漏极(或第二端子等)而决定技术范围。注意,这种表达方法只是一个例子而已,不局限于上述表达方法。在此,X、Y、Z1及Z2为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜等)。

[0035] 实施方式1

在本实施方式中,参照图1至图13说明本发明的一个方式的半导体装置的例子。

[0036] <1-1. 半导体装置>

图1是示出本发明的一个方式的半导体装置的一个例子的方框图。

[0037] 图1所示的半导体装置包括:像素部12;配置在像素部12的外侧的栅极线驱动电路16;配置在像素部12的外侧的信号线驱动电路18;配置在像素部12的外侧的监控电路20;以及与监控电路20电连接的校正电路30。另外,像素部12包括多个像素电路14。

[0038] 图1所示的半导体装置包括端子部17及保护电路13。另外,也可以不设置端子部17及保护电路13。

[0039] [像素部及像素电路]

像素部12包括配置为X行(X为2以上的自然数)Y列(Y为2以上的自然数)的用来驱动多个显示元件的电路(像素电路14),栅极线驱动电路16具有输出选择像素电路14的信号(扫描信号)的功能,信号线驱动电路18具有供应用来驱动像素电路14所包括的显示元件的信号(数据信号)的功能。

[0040] 另外,在图1中例示出将多个像素电路14配置为矩阵状(条纹配置)的结构,但是不局限于此,例如也可以多个像素电路14采用三角状排列、PenTile排列。另外,作为在进行彩色显示时在像素电路14中被控制的颜色要素,可以举出RGB(R是红色、G是绿色、B是蓝色)的三种颜色。在进行彩色显示时在像素电路14中被控制的颜色要素不局限于上述三种颜色,也可以是三种以上的颜色,例如可以是RGBW(W是白色)或者可以对RGB追加Y(黄色)、C(青色)、M(品红色)等中的一种以上。另外,各个颜色要素的点的显示区域的大小可以不同。

[0041] 另外,多个像素电路14的每一个包括发光元件及控制流过该发光元件的电流的驱动晶体管。通过对发光元件施加电压,电子和空穴从发光元件所包括的一对电极分别注入包含发光有机化合物的层中,从而电流流过。然后,电子和空穴重新结合,由此,发光有机化合物达到激发态,并且当该激发态返回到基态时,获得发光。根据这种机理,该发光元件被

称为电流激发型发光元件。

[0042] [栅极线驱动电路及信号线驱动电路]

栅极线驱动电路16和信号线驱动电路18中的任一个或两个优选形成在与像素部12相同的衬底上。由此,可以减少构件的数量或端子的数量。在栅极线驱动电路16和信号线驱动电路18中的任一个或两个没有形成在与像素部12相同的衬底上的情况下,可以通过COG(Chip On Glass:玻璃覆晶封装)方式或TAB(Tape Automated Bonding:卷带自动结合)方式安装栅极线驱动电路16和信号线驱动电路18中的任一个或两个。

[0043] 脉冲信号及数据信号分别通过被供应扫描信号的多个扫描线GL之一及被供应数据信号的多个数据线DL之一被输入到多个像素电路14中的每一个。另外,多个像素电路14的每一个被栅极线驱动电路16控制数据信号的写入及保持。例如,通过扫描线GL_m(m是X以下的自然数)从栅极线驱动电路16对第m行第n列的像素电路14输入脉冲信号,并根据扫描线GL_m的电位而通过数据线DL_n(n是Y以下的自然数)从信号线驱动电路18对第m行第n列的像素电路14输入数据信号。

[0044] 栅极线驱动电路16具有移位寄存器等。栅极线驱动电路16通过端子部17被输入用来驱动移位寄存器的信号并输出信号。例如,栅极线驱动电路16被输入起始脉冲信号、时钟信号等并输出脉冲信号。栅极线驱动电路16具有控制被供应扫描信号的布线(以下称为扫描线GL₁至GL_X)的电位的功能。另外,也可以设置多个栅极线驱动电路16,并通过多个栅极线驱动电路16分别控制扫描线GL₁至GL_X。或者,栅极线驱动电路16具有能够供应初始化信号的功能。但是,不局限于此,栅极线驱动电路16也可以供应其他信号。例如,如图1所示,栅极线驱动电路16与控制发光元件的电位的布线(以下,称为ANODE₁至ANODE_X)电连接。

[0045] 信号线驱动电路18具有移位寄存器等。信号线驱动电路18通过端子部17接收用来驱动移位寄存器的信号和从其中得出数据信号的信号(图像信号)。信号线驱动电路18具有根据图像信号生成写入到像素电路14的数据信号的功能。此外,信号线驱动电路18具有响应于由于起始脉冲信号、时钟信号等的输入产生的脉冲信号而控制数据信号的输出的功能。另外,信号线驱动电路18具有控制被供应数据信号的布线(以下称为数据线DL₁至DL_Y)的电位的功能。或者,信号线驱动电路18具有能够供应初始化信号的功能。但是,不局限于此,信号线驱动电路18可以供应其他信号。例如,信号线驱动电路18包括多个模拟开关等。信号线驱动电路18通过依次使多个模拟开关开启而可以输出对图像信号进行时间分割所得到的信号作为数据信号。

[0046] [保护电路]

保护电路13例如连接于作为栅极线驱动电路16与像素电路14之间的布线的扫描线GL。或者,保护电路13可以连接于作为信号线驱动电路18和像素电路14之间的布线的数据线DL。或者,保护电路13可以连接于栅极线驱动电路16和像端子部17之间的布线。或者,保护电路13可以连接于信号线驱动电路18和像端子部17之间的布线。此外,端子部17具有用来从外部的电路对显示装置输入电源、控制信号及图像信号的端子。

[0047] 保护电路13具有在对与其连接的布线供应一定范围之外的电位时使该布线与其他布线之间导通的功能。通过设置保护电路13,可以提高显示装置对因ESD(Electrostatic Discharge:静电放电)等而产生的过电流的耐性。另外,也可以采用栅极线驱动电路16与保

护电路13连接的结构或信号线驱动电路18与保护电路13连接的结构。或者,可以采用端子部17与保护电路13连接的结构。

[0048] [监控电路及校正电路]

监控电路20及校正电路30具有控制流过像素电路14所包括的发光元件及驱动晶体管的电流的功能。

[0049] 在图1中例示出将多个监控电路20及多个校正电路30配置在像素部12的外侧的结构,但是不局限于此,也可以采用配置一个监控电路20及一个校正电路30的结构。另外,如图1所示那样,通过采用将多个监控电路20及多个校正电路30配置在像素部12的外侧的结构,可以在像素部12中进行多个校正,所以是优选的。例如,将像素部12均匀分成上下左右四个部分,使用该分割成四个的区域附近的监控电路20及校正电路30,独立控制各分割成的区域内的发光元件及驱动晶体管,即可。

[0050] <1-2. 发光元件的特性>

接着,以下对像素电路14所包括的发光元件的特性进行说明。首先,使用图11A和图11B对发光元件的特性之一的L-J(亮度-电流密度)特性及I-V(电流-电压)特性进行说明。

[0051] 图11A是说明发光元件的L-J特性的图。如图11A所示,在发光元件中,与电流密度成正比,亮度也增高。就是说,发光元件的L-J特性没有环境温度所引起的变化(以下,有时称为温度依赖性),或者环境温度所引起的变化极少。

[0052] 图11B是说明发光元件的I-V特性的图。发光元件的电阻因温度而变化,因此在温度变化时亮度也变化。例如,如图11B所示,在施加相同电压的情况下,在发光元件的温度高于25°C时,流过发光元件的电流增加。

[0053] 于是,本发明的一个方式的半导体装置包括监控电路20及校正电路30,以便减低发光元件的温度依赖性。监控电路20包括具有与像素电路14所包括的发光元件及驱动晶体管相同的功能的发光元件以及晶体管。具体地说,监控电路20包括监控发光元件以及监控晶体管。校正电路30具有如下功能:基于流过监控电路20所包括的监控发光元件和监控晶体管中的一个或两个的电流值的数据,控制流过像素电路14的电流。例如,通过校正电路30,可以控制流过像素电路14所包括的发光元件或驱动晶体管的电流值。

[0054] <1-3. 监控电路及校正电路的结构实例1>

接着,使用图2对监控电路20及校正电路30的一个例子进行说明。图2是示出本发明的一个方式的半导体装置所包括的监控电路20及校正电路30的一个例子的电路图。

[0055] 监控电路20包括监控发光元件21以及监控晶体管22。另外,校正电路30包括放大电路31以及开关元件32。

[0056] 监控发光元件21的一对电极中的一个与第一电极(CATHODE)电连接,监控发光元件21的一对电极中的另一个与监控晶体管22的源电极和漏电极中的一个电连接。第一电极被输入CATHODE电位。

[0057] 监控晶体管22的源电极和漏电极中的另一个与放大电路31的第一输入端子电连接,监控晶体管22的栅电极与放大电路31的输出端子电连接。另外,第二电极(Vanode)被输入ANODE电位,第二电极(Vanode)与放大电路31的第二输入端子电连接。另外,第三电极(V2)被输入高电源电位,第三电极(V2)通过开关元件32与监控晶体管22的源电极和漏电极中的另一个电连接。另外,电阻器50连接于在第三电极(V2)与监控晶体管22的源电极和漏

电极中的另一个之间。

[0058] 例如,当采用图2所示的监控电路20及校正电路30的结构时,从第二电极(Vanode)向第一电极(CATHODE)流过的电流值*i*表示为如下算式(1)。

$$[0059] \quad (V2-Vanode)/R \quad (1)$$

[0060] 注意,在算式(1)中, $V2-Vanode$ 是流过电流值*i*时所需要的监控晶体管22的栅电极与源电极之间的电位(V_{gs}), R 是电阻器50的电阻值。

[0061] 因此,电阻器50优选没有温度依赖性且有固定电阻值。例如,作为电阻器50,优选使用氧化物导体(OC:Oxide Conductor)。例如,通过氧化物半导体(OS:Oxide Semiconductor)的载流子密度增加而使其导电性成为n型,可以获得氧化物导体(OC)。

[0062] 在氧化物导体(OC)中,因环境温度所引起的电阻的变化少,或者因环境温度所引起的变化极少。就是说,可以将氧化物导体用作温度依赖性低的电阻材料。注意,电阻器50不局限于氧化物导体(OC),也可以使用温度依赖性低的其他电阻材料。

[0063] 监控晶体管22优选在活性层中包括氧化物半导体(OS)。可以在相同工序中制造上述氧化物导体(OC)和氧化物半导体(OS)。在将氧化物半导体(OS)用于监控晶体管22的情况下,该监控晶体管22的特性有时与监控发光元件21同样地因环境温度而变化。例如,环境温度越高,有时包括氧化物半导体(OS)的监控晶体管22的漏电极与源电极之间的电位差(V_{ds})越大。

[0064] 注意,在图2所示的监控电路20中,例示出作为监控晶体管22使用n沟道型晶体管的结构,但是不局限于此,例如也可以采用图3所示的结构。图3是说明监控电路及校正电路的一个例子的电路图。在图3中,将图2所示的监控晶体管22换为p沟道型结构,来改变图2所示的放大电路31的极性。

[0065] 另外,可以采用将电阻器50设置在监控发光元件21的第一电极(CATHODE)一侧的结构。图4示出该结构的一个例子。图4所示的电路包括监控电路20B及校正电路30B。注意,当采用图4所示的结构时,流过监控发光元件21的电流值*i*表示为如下算式(2)。

$$[0066] \quad (V2-CATHODE)/R \quad (2)$$

[0067] 另外,可以采用改变监控发光元件21的叠层顺序,所谓的相反层叠顺序的结构。图5示出该结构的一个例子。图5所示的电路包括监控电路20C及校正电路30C。

[0068] 在上文中,例示出使用监控电路对发光元件进行温度校正的结构,但是不局限于此,例如可以只使用监控电路,监测流过像素电路所包括的发光元件及驱动晶体管的电流之值而进行温度校正。

[0069] <1-4. 包括氧化物半导体的晶体管的温度特性>

在此,下面使用图12对包括氧化物半导体(OS)的晶体管的温度依赖性进行说明。

[0070] 图12是对底栅顶接触型(BGTC),所谓的沟道蚀刻型晶体管的温度依赖性进行评价的结果。在该晶体管的活性层中使用氧化物半导体。作为氧化物半导体,采用如下两个条件:第一条件为采用IGZO膜($In:Ga:Zn=4:2:4.1$ [原子数比])与IGZO膜($In:Ga:Zn=1:1:1.2$ [原子数比])的叠层结构;第二条件为IGZO膜($In:Ga:Zn=1:1:1.2$ [原子数比])的单层结构。另外,晶体管的尺寸为如下:沟道长度*L*为 $3\mu m$ 且沟道宽度*W*为 $5\mu m$ 。

[0071] 作为晶体管的温度依赖性的评价,采用衬底温度为 $25^{\circ}C$ 、 $40^{\circ}C$ 、 $60^{\circ}C$ 及 $80^{\circ}C$ 的四个条件,测定晶体管的通态电流(I_{on})。另外,漏电压(V_d)为 $20V$,栅电压(V_g)为 $15V$ 。

[0072] 如图12所示那样,不依赖于氧化物半导体的条件,衬底温度越高,晶体管的 I_{on} 越高。就是说,包括氧化物半导体的晶体管具有温度依赖性。

[0073] <1-5.氧化物导电体的温度依赖性>

接着,使用图13对氧化物导电体(OC)的温度依赖性进行说明。

[0074] 图13是说明氧化物导电体(OC)的电阻的温度依赖性的图。该氧化物导电体(OC)通过如下方式形成:在形成氧化物半导体膜之后,在该氧化物半导体膜上形成包含氢的氮化硅膜,从该氮化硅膜向氧化物半导体膜供应氢。作为氧化物半导体,采用如下两个条件:第一条件为采用IGZO膜(In:Ga:Zn=4:2:4.1[原子数比])与IGZO膜(In:Ga:Zn=1:1:1.2[原子数比])的叠层结构;第二条件为IGZO膜(In:Ga:Zn=1:1:1.2[原子数比])的单层结构。

[0075] 作为氧化物导电体(OC)的温度依赖性的评价,采用衬底温度为25℃、40℃、60℃及80℃的四个条件,测定氧化物导电体(OC)的薄层电阻。另外,氧化物导电体(OC)的尺寸为 $W/L=10\mu\text{m}/1500\mu\text{m}$ 。

[0076] 如图13所示那样,不依赖于氧化物半导体的条件,即使衬底温度变化,氧化物导电体(OC)的薄层电阻也没有变化,或者其变化极少。由此可知,氧化物导电体(OC)的电阻没有温度依赖性,或者电阻的温度依赖性极少。换句话说,氧化物导电体是简并半导体,可以推测其导带底与费米能级一致或大致一致。

[0077] 由此,可以将氧化物导电体适当地用作校正电路30所包括的电阻器。

[0078] <1-6.监控电路及校正电路的结构实例2>

接着,使用图6对与图2所示的监控电路20及校正电路30的结构不同的结构实例进行说明。

[0079] 图6是说明本发明的一个方式的半导体装置的一个例子的电路图。图6所示的电路包括监控电路20A及校正电路30A。

[0080] [监控电路]

监控电路20A包括监控发光元件21、监控晶体管22A、电阻器23、端子24、端子25、端子26以及端子27。

[0081] 如监控电路20A所示那样,通过设置多个端子且改变该端子的连接对象,可以测定监控发光元件21、监控晶体管22A及电阻器23的各元件特性。

[0082] 另外,电阻器23可以使用上述氧化物导电体(OC)形成。由此,在图6中,对电阻器23附上“OC”的符号。注意,这在后面的附图中也是同样的。

[0083] 端子24与监控晶体管22A的栅电极电连接,可以将监控晶体管22A的栅电极的电位提取到外部。端子25与监控晶体管22A的源电极电连接,可以将监控晶体管22A的源电极的电位提取到外部。端子26与监控晶体管22A的漏电极电连接,可以将监控晶体管22A的漏电极的电位提取到外部。端子27通过电阻器23及监控晶体管22A与监控发光元件21的一对电极的另一个电连接,可以将监控发光元件21的一对电极的另一个(例如,阳极)的电位提取到外部。另外,第一电极(CATHODE)与监控发光元件21的一对电极的一个电连接。

[0084] 另外,监控晶体管22A与上述监控晶体管22不同地采用具有多个栅电极的结构。具体地说,监控晶体管22A包括第一栅电极、与第一栅电极对置的第二栅电极。第二栅电极与监控晶体管22A的源电极电连接。另外,第二栅电极的连接对象不局限于此,例如也可以与监控晶体管22A的第一栅电极或其它电极电连接。此外,作为该其它电极,例如可以举出被

供应接地(GND)电位的电极或被提供其它电位的电极等。或者,也可以使监控晶体管22A的第二栅电极成为浮动状态。

[0085] 如监控晶体管22A所示那样,通过采用具有多个栅电极的晶体管结构,例如可以提高监控晶体管22A的驱动能力,或者可以控制监控晶体管22A的阈值电压(V_{th})。

[0086] 另外,作为电阻器23,例如可以采用图7A和图7B所示的结构。

[0087] 图7A是半导体装置950的俯视图,图7B是相当于沿着图7A所示的点划线M-N的切断面的截面图。

[0088] 半导体装置950包括:衬底902上的导电膜904a;衬底902上的导电膜904b;覆盖衬底902、导电膜904a及导电膜904b的绝缘膜906;绝缘膜906上的绝缘膜907;绝缘膜907上的氧化物导电膜909;通过形成在绝缘膜906、907中的开口部944a与导电膜904a连接的导电膜912d;通过形成在绝缘膜906、907中的开口部944b与导电膜904b连接的导电膜912e;以及覆盖绝缘膜907、氧化物导电膜909及导电膜912d、912e的绝缘膜918。

[0089] 例如,使用氧化物半导体作为氧化物导电膜909,使用包含氢的绝缘膜作为绝缘膜918。通过采用上述结构,绝缘膜918所包含的氢进入氧化物半导体膜中而使该氧化物半导体膜的载流子密度增加,由此该氧化物半导体膜可以被用作氧化物导电膜。

[0090] [校正电路]

校正电路30A包括放大电路31、开关元件32、转换器电路61以及存储电路62。

[0091] 存储电路62通过转换器电路61与放大电路31的输出端子电连接。例如,使用转换器电路61将放大电路31的输出信号从模拟信号转换到数字信号,来使该数字信号储存于存储电路62中,即可。

[0092] 如图6所示那样,可以将具有与放大电路31及开关元件32不同的功能的电路(这里,是指转换器电路61及存储电路62)设置在校正电路30A中。

[0093] 图6所示的监控电路20A与校正电路30A以如下方式连接。端子24与放大电路31的输出端子电连接,端子26与开关元件32的一个电极及放大电路31的第一输入端子电连接。

[0094] 在图6所示的结构中,端子25及端子27没有与校正电路30A电连接。如此,校正电路30A与监控电路20A所包括的监控发光元件21、监控晶体管22A和电阻器23中的任一个电连接,即可。

[0095] <1-7. 监控电路及校正电路的结构实例3>

接着,使用图8对与图2所示的监控电路20及校正电路30的结构不同的结构实例进行说明。

[0096] 图8是说明本发明的一个方式的半导体装置的一个例子的电路图。图8所示的半导体装置包括监控电路20A及校正电路30A。注意,图8所示的半导体装置的监控电路20A与校正电路30A的连接方法与图6所示的半导体装置的监控电路20A与校正电路30A的连接方法不同。

[0097] 具体地说,图8所示的监控电路20A与校正电路30A以如下方式连接。端子24与放大电路31的输出端子电连接,端子26与放大电路31的第一输入端子电连接,端子27与开关元件32的一个电极电连接。

[0098] 当采用图8所示的结构时,可以使用监控电路20A所包括的电阻器23,因此可以省略图6所示的电阻器50。

[0099] <1-8.像素电路的结构实例1>

接着,使用图9对图1所示的像素电路14的具体结构进行说明。图9是示出像素电路14的一个例子的电路图。

[0100] 图9所示的像素电路14包括晶体管552及晶体管554、电容器562以及发光元件572。可以将具有氧化物半导体的晶体管适用于晶体管552和晶体管554中的一个或两个。

[0101] 晶体管552的源电极和漏电极中的一个电连接于数据线DL_Y。并且,晶体管552的栅电极电连接于扫描线GL_X。

[0102] 晶体管552具有通过成为开启状态或关闭状态而对数据信号的写入进行控制的功能。

[0103] 电容器562的一对电极中的一个与晶体管552的源电极和漏电极中的另一个电连接。另外,电容器562的一对电极中的另一个与晶体管554的第二栅电极(也称为背栅极)电连接。电容器562被用作储存被写入的数据的存储电容器。

[0104] 晶体管554的源电极和漏电极中的一个与阳极线(ANODE_X)电连接。

[0105] 发光元件572的阳极和阴极中的一个与晶体管554的源电极和漏电极中的另一个电连接,发光元件572的阳极和阴极中的另一个与阴极线(CATHODE)电连接。另外,发光元件572的阳极和阴极中的一个与电容器562的一对电极中的另一个电连接。

[0106] 作为发光元件572,例如可以使用有机EL元件。注意,发光元件572并不局限于有机EL元件,也可以为包含无机材料的无机EL元件。

[0107] 例如,在图9所示的电路结构中,通过图1所示的栅极线驱动电路16依次选择各行的像素电路14,并使晶体管552成为导通状态而写入数据信号的数据。

[0108] 当晶体管552成为关闭状态时,被写入数据的像素电路14成为保持状态。并且,流在晶体管554的源电极与漏电极之间的电流量根据被写入的数据信号的电位被控制,由此,发光元件572以对应于流动的电流量的亮度发光。通过按行依次进行上述步骤,可以显示图像。

[0109] 另外,发光元件572的阴极的电位通过上述监控电路及校正电路适当地调整为任意的值。

[0110] 另外,在本实施方式中,虽然作为显示装置的显示元件的例子示出了包括发光元件572的结构,但不局限于此,显示装置也可以包括各种各样的元件。作为该元件的一个例子,有电致发光(EL)元件(包含有机材料和无机材料的EL元件、有机EL元件或无机EL元件、LED等)、发光晶体管(根据电流而发光的晶体管)、电子发射元件、液晶元件、电子墨水元件、电泳元件、电润湿(electrowetting)元件、等离子体显示器(PDP)、MEMS(微电机系统)显示器(例如,光栅光阀(GLV)、数字微镜设备(DMD)、数字微快门(DMS)元件、IMOD(干涉测量调节)元件)、压电陶瓷显示器等,包括其对比度、亮度、反射率、透射率等因电或磁作用变化的显示媒体的元件。作为使用EL元件的显示装置的例子,有EL显示器等。作为使用电子发射元件的显示装置的例子,有场致发射显示器(FED)或SED方式平面型显示器(SED:Surface-conduction Electron-emitter Display:表面传导电子发射显示器)等。作为使用液晶元件的显示装置的例子,有液晶显示器(透射式液晶显示器、半透射式液晶显示器、反射式液晶显示器、直观式液晶显示器、投射式液晶显示器)等。作为使用电子墨水元件或电泳元件的显示装置的一个例子,有电子纸等。注意,当实现半透射式液晶显示器或反射式液晶显示

器时,使像素电极的一部分或全部具有反射电极的功能,即可。例如,使像素电极的一部分或全部包含铝、银等,即可。此时,也可以将SRAM等存储电路设置在反射电极下。由此,可以进一步降低功耗。

[0111] 此外,作为显示装置的显示方式,可以采用逐行扫描方式或隔行扫描方式等。此外,作为当进行彩色显示时在像素中控制的颜色要素,不局限于RGB(R表示红色,G表示绿色,B表示蓝色)这三种颜色。例如,可以由R像素、G像素、B像素及W(白色)像素的四个像素构成。或者,如PenTile排列那样,也可以由RGB中的两个颜色构成一个颜色要素,并各颜色要素选择不同的两个颜色来构成。或者可以对RGB追加黄色(yellow)、青色(cyan)、品红色(magenta)等中的一种以上的颜色。另外,各个颜色要素的点的显示区域的大小可以不同。但是,所公开的发明不局限于彩色显示的显示装置,而也可以应用于黑白显示的显示装置。

[0112] 另外,在显示装置中,可以从背光(有机EL元件、无机EL元件、LED、荧光灯等)射出白色光(W)。此外,也可以在显示装置中设置着色层(也称为滤光片)。作为着色层,例如可以适当地组合红色(R)、绿色(G)、蓝色(B)、黄色(Y)等而使用。通过使用着色层,可以与不使用着色层的情况相比进一步提高颜色再现性。此时,也可以通过设置包括着色层的区域和不包括着色层的区域,将不包括着色层的区域中的白色光直接用于显示。通过部分地设置不包括着色层的区域,在显示明亮的图像时,有时可以减少着色层所引起的亮度降低而减少功耗两成至三成左右。但是,在使用有机EL元件及无机EL元件等自发光元件进行全彩色显示时,也可以从具有各发光颜色的元件发射R、G、B、Y、白色(W)的光。通过使用自发光元件,有时与使用着色层的情况相比进一步减少功耗。

[0113] <1-9.像素电路的结构实例2>

接着,使用图10A和图10B对图9所示的像素电路14的具体结构进行说明。图10A是像素电路14的俯视图,图10B是相当于沿着图10A所示的点划线X1-X2的切断面的截面图。另外,在图10A中,为了避免附图的繁杂,省略构成要素的一部分。

[0114] 图10A和图10B所示的像素电路14包括:衬底702上的用作第一栅电极的导电膜704;导电膜704上的绝缘膜706、707;绝缘膜707上的氧化物半导体膜708;绝缘膜707及氧化物半导体膜708上的用作源电极及漏电极的导电膜712a、712b;绝缘膜707上的导电膜712c;覆盖氧化物半导体膜708、导电膜712a、712b、712c的绝缘膜714、716;绝缘膜716上的用作第二栅电极的氧化物半导体膜720;绝缘膜716及氧化物半导体膜720上的绝缘膜718;绝缘膜718上的用作平坦化绝缘膜的绝缘膜722;绝缘膜722上的用作像素电极的导电膜724a、724b;具有抑制导电膜724a与导电膜724b的电连接的功能的结构体726;导电膜724a、724b及结构体726上的EL层728;以及EL层728上的导电膜730。

[0115] 导电膜712c通过形成在绝缘膜706、707中的开口部752c与导电膜704电连接。用作第二栅电极的氧化物半导体膜720通过形成在绝缘膜714、716中的开口部752a与导电膜712b电连接。导电膜724a通过形成在绝缘膜714、716、718、722中的开口部752b与导电膜712b电连接。

[0116] 另外,由用作像素电极的导电膜724a、EL层728以及导电膜730形成发光元件572。此外,EL层728通过溅射法、蒸镀法(包括真空蒸镀法)、印刷法(例如,凸版印刷、凹版印刷、照相凹版印刷、平板印刷及孔版印刷等)、喷墨法及涂敷法等形成。

[0117] 如图10A和图10B所示,通过像素电路14采用两个晶体管及一个电容器的结构,可

以减少布线的数量。例如,如图10A所示那样,作为像素电路14所包括的布线,可以主要为栅极线、扫描线及阳极线的三个布线。通过采用上述结构,可以提高像素的开口率。另外,通过减少布线的数量,不容易产生相邻的布线之间的短路等,因此可以提供一种显示质量高的半导体装置。

[0118] 本实施方式所示的结构可以与其他实施方式、实施例或参考例所示的结构适当地组合而使用。

[0119] 实施方式2

在本实施方式中,参照图14A至图24D说明本发明的一个方式的半导体装置所包括的晶体管及该晶体管的制造方法。

[0120] <2-1.晶体管的实例1>

图14A是本发明的一个方式的半导体装置所包括的晶体管100的俯视图,图14B相当于沿着图14A所示的点划线X1-X2的切断面的截面图,图14C相当于沿着图14A所示的点划线Y1-Y2的切断面的截面图。另外,在图14A中,为了避免附图的繁杂,省略晶体管100的构成要素的一部分(被用作栅极绝缘膜的绝缘膜等)。此外,有时将点划线X1-X2方向称为沟道长度方向,将点划线Y1-Y2方向称为沟道宽度方向。此外,在晶体管的俯视图中,有时在后面的附图中也与图14A同样地省略构成要素的一部分。

[0121] 晶体管100包括:衬底102上的用作栅电极的导电膜104;衬底102及导电膜104上的绝缘膜106;绝缘膜106上的绝缘膜107;绝缘膜107上的氧化物半导体膜108;与氧化物半导体膜108电连接的用作源电极的导电膜112a;以及与氧化物半导体膜108电连接的用作漏电极的导电膜112b。另外,在晶体管100上,具体而言,在导电膜112a、导电膜112b及氧化物半导体膜108上设置有绝缘膜114、绝缘膜116及绝缘膜118。绝缘膜114、绝缘膜116、绝缘膜118具有作为晶体管100的保护绝缘膜的功能。

[0122] 当氢或水分等杂质混入氧化物半导体膜108时,该杂质与被形成在氧化物半导体膜108中的氧缺陷键合,而产生作为载流子的电子。若产生上述起因于杂质的载流子,晶体管100则容易成为常开启(normally-on)特性。因此,为了得到稳定的晶体管特性,减少氧化物半导体膜108中的氢或水分等杂质以及减少氧化物半导体膜108中的氧缺陷是很重要的。于是,在晶体管100中,通过从绝缘膜114、绝缘膜116对氧化物半导体膜108供应氧,来填补氧化物半导体膜108中的氧缺陷。

[0123] 因此,绝缘膜114、绝缘膜116分别具有含有超过化学计量组成的氧的区域(氧过剩区域)。换言之,绝缘膜114、绝缘膜116是能够释放氧的绝缘膜。此外,为了在绝缘膜114、绝缘膜116中设置氧过剩区域,例如,对成膜后的绝缘膜114、绝缘膜116添加氧。作为氧的添加方法,可以使用离子注入法、离子掺杂法、等离子体浸没式离子注入法、等离子体处理等。注意,在该等离子体处理中,优选使用以高频电力使氧气体等离子体化的装置(还称为等离子体蚀刻装置或等离子体灰化装置)。

[0124] 另外,通过使用热脱附谱分析法(TDS(Thermal Desorption Spectroscopy))对绝缘膜进行测定,可以测定氧释放量。例如,在通过使用热脱附谱分析法对绝缘膜114、绝缘膜116进行测定时,氧分子的释放量为 8.0×10^{14} 个/cm²以上,优选为 1.0×10^{15} 个/cm²以上,更优选为 1.5×10^{15} 个/cm²以上。注意,热脱附谱分析法中的膜的表面温度为100℃以上且700℃以下,优选为100℃以上且500℃以下。

107是能够释放氧的绝缘膜。此外,为了在绝缘膜107中设置氧过剩区域,例如在氧气氛下形成绝缘膜107即可。或者,也可以对成膜后的绝缘膜107引入氧而形成氧过剩区域。作为氧的引入方法,可以使用离子注入法、离子掺杂法、等离子体浸没式离子注入法、等离子体处理等。

[0134] 此外,当绝缘膜107使用氧化铪时发挥如下效果。氧化铪的相对介电常数比氧化硅或氮化硅高。因此,通过使用氧化铪,与使用氧化硅的情况相比,可以使绝缘膜107的厚度变大,由此,可以减少隧道电流引起的泄漏电流。即,可以实现关态电流(off-state current)小的晶体管。再者,与具有非晶结构的氧化铪相比,具有结晶结构的氧化铪的相对介电常数高。因此,为了形成关态电流小的晶体管,优选使用具有结晶结构的氧化铪。作为结晶结构的例子,可以举出单斜晶系或立方晶系等。注意,本发明的一个方式不局限于此。

[0135] 注意,在本实施方式中,作为绝缘膜106形成氮化硅膜,作为绝缘膜107形成氧化硅膜。与氧化硅膜相比,氮化硅膜的相对介电常数较高且为了得到与氧化硅膜相等的静电容量所需要的厚度较大,因此,通过使晶体管的栅极绝缘膜包括氮化硅膜,可以增加绝缘膜的物理厚度。因此,可以通过抑制晶体管100的绝缘耐压的下降并提高绝缘耐压来抑制晶体管100的静电破坏。

[0136] [氧化物半导体膜]

氧化物半导体膜108包含In、Zn及M(M是Ti、Ga、Y、Zr、La、Ce、Nd、Sn或Hf)。作为氧化物半导体膜108,典型地可以使用In-Ga氧化物、In-Zn氧化物、In-M-Zn氧化物。尤其是,作为氧化物半导体膜108,优选使用In-M-Zn氧化物。

[0137] 当氧化物半导体膜108是In-M-Zn氧化物时,用来形成该In-M-Zn氧化物的溅射靶材的金属元素的原子数比优选满足 $\text{In} \geq \text{M}$ 、 $\text{Zn} \geq \text{M}$ 。这种溅射靶材的金属元素的原子数比优选为 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:3$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:4.1$ 。

[0138] 例如,当作为In-M-Zn氧化物使用 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比]的溅射靶材形成氧化物半导体膜108时,可以提高晶体管的场效应迁移率,所以是优选的。通过提高晶体管的场效应迁移率,可以将该晶体管适当地用作例如以 $4\text{K} \times 2\text{K}$ (水平方向的像素个数=3840像素,垂直方向的像素个数=2160像素)或 $8\text{K} \times 4\text{K}$ (水平方向的像素个数=7680像素,垂直方向的像素个数=4320像素)为代表的清晰度高的显示装置的像素电路或驱动电路的晶体管。

[0139] 注意,所形成的氧化物半导体膜108的原子数比分别包含上述溅射靶材中的金属元素的原子数比的 $\pm 40\%$ 的范围内的变动。例如,当作为溅射靶材使用原子数比为 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ 的靶材时,所形成的氧化物半导体膜108的原子数比有时为 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ 附近。此外,当作为溅射靶材使用原子数比为 $\text{In}:\text{Ga}:\text{Zn}=1:1:1.2$ 的靶材时,所形成的氧化物半导体膜108的原子数比有时为 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 附近。

[0140] 另外,当氧化物半导体膜108为In-M-Zn氧化物膜时,除了Zn及O之外的In和M的原子百分比优选为:In的原子百分比高于25atomic%,M的原子百分比低于75atomic%,更优选为:In的原子百分比高于34atomic%,M的原子百分比低于66atomic%。

[0141] 氧化物半导体膜108的能隙为2eV以上,优选为2.5eV以上,更优选为3eV以上。如此,通过使用能隙较宽的氧化物半导体,可以降低晶体管100的关态电流。

[0142] 氧化物半导体膜108的厚度为3nm以上且200nm以下,优选为3nm以上且100nm以下,更优选为3nm以上且50nm以下。

[0143] 本发明不局限于上述记载,可以根据所需的晶体管的半导体特性及电特性(场效应迁移率、阈值电压等)来使用具有适当的组成的材料。另外,优选适当地设定氧化物半导体膜108的载流子密度、杂质浓度、缺陷密度、金属元素与氧的原子数比、原子间距离、密度等,以得到所需的晶体管的半导体特性。

[0144] 另外,因为高纯度本征或实质上高纯度本征的氧化物半导体膜的载流子发生源较少,所以可以降低载流子密度。因此,在该氧化物半导体膜中形成有沟道区域的晶体管很少具有负阈值电压的电特性(也称为常开启特性)。因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。高纯度本征或实质上高纯度本征的氧化物半导体膜的关态电流显著小,即便是沟道宽度 W 为 $1 \times 10^6 \mu\text{m}$ 且沟道长度 L 为 $10 \mu\text{m}$ 的元件,当源电极与漏电极间的电压(漏电压)在1V至10V的范围时,关态电流也可以为半导体参数分析仪的测定极限以下,即 $1 \times 10^{-13} \text{A}$ 以下。

[0145] 因此,在上述高纯度本征或实质上高纯度本征的氧化物半导体膜中形成有沟道区域的晶体管可以是电特性变动小且可靠性高的晶体管。此外,被氧化物半导体膜的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体膜中形成有沟道区域的晶体管的电特性不稳定。作为杂质有氢、氮、碱金属或碱土金属等。

[0146] 包含在氧化物半导体膜108中的氢与键合于金属原子的氧起反应生成水,与此同时在发生氧脱离的晶格(或氧脱离的部分)中形成氧缺陷。当氢进入该氧缺陷时,有时产生作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含氢的氧化物半导体膜的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体膜108中的氢。具体而言,在氧化物半导体膜108中,利用SIMS (Secondary Ion Mass Spectrometry)测得的氢浓度为 $2 \times 10^{20} \text{atoms/cm}^3$ 以下,优选为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下,更优选为 $1 \times 10^{19} \text{atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下,更优选为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,更优选为 $5 \times 10^{17} \text{atoms/cm}^3$ 以下,进一步优选为 $1 \times 10^{16} \text{atoms/cm}^3$ 以下。

[0147] 当氧化物半导体膜108包含第14族元素之一的硅或碳时,在氧化物半导体膜108中氧缺陷增加,使得氧化物半导体膜108被n型化。因此,氧化物半导体膜108中的硅或碳的浓度以及与氧化物半导体膜108的界面附近的硅或碳的浓度(利用SIMS分析测得的浓度)为 $2 \times 10^{18} \text{atoms/cm}^3$ 以下,优选为 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0148] 另外,在氧化物半导体膜108中,利用SIMS分析测得的碱金属或碱土金属的浓度为 $1 \times 10^{18} \text{atoms/cm}^3$ 以下,优选为 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。当碱金属及碱土金属与氧化物半导体键合时有时生成载流子而使晶体管的关态电流增大。由此,优选降低氧化物半导体膜108的碱金属或碱土金属的浓度。

[0149] 当在氧化物半导体膜108中含有氮时,产生作为载流子的电子,并载流子密度增加,使得氧化物半导体膜108容易被n型化。其结果,使用含有氮的氧化物半导体膜的晶体管容易具有常开启特性。因此,优选尽可能地减少氧化物半导体膜中的氮,例如,利用SIMS测得的氮浓度优选为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下。

[0150] 关于可以用于氧化物半导体膜108的氧化物半导体的结构等,将在实施方式3中进

行详细的说明。

[0151] [保护绝缘膜]

绝缘膜114、绝缘膜116、绝缘膜118具有作为保护绝缘膜的功能。绝缘膜114、绝缘膜116包含氧，绝缘膜118包含氮。此外，绝缘膜114是能够使氧透过的绝缘膜。另外，当在后面形成绝缘膜116时，绝缘膜114还用作缓和氧化物半导体膜108造成的损伤的膜。

[0152] 作为绝缘膜114，可以使用厚度为5nm以上且150nm以下，优选为5nm以上且50nm以下的氧化硅或氧氮化硅。

[0153] 此外，优选使绝缘膜114中的缺陷量较少，典型的是，通过ESR(Electron Spin Resonance:电子自旋共振)测得的起因于硅悬空键且在 $g=2.001$ 处出现的信号的自旋密度优选为 3×10^{17} spins/cm³以下。这是因为：若绝缘膜114的缺陷密度高，氧则与该缺陷键合，而使绝缘膜114中的氧透过量减少。

[0154] 在绝缘膜114中，有时从外部进入绝缘膜114的氧不是全部移动到绝缘膜114的外部，而是其一部分残留在绝缘膜114内部。另外，有时在氧从外部进入绝缘膜114的同时，绝缘膜114所含有的氧移动到绝缘膜114的外部，由此在绝缘膜114中发生氧的移动。在形成能够使氧透过的氧化物绝缘膜作为绝缘膜114时，可以使从设置在绝缘膜114上的绝缘膜116脱离的氧经过绝缘膜114而移动到氧化物半导体膜108中。

[0155] 此外，绝缘膜114可以使用起因于氮氧化物的态密度低的氧化物绝缘膜形成。注意，该起因于氮氧化物的态密度有时会形成在氧化物半导体膜的价带顶的能量($E_{v,os}$)与氧化物半导体膜的导带底的能量($E_{c,os}$)之间。作为上述氧化物绝缘膜，可以使用氮氧化物的释放量少的氧氮化硅膜或氮氧化物的释放量少的氧氮化铝膜等。

[0156] 此外，在热脱附谱分析法中，氮氧化物的释放量少的氧氮化硅膜是氮释放量比氮氧化物的释放量多的膜，典型的是氮释放量为 1×10^{18} 个/cm³以上且 5×10^{19} 个/cm³以下。注意，该氮释放量是在进行膜表面温度为50℃以上且650℃以下，优选为50℃以上且550℃以下的加热处理时的释放量。

[0157] 氮氧化物(NO_x , x 大于0且2以下，优选为1以上且2以下)，典型的是 NO_2 或 NO 在绝缘膜114等中形成能级。该能级位于氧化物半导体膜108的能隙中。因此，当氮氧化物扩散到绝缘膜114与氧化物半导体膜108的界面附近时，有时该能级在绝缘膜114一侧俘获电子。其结果，被俘获的电子留在绝缘膜114与氧化物半导体膜108的界面附近，由此使晶体管的阈值电压向正方向漂移。

[0158] 另外，当进行加热处理时，氮氧化物与氮及氧起反应。当进行加热处理时，绝缘膜114所包含的氮氧化物与绝缘膜116所包含的氮起反应，由此绝缘膜114所包含的氮氧化物减少。因此，在绝缘膜114与氧化物半导体膜108的界面附近不容易俘获电子。

[0159] 通过作为绝缘膜114使用上述氧化物绝缘膜，可以降低晶体管的阈值电压的漂移，从而可以降低晶体管的电特性的变动。

[0160] 通过进行晶体管的制造工序的加热处理，典型的是300℃以上且低于衬底的应变点的加热处理，在利用100K以下的ESR对绝缘膜114进行测量而得到的光谱中，观察到 g 值为2.037以上且2.039以下的第二信号、 g 值为2.001以上且2.003以下的第三信号以及 g 值为1.964以上且1.966以下的第四信号。在X带的ESR测定中，第二信号与第三信号之间的分割宽度(split width)及第三信号与第四信号之间的分割宽度大约为5mT。另外， g 值为2.037

以上且2.039以下的第一信号、g值为2.001以上且2.003以下的第二信号以及g值为1.964以上且1.966以下的第三信号的自旋密度的总和低于 1×10^{18} spins/cm³, 典型为 1×10^{17} spins/cm³以上且低于 1×10^{18} spins/cm³。

[0161] 在100K以下的ESR谱中,g值为2.037以上且2.039以下的第一信号、g值为2.001以上且2.003以下的第二信号以及g值为1.964以上且1.966以下的第三信号相当于起因于氮氧化物(NO_x, x大于0且2以下, 优选为1以上且2以下)的信号。作为氮氧化物的典型例子, 有一氧化氮、二氧化氮等。即,g值为2.037以上且2.039以下的第一信号、g值为2.001以上且2.003以下的第二信号以及g值为1.964以上且1.966以下的第三信号的自旋密度的总数越少, 氧化物绝缘膜中的氮氧化物含量越少。

[0162] 另外, 利用SIMS分析对上述氧化物绝缘膜进行测量而得到的氮浓度为 6×10^{20} atoms/cm³以下。

[0163] 通过在衬底温度为220℃以上、280℃以上或350℃以上的情况下利用使用硅烷及一氧化二氮的PECVD法形成上述氧化物绝缘膜, 可以形成致密且硬度高的膜。

[0164] 绝缘膜116使用其氧含量超过化学计量组成的氧化物绝缘膜形成。通过加热, 氧的一部分从氧含量超过化学计量组成的氧化物绝缘膜中脱离。在TDS分析中, 其氧含量超过化学计量组成的氧化物绝缘膜的换算为氧原子的氧释放量为 8.0×10^{14} atoms/cm²以上, 优选为 1.0×10^{15} atoms/cm²以上。注意, 在上述TDS分析中, 膜的表面温度为100℃以上且700℃以下, 优选为100℃以上且500℃以下。

[0165] 作为绝缘膜116可以使用厚度为30nm以上且500nm以下, 优选为50nm以上且400nm以下的氧化硅膜或氧氮化硅膜。

[0166] 此外, 优选使绝缘膜116中的缺陷量较少, 典型的是, 通过ESR测得的起因于硅悬空键且在 $g = 2.001$ 处出现的信号的自旋密度低于 1.5×10^{18} spins/cm³, 更优选为 1×10^{18} spins/cm³以下。由于绝缘膜116与绝缘膜114相比离氧化物半导体膜108更远, 所以绝缘膜116的缺陷密度也可以高于绝缘膜114。

[0167] 另外, 因为绝缘膜114、绝缘膜116可以使用相同种类材料形成, 所以有时无法明确地确认到绝缘膜114与绝缘膜116的界面。因此, 在本实施方式中, 以虚线图示出绝缘膜114与绝缘膜116的界面。注意, 在本实施方式中, 虽然说明绝缘膜114与绝缘膜116的两层结构, 但是不局限于此, 例如, 也可以采用绝缘膜114和绝缘膜116中的任一个的单层结构。

[0168] 绝缘膜118包含氮。另外, 绝缘膜118包含氮及硅。此外, 绝缘膜118具有能够阻挡氧、氢、水、碱金属、碱土金属等的功能。通过设置绝缘膜118, 能够防止氧从氧化物半导体膜108扩散到外部并能够防止绝缘膜114、绝缘膜116所包含的氧扩散到外部, 还能够抑制氢、水等从外部侵入氧化物半导体膜108中。作为绝缘膜118, 例如可以使用氮化物绝缘膜。作为该氮化物绝缘膜, 有氮化硅、氮氧化硅、氮化铝、氮氧化铝等。另外, 也可以设置对氧、氢、水等具有阻挡效果的氧化物绝缘膜代替对氧、氢、水、碱金属、碱土金属等具有阻挡效果的氮化物绝缘膜。作为对氧、氢、水等具有阻挡效果的氧化物绝缘膜, 有氧化铝膜、氧氮化铝膜、氧化镓膜、氧氮化镓膜、氧化钪膜、氧氮化钪膜、氧化铪膜、氧氮化铪膜等。

[0169] 注意, 作为上述的导电膜、绝缘膜、氧化物半导体膜等各种膜的形成方法, 可以举出溅射法、化学气相沉积(CVD)法、真空蒸镀法、脉冲激光沉积(PLD)法等。此外, 作为上述各种膜的形成方法, 可以使用等离子体增强化学气相沉积(PECVD)法、热CVD(Chemical Vapor

Deposition)法或ALD(Atomic Layer Deposition:原子层沉积)法。作为热CVD法的例子,可以举出MOCVD(Metal Organic Chemical Vapor Deposition:有机金属化学气相沉积)法。另外,作为上述的导电膜、绝缘膜、氧化物半导体膜等各种膜的形成方法,可以使用涂敷法或印刷法。

[0170] 由于热CVD法是不使用等离子体的成膜方法,因此具有不产生因等离子体损伤引起的缺陷的优点。

[0171] 可以以如下方法进行利用热CVD法的成膜:将源气体及氧化剂同时供应到处理室内,将处理室内的压力设定为大气压或减压,使其在衬底附近或在衬底上产生反应而沉积在衬底上。

[0172] 另外,也可以以如下方法进行利用ALD法的成膜:将处理室内的压力设定为大气压或减压,将用于反应的源气体依次引入处理室,然后按该顺序反复地引入气体。例如,通过切换各开关阀(也称为高速阀)来将两种以上的源气体依次供应到处理室内,为了防止多种源气体混合,在引入第一源气体的同时或之后引入惰性气体(氩或氮等)等,然后引入第二源气体。注意,当同时引入第一源气体及惰性气体时,惰性气体被用作载流子气体,此外,可以在引入第二源气体的同时引入惰性气体。另外,也可以不引入惰性气体而通过真空抽气将第一源气体排出,然后引入第二源气体。第一源气体附着于衬底表面上,以形成第一层;然后第二源气体被引入以与该第一层起反应;其结果,第二层层叠于第一层上,从而形成薄膜。通过按该顺序反复多次地引入气体直到获得所希望的厚度为止,可以形成台阶覆盖性良好的薄膜。由于薄膜的厚度可以根据按顺序反复引入气体的次数来进行调节,因此,ALD法可以精确地调节厚度而适用于制造微型FET。

[0173] 通过ALD法或MOCVD法等热CVD法可以形成上述实施方式所记载的导电膜、绝缘膜、氧化物半导体膜、金属氧化膜等各种膜,例如,当形成In-Ga-ZnO膜时,使用三甲基铟、三甲基镓及二甲基锌。三甲基铟的化学式为 $\text{In}(\text{CH}_3)_3$ 。三甲基镓的化学式为 $\text{Ga}(\text{CH}_3)_3$ 。另外,二甲基锌的化学式为 $\text{Zn}(\text{CH}_3)_2$ 。另外,不局限于上述组合,也可以使用三乙基镓(化学式为 $\text{Ga}(\text{C}_2\text{H}_5)_3$)代替三甲基镓,并使用二乙基锌(化学式为 $\text{Zn}(\text{C}_2\text{H}_5)_2$)代替二甲基锌。

[0174] 例如,在使用利用ALD法的成膜装置形成氧化铪膜时,使用如下两种气体:通过使包含溶剂和铪前体化合物的液体(铪醇盐或四二甲基酰胺铪(TDMAH)等铪酰胺)气化而得到的源气体;以及用作氧化剂的臭氧(O_3)。此外,四二甲基酰胺铪的化学式为 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 。另外,作为其它材料液有四(乙基甲基酰胺)铪等。

[0175] 例如,在使用利用ALD法的成膜装置形成氧化铝膜时,使用如下两种气体:通过使包含溶剂和铝前体化合物的液体(三甲基铝(TMA)等)气化而得到的源气体;以及用作氧化剂的 H_2O 。此外,三甲基铝的化学式为 $\text{Al}(\text{CH}_3)_3$ 。另外,作为其它材料液有三(二甲基酰胺)铝、三异丁基铝、铝三(2,2,6,6-四甲基-3,5-庚二酮)等。

[0176] 例如,在使用利用ALD法的成膜装置形成氧化硅膜时,使六氯乙硅烷附着于被成膜面上,去除附着物所包含的氯,供应氧化性气体(O_2 、一氧化二氮)的自由基使其与附着物起反应。

[0177] 例如,在使用利用ALD法的成膜装置形成钨膜时,使用 WF_6 气体和 B_2H_6 气体形成初始钨膜,然后使用 WF_6 气体和 H_2 气体形成钨膜。注意,也可以使用 SiH_4 气体代替 B_2H_6 气体。

[0178] 例如,在使用利用ALD法的成膜装置形成氧化物半导体膜如In-Ga-ZnO膜时,使用

In(CH₃)₃气体和O₃气体形成In-O层,使用Ga(CH₃)₃气体和O₃气体形成Ga-O层,然后使用Zn(CH₃)₂气体和O₃气体形成Zn-O层。注意,这些层的顺序不局限于上述例子。此外,也可以混合这些气体来形成混合化合物层如In-Ga-O层、In-Zn-O层、Ga-Zn-O层等。注意,虽然也可以使用利用Ar等惰性气体进行鼓泡而得到的H₂O气体代替O₃气体,但是优选使用不包含H的O₃气体。另外,也可以使用In(C₂H₅)₃气体代替In(CH₃)₃气体。也可以使用Ga(C₂H₅)₃气体代替Ga(CH₃)₃气体。也可以使用Zn(CH₃)₂气体。

[0179] <2-3. 晶体管的结构实例2>

接着,参照图15A至图15C说明与图14A至图14C所示的晶体管100不同的结构例子。

[0180] 图15A是本发明的一个方式的半导体装置所包括的晶体管150的俯视图,图15B相当于沿着图15A所示的点划线X1-X2的切断面的截面图,图15C相当于沿着图15A所示的点划线Y1-Y2的切断面的截面图。

[0181] 晶体管150包括:衬底102上的用作栅电极的导电膜104;衬底102及导电膜104上的绝缘膜106;绝缘膜106上的绝缘膜107;绝缘膜107上的氧化物半导体膜108;氧化物半导体膜108上的绝缘膜114;绝缘膜114上的绝缘膜116;通过形成在绝缘膜114及绝缘膜116中的开口部141a与氧化物半导体膜108电连接的用作源电极的导电膜112a;以及通过形成在绝缘膜114及绝缘膜116中的开口部141b与氧化物半导体膜108电连接的用作漏电极的导电膜112b。另外,在晶体管150上,详细而言,在导电膜112a、导电膜112b及绝缘膜116上设置有绝缘膜118。绝缘膜114及绝缘膜116具有作为氧化物半导体膜108的保护绝缘膜的功能。绝缘膜118具有作为晶体管150的保护绝缘膜的功能。

[0182] 上面所示的晶体管100采用沟道蚀刻型结构,而图15A至图15C所示的晶体管150采用沟道保护型结构。如此,沟道蚀刻型晶体管结构或沟道保护型晶体管结构可以适用于本发明的一个方式的半导体装置。

[0183] <2-4. 晶体管的结构实例3>

接着,参照图16A至图16C说明与图15A至图15C所示的晶体管150不同的结构例子。

[0184] 图16A是作为本发明的一个方式的半导体装置的晶体管160的俯视图,图16B相当于沿着图16A所示的点划线X1-X2的切断面的截面图,图16C相当于沿着图16A所示的点划线Y1-Y2的切断面的截面图。

[0185] 晶体管160包括:衬底102上的用作栅电极的导电膜104;衬底102及导电膜104上的绝缘膜106;绝缘膜106上的绝缘膜107;绝缘膜107上的氧化物半导体膜108;氧化物半导体膜108上的绝缘膜114;绝缘膜114上的绝缘膜116;与氧化物半导体膜108电连接的用作源电极的导电膜112a;以及与氧化物半导体膜108电连接的用作漏电极的导电膜112b。此外,在晶体管160上,详细而言,在导电膜112a、导电膜112b及绝缘膜116上设置有绝缘膜118。绝缘膜114及绝缘膜116具有作为氧化物半导体膜108的保护绝缘膜的功能。绝缘膜118具有作为晶体管160的保护绝缘膜的功能。

[0186] 晶体管160与图15A至图15C所示的晶体管150的不同之处在于绝缘膜114、绝缘膜116的形状。具体而言,晶体管160的绝缘膜114、绝缘膜116以岛状设置在氧化物半导体膜108的沟道区域上。其他结构与晶体管150是同样的,并且发挥同样的效果。

[0187] <2-5. 晶体管的结构实例4>

接着,参照图17A至图17C说明与图14A至图14C所示的晶体管100不同的结构例子。

[0188] 图17A是作为本发明的一个方式的半导体装置的晶体管170的俯视图,图17B相当于沿着图17A所示的点划线X1-X2的切断面的截面图,图17C相当于沿着图17A所示的点划线Y1-Y2的切断面的截面图。

[0189] 晶体管170包括:衬底102上的用作第一栅电极的导电膜104;衬底102及导电膜104上的绝缘膜106;绝缘膜106上的绝缘膜107;绝缘膜107上的氧化物半导体膜108;与氧化物半导体膜108电连接的用作源电极的导电膜112a;与氧化物半导体膜108电连接的用作漏电极的导电膜112b;氧化物半导体膜108、导电膜112a、导电膜112b上的绝缘膜114;绝缘膜114上的绝缘膜116;绝缘膜116上的氧化物半导体膜120a、120b;以及绝缘膜114、氧化物半导体膜120a、120b上的绝缘膜118。

[0190] 绝缘膜106、绝缘膜107具有作为晶体管170的第一栅极绝缘膜的功能。绝缘膜114、绝缘膜116具有作为晶体管170的第二栅极绝缘膜的功能。绝缘膜118具有作为晶体管170的保护绝缘膜的功能。氧化物半导体膜120a例如具有用于显示装置的像素电极的功能。氧化物半导体膜120a通过形成于绝缘膜114、绝缘膜116中的开口部142c与导电膜112b连接。另外,氧化物半导体膜120b具有作为第二栅电极(也称为背栅电极)的功能。

[0191] 如图17C所示,氧化物半导体膜120b通过形成于绝缘膜106、绝缘膜107、绝缘膜114、绝缘膜116中的开口部142a、开口部142b连接到用作第一栅电极的导电膜104。因此,对氧化物半导体膜120b和导电膜104供应相同的电位。

[0192] 另外,在本实施方式中例示出形成开口部142a、开口部142b使氧化物半导体膜120b与导电膜104连接的结构,但是不局限于此。例如,也可以采用仅形成开口部142a和开口部142b中的任一个而使氧化物半导体膜120b与导电膜104连接的结构,或者,不形成开口部142a和开口部142b而不使氧化物半导体膜120b与导电膜104连接的结构。当采用不使氧化物半导体膜120b与导电膜104连接的结构时,可以对氧化物半导体膜120b和导电膜104分别供应不同的电位。

[0193] 如图17B所示,氧化物半导体膜108位于与用作第一栅电极的导电膜104和用作第二栅电极的氧化物半导体膜120b中的每一个相对的位置,并被夹在两个用作栅电极的导电膜之间。用作第二栅电极的氧化物半导体膜120b的沟道长度方向的长度及沟道宽度方向的长度分别大于氧化物半导体膜108的沟道长度方向的长度及沟道宽度方向的长度,并且,氧化物半导体膜120b隔着绝缘膜114、绝缘膜116覆盖整个氧化物半导体膜108。此外,因为用作第二栅电极的氧化物半导体膜120b通过形成于绝缘膜106、绝缘膜107、绝缘膜114、绝缘膜116中的开口部142a、开口部142b连接到用作第一栅电极的导电膜104,所以氧化物半导体膜108的沟道宽度方向的侧面隔着绝缘膜114、绝缘膜116与用作第二栅电极的氧化物半导体膜120b相对。

[0194] 换言之,在晶体管170的沟道宽度方向上,用作第一栅电极的导电膜104与用作第二栅电极的氧化物半导体膜120b通过设置于用作第一栅极绝缘膜的绝缘膜106、绝缘膜107及用作第二栅极绝缘膜的绝缘膜114、绝缘膜116中的开口部相互连接,并且,该导电膜104及该氧化物半导体膜120b隔着用作第一栅极绝缘膜的绝缘膜106、绝缘膜107、用作第二栅极绝缘膜的绝缘膜114、绝缘膜116围绕氧化物半导体膜108。

[0195] 通过采用上述结构,利用用作第一栅电极的导电膜104及用作第二栅电极的氧化物半导体膜120b的电场电围绕晶体管170所包括的氧化物半导体膜108。如晶体管170所示,

可以将利用第一栅电极及第二栅电极的电场电围绕形成有沟道区域的氧化物半导体膜的晶体管的装置结构称为surrounded channel(s-channel)结构。

[0196] 因为晶体管170具有s-channel结构,所以可以通过利用用作第一栅电极的导电膜104对氧化物半导体膜108有效地施加用来引起沟道的电场。由此,晶体管170的电流驱动能力得到提高,从而可以得到较大的通态电流(on-state current)特性。此外,由于可以增加通态电流,所以可以使晶体管170微型化。另外,由于晶体管170具有用作第一栅电极的导电膜104及用作第二栅电极的氧化物半导体膜120b围绕的结构,所以可以提高晶体管170的机械强度。

[0197] <2-6.晶体管的机构实例5>

接着,参照图18A至图18C说明与图14A至图14C所示的晶体管100不同的结构例子。

[0198] 图18A是作为本发明的一个方式的半导体装置的晶体管180的俯视图,图18B相当于沿着图18A所示的点划线X1-X2的切断面的截面图,图18C相当于沿着图18A所示的点划线Y1-Y2的切断面的截面图。

[0199] 晶体管180包括:形成在衬底102上的绝缘膜131;绝缘膜131上的绝缘膜132;绝缘膜132上的氧化物半导体膜108;氧化物半导体膜108上的绝缘膜107;绝缘膜107上的绝缘膜106;隔着绝缘膜106、绝缘膜107与氧化物半导体膜108重叠的导电膜104;覆盖氧化物半导体膜108、绝缘膜132及导电膜104的绝缘膜133;绝缘膜133上的绝缘膜116;通过形成在绝缘膜133及绝缘膜116中的开口部140a与氧化物半导体膜108连接的导电膜112a;以及通过形成在绝缘膜133及绝缘膜116中的开口部140b与氧化物半导体膜108连接的导电膜112b。另外,也可以在晶体管180上设置覆盖绝缘膜116、导电膜104、导电膜112a及导电膜112b的绝缘膜118。

[0200] 在晶体管180中,导电膜104具有作为栅电极(也称为顶栅电极)的功能,导电膜112a具有作为源电极和漏电极中的一个的功能,导电膜112b具有作为源电极和漏电极中的另一个的功能。在晶体管180中,绝缘膜131、绝缘膜132具有作为氧化物半导体膜108的基底膜的功能,绝缘膜107、绝缘膜106具有作为栅极绝缘膜的功能。如图18A、图18B、图18C所示,晶体管180是具有顶栅结构的单栅型晶体管。如此,可以对本发明的一个方式的半导体装置适用底栅型晶体管、双栅型晶体管、顶栅型晶体管等各种结构的晶体管。

[0201] <2-7.晶体管的机构实例6>

接着,参照图19A至图19D说明与图14A至图14C所示的晶体管100不同的结构例子。

[0202] 图19A至图19D是图14B和图14C所示的晶体管100的变形例子的截面图。

[0203] 图19A及图19B所示的晶体管100A除了氧化物半导体膜108具有三层结构之外具有与图14B及图14C所示的晶体管100相同的结构。具体而言,晶体管100A所包括的氧化物半导体膜108具有氧化物半导体膜108a、氧化物半导体膜108b以及氧化物半导体膜108c。

[0204] 图19C及图19D所示的晶体管100B除了氧化物半导体膜108具有两层结构之外具有与图14B及图14C所示的晶体管100相同的结构。具体而言,晶体管100B所具有的氧化物半导体膜108包括氧化物半导体膜108b及氧化物半导体膜108c。

[0205] 在此,参照图20A和图20B说明氧化物半导体膜108以及接触于氧化物半导体膜108的绝缘膜的能带图。

[0206] 图20A是叠层结构的膜厚度方向上的能带图的一个例子,该叠层体具有绝缘膜

107、氧化物半导体膜108a、氧化物半导体膜108b、氧化物半导体膜108c以及绝缘膜114。图20B是叠层体的膜厚度方向上的能带图的一个例子,该叠层体具有绝缘膜107、氧化物半导体膜108b、氧化物半导体膜108c以及绝缘膜114。在能带图中,为了容易理解,示出绝缘膜107、氧化物半导体膜108a、氧化物半导体膜108b、氧化物半导体膜108c及绝缘膜114的导带底的能级(E_c)。

[0207] 在图20A的能带图中,作为绝缘膜107、绝缘膜114使用氧化硅膜,作为氧化物半导体膜108a使用利用金属元素的原子数比为 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 的金属氧化物靶材而形成的氧化物半导体膜,作为氧化物半导体膜108b使用利用金属元素的原子数比为 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的金属氧化物靶材而形成的氧化物半导体膜,作为氧化物半导体膜108c使用利用金属元素的原子数比为 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 的金属氧化物靶材而形成的氧化物半导体膜。

[0208] 在图20B的能带图中,作为绝缘膜107、绝缘膜114使用氧化硅膜,作为氧化物半导体膜108b使用利用金属元素的原子数比为 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的金属氧化物靶材而形成的氧化物半导体膜,作为氧化物半导体膜108c使用利用金属元素的原子数比为 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 的金属氧化物靶材而形成的氧化物半导体膜。

[0209] 如图20A和图20B所示,在氧化物半导体膜108a、氧化物半导体膜108b、氧化物半导体膜108c中,导带底的能级平缓地变化。换言之,连续地变化或连续接合。为了实现这种带结构,使在氧化物半导体膜108a与氧化物半导体膜108b的界面处或氧化物半导体膜108b与氧化物半导体膜108c的界面处不存在形成陷阱中心或复合中心等缺陷能级的杂质。

[0210] 为了在氧化物半导体膜108a与氧化物半导体膜108b之间及在氧化物半导体膜108b与氧化物半导体膜108c之间形成连续接合,使用具备装载闭锁室的多室成膜装置(溅射装置)以使各膜不暴露于大气中的方式连续地层叠,即可。

[0211] 通过采用图20A或图20B所示的结构,氧化物半导体膜108b成为阱(well),并且在使用上述叠层结构的晶体管中,沟道区域形成在氧化物半导体膜108b中。

[0212] 此外,通过采用上述叠层结构,在不形成氧化物半导体膜108a、氧化物半导体膜108c的情况下有可能形成在氧化物半导体膜108b中的陷阱能级形成在氧化物半导体膜108a、氧化物半导体膜108c中。由此,可以使陷阱能级从氧化物半导体膜108b离开。

[0213] 有时与用作沟道区域的氧化物半导体膜108b的导带底能级(E_c)相比,陷阱能级离真空能级更远,而在陷阱能级中容易积累电子。当电子积累在陷阱能级中时,成为负固定电荷,导致晶体管的阈值电压向正方向漂移。因此,优选采用陷阱能级比氧化物半导体膜108b的导带底能级(E_c)接近于真空能级的结构。通过采用上述结构,电子不容易积累在陷阱能级中,所以能够增大晶体管的通态电流,并且还能够提高场效应迁移率。

[0214] 在图20A和图20B中,氧化物半导体膜108a、氧化物半导体膜108c与氧化物半导体膜108b相比导带底的能级更接近于真空能级,典型的是,氧化物半导体膜108b的导带底能级与氧化物半导体膜108a、氧化物半导体膜108c的导带底能级之差为 0.15eV 以上或 0.5eV 以上,且为 2eV 以下或 1eV 以下。换言之,氧化物半导体膜108a、氧化物半导体膜108c的电子亲和势与氧化物半导体膜108b的电子亲和势之差为 0.15eV 以上或 0.5eV 以上,且为 2eV 以下或 1eV 以下。

[0215] 通过具有上述结构,氧化物半导体膜108b成为电流的主要路径并用作沟道区域。此外,由于氧化物半导体膜108a、氧化物半导体膜108c包括形成有沟道区域的氧化物半导

体膜108b所包含的金属元素中的一种以上,所以在氧化物半导体膜108a与氧化物半导体膜108b的界面处或在氧化物半导体膜108b与氧化物半导体膜108c的界面处不容易产生界面散射。由此,在该界面处载流子的移动不被阻碍,因此晶体管的场效应迁移率得到提高。

[0216] 为了防止氧化物半导体膜108a、氧化物半导体膜108c用作沟道区域的一部分,氧化物半导体膜108a、氧化物半导体膜108c使用导电率够低的材料。或者,氧化物半导体膜108a、氧化物半导体膜108c使用其电子亲和势(真空能级与导带底能级之差)低于氧化物半导体膜108b且其导带底能级与氧化物半导体膜108b的导带底能级有差异(能带偏移)的材料。此外,为了抑制产生起因于漏电压值的阈值电压之间的差异,氧化物半导体膜108a、氧化物半导体膜108c优选使用其导带底能级比氧化物半导体膜108b的导带底能级更接近于真空能级的材料。例如,氧化物半导体膜108b的导带底能级与氧化物半导体膜108a、氧化物半导体膜108c的导带底能级之间的差异为0.2eV以上,优选为0.5eV以上。

[0217] 氧化物半导体膜108a、氧化物半导体膜108c优选不具有尖晶石型结晶结构。在氧化物半导体膜108a、氧化物半导体膜108c具有尖晶石型结晶结构时,导电膜112a、导电膜112b的构成元素有时会在该尖晶石型结晶结构与其他区域的界面处扩散到氧化物半导体膜108b中。注意,在氧化物半导体膜108a、氧化物半导体膜108c为后述的CAAC-OS的情况下,阻挡导电膜112a、导电膜112b的构成元素如铜元素的性质得到提高,所以是优选的。

[0218] 氧化物半导体膜108a、氧化物半导体膜108c的厚度大于或等于能够抑制导电膜112a、导电膜112b的构成元素扩散到氧化物半导体膜108b的厚度且小于从绝缘膜114向氧化物半导体膜108b的氧的供应被抑制的厚度。例如,当氧化物半导体膜108a、氧化物半导体膜108c的厚度为10nm以上时,能够抑制导电膜112a、导电膜112b的构成元素扩散到氧化物半导体膜108b。另外,当氧化物半导体膜108a、氧化物半导体膜108c的厚度为100nm以下时,能够高效地从绝缘膜114、绝缘膜116向氧化物半导体膜108b供应氧。

[0219] 当氧化物半导体膜108a、氧化物半导体膜108c为In-M-Zn氧化物时,通过作为M以高于In的原子数比包含Ti、Ga、Y、Zr、La、Ce、Sn、Nd或Hf,可以使氧化物半导体膜108a、氧化物半导体膜108c的能隙变大并使其电子亲和势变小。因此,有时可以根据元素M的比率控制氧化物半导体膜108a、氧化物半导体膜108c与氧化物半导体膜108b的电子亲和势之差。此外,因为Ti、Ga、Y、Zr、La、Ce、Nd、Sn或Hf是与氧的键合力强的金属元素,所以通过使这些元素的原子数比高于In,不容易产生氧缺陷。

[0220] 另外,当氧化物半导体膜108a、氧化物半导体膜108c为In-M-Zn氧化物时,除了Zn及O之外的In和M的原子百分比优选为:In的原子百分比低于50atomic%,M的原子百分比高于50atomic%,更优选为:In的原子百分比低于25atomic%,M的原子百分比高于75atomic%。另外,作为氧化物半导体膜108a、氧化物半导体膜108c,可以使用氧化镓膜。

[0221] 另外,当氧化物半导体膜108a、氧化物半导体膜108b、氧化物半导体膜108c为In-M-Zn氧化物时,氧化物半导体膜108a、氧化物半导体膜108c所含的M的原子数比大于氧化物半导体膜108b所含的M的原子数比,典型为氧化物半导体膜108b所含的M的原子数比的1.5倍以上,优选为2倍以上,更优选为3倍以上。

[0222] 另外,当氧化物半导体膜108a、氧化物半导体膜108b、氧化物半导体膜108c为In-M-Zn氧化物时,在氧化物半导体膜108b的原子数比为In:M:Zn = $x_1:y_1:z_1$,并且氧化物半导体膜108a、氧化物半导体膜108c的原子数比为In:M:Zn = $x_2:y_2:z_2$ 的情况下, y_2/x_2 大于 y_1/x_1

$x_1, y_2/x_2$ 优选为 y_1/x_1 的1.5倍以上。 y_2/x_2 更优选为 y_1/x_1 的2倍以上, y_2/x_2 进一步优选为 y_1/x_1 的3倍以上或4倍以上。此时,在氧化物半导体膜108b中,在 y_1 为 x_1 以上的情况下,使用氧化物半导体膜108b的晶体管具有稳定的电特性,因此是优选的。但是,在 y_1 为 x_1 的3倍以上的情况下,使用氧化物半导体膜108b的晶体管的场效应迁移率会降低,因此, y_1 优选小于 x_1 的3倍。

[0223] 当氧化物半导体膜108b是In-M-Zn氧化物时,在用于形成氧化物半导体膜108b的靶材的金属元素的原子数比为In:M:Zn= $x_1:y_1:z_1$ 的情况下, x_1/y_1 优选为1/3以上且6以下,更优选为1以上且6以下, z_1/y_1 优选为1/3以上且6以下,更优选为1以上且6以下。注意,通过使 z_1/y_1 为1以上且6以下,容易形成用作氧化物半导体膜108b的后述CAAC-OS。作为靶材的金属元素的原子数比的典型例子,可以举出In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2等。

[0224] 当氧化物半导体膜108a、氧化物半导体膜108c是In-M-Zn氧化物时,在用于形成氧化物半导体膜108a、氧化物半导体膜108c的靶材的金属元素的原子数比为In:M:Zn= $x_2:y_2:z_2$ 的情况下, $x_2/y_2 < x_1/y_1, z_2/y_2$ 优选为1/3以上且6以下,更优选为1以上且6以下。另外,通过提高相对于M的原子数比,能够扩大氧化物半导体膜108a、氧化物半导体膜108c的能隙并减小其电子亲和势,由此 y_2/x_2 优选为3以上或4以上。作为靶材的金属元素的原子数比的典型例子,可以举出In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:5、In:M:Zn=1:3:6、In:M:Zn=1:4:2、In:M:Zn=1:4:4、In:M:Zn=1:4:5、In:M:Zn=1:5:5等。

[0225] 在氧化物半导体膜108a、氧化物半导体膜108c为In-M氧化物的情况下,通过采用作为M不包含二价金属原子(例如,锌等)的结构,能够形成不具有尖晶石型结晶结构的氧化物半导体膜108a、氧化物半导体膜108c。此外,作为氧化物半导体膜108a、氧化物半导体膜108c,例如可以使用In-Ga氧化物膜。例如,通过溅射法并使用In-Ga金属氧化物靶材(In:Ga=7:93),可以形成该In-Ga氧化物膜。另外,为了通过使用DC放电的溅射法形成氧化物半导体膜108a、氧化物半导体膜108c,在In:M= $x:y$ [原子数比]时,优选将 $y/(x+y)$ 设定为0.96以下,更优选为0.95以下,例如为0.93。

[0226] 另外,氧化物半导体膜108a、氧化物半导体膜108b、氧化物半导体膜108c的原子数比包括上述原子数比的 $\pm 40\%$ 的变动。

[0227] 此外,本实施方式的晶体管的结构可以自由地相互组合。

[0228] <2-8. 半导体装置的制造方法1>

下面,参照图21A至图21D以及图22A及图22B详细地说明晶体管100的制造方法。此外,图21A至图21D以及图22A及图22B是说明半导体装置的制造方法的截面图。

[0229] 首先,在衬底102上形成导电膜,通过光刻工序及蚀刻工序对该导电膜进行加工,来形成用作栅电极的导电膜104。(参照图21A)。

[0230] 在本实施方式中,作为衬底102使用玻璃衬底。作为用作栅电极的导电膜104,通过溅射法形成厚度为100nm的钨膜。

[0231] 接着,在导电膜104上形成用作栅极绝缘膜的绝缘膜106、绝缘膜107(参照图21B)。

[0232] 在本实施方式中,作为绝缘膜106,通过PECVD法形成厚度为400nm的氮化硅膜,作为绝缘膜107形成厚度为50nm的氧氮化硅膜。

[0233] 作为绝缘膜106,采用氮化硅膜的叠层结构。具体而言,作为绝缘膜106,可以采用第一氮化硅膜、第二氮化硅膜及第三氮化硅膜的三层的叠层结构。该三层的叠层结构的一

个例子为如下。

[0234] 可以在如下条件下形成厚度为50nm的第一氮化硅膜：例如，作为源气体使用流量为200sccm的硅烷、流量为2000sccm的氮以及流量为100sccm的氨气体，向PECVD装置的反应室内供应该源气体，将反应室内的压力控制为100Pa，使用27.12MHz的高频电源供应2000W的功率。

[0235] 可以在如下条件下形成厚度为300nm的第二氮化硅膜：作为源气体使用流量为200sccm的硅烷、流量为2000sccm的氮以及流量为2000sccm的氨气体，向PECVD装置的反应室内供应该源气体，将反应室内的压力控制为100Pa，使用27.12MHz的高频电源供应2000W的功率。

[0236] 可以在如下条件下形成厚度为50nm的第三氮化硅膜：作为源气体使用流量为200sccm的硅烷以及流量为5000sccm的氮，向PECVD装置的反应室内供应该源气体，将反应室内的压力控制为100Pa，使用27.12MHz的高频电源供应2000W的功率。

[0237] 另外，可以将形成上述第一氮化硅膜、第二氮化硅膜及第三氮化硅膜时的衬底温度设定为350℃。

[0238] 通过作为绝缘膜106采用氮化硅膜的三层叠层结构，例如在作为导电膜104使用包含铜(Cu)的导电膜的情况下，能够发挥如下效果。

[0239] 第一氮化硅膜可以抑制铜(Cu)元素从导电膜104扩散。第二氮化硅膜具有释放氢的功能，可以提高用作栅极绝缘膜的绝缘膜的耐压。第三氮化硅膜是氢的释放量少且可以抑制从第二氮化硅膜释放的氢扩散的膜。

[0240] 作为绝缘膜107，为了提高绝缘膜107与后面形成的氧化物半导体膜108的界面特性，优选使用包含氧的绝缘膜形成。

[0241] 接着，在绝缘膜107上形成氧化物半导体膜108(参照图21C)。

[0242] 在本实施方式中，利用使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn=1:1:1.2(原子数比))的溅射法形成氧化物半导体膜，通过光刻工序在该氧化物半导体膜上形成掩模，将该氧化物半导体膜加工为所希望形状，来形成岛状的氧化物半导体膜108。

[0243] 在形成氧化物半导体膜108之后也可以以150℃以上且低于衬底应变点，优选以200℃以上且450℃以下，更优选以300℃以上且450℃以下进行加热处理。在此的加热处理是氧化物半导体膜的高纯度化处理之一，可以减少氧化物半导体膜108所包含的氢、水等。此外，以减少氢、水等为目的的加热处理也可以在将氧化物半导体膜108加工为岛状之前进行。

[0244] 对氧化物半导体膜108进行的加热处理可以使用气体焙烧炉(gas baking furnace)、电炉、RTA装置等。通过使用RTA装置，可只在短时间内以衬底的应变点以上的温度进行加热处理。由此，可以缩短加热时间。

[0245] 此外，可以在氮气体、氧气体、超干燥空气(Clean Dry Air(CDA))：CDA是水含量为20ppm以下，优选为1ppm以下，更优选为10ppb以下的空气)或者稀有气体(氩、氦等)的气氛下对氧化物半导体膜108进行加热处理。另外，优选在上述氮气体、氧气体、CDA或稀有气体中不包含氢、水等。

[0246] 例如，优选提高上述氮气体、氧气体或CDA的纯度。具体而言，氮气体、氧气体或CDA的纯度优选为6N(99.9999%)或7N(99.99999%)，即可。另外，作为氮气体、氧气体或CDA，使

用露点为-60℃以下,优选为-100℃以下的高纯度气体,由此可以尽可能地防止水分等混入氧化物半导体膜108中。

[0247] 此外,在氮或稀有气体气氛下对氧化物半导体膜108进行加热处理之后,也可以在氧或CDA气氛下进行加热处理。其结果,在可以使氧化物半导体膜108中的氢、水等脱离的同时,可以将氧供应到氧化物半导体膜108中。其结果,可以降低氧化物半导体膜108中的氧缺陷的量。

[0248] 另外,在通过溅射法形成氧化物半导体膜的情况下,作为溅射气体,适当地使用稀有气体(典型的是氩)、氧、或者稀有气体和氧的混合气体。此外,当采用混合气体时,优选增高相对于稀有气体的氧气体比例。另外,需要进行溅射气体的高纯度化。例如,作为用作溅射气体的氧气体或氩气体,使用露点为-60℃以下,优选为-100℃以下的高纯度气体,由此可以尽可能地防止水分等混入氧化物半导体膜108中。

[0249] 另外,在通过溅射法形成氧化物半导体膜108的情况下,优选使用低温泵等吸附式真空抽气泵对溅射装置的处理室进行高真空抽气(抽空到 5×10^{-7} Pa至 1×10^{-4} Pa左右)以尽可能地去除对氧化物半导体膜108来说是杂质的水等。或者,优选组合涡轮分子泵和冷阱来防止气体,尤其是包含碳或氢的气体从抽气系统倒流到处理室内。

[0250] 接着,在绝缘膜107及氧化物半导体膜108上形成导电膜,将该导电膜加工为所希望的形状,由此形成导电膜112a、导电膜112b(参照图21D)。

[0251] 在本实施方式中,作为导电膜112a、导电膜112b,依次形成厚度为50nm的钨膜、厚度为400nm的铝膜、厚度为100nm的钛膜。作为导电膜112a、导电膜112b的形成方法,可以使用溅射法。

[0252] 此外,也可以进行在形成导电膜112a、导电膜112b后洗涤氧化物半导体膜108的表面的工序。作为洗涤氧化物半导体膜108的表面的方法,例如可以使用磷酸溶液等。在形成导电膜112a、导电膜112b的工序中或上述洗涤氧化物半导体膜108的表面的工序中,有时凹部被形成在氧化物半导体膜108的一部分中。

[0253] 通过上述步骤,形成晶体管100。

[0254] 接着,在晶体管100上,具体而言,在氧化物半导体膜108及导电膜112a、导电膜112b上形成用作晶体管100的保护绝缘膜的绝缘膜114、绝缘膜116(参照图22A)。

[0255] 优选的是,在形成绝缘膜114之后,在不暴露于大气的状态下连续地形成绝缘膜116。在形成绝缘膜114之后,在不暴露于大气的状态下,调节源气体的流量、压力、高频功率和衬底温度中的一个以上而连续地形成绝缘膜116,由此可以减少绝缘膜114与绝缘膜116的界面处的来源于大气成分的杂质浓度,并且可以使包含于绝缘膜114、绝缘膜116中的氧移动到氧化物半导体膜108中,从而可以降低氧化物半导体膜108中的氧缺陷的量。

[0256] 例如,作为绝缘膜114,通过PECVD法可以形成氧氮化硅膜。此时,作为源气体,优选使用含有硅的沉积气体及氧化性气体。含有硅的沉积气体的典型例子为硅烷、乙硅烷、丙硅烷、氟化硅烷等。作为氧化性气体,有一氧化二氮、二氧化氮等。另外,可以在如下条件下利用PECVD法形成包含氮且缺陷量少的绝缘膜114:在相对于上述沉积气体的流量的氧化性气体的流量大于20倍且小于100倍,优选为40倍以上且80倍以下,并且,处理室内的压力低于100Pa,优选为50Pa以下。

[0257] 在本实施方式中,作为绝缘膜114,在如下条件下利用PECVD法形成氧氮化硅膜:保

持衬底102的温度为220℃,作为源气体使用流量为50sccm的硅烷及流量为2000sccm的一氧化二氮,处理室内的压力为20Pa,并且,供应到平行板电极的高频功率为13.56MHz、100W(功率密度为 $1.6 \times 10^{-2} \text{W/cm}^2$)。

[0258] 作为绝缘膜116,在如下条件下形成氧化硅膜或氮化硅膜:将设置于进行了真空抽气的PECVD装置的处理室内的衬底温度保持为180℃以上且280℃以下,优选为200℃以上且240℃以下,将源气体引入处理室中并将处理室内的压力设定为100Pa以上且250Pa以下,优选为100Pa以上且200Pa以下,并且,对设置于处理室内的电极供应 0.17W/cm^2 以上且 0.5W/cm^2 以下,优选为 0.25W/cm^2 以上且 0.35W/cm^2 以下的高频功率。

[0259] 作为绝缘膜116的成膜条件,对具有上述压力的反应室中供应具有上述功率密度的高频功率,由此在等离子体中源气体的分解效率得到提高,氧自由基增加,且促进源气体的氧化,使得绝缘膜116中的氧含量超过化学计量组成。另一方面,在以上述温度范围内的衬底温度形成的膜中,由于硅与氧的键合力较弱,因此,通过后面工序的加热处理而使膜中的氧的一部分脱离。其结果,可以形成包含超过化学计量组成的氧且因加热而氧的一部分脱离的氧化物绝缘膜。

[0260] 在绝缘膜116的形成工序中,绝缘膜114用作氧化物半导体膜108的保护膜。因此,可以在减少对氧化物半导体膜108造成的损伤的同时使用功率密度高的高频功率形成绝缘膜116。

[0261] 另外,在绝缘膜116的成膜条件中,通过增加相对于氧化性气体的包含硅的沉积气体的流量,可以减少绝缘膜116中的缺陷量。典型的是,能够形成缺陷量较少的氧化物绝缘层,其中通过ESR测得的起因于硅悬空键且在 $g = 2.001$ 处出现的信号的自旋密度低于 $6 \times 10^{17} \text{spins/cm}^3$,优选为 $3 \times 10^{17} \text{spins/cm}^3$ 以下,更优选为 $1.5 \times 10^{17} \text{spins/cm}^3$ 以下。其结果,能够提高晶体管的可靠性。

[0262] 另外,也可以在形成绝缘膜114、绝缘膜116之后进行加热处理。通过该加热处理,可以降低包含于绝缘膜114、绝缘膜116的氮氧化物。此外,通过该加热处理,可以将绝缘膜114、绝缘膜116中的氧的一部分移动到氧化物半导体膜108中以降低氧化物半导体膜108中的氧缺陷的量。

[0263] 将对绝缘膜114、绝缘膜116进行的加热处理的温度典型地设定为150℃以上且400℃以下,优选为300℃以上且400℃以下,更优选为320℃以上且370℃以下。加热处理可以在氮、氧、CDA或稀有气体(氩、氦等)的气氛下进行。在该加热处理中,优选在上述氮、氧、超干燥空气或稀有气体中不含有氢、水等,并可以使用气体焙烧炉、电炉、RTA装置等。

[0264] 在本实施方式中,在氮及氧的气氛下,以350℃进行加热处理1小时。

[0265] 接着,在绝缘膜116上形成绝缘膜118(参照图22B)。

[0266] 在以PECVD法形成绝缘膜118的情况下,通过将衬底温度设定为300℃以上且400℃以下,优选为320℃以上且370℃以下,可以形成致密的膜,所以是优选的。

[0267] 例如,当作为绝缘膜118利用PECVD法形成氮化硅膜时,作为源气体优选使用包含硅的沉积气体、氮及氨。通过使用其量比氮量少的氨,在等离子体中氨离解而产生活性种。该活性种将包括在包含硅的沉积气体中的硅与氢之间的键合及氮之间的三键切断。其结果,可以促进硅与氮的键合,而可以形成硅与氢的键合少、缺陷少且致密的氮化硅膜。另一方面,在氨量比氮量多时,包含硅的沉积气体及氮的分解不进展,硅与氢的键合会残留下

来,而导致形成缺陷增加且不致密的氮化硅膜。由此,在源气体中,可以将相对于氨的氮流量比优选设定为5以上且50以下,更优选为10以上且50以下。

[0268] 在本实施方式中,作为绝缘膜118,通过利用PECVD装置并使用硅烷、氮及氨作为源气体,形成厚度为50nm的氮化硅膜。硅烷的流量为50sccm,氮的流量为5000sccm,氨的流量为100sccm。将处理室的压力设定为100Pa,将衬底温度设定为350℃,用27.12MHz的高频电源对平行板电极供应1000W的高频功率。PECVD装置是电极面积为6000cm²的平行板型PECVD装置,并且,将所供应的功率的换算为每单位面积的功率(功率密度)为 $1.7 \times 10^{-1} \text{W/cm}^2$ 。

[0269] 在利用加热形成绝缘膜118时,优选不进行形成绝缘膜118之前的预热处理。例如,在形成绝缘膜118之前进行预热处理时,有时绝缘膜114、绝缘膜116中的过剩氧释放到外部。于是,在形成绝缘膜118时,不进行预热处理,具体而言,在被进行加热的处理室中搬入衬底之后,优选在3分钟以内,更优选为在1分钟以内,在绝缘膜116上形成绝缘膜118,由此可以抑制绝缘膜114、绝缘膜116中的过剩氧释放到外部。

[0270] 注意,在形成绝缘膜118之前或之后进行加热处理,由此可以使绝缘膜114、绝缘膜116所包含的过剩氧扩散到氧化物半导体膜108中,而可以填补氧化物半导体膜108中的氧缺陷。或者,通过进行加热形成绝缘膜118,由此可以将绝缘膜114、绝缘膜116所包含的过剩氧扩散到氧化物半导体膜108中,而填补氧化物半导体膜108中的氧缺陷。在形成绝缘膜118之前或之后可以进行的加热处理的温度典型为150℃以上且400℃以下,优选为300℃以上且400℃以下,更优选为320℃以上且370℃以下。

[0271] 通过上述工序,能够制造晶体管100。

[0272] <2-9. 半导体装置的制造方法2>

接着,使用图23A至图23C说明晶体管150的制造方法。图23A至图23C是说明半导体装置的制造方法的截面图。

[0273] 首先,进行到图21C所示的工序,然后在绝缘膜107及氧化物半导体膜108上形成绝缘膜114及绝缘膜116(参照图23A)。

[0274] 接着,通过光刻工序在绝缘膜116上形成掩模,并在绝缘膜114及绝缘膜116的所希望的区域中形成开口部141a、开口部141b。注意,开口部141a、开口部141b到达氧化物半导体膜108(参照图23B)。

[0275] 接着,以覆盖开口部141a、开口部141b的方式在氧化物半导体膜108及绝缘膜116上形成导电膜,通过光刻工序在该导电膜上形成掩模并将该导电膜加工为所希望的形状,由此形成导电膜112a、导电膜112b。接着,在绝缘膜116及导电膜112a、导电膜112b上形成绝缘膜118(参照图23C)。

[0276] 通过上述工序,能够制造晶体管150。

[0277] 注意,当形成开口部141a、开口部141b时,使绝缘膜114、绝缘膜116残留在氧化物半导体膜108的沟道区域上,由此可以制造晶体管160。

[0278] <2-10. 半导体装置的制造方法3>

下面,参照图24A至图24D说明晶体管170的制造方法。图24A至图24D是说明半导体装置的制造方法的截面图。

[0279] 首先,进行到图22A所示的工序(参照图24A)。

[0280] 接着,通过光刻工序在绝缘膜116上形成掩模,在绝缘膜114及116的所希望的区域

中形成开口部142c。此外,通过光刻工序在绝缘膜116上形成掩模,在绝缘膜106、107、114及116的所希望的区域中形成开口部142a、142b。开口部142c到达导电膜112b。此外,开口部142a、开口部142b都到达导电膜104(参照图24B)。

[0281] 另外,开口部142a、开口部142b及开口部142c既可以以相同工序形成又可以以不同工序形成。当以相同工序形成开口部142a、开口部142b及开口部142c时,使用灰色调掩模或半色调掩模形成即可。

[0282] 接着,以覆盖开口部142a、开口部142b、开口部142c的方式在绝缘膜116上形成氧化物半导体膜120(参照图24C)。

[0283] 氧化物半导体膜120可以利用与氧化物半导体膜108相同的材料及制造方法形成。另外,在形成氧化物半导体膜120时,优选在包含氧气体的气氛下进行等离子体放电。此时,对作为氧化物半导体膜120的被形成面的绝缘膜116添加氧。在形成氧化物半导体膜120时,该气氛除了氧气体以外还可以混有惰性气体(例如,氦气体、氩气体、氙气体等)。例如,优选的是,使用氩气体和氧气体,使氧气体的流量比氩气体大。

[0284] 形成氧化物半导体膜120时的衬底温度为室温以上且低于340℃,优选为室温以上且300℃以下,更优选为100℃以上且250℃以下,更优选为100℃以上且200℃以下。通过对氧化物半导体膜120进行加热形成氧化物半导体膜120,可以提高氧化物半导体膜120的结晶性。另一方面,当作为衬底102使用大型玻璃衬底(例如,第6代至第10代)且形成氧化物半导体膜120时的衬底温度为150℃以上且低于340℃时,衬底102有时变形(歪曲或翘曲)。因此,在使用大型玻璃衬底的情况下,通过将形成氧化物半导体膜120时的衬底温度设定为100℃以上且低于150℃,可以抑制玻璃衬底的变形。

[0285] 在本实施方式中,通过使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子数比])的溅射法形成氧化物半导体膜120。另外,将形成氧化物半导体膜120时的衬底温度设定为170℃。此外,作为形成氧化物半导体膜120时的成膜气体,使用流量100sccm的氧气体。

[0286] 作为氧化物半导体膜120,不局限于上述组成,例如可以使用In:Ga:Zn=1:1:1[原子数比]、In:Ga:Zn=1:3:2[原子数比]、In:Ga:Zn=1:3:4[原子数比]、In:Ga:Zn=1:3:6[原子数比]、In:Ga:Zn=3:1:2[原子数比]、In:Ga:Zn=4:2:3[原子数比]等的组成。

[0287] 通过在包含氧的气氛下形成氧化物半导体膜120,可以使绝缘膜116的表面附近包含氧或过剩氧。

[0288] 接着,通过光刻工序在氧化物半导体膜120上形成掩模,将氧化物半导体膜120加工为所希望的形状,来形成氧化物半导体膜120a、120b。然后,在绝缘膜116、118及氧化物半导体膜120a、氧化物半导体膜120b上形成绝缘膜118(参照图24D)。

[0289] 绝缘膜118包含氢和氮中的一个或两个。因此,通过形成绝缘膜118,与绝缘膜118接触的氧化物半导体膜120a、120b被添加氢和氮中的一个或两个,由此其载流子密度得到提高而可以被用作氧化物导电膜。

[0290] 作为绝缘膜118,例如优选使用氮化硅膜。例如,可以利用溅射法或PECVD法形成绝缘膜118。例如,当利用PECVD法形成绝缘膜118时,将衬底温度设定为低于400℃,优选低于375℃,更优选为180℃以上且350℃以下。通过将形成绝缘膜118时的衬底温度设定为上述范围,可以形成致密膜,所以是优选的。通过将形成绝缘膜118时的衬底温度设定为上述范

围,可以将绝缘膜114、116中的氧或过剩氧移动到氧化物半导体膜108中。

[0291] 通过上述工序,可以形成晶体管170。

[0292] 在本实施方式中,描述本发明的一个方式。但是,本发明的一个方式不局限于此。就是说,在本发明的一个方式及其他实施方式中记载各种各样的发明的方式,由此本发明的一个方式不局限于特定的方式。例如,作为本发明的一个方式,示出晶体管的沟道形成区域包含氧化物半导体的例子,但是本发明的一个方式不局限于此。根据情形或状况,本发明的一个方式中的各种各样的晶体管也可以包含各种半导体。例如,本发明的一个方式中的各种各样的晶体管也可以包含硅、锗、硅锗、碳化硅、砷化镓、铝砷化镓、磷化铟、氮化镓和有机半导体等中的至少一个。或者,本发明的一个方式中的各种各样的晶体管也可以不包括氧化物半导体。

[0293] 本实施方式所示的结构、方法可以与其他实施方式、实施例或参考例所示的结构、方法适当地组合而使用。

[0294] 实施方式3

在本实施方式中,参照图25A至图29说明氧化物半导体的结构等。

[0295] <3-1.氧化物半导体的结构>

氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体有CAAC-OS(c-axis-aligned crystalline oxide semiconductor)、多晶氧化物半导体、nc-OS(nanocrystalline oxide semiconductor)、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0296] 从其他观点看来,氧化物半导体被分为非晶氧化物半导体和结晶氧化物半导体。作为结晶氧化物半导体,有单晶氧化物半导体、CAAC-OS、多晶氧化物半导体以及nc-OS等。

[0297] 一般而言,非晶结构具有如下特征:具有各向同性而不具有不均匀结构;处于亚稳态且原子的配置没有被固定化;键角不固定;具有短程有序性而不具有长程有序性;等。

[0298] 从相反的观点来看,不能将稳定的氧化物半导体称为完全非晶(completely amorphous)氧化物半导体。另外,不能将不具有各向同性(例如,在微小区域中具有周期结构)的氧化物半导体称为完全非晶氧化物半导体。另一方面,a-like OS不具有各向同性但却是具有空洞(void)的不稳定结构。在不稳定这一点上,a-like OS在物性上接近于非晶氧化物半导体。

[0299] <3-2.CAAC-OS>

首先,说明CAAC-OS。

[0300] CAAC-OS是包含多个c轴取向的结晶部(也称为颗粒)的氧化物半导体之一。

[0301] 说明使用X射线衍射(XRD:X-Ray Diffraction)装置对CAAC-OS进行分析时的情况。例如,当利用out-of-plane法分析包含分类为空间群R-3m的InGaZnO₄结晶的CAAC-OS的结构时,如图25A所示,在衍射角(2 θ)为31°附近出现峰值。由于该峰值来源于InGaZnO₄结晶的(009)面,由此可确认到在CAAC-OS中结晶具有c轴取向性,并且c轴朝向大致垂直于形成CAAC-OS的膜的面(也称为被形成面)或顶面的方向。注意,除了2 θ 为31°附近的峰值以外,有时在2 θ 为36°附近时也出现峰值。2 θ 为36°附近的峰值起因于分类为空间群Fd-3m的结晶结构。因此,优选的是,在CAAC-OS中不出现该峰值。

[0302] 另一方面,当利用从平行于被形成面的方向使X射线入射到样品的in-plane法分

析CAAC-OS的结构时,在 2θ 为 56° 附近出现峰值。该峰值来源于InGaZnO₄结晶的(110)面。并且,即使将 2θ 固定为 56° 附近并在以样品面的法线向量为轴(ϕ 轴)旋转样品的条件下进行分析(ϕ 扫描),也如图25B所示的那样观察不到明确的峰值。另一方面,当对单晶InGaZnO₄将 2θ 固定为 56° 附近来进行 ϕ 扫描时,如图25C所示,观察到来源于相等于(110)面的结晶面的六个峰值。因此,由使用XRD的结构分析可以确认到CAAC-OS中的a轴和b轴的取向没有规律性。

[0303] 接着,说明利用电子衍射分析的CAAC-OS。例如,当对包含InGaZnO₄结晶的CAAC-OS在平行于CAAC-OS的被形成面的方向上入射束径为300nm的电子线时,有可能出现图25D所示的衍射图案(也称为选区电子衍射图案)。在该衍射图案中包含起因于InGaZnO₄结晶的(009)面的斑点。因此,电子衍射也示出CAAC-OS所包含的颗粒具有c轴取向性,并且c轴朝向大致垂直于被形成面或顶面的方向。另一方面,图25E示出对相同的样品在垂直于样品面的方向上入射束径为300nm的电子线时的衍射图案。从图25E观察到环状的衍射图案。因此,使用束径为300nm的电子线的电子衍射也示出CAAC-OS所包含的颗粒的a轴和b轴不具有取向性。可以认为图25E中的第一环起因于InGaZnO₄结晶的(010)面和(100)面等。另外,可以认为图25E中的第二环起因于(110)面等。

[0304] 另外,在利用透射电子显微镜(TEM:Transmission Electron Microscope)观察所获取的CAAC-OS的明视场图像与衍射图案的复合分析图像(也称为高分辨率TEM图像)中,可以观察到多个颗粒。然而,即使在高分辨率TEM图像中,有时也观察不到颗粒与颗粒之间的明确的边界,即晶界(grain boundary)。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。

[0305] 图26A示出从大致平行于样品面的方向观察所获取的CAAC-OS的截面的高分辨率TEM图像。利用球面像差校正(Spherical Aberration Corrector)功能得到高分辨率TEM图像。尤其将利用球面像差校正功能获取的高分辨率TEM图像称为Cs校正高分辨率TEM图像。例如可以使用日本电子株式会社制造的原子分辨率分析型电子显微镜JEM-ARM200F等观察Cs校正高分辨率TEM图像。

[0306] 从图26A可确认到其中金属原子排列为层状的颗粒。并且可知一个颗粒的尺寸为1nm以上或者3nm以上。因此,也可以将颗粒称为纳米晶(nc:nanocrystal)。另外,也可以将CAAC-OS称为具有CANC(C-Axis Aligned nanocrystals:c轴取向纳米晶)的氧化物半导体。颗粒反映CAAC-OS的被形成面或顶面的凸凹并平行于CAAC-OS的被形成面或顶面。

[0307] 另外,图26B及图26C示出从大致垂直于样品面的方向观察所获取的CAAC-OS的平面的Cs校正高分辨率TEM图像。图26D及图26E是通过图26B及图26C进行图像处理得到的图像。下面说明图像处理的方法。首先,通过对图26B进行快速傅里叶变换(FFT:Fast Fourier Transform)处理,获取FFT图像。接着,以保留所获取的FFT图像中的离原点 2.8nm^{-1} 至 5.0nm^{-1} 的范围的方式进行掩模处理。接着,对经过掩模处理的FFT图像进行快速傅立叶逆变换(IFFT:Inverse Fast Fourier Transform)处理而获取经过处理的图像。将所获取的图像称为FFT滤波图像。FFT滤波图像是从Cs校正高分辨率TEM图像中提取出周期分量的图像,其示出晶格排列。

[0308] 在图26D中,以虚线示出晶格排列被打乱的部分。由虚线围绕的区域是一个颗粒。并且,以虚线示出的部分是颗粒与颗粒的联结部。虚线呈现六角形,由此可知颗粒为六角

形。注意,颗粒的形状并不局限于正六角形,不是正六角形的情况较多。

[0309] 在图26E中,以点线示出晶格排列一致的区域与其他晶格排列一致的区域之间的部分。在点线附近也无法确认到明确的晶界。当以点线附近的晶格点为中心周围的晶格点相接时,可以形成畸变的六角形等。即,可知通过使晶格排列畸变,可抑制晶界的形成。这可能是由于CAAC-OS可容许因如下原因而发生的畸变:在a-b面方向上的原子排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等。

[0310] 如上所示,CAAC-OS具有c轴取向性,其多个颗粒(纳米晶)在a-b面方向上连结而结晶结构具有畸变。因此,也可以将CAAC-OS称为具有CAA crystal(c-axis-aligned a-b-plane-anchored crystal)的氧化物半导体。

[0311] CAAC-OS是结晶性高的氧化物半导体。氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,从相反的观点来看,因此可以说CAAC-OS是杂质或缺陷(氧缺陷等)少的氧化物半导体。

[0312] 此外,杂质是指氧化物半导体的主要成分以外的元素,诸如氢、碳、硅和过渡金属元素等。例如,与氧的键合力比构成氧化物半导体的金属元素强的硅等元素会夺取氧化物半导体中的氧,由此打乱氧化物半导体的原子排列,导致结晶性下降。另外,由于铁或镍等重金属、氫、二氧化碳等的原子半径(或分子半径)大,所以会打乱氧化物半导体的原子排列,导致结晶性下降。

[0313] 当氧化物半导体包含杂质或缺陷时,其特性有时会因光或热等发生变动。例如,包含于氧化物半导体的杂质有时会成为载流子陷阱或载流子发生源。例如,氧化物半导体中的氧缺陷有时会成为载流子陷阱或因俘获氢而成为载流子发生源。

[0314] 杂质及氧缺陷少的CAAC-OS是载流子密度低的氧化物半导体。具体而言,可以使用载流子密度小于 8×10^{11} 个/cm³,优选小于 1×10^{11} 个/cm³,更优选小于 1×10^{10} 个/cm³,且是 1×10^{-9} 个/cm³以上的氧化物半导体。将这样的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。CAAC-OS的杂质浓度和缺陷态密度低。即,可以说CAAC-OS是具有稳定特性的氧化物半导体。

[0315] <3-3.nc-OS>

接着,对nc-OS进行说明。

[0316] 说明使用XRD装置对nc-OS进行分析的情况。例如,当利用out-of-plane法分析nc-OS的结构时,不出现表示取向性的峰值。换言之,nc-OS的结晶不具有取向性。

[0317] 另外,例如,当使包含InGaZnO₄结晶的nc-OS薄片化,并在平行于被形成面的方向上使束径为50nm的电子线入射到厚度为34nm的区域时,观察到如图27A所示的环状衍射图案(纳米束电子衍射图案)。另外,图27B示出将束径为1nm的电子线入射到相同的样品时的衍射图案(纳米束电子衍射图案)。从图27B观察到环状区域内的多个斑点。因此,nc-OS在入射束径为50nm的电子线时观察不到秩序性,但是在入射束径为1nm的电子线时确认到秩序性。

[0318] 另外,当使束径为1nm的电子线入射到厚度小于10nm的区域时,如图27C所示,有时观察到斑点被配置为准正六角形的电子衍射图案。由此可知,nc-OS在厚度小于10nm的范围内包含秩序性高的区域,即结晶。注意,因为结晶朝向各种各样的方向,所以也有观察不到有规律性的电子衍射图案的区域。

[0319] 图27D示出从大致平行于被形成面的方向观察到的nc-OS的截面的Cs校正高分辨率TEM图像。在nc-OS的高分辨率TEM图像中有如由辅助线所示的部分那样能够观察到结晶部的区域和观察不到明确的结晶部的区域。nc-OS所包含的结晶部的尺寸为1nm以上且10nm以下,尤其大多为1nm以上且3nm以下。注意,有时将其结晶部的尺寸大于10nm且是100nm以下的氧化物半导体称为微晶氧化物半导体(microcrystalline oxide semiconductor)。例如,在nc-OS的高分辨率TEM图像中,有时无法明确地观察到晶界。注意,纳米晶的来源有可能与CAAC-OS中的颗粒相同。因此,下面有时将nc-OS的结晶部称为颗粒。

[0320] 如此,在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的颗粒之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0321] 另外,由于在颗粒(纳米晶)之间结晶取向没有规律性,所以也可以将nc-OS称为包含RANC(Random Aligned nanocrystals:无规取向纳米晶)的氧化物半导体或包含NANC(Non-Aligned nanocrystals:无取向纳米晶)的氧化物半导体。

[0322] nc-OS是规律性比非晶氧化物半导体高的氧化物半导体。因此,nc-OS的缺陷态密度比a-like OS或非晶氧化物半导体低。但是,在nc-OS中的不同的颗粒之间观察不到晶体取向的规律性。所以,nc-OS的缺陷态密度比CAAC-OS高。

[0323] <3-4.a-like OS>

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。

[0324] 图28A和图28B示出a-like OS的高分辨率截面TEM图像。图28A示出电子照射开始时的a-like OS的高分辨率截面TEM图像。图28B示出照射 $4.3 \times 10^8 e^- / nm^2$ 的电子(e^-)之后的a-like OS的高分辨率截面TEM图像。由图28A和图28B可知,a-like OS从电子照射开始时被观察到在纵向方向上延伸的条状明亮区域。另外,可知明亮区域的形状在照射电子之后变化。明亮区域被估计为空洞或低密度区域。

[0325] 由于a-like OS包含空洞,所以其结构不稳定。为了证明与CAAC-OS及nc-OS相比a-like OS具有不稳定的结构,下面示出电子照射所导致的结构变化。

[0326] 作为样品,准备a-like OS、nc-OS和CAAC-OS。每个样品都是In-Ga-Zn氧化物。

[0327] 首先,取得各样品的高分辨率截面TEM图像。由高分辨率截面TEM图像可知,每个样品都具有结晶部。

[0328] 已知InGaZnO₄结晶的单位晶格具有所包括的三个In-O层和六个Ga-Zn-O层共计九个层在c轴方向上以层状层叠的结构。这些彼此靠近的层之间的间隔与(009)面的晶格表面间隔(也称为d值)几乎相等,由结晶结构分析求出其值为0.29nm。由此,以下可以将晶格条纹的间隔为0.28nm以上且0.30nm以下的部分看作InGaZnO₄结晶部。晶格条纹对应于InGaZnO₄结晶的a-b面。

[0329] 图29示出调查了各样品的结晶部(22至30处)的平均尺寸的例子。注意,结晶部尺寸对应于上述晶格条纹的长度。由图29可知,在a-like OS中,结晶部根据有关取得TEM图像等的电子的累积照射量逐渐变大。由图29可知,在利用TEM的观察初期尺寸为1.2nm左右的结晶部(也称为初始晶核)在电子(e^-)的累积照射量为 $4.2 \times 10^8 e^- / nm^2$ 时生长到1.9nm左右。另一方面,可知nc-OS和CAAC-OS在开始电子照射时到电子的累积照射量为 $4.2 \times 10^8 e^- / nm^2$

的范围内,结晶部的尺寸都没有变化。由图29可知,无论电子的累积照射量如何,nc-OS及CAAC-OS的结晶部尺寸分别为1.3nm左右及1.8nm左右。此外,使用日立透射电子显微镜H-9000NAR进行电子线照射及TEM的观察。作为电子线照射条件,加速电压为300kV;电流密度为 $6.7 \times 10^5 e^- / (nm^2 \cdot s)$;照射区域的直径为230nm。

[0330] 如此,有时电子照射引起a-like OS中的结晶部的生长。另一方面,在nc-OS和CAAC-OS中,几乎没有电子照射所引起的结晶部的生长。也就是说,a-like OS与CAAC-OS及nc-OS相比具有不稳定的结构。

[0331] 此外,由于a-like OS包含空洞,所以其密度比nc-OS及CAAC-OS低。具体地,a-like OS的密度为具有相同组成的单晶氧化物半导体的78.6%以上且小于92.3%。nc-OS的密度及CAAC-OS的密度为具有相同组成的单晶氧化物半导体的92.3%以上且小于100%。注意,难以形成其密度小于单晶氧化物半导体的密度的78%的氧化物半导体。

[0332] 例如,在原子数比满足In:Ga:Zn=1:1:1的氧化物半导体中,具有菱方晶系结构的单晶InGaZnO₄的密度为6.357g/cm³。因此,例如,在原子数比满足In:Ga:Zn=1:1:1的氧化物半导体中,a-like OS的密度为5.0g/cm³以上且小于5.9g/cm³。另外,例如,在原子数比满足In:Ga:Zn=1:1:1的氧化物半导体中,nc-OS的密度和CAAC-OS的密度为5.9g/cm³以上且小于6.3g/cm³。

[0333] 注意,当不存在相同组成的单晶氧化物半导体时,通过以任意比例组合组成不同的单晶氧化物半导体,可以估计出相当于所希望的组成的单晶氧化物半导体的密度。根据组成不同的单晶氧化物半导体的组合比例使用加权平均估计出相当于所希望的组成的单晶氧化物半导体的密度即可。注意,优选尽可能减少所组合的单晶氧化物半导体的种类来估计密度。

[0334] 如上所述,氧化物半导体具有各种结构及各种特性。注意,氧化物半导体例如可以是包括非晶氧化物半导体、a-like OS、nc-OS和CAAC-OS中的两种以上的叠层膜。

[0335] 本实施方式所示的结构可以与其他实施方式、实施例或参考例所示的结构或其他实施例所示的结构适当地组合而使用。

[0336] 实施方式4

在本实施方式中,参照图30A至图34说明包括本发明的一个方式的半导体装置的显示装置以及在该显示装置安装输入装置的电子设备。

[0337] <4-1.关于触摸屏的说明>

注意,在本实施方式中,作为电子设备的一个例子,对组合显示装置与输入装置而成的触摸屏2000进行说明。另外,作为输入装置的一个例子,对使用触摸传感器的情况进行说明。

[0338] 图30A及图30B是触摸屏2000的透视图。另外,在图30A及图30B中,为了明确起见,示出触摸屏2000的典型的构成要素。

[0339] 触摸屏2000包括显示装置2501及触摸传感器2595(参照图31B)。此外,触摸屏2000包括衬底2510、衬底2570以及衬底2590。另外,衬底2510、衬底2570以及衬底2590都具有柔性。注意,衬底2510、衬底2570和衬底2590中的任一个或全部可以不具有柔性。

[0340] 显示装置2501包括衬底2510上的多个像素以及能够向该像素供应信号的多个布线2511。多个布线2511被引导在衬底2510的外周部,其一部分构成端子2519。端子2519与

FPC2509(1)电连接。

[0341] 衬底2590包括触摸传感器2595以及与触摸传感器2595电连接的多个布线2598。多个布线2598被引导在衬底2590的外周部,其一部分构成端子。并且,该端子与FPC2509(2)电连接。另外,为了明确起见,在图30B中以实线示出设置在衬底2590的背面一侧(与衬底2510相对的面一侧)的触摸传感器2595的电极以及布线等。

[0342] 作为触摸传感器2595,例如可以适用静电电容式触摸传感器。作为电容式,可以举出表面型静电电容式、投影型静电电容式等。

[0343] 作为静电投影型电容式,主要根据驱动方法的不同而分为自电容式、互电容式等。当采用互电容式时,可以同时检测出多个点,所以是优选的。

[0344] 注意,图30B所示的触摸传感器2595是采用了静电投影型电容式触摸传感器的结构。

[0345] 另外,触摸传感器2595可以适用可检测出手指等被检测体的接近或接触的各种传感器。

[0346] 投影型静电电容式触摸传感器2595包括电极2591及电极2592。电极2591电连接于多个布线2598之中的任何一个,而电极2592电连接于多个布线2598之中的任何其他一个。

[0347] 如图30A及图30B所示,电极2592具有在一个方向上配置的多个四边形在角部相互连接的形状。

[0348] 电极2591是四边形且在与电极2592延伸的方向交叉的方向上反复地配置。

[0349] 布线2594与其间夹着电极2592的两个电极2591电连接。此时,电极2592与布线2594的交叉部面积优选为尽可能小。由此,可以减少没有设置电极的区域的面积,从而可以降低透过率的偏差。其结果,可以降低透过触摸传感器2595的光的亮度的偏差。

[0350] 注意,电极2591及电极2592的形状不局限于此,可以具有各种形状。例如,也可以采用如下结构:将多个电极2591配置为其间尽量没有间隙,并隔着绝缘层间隔开地设置多个电极2592,以形成不重叠于电极2591的区域。此时,通过在相邻的两个电极2592之间设置与这些电极电绝缘的虚拟电极,可以减少透过率不同的区域的面积,所以是优选的。

[0351] 注意,作为电极2591、电极2592、布线2598等导电膜的材料,即为构成触摸屏的布线及电极的材料,可以举出含有氧化铟、氧化锡或氧化锌等的透明导电膜(例如,ITO膜等)。另外,作为可用于构成触摸屏的布线及电极的材料,例如优选使用低电阻材料。例如,可以使用银、铜、铝、碳纳米管、石墨烯、卤化金属(卤化银等)等。并且,也可以使用由多个极细(例如,直径为几nm)的导体构成的金属纳米线。或者,也可以使用使导体为网状的金属丝网(metal mesh)。例如,可以使用Ag纳米线、Cu纳米线、Al纳米线、Ag丝网、Cu丝网以及Al丝网等。例如,在将Ag纳米线用于构成触摸屏的布线及电极的情况下,可见光透过率可以为89%以上,薄层电阻值可以为 $40\ \Omega/\square$ 以上且 $100\ \Omega/\square$ 以下。此外,作为可用于上述构成触摸屏的布线及电极的材料例子举出的金属纳米线、金属丝网、碳纳米管、石墨烯等具有较高的可见光透过率,所以可以用作用于显示元件的电极(例如,像素电极或公共电极等)。

[0352] <4-2.关于显示装置的说明>

接着,参照图31A说明显示装置2501的详细内容。图31A相当于沿着图30B所示的点划线X1-X2切断的截面图。

[0353] 显示装置2501包括多个配置为矩阵状的像素。该像素包括显示元件以及驱动该显

示元件的像素电路。

[0354] 参照图31A对作为显示元件使用EL元件的结构进行说明。注意,在以下说明中,示出使用发射白色光的EL元件的情况,但是EL元件不局限于此。例如,可以以相邻的像素分别射出不同的颜色的光的方式使用发光颜色不同的EL元件。

[0355] 作为衬底2510及衬底2570,例如,可以适当地使用水蒸气透过率为 10^{-5} g/(m²·day)以下,优选为 10^{-6} g/(m²·day)以下的具有柔性的材料。或者,优选将其热膨胀率大致相同的材料用于衬底2510及衬底2570。例如,线性膨胀系数优选为 1×10^{-3} /K以下,更优选为 5×10^{-5} /K以下,进一步优选为 1×10^{-5} /K以下。

[0356] 注意,衬底2510是叠层体,其中包括防止杂质扩散到EL元件的绝缘层2510a、柔性衬底2510b以及贴合绝缘层2510a与柔性衬底2510b的粘合层2510c。另外,衬底2570是叠层体,其中包括防止杂质扩散到EL元件的绝缘层2570a、柔性衬底2570b以及贴合绝缘层2570a与柔性衬底2570b的粘合层2570c。

[0357] 粘合层2510c及粘合层2570c例如可以使用包含聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、聚氨酯、丙烯酸树脂、环氧树脂或具有硅氧烷键合的树脂的材料。

[0358] 此外,在衬底2510与衬底2570之间包括密封层2560。密封层2560优选具有比空气大的折射率。此外,如图31A所示,当在密封层2560一侧提取光时,密封层2560可以兼作光学元件。

[0359] 另外,可以在密封层2560的外周部形成密封剂。通过使用该密封剂,可以在由衬底2510、衬底2570、密封层2560及密封剂围绕的区域中配置EL元件2550。注意,作为密封层2560,可以填充惰性气体(氮或氩等)。此外,可以在该惰性气体内设置干燥剂而吸收水分等。另外,作为上述密封剂,例如优选使用环氧类树脂或玻璃粉。此外,作为用于密封剂的材料,优选使用不使水分或氧透过的材料。

[0360] 另外,图31A所示的显示装置2501包括像素2505。此外,像素2505包括发光模块2580、EL元件2550以及可以向该EL元件2550供应电力的晶体管2502t。注意,将晶体管2502t用作像素电路的一部分。

[0361] 此外,发光模块2580包括EL元件2550以及着色层2567。另外,EL元件2550包括下部电极、上部电极以及下部电极与上部电极之间的EL层。

[0362] 另外,在密封层2560被设置于提取光一侧的情况下,密封层2560接触于EL元件2550及着色层2567。

[0363] 着色层2567位于与EL元件2550重叠的位置。由此,EL元件2550所发射的光的一部分透过着色层2567,而向图31A中的箭头所示的方向上被射出到发光模块2580的外部。

[0364] 此外,在显示装置2501中,在发射光的方向上设置遮光层2568。遮光层2568以围绕着色层2567的方式设置。

[0365] 着色层2567具有使特定波长区域的光透过的功能即可,例如,可以使用使红色波长区域的光透过的滤色片、使绿色波长区域的光透过的滤色片、使蓝色波长区域的光透过的滤色片以及使黄色波长区域的光透过的滤色片等。每个滤色片可以通过印刷法、喷墨法、利用光刻技术的蚀刻法等并使用各种材料形成。

[0366] 另外,在显示装置2501中设置有绝缘层2521。绝缘层2521覆盖晶体管2502t等。此

外,绝缘层2521具有使起因于像素电路的凹凸平坦的功能。另外,可以使绝缘层2521具有能够抑制杂质扩散的功能。由此,能够抑制由于杂质扩散而晶体管2502t等的可靠性降低。

[0367] 此外,EL元件2550被形成于绝缘层2521的上方。另外,以与EL元件2550所包括的下部电极的端部重叠的方式设置分隔壁2528。此外,可以在分隔壁2528上形成控制衬底2510与衬底2570的间隔的间隔物。

[0368] 另外,扫描线驱动电路2504包括晶体管2503t及电容器2503c。注意,可以将驱动电路与像素电路经同一工序形成在同一衬底上。

[0369] 另外,在衬底2510上设置有能够供应信号的布线2511。此外,在布线2511上设置有端子2519。另外,FPC2509(1)电连接到端子2519。此外,FPC2509(1)具有供应视频信号、时钟信号、起始信号、复位信号等的功能。另外,FPC2509(1)也可以安装有印刷电路板(PWB)。

[0370] 注意,将前面的实施方式所示的晶体管适合作晶体管2502t和晶体管2503t中的任一个或两个,即可。在本实施方式中使用的晶体管包括被高度纯化且氧缺陷的形成被抑制的氧化物半导体膜。该晶体管可以降低关闭状态下的电流(关态电流)。因此,可以延长图像信号等电信号的保持时间,在开启状态下还可以延长写入间隔。因此,可以降低刷新工作的频度,从而可以发挥抑制功耗的效果。另外,在本实施方式所使用的晶体管中,能够得到较高的场效应迁移率,因此能够进行高速驱动。例如,通过将这种能够进行高速驱动的晶体管用于显示装置2501,可以在同一衬底上形成像素电路的开关晶体管和用于驱动电路的驱动晶体管。即,因为作为驱动电路不需要另行使用由硅片等形成的半导体装置,所以可以减少半导体装置的部件数。另外,通过在像素电路中也使用能够进行高速驱动的晶体管,能够提供质量高的图像。

[0371] <4-3.关于触摸传感器的说明>

接着,参照图31B说明触摸传感器2595的详细内容。图31B是沿着图30B所示的点划线X3-X4切断的截面图。

[0372] 触摸传感器2595包括:对衬底2590配置为交错形状的电极2591及电极2592;覆盖电极2591及电极2592的绝缘层2593;以及使相邻的电极2591电连接的布线2594。

[0373] 电极2591及电极2592使用具有透光性的导电材料形成。作为具有透光性的导电材料,可以使用氧化铟、铟锡氧化物、铟锌氧化物、氧化锌、添加有镓的氧化锌等导电氧化物。此外,还可以使用含有石墨烯的膜。含有石墨烯的膜例如可以通过使包含氧化石墨烯的膜还原而形成。作为还原方法,可以举出进行加热的方法等。

[0374] 例如,通过溅射法将具有透光性的导电材料形成在衬底2590上,然后通过光刻法等各种图案化技术去除无需的部分,由此可以形成电极2591及电极2592。

[0375] 另外,作为用于绝缘层2593的材料,例如除了丙烯酸树脂、环氧树脂等树脂、具有硅氧烷键的树脂之外,还可以使用氧化硅、氧氮化硅、氧化铝等无机绝缘材料。

[0376] 另外,达到电极2591的开口部形成在绝缘层2593中,并且布线2594与相邻的电极2591电连接。由于透光性导电材料可以提高触摸屏的开口率,因此可以适用于布线2594。另外,因为其导电性高于电极2591及电极2592的材料可以减少电阻,所以可以适用于布线2594。

[0377] 电极2592延在一个方向上,多个电极2592设置为条纹状。此外,布线2594以与电极2592交叉的方式设置。

[0378] 夹着一个电极2592设置有一对电极2591。另外,布线2594电连接一对电极2591。

[0379] 另外,多个电极2591并不一定要设置在与一个电极2592正交的方向上,也可以设置为形成大于 0° 且小于 90° 的角。

[0380] 此外,一个布线2598与电极2591或电极2592电连接。另外,将布线2598的一部分用作端子。作为布线2598,例如可以使用金属材料诸如铝、金、铂、银、镍、钛、钨、铬、钼、铁、钴、铜或钯等或者包含该金属材料的合金材料。

[0381] 另外,通过设置覆盖绝缘层2593及布线2594的绝缘层,可以保护触摸传感器2595。

[0382] 此外,连接层2599电连接布线2598与FPC2509(2)。

[0383] 作为连接层2599,可以使用各向异性导电膜(ACF:Anisotropic Conductive Film)或各向异性导电膏(ACP:Anisotropic Conductive Paste)等。

[0384] <4-4.关于触摸屏的说明>

接着,参照图32A说明触摸屏2000的详细内容。图32A是沿着图30A所示的点划线X5-X6切断的截面图。

[0385] 图32A所示的触摸屏2000是将图31A所说明的显示装置2501与图31B所说明的触摸传感器2595贴合在一起的结构。

[0386] 另外,图32A所示的触摸屏2000除了图31A所说明的结构之外还包括粘合层2597及抗反射层2569。

[0387] 粘合层2597以与布线2594接触的方式设置。注意,粘合层2597以使触摸传感器2595重叠于显示装置2501的方式将衬底2590贴合到衬底2570。此外,粘合层2597优选具有透光性。另外,作为粘合层2597,可以使用热固化树脂或紫外线固化树脂。例如,可以使用丙烯酸类树脂、氨基酯类树脂、环氧类树脂或硅氧烷类树脂。

[0388] 抗反射层2569设置在重叠于像素的位置上。作为抗反射层2569,例如可以使用圆偏振片。

[0389] 接着,参照图32B对与图32A所示的结构不同的结构的触摸屏进行说明。

[0390] 图32B是触摸屏2001的截面图。图32B所示的触摸屏2001与图32A所示的触摸屏2000的不同之处是相对于显示装置2501的触摸传感器2595的位置。在这里对不同的结构进行详细的说明,而对可以使用同样的结构的部分援用触摸屏2000的说明。

[0391] 着色层2567位于EL元件2550的下方。此外,图32B所示的EL元件2550将光射出到设置有晶体管2502t的一侧。由此,EL元件2550所发射的光的一部分透过着色层2567,而向图32B中的箭头所示的方向被射出到发光模块2580的外部。

[0392] 另外,触摸传感器2595被设置于显示装置2501的衬底2510一侧。

[0393] 粘合层2597位于衬底2510与衬底2590之间,并将显示装置2501和触摸传感器2595贴合在一起。

[0394] 如图32A或图32B所示,从发光元件射出的光可以经过衬底2510和衬底2570中的任一面或双面射出。

[0395] <4-5.关于触摸屏的驱动方法的说明>

接着,参照图33A及图33B对触摸屏的驱动方法的一个例子进行说明。

[0396] 图33A是示出互电容式触摸传感器的结构的方框图。在图33A中,示出脉冲电压输出电路2601、电流检测电路2602。另外,在图33A中,以X1至X6的6个布线表示被施加有脉冲

电压的电极2621,并以Y1至Y6的6个布线表示检测电流的变化的电极2622。此外,图33A示出由于使电极2621与电极2622重叠而形成的电容器2603。注意,电极2621与电极2622的功能可以互相调换。

[0397] 脉冲电压输出电路2601是用来依次将脉冲电压施加到X1至X6的布线的电路。通过对X1至X6的布线施加脉冲电压,在形成电容器2603的电极2621与电极2622之间产生电场。通过利用该产生于电极之间的电场由于被遮蔽等而使电容器2603的互电容产生变化,可以检测出被检测体的接近或接触。

[0398] 电流检测电路2602是用来检测电容器2603的互电容变化所引起的Y1至Y6的布线的电流变化的电路。在Y1至Y6的布线中,如果没有被检测体的接近或接触,所检测的电流值则没有变化,另一方面,在由于所检测的被检测体的接近或接触而互电容减少的情况下,检测到电流值减少的变化。另外,通过积分电路等检测电流即可。

[0399] 接着,图33B示出图33A所示的互电容式触摸传感器中的输入/输出波形的时序图。在图33B中,在一个帧期间进行各行列中的被检测体的检测。另外,在图33B中,示出没有检测出被检测体(未触摸)和检测出被检测体(触摸)的两种情况。此外,关于Y1至Y6的布线,示出对应于所检测出的电流值的电压值的波形。

[0400] 依次对X1至X6的布线施加脉冲电压,Y1至Y6的布线的波形根据该脉冲电压而变化。当没有被检测体的接近或接触时,Y1至Y6的波形根据X1至X6的布线的电压变化而产生变化。另一方面,在有被检测体接近或接触的部位电流值减少,因而与其相应的电压值的波形也产生变化。

[0401] 如此,通过检测互电容的变化,可以检测出被检测体的接近或接触。

[0402] <4-6.关于传感器电路的说明>

另外,作为触摸传感器,图33A虽然示出在布线的交叉部只设置电容器2603的无源方式触摸传感器的结构,但是也可以采用包括晶体管和电容器的有源方式触摸传感器。图34示出有源方式触摸传感器所包括的传感器电路的一个例子。

[0403] 图34所示的传感器电路包括电容器2603、晶体管2611、晶体管2612及晶体管2613。

[0404] 对晶体管2613的栅极施加信号G2,对源极和漏极中的一个施加电压VRES,并且另一个与电容器2603的一个电极及晶体管2611的栅极电连接。晶体管2611的源极和漏极中的一个与晶体管2612的源极和漏极中的一个电连接,对另一个施加电压VSS。对晶体管2612的栅极施加信号G1,源极和漏极中的另一个与布线ML电连接。对电容器2603的另一个电极施加电压VSS。

[0405] 接下来,对图34所示的传感器电路的工作进行说明。首先,通过作为信号G2施加使晶体管2613成为开启状态的电位,与晶体管2611的栅极连接的节点n被供应对应于电压VRES的电位。接着,通过作为信号G2供应使晶体管2613成为关闭状态的电位,节点n的电位被保持。

[0406] 接着,由于手指等被检测体的接近或接触,电容器2603的互电容产生变化,而节点n的电位随其从VRES变化。

[0407] 在读出工作中,作为信号G1供应使晶体管2612成为开启状态的电位。流过晶体管2611的电流,即流过布线ML的电流根据节点n的电位而产生变化。通过检测该电流,可以检测出被检测体的接近或接触。

[0408] 可以将前面的实施方式所示的晶体管适用作晶体管2611、晶体管2612及晶体管2613。尤其是通过将前面的实施方式所示的晶体管适用作晶体管2613,能够长期间保持节点n的电位,由此可以减少对节点n再次供应VRES的工作(刷新工作)的频度。

[0409] 本实施方式所示的结构可以与其他实施方式、实施例或参考例所示的结构适当地组合而实施。

[0410] 实施方式5

在本实施方式中,对可适用于上述实施方式中的半导体装置的输出输入装置(触摸屏)、输入装置(触摸传感器)以及输出装置(显示面板)的结构实例进行说明。

[0411] <5-1. 触摸屏的结构实例>

图35A是触摸屏600的透视示意图。图35B是将图35A展开时的透视示意图。注意,为了明确起见,图35A及图35B只示出典型构成要素。此外,在图35B中,用虚线只示出一部分的构成要素(衬底602等)的轮廓。

[0412] 触摸屏600包括衬底601及衬底602,其中重叠地设置有衬底601及衬底602。

[0413] 在图35A及图35B中示出输入装置610包括衬底602、多个电极631、多个电极632、布线652、布线653、FPC(Flexible Printed Circuit:柔性印刷电路)650及IC651的情况。

[0414] 作为输入装置610例如可以应用静电电容式触摸传感器。作为静电电容式,可以举出表面型静电电容式、投影型静电电容式等。作为投影型静电电容式,主要根据驱动方法的不同,有自电容式、互电容式等。优选使用互电容式,因为可以同时多点检出。下面,说明应用投影型静电电容式触摸传感器的情况。

[0415] 此外,不局限于此,也可以将能够检出手指或触屏笔等被检测体的接近或接触的各种传感器应用于输入装置610。

[0416] 在衬底601上设置有显示部662、驱动电路663、布线664等。在衬底601上设置有电连接于布线664的FPC660。此外,图35A及图35B示出在FPC660上设置有IC661的例子。

[0417] 显示部662至少包括多个像素。像素至少包括一个显示元件。此外,像素优选具备晶体管及显示元件。作为显示元件,典型地可以使用有机EL元件等发光元件等。

[0418] 作为驱动电路663,例如可以使用具有栅极线驱动电路、信号线驱动电路等的功能的电路。

[0419] 布线664具有对显示部662及驱动电路663供应信号及电力的功能。该信号及电力通过FPC660从外部或IC661输入到布线664。

[0420] 图35A及图35B示出利用COF(薄膜覆晶封装:Chip On Film)方式在FPC660上安装有IC661的例子。作为IC661,例如可以应用具有栅极线驱动电路或信号线驱动电路等的功能的IC。另外,在触摸屏600具备用作栅极线驱动电路及信号线驱动电路的电路时,或者在外部设置用作栅极线驱动电路或信号线驱动电路的电路且通过FPC660输入用来驱动触摸屏600的信号等时,也可以不设置IC661。此外,也可以利用COG(玻璃覆晶封装:Chip On Glass)方式等在衬底601上直接安装有IC661。

[0421] <5-2. 输入装置的结构实例>

以下,参照附图对输入装置(触摸屏)的结构实例进行说明。

[0422] 图36A示出输入装置610的俯视示意图。输入装置610在衬底602上包括多个电极631、多个电极632、多个布线652以及多个布线653。此外,在衬底602上设置有电连接于多个

布线652及多个布线653中的每一个的FPC650。此外,图36A示出在FPC650上设置有IC651的例子。

[0423] 图36B示出图36A中的以点划线围绕的区域的放大图。电极631具有多个菱形的电极图案在横向方向上排列的形状。排成一列的菱形的电极图案彼此电连接。电极632也同样具有多个菱形的电极图案在纵向方向上排列的形状,且排成一列的菱形的电极图案彼此电连接。电极631与电极632部分地重叠,相互交叉。该交叉部分夹有绝缘体以免电极631与电极632电短路。

[0424] 如图36C所示,电极632也可以由具有菱形的多个电极633及桥接式电极634构成。岛状电极633在纵向方向上排列地配置,通过桥接式电极634相邻的两个电极633电连接。通过采用上述结构,可以对同一导电膜进行加工来同时形成电极633及电极631。由此,可以抑制这些的膜厚度的偏差,而可以抑制各个电极的电阻值及光透过率因所在位置的不同有偏差。这里,电极632具有桥接式电极634,电极631也可以具有桥接式电极634。

[0425] 如图36D所示,也可以具有将图36B所示的电极631及电极632的菱形的电极图案的内侧挖出,只残留轮廓部的形状。此时,在电极631及电极632的宽度窄到使用者看不到时,如后面所述电极631及电极632也可以使用金属或合金等遮光材料形成。此外,图36D所示的电极631或电极632也可以具有上述桥接式电极634。

[0426] 一个电极631与一个布线652电连接。此外,一个电极632与一个布线653电连接。这里,电极631和电极632中的一个相当于上述行布线,另一个相当于上述列布线。

[0427] IC651是具有驱动触摸传感器的功能。因此,从IC651输出的信号通过布线652或布线653供应给电极631或电极632。此外,流过电极631或电极632的电流(或电位)通过布线652或布线653输入到IC651。

[0428] 这里,当以输入装置610与显示面板的显示面重叠的方式构成触摸屏时,优选作为电极631及电极632使用透光性导电材料。此外,当作为电极631及电极632使用透光性导电材料且穿过电极631或电极632提取来自显示面板的光时,优选在相邻的电极631与电极632之间配置包含同一导电材料的导电膜作为假图案。像这样,通过使用假图案填满电极631与电极632之间的间隙的一部分,可以减少光透过率的偏差。其结果是,可以减少透过输入装置610的光的亮度偏差。

[0429] 作为透光性导电材料,可以使用氧化铟、铟锡氧化物、铟锌氧化物、氧化锌、添加有镓的氧化锌等导电氧化物。另外,也可以使用包含石墨烯的膜。包含石墨烯的膜例如可以通过使形成膜状的包含氧化石墨烯的膜还原而形成。作为还原方法,可以采用加热等方法。

[0430] 另外,可以使用减薄到可透光的厚度的金属或合金。例如,可以使用金、银、铂、镁、镍、钨、铬、钼、铁、钴、铜、钪或钛等金属材料、包含该金属材料的合金材料。或者,还可以使用该金属材料或合金材料的氮化物(例如,氮化钛)等。此外,也可以使用层叠包含上述材料的导电膜中的两个以上的叠层膜。

[0431] 此外,作为电极631及电极632也可以使用加工成细到使用者看不到程度的导电膜。例如,通过将这种导电膜加工成格子状(网孔状),可以兼得高导电性及显示装置的高可见度。此时,优选导电膜具有宽度为30nm以上且100 μ m以下,优选为50nm以上且50 μ m以下,更优选为50nm以上且20 μ m以下的部分。尤其是,具有10 μ m以下的图案宽度的导电膜很难被使用者看见,所以是优选的。

[0432] 在图37A至图37D中作为一个例子示出放大将格子状(网孔状)的导电膜或纳米线用于电极631或电极632的情况的示意图。

[0433] 图37A示出使用格子状的导电膜635时的例子。此时,通过以显示装置所包括的显示元件不与导电膜635重叠的方式配置导电膜635,不会遮断来自该显示元件的光,所以是优选的。在此情况下,优选的是,格子的方向与显示元件的排列的方向一致,且格子的周期为显示元件的排列的周期的整数倍。

[0434] 图37B示出以形成三角形的开口部的方式加工的格子状的导电膜636的例子。通过采用上述结构,与图37A相比,可以进一步降低电阻。

[0435] 如图37C所示,也可以采用具有没有周期性的图案形状的导电膜637。通过采用上述结构,可以抑制在与显示装置的显示部重叠时产生的莫列波纹(moiré)。

[0436] 作为电极631及电极632也可以使用导电纳米线。图37D示出使用纳米线638时的例子。通过以适当的密度分散纳米线638以使相邻的纳米线638彼此接触,形成二维网状,可以用作透光性极高的导电膜。例如,可以使用直径平均值为1nm以上且100nm以下,优选为5nm以上且50nm以下,更优选为5nm以上且25nm以下的纳米线。作为纳米线638可以使用Ag纳米线、Cu纳米线、Al纳米线等金属纳米线或碳纳米管等。

[0437] 以上是输入装置的说明。

[0438] <5-3. 截面结构实例>

接着,参照附图对触摸屏600的截面结构实例进行说明。图38是触摸屏600的截面示意图。图38示出图35A中的包括FPC660的区域、包括驱动电路663的区域、包括显示部662的区域以及包括FPC650的区域的截面。

[0439] 使用粘合层603将衬底601与衬底602贴合。

[0440] 在衬底601与衬底602之间设置有晶体管611、驱动晶体管612、选择晶体管613、显示元件614、电容器615、连接部616、布线617等。

[0441] 在衬底601上设置有绝缘层621、绝缘层622、绝缘层623、绝缘层624、绝缘层625、间隔物626等。绝缘层621的一部分用作各晶体管的栅极绝缘层,另一个部分用作电容器615的电介质。绝缘层622、绝缘层623及绝缘层624以覆盖各晶体管及电容器615等的方式设置。绝缘层624用作平坦化层。此外,这里示出覆盖晶体管等的绝缘层包括绝缘层622、绝缘层623及绝缘层624的三层的情况,但是绝缘层不局限于此,也可以为四层以上、单层或两层。如果不需要,则可以不设置用作平坦化层的绝缘层624。

[0442] 在绝缘层624上设置有显示元件614。这里,示出作为显示元件614应用顶面发射型(顶部发射型)有机EL元件时的例子。通过以与显示元件614的发光区域重叠的方式配置驱动晶体管612、选择晶体管613、电容器615及布线等,可以提高显示部662的开口率。

[0443] 显示元件614在第一电极641与第二电极643之间包括EL层642。此外,在第一电极641与EL层642之间设置有光学调整层644。绝缘层625以覆盖第一电极641及光学调整层644的端部的方式设置。

[0444] 在图38中作为显示部662的例子示出一个像素的截面。这里,示出像素包括驱动晶体管612、选择晶体管613及电容器615的情况。驱动晶体管612的源极和漏极中的一个及电容器615的一个电极通过设置在绝缘层622、绝缘层623及绝缘层624中的开口部与第一电极641电连接。

[0445] 在图38中示出作为驱动电路663的例子设置有晶体管611的结构。

[0446] 在图38中,示出作为晶体管611及晶体管612使用由两个栅电极夹着形成有沟道的半导体层的结构的例子。

[0447] 此外,设置在驱动电路663及显示部662中的晶体管可以都具有相同的结构或组合不同的结构的晶体管。

[0448] 间隔物626设置在绝缘层625上,并具有调整衬底601与衬底602的距离的功能。或者,也可以使用粒状间隔物代替间隔物626。

[0449] 在离衬底601的端部近的区域设置有连接部616。连接部616通过连接层656与FPC660电连接。

[0450] 在衬底602的衬底601一侧的面上设置有构成触摸传感器的电极等。具体而言,在衬底602上设置有电极632、电极633、布线652(未图示)、布线653等、覆盖它们的绝缘层674,并且,在绝缘层674上设置有桥接式电极634等。覆盖上述构成触摸传感器的电极等地设置有绝缘层673。再者,在绝缘层673上设置有着色层671、遮光层672等。遮光层672具有开口部,该开口部以与显示元件614的显示区域重叠的方式配置。

[0451] 这里示出电极631包括电极633及桥接式电极634时的例子。如图38中的交叉部665所示,电极632与电极633形成在同一平面上。此外,在覆盖电极632及电极633的绝缘层674上设置有桥接式电极634。桥接式电极634通过设置在绝缘层674中的开口部与以夹持电极632的方式设置的两个电极633电连接。

[0452] 另外,这里示出电极633为格子状(网孔状)的情况的例子。此时,当电极633所包括的开口部以与显示元件614的显示区域重叠的方式设置时,电极633没有遮断来自显示元件614的光,所以是优选的。另外,电极632及桥接式电极634优选与电极633相同地方式具有网孔状形状。

[0453] 在离衬底602的端部近的区域设置有连接部654。连接部654通过连接层655与FPC650电连接。

[0454] 图39所示的触摸屏具有衬底681、粘合层682及绝缘层683的叠层结构而代替衬底601。此外,具有衬底691、粘合层692及绝缘层694的叠层结构而代替衬底602。

[0455] 通过对衬底681及衬底691使用具有柔性的材料,可以实现能够弯曲的触摸屏。

[0456] <5-4. 制造方法实例>

在此,对具有柔性的触摸屏的制造方法进行说明。

[0457] 在此,为了方便起见,将包括像素或电路的结构、包括滤色片等光学构件的结构、包括构成触摸传感器的电极或布线的结构等称为元件层。元件层例如包括显示元件,除了显示元件以外还可以具备与显示元件电连接的布线、用于像素或电路的晶体管等元件。

[0458] 在此,将具备形成有元件层的绝缘表面的支撑体(例如,图39中的衬底681或者衬底691)称为衬底。

[0459] 作为在具备绝缘表面的柔性衬底上形成元件层的方法,可以举出:在衬底上直接形成元件层的方法;以及在与衬底不同的支撑基材上形成元件层后,将元件层从支撑基材剥离并将元件层转置于衬底的方法。

[0460] 当构成衬底的材料对元件层的形成工序中的加热具有耐热性时,若在衬底上直接形成元件层,则可使工序简化,所以是优选的。此时,若在将衬底固定于支撑基材的状态下

形成元件层,则可使装置内及装置之间的搬运变得容易,所以是优选的。

[0461] 另外,当采用在将元件层形成在支撑基材上后将其转置于衬底的方法时,首先在支撑基材上层叠剥离层和绝缘层,在该绝缘层上形成元件层。接着,将元件层从支撑基材剥离并转置于衬底。此时,只要选择在支撑基材与剥离层的界面、剥离层与绝缘层的界面或剥离层中产生剥离的材料即可。

[0462] 例如,优选的是,作为剥离层使用包含钨等高熔点金属材料的层与包含该金属材料的氧化物的层的叠层,作为剥离层上的绝缘层使用层叠多个氮化硅层、氧氮化硅层的层。当使用高熔点金属材料时,可以提高元件层的形成工序的自由度,所以是优选的。

[0463] 可以通过施加机械力量、对剥离层进行蚀刻或者使液体滴落到剥离界面的一部分并使其渗透整个剥离界面等来进行剥离。或者,也可以利用热膨胀系数的差异对剥离界面进行加热来进行剥离。

[0464] 另外,当能够在支撑基材与绝缘层的界面进行剥离时,可以不设置剥离层。例如,也可以作为支撑基材使用玻璃,作为绝缘层使用聚酰亚胺等有机树脂。在此情况下,通过使用激光等对有机树脂的一部分局部性地进行加热来形成剥离的起点,可以在玻璃与绝缘层的界面进行剥离。或者,也可以在支撑基材与由有机树脂构成的绝缘层之间设置金属层,通过使电流流过该金属层对该金属层进行加热,由此在该金属层与绝缘层的界面进行剥离。或者,也可以在支撑基材与由有机树脂构成的绝缘层之间设置使用吸收光的材料(金属、半导体、绝缘体等)的层,通过对该层照射激光等的光而进行局部性的加热,由此形成剥离的起点。在这里所示出的方法中,可以将由有机树脂构成的绝缘层用作衬底。

[0465] 作为具有柔性的衬底,例如可以举出如下材料:聚酯树脂诸如聚对苯二甲酸乙二醇酯(PET)或聚萘二甲酸乙二醇酯(PEN)等、聚丙烯腈树脂、聚酰亚胺树脂、聚甲基丙烯酸甲酯树脂、聚碳酸酯树脂、聚醚砜(PES)树脂、聚酰胺树脂、环烯烃树脂、聚苯乙烯树脂、聚酰胺酰亚胺树脂或聚氯乙烯树脂等。尤其优选使用热膨胀系数低的材料,例如,可以使用热膨胀系数为 $30 \times 10^{-6}/K$ 以下的聚酰胺酰亚胺树脂、聚酰亚胺树脂、PET等。另外,也可以使用将树脂浸渗于纤维体中的衬底(也称为预浸料)或将无机填料混合到有机树脂中来降低热膨胀系数的衬底。

[0466] 当上述材料中含有纤维体时,作为纤维体使用有机化合物或无机化合物的高强度纤维。具体而言,高强度纤维是指拉伸弹性模量或杨氏模量高的纤维。其典型例子为聚乙烯醇类纤维、聚酯类纤维、聚酰胺类纤维、聚乙烯类纤维、芳族聚酰胺类纤维、聚对苯撑苯并双噁唑纤维、玻璃纤维或碳纤维。作为玻璃纤维可以举出使用E玻璃、S玻璃、D玻璃、Q玻璃等的玻璃纤维。将上述纤维体以织布或无纺布的状态使用,并且,也可以使用在该纤维体中浸渗树脂并使该树脂固化而成的结构体作为柔性衬底。通过作为具有柔性的衬底使用由纤维体和树脂构成的结构体,可以提高耐弯曲或局部挤压所引起的破损的可靠性,所以是优选的。

[0467] 或者,可以将薄得足以具有柔性的玻璃、金属等用于衬底。或者,可以使用贴合玻璃与树脂材料的复合材料。

[0468] 例如,在图39的结构中,在第一支撑基材上依次形成第一剥离层、绝缘层683后,形成这些层的上方的结构物。除此之外,在第二支撑基材上依次形成第二剥离层、绝缘层694后,形成这些层的上方的结构物。接着,将第一支撑基材与第二支撑基材由粘合层603贴合。然后,在第二剥离层与绝缘层694的界面进行剥离而去除第二支撑基材及第二剥离层,并将

绝缘层694与衬底691使用粘合层692贴合。另外,在第一剥离层与绝缘层683的界面进行剥离而去除第一支撑基材及第一剥离层,并将绝缘层683与衬底681使用粘合层682贴合。注意,剥离及贴合从哪一侧开始都可以。

[0469] 以上是柔性触摸屏的制造方法的说明。

[0470] 本实施方式所示的结构可以与其他实施方式、实施例或参考例所示的结构适当地组合而使用。

[0471] 实施方式6

在本实施方式中,使用图40A至图43B对可适用上面实施方式所说明的晶体管的电路结构的一个例子进行说明。

[0472] 注意,在本实施方式中,下面将上面实施方式所说明的包括氧化物半导体的晶体管称为OS晶体管而进行说明。

[0473] <6.反相器的电路结构实例>

图40A示出可适用于驱动电路所包括的移位寄存器及缓冲器等的反相器的电路图。反相器800将使供应到输入端子IN的信号的逻辑反转而成的信号输出到输出端子OUT。反相器800包括多个OS晶体管。信号 S_{BG} 是能够切换OS晶体管的电特性的信号。

[0474] 图40B是反相器800的一个例子的电路图。反相器800包括OS晶体管810及OS晶体管820。反相器800可以采用n沟道型晶体管,由此具有所谓的单极性的电路结构。通过采用单极性的电路结构可以形成反相器800,因此与使用CMOS(Complementary Metal Oxide Semiconductor:互补金属氧化物半导体)形成反相器(CMOS反相器)的情况相比,可以以更低成本形成反相器。

[0475] 另外,包括OS晶体管的反相器800也可以配置在包括Si晶体管的CMOS反相器上。通过将反相器800与CMOS反相器重叠,可以抑制追加反相器800时被要求的电路面积的增加。

[0476] OS晶体管810、820包括用作前栅极的第一栅极、用作背栅极的第二栅极、用作源极和漏极中的一个的第一端子以及用作源极和漏极中的另一个的第二端子。

[0477] OS晶体管810的第一栅极与OS晶体管810的第二端子连接。OS晶体管810的第二栅极与传送信号 S_{BG} 的布线连接。OS晶体管810的第一端子与供应电压VDD的布线连接。OS晶体管810的第二端子与输出端子OUT连接。

[0478] OS晶体管820的第一栅极与输入端子IN连接。OS晶体管820的第二栅极与输入端子IN连接。OS晶体管820的第一端子与输出端子OUT连接。OS晶体管820的第二端子与供应电压VSS的布线连接。

[0479] 图40C是说明反相器800的工作的时序图。在图40C的时序图中,示出输入端子IN的信号波形、输出端子OUT的信号波形、信号 S_{BG} 的信号波形以及OS晶体管810(FET810)的阈值电压的变化。

[0480] 通过将信号 S_{BG} 供应至OS晶体管810的第二栅极,可以控制OS晶体管810的阈值电压。

[0481] 例如,信号 S_{BG} 具有使OS晶体管810的阈值电压向负方向漂移的电压 V_{BG_A} 以及使OS晶体管810的阈值电压向正方向漂移的电压 V_{BG_B} 。通过使信号 S_{BG} 成为电压 V_{BG_A} ,OS晶体管810的阈值电压为 V_{TH_A} 。另外,通过使信号 S_{BG} 成为电压 V_{BG_B} ,OS晶体管810的阈值电压为 V_{TH_B} 。

[0482] 为了说明上述概念,图41A示出OS晶体管810的电特性的 V_g - I_d 曲线的示意图。

[0483] 如图41A所示,通过将信号 S_{BG} 设定为电压 V_{BG_A} 且将OS晶体管810的阈值电压设定为 V_{TH_A} ,可以得到以虚线840表示的曲线。另外,通过将信号 S_{BG} 设定为电压 V_{BG_B} 且将OS晶体管810的阈值电压设定为 V_{TH_B} ,可以得到以实线841表示的曲线。换句话说,通过将信号 S_{BG} 所具有的电压设定为 V_{BG_B} 且将OS晶体管810的阈值电压设定为 V_{TH_B} ,可以成为电流不容易流过OS晶体管810的状态。另外,通过将信号 S_{BG} 所具有的电压设定为 V_{BG_A} 且将OS晶体管810的阈值电压设定为 V_{TH_A} ,可以成为电流容易流过OS晶体管810的状态。

[0484] 图41B及图41C示出表示上述概念的电路图。图41B示出将信号 S_{BG} 所具有的电压设定为 V_{BG_B} 的情况,图41C示出将信号 S_{BG} 所具有的电压设定为 V_{BG_A} 的情况。

[0485] 如图41B所示,由于能够使流过OS晶体管810的电流 I_B 极小,所以当供应到输入端子IN的信号为高电平且OS晶体管820成为导通状态(ON)时,可以急剧降低输出端子OUT的电压。由此,图40C所示的时序图中的输出端子OUT的信号波形831能够急剧变化。另外,由于可以减少流过供应电压VDD的布线与供应电压VSS的布线之间贯通电流,因此可以以低耗电进行反相器800的工作。

[0486] 如图41C所示,由于流过OS晶体管810的电流 I_A 比电流 I_B 大,所以当供应到输入端子IN的信号为低电平且OS晶体管820成为关闭状态(OFF)时,可以急剧上升输出端子OUT的电压。由此,图40C所示的时序图中的输出端子OUT的信号波形832能够急剧变化。

[0487] 另外,通过信号 S_{BG} 对OS晶体管810的阈值电压进行的控制优选在切换OS晶体管820的状态之前,即时刻T1或T2之前进行。例如,如图40C所示,在供应到输入端子IN的信号切换为高电平的时刻T1之前优选将OS晶体管810的阈值电压从阈值电压 V_{TH_A} 切换至阈值电压 V_{TH_B} 。另外,如图40C所示,优选在供应到输入端子IN的信号切换为低电平的时刻T2之前,将OS晶体管810的阈值电压从阈值电压 V_{TH_B} 切换至阈值电压 V_{TH_A} 。

[0488] 在图40C的时序图中,示出根据供应到输入端子IN的信号切换信号 S_{BG} 的结构,但是也可以采用其他结构。例如,可以将用来控制阈值电压的电压储存于浮动状态的OS晶体管810的第二栅极。图42A示出可以实现上述结构的电路结构的一个例子。

[0489] 除了图40B所示的电路结构以外,图42A还包括OS晶体管850。OS晶体管850的第一端子与OS晶体管810的第二栅极连接。另外,OS晶体管850的第二端子与供应电压 V_{BG_B} (或者电压 V_{BG_A})的布线连接。OS晶体管850的第一栅极与供应信号 S_F 的布线连接。OS晶体管850的第二栅极与供应电压 V_{BG_B} (或者电压 V_{BG_A})的布线连接。

[0490] 使用图42B的时序图对图42A所示的电路结构的工作进行说明。

[0491] 用来控制OS晶体管810的阈值电压的电压在供应到输入端子IN的信号切换为高电平的时刻T3之前被供应到OS晶体管810的第二栅极。使信号 S_F 成为高电平且使OS晶体管850成为导通状态,来对节点 N_{BG} 供应用来控制阈值电压的电压 V_{BG_B} 。

[0492] 在节点 N_{BG} 成为电压 V_{BG_B} 之后,使OS晶体管850成为关闭状态。OS晶体管850具有极小的关态电流,因此通过保持为关闭状态,可以保持暂时保持在节点 N_{BG} 的电压 V_{BG_B} 。由此,对OS晶体管850的第二栅极供应电压 V_{BG_B} 的工作次数减少,因此可以减少电压 V_{BG_B} 的改写所需要的耗电量。

[0493] 图40B及图42A的电路结构示出通过外部控制对OS晶体管810的第二栅极供应电压的结构,但是也可以采用其他结构。例如,用来控制阈值电压的电压也可以基于供应到输入端子IN的信号而生成来供应到OS晶体管810的第二栅极。图43A示出可以实现上述结构的电

路结构的一个例子。

[0494] 在图43A中,除了图40B所示的电路结构以外,还在输入端子IN与OS晶体管810的第二栅极之间包括CMOS反相器860。CMOS反相器860的输入端子与输入端子IN连接。CMOS反相器860的输出端子与OS晶体管810的第二栅极连接。

[0495] 使用图43B的时序图对图43A所示的电路结构的工作进行说明。在图43B的时序图中,示出输入端子IN的信号波形、输出端子OUT的信号波形、CMOS反相器860的输出波形IN_B以及OS晶体管810(FET810)的阈值电压的变化。

[0496] 使供应到输入端子IN的信号的逻辑反转而成的信号的输出波形IN_B可以被用作控制OS晶体管810的阈值电压的信号。由此,如图41A至图41C所示那样,可以控制OS晶体管810的阈值电压。例如,在图43B所示的时刻T4,供应到输入端子IN的信号为高电平而使OS晶体管820成为导通状态。此时,输出波形IN_B成为低电平。由此,可以使OS晶体管810成为电流不容易流过的状态,因此可以急剧降低输出端子OUT的电压。

[0497] 另外,在图43B所示的时刻T5,供应到输入端子IN的信号为低电平而使OS晶体管820成为关闭状态。此时,输出波形IN_B成为高电平。由此,可以使OS晶体管810成为电流容易流过的状态,因此可以急剧上升输出端子OUT的电压。

[0498] 如上面说明那样,在本实施方式的结构中,根据供应到输入端子IN的信号的逻辑,切换包括OS晶体管的反相器的背栅极的电压。通过采用上述结构,可以控制OS晶体管的阈值电压。通过与供应到输入端子IN的信号对应地控制OS晶体管的阈值电压,可以使输出端子OUT的电压急剧变化。另外,可以减小供应电源电压的布线之间的贯通电流。由此,可以实现低功耗化。

[0499] 本实施方式所示的结构可以与其他实施方式、实施例或参考例所示的结构适当地组合而使用。

[0500] 实施方式7

在本实施方式中,参照图44及图45A至图45G对包括本发明的一个方式的半导体装置的显示模块、电子设备及显示装置进行说明。

[0501] <7-1.关于显示模块的说明>

图44所示的显示模块8000在上盖8001与下盖8002之间包括连接于FPC8003的触摸屏8004、连接于FPC8005的显示面板8006、背光8007、框架8009、印刷电路板8010、电池8011。

[0502] 例如可以将本发明的一个方式的半导体装置用于显示面板8006。

[0503] 上盖8001及下盖8002可以根据触摸屏8004及显示面板8006的尺寸可以适当地改变形状或尺寸。

[0504] 触摸屏8004能够是电阻膜式触摸屏或静电电容式触摸屏,并且能够被形成为与显示面板8006重叠。此外,也可以使显示面板8006的对置衬底(密封衬底)具有触摸屏的功能。另外,也可以在显示面板8006的各像素内设置光传感器,而形成光学触摸屏。

[0505] 背光8007具有光源8008。注意,虽然在图44中例示出在背光8007上配置光源8008的结构,但是不局限于此。例如,可以在背光8007的端部设置光源8008,并使用光扩散板。当使用有机EL元件等自发光型发光元件时,或者当使用反射式面板等时,可以采用不设置背光8007的结构。

[0506] 框架8009除了具有保护显示面板8006的功能以外还具有用来遮断因印刷电路板

8010的工作而产生的电磁波的电磁屏蔽的功能。此外,框架8009也可以具有作为散热板的功能。

[0507] 印刷电路板8010具有电源电路以及用来输出视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源,既可以采用外部的商业电源,又可以采用另行设置的电池8011的电源。当使用商业电源时,可以省略电池8011。

[0508] 此外,在显示模块8000中还可以设置偏振片、相位差板、棱镜片等构件。

[0509] <7-2.关于电子设备的说明>

图45A至图45G是示出电子设备的图。这些电子设备可以包括框体9000、显示部9001、扬声器9003、操作键9005(包括电源开关或操作开关)、连接端子9006、传感器9007(该传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风9008等。

[0510] 图45A至图45G所示的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触控面板的功能;显示日历、日期或时间等的功能;通过利用各种软件(程序)控制处理的功能;进行无线通信的功能;通过利用无线通信功能来连接到各种计算机网络的功能;通过利用无线通信功能,进行各种数据的发送或接收的功能;读出储存在存储介质中的程序或数据来将其显示在显示部上的功能;等。注意,图45A至图45G所示的电子设备可具有的功能不局限于上述功能,而可以具有各种功能。另外,虽然在图45A至图45G未图示,但是电子设备可以包括多个显示部。此外,也可以在该电子设备中设置照相机等而使其具有如下功能:拍摄静态图像的功能;拍摄动态图像的功能;将所拍摄的图像储存在存储介质(外部存储介质或内置于照相机的存储介质)中的功能;将所拍摄的图像显示在显示部上的功能;等。

[0511] 下面,详细地说明图45A至图45G所示的电子设备。

[0512] 图45A是示出便携式信息终端9100的透视图。便携式信息终端9100所包括的显示部9001具有柔性。因此,可以沿着所弯曲的框体9000的弯曲面组装显示部9001。另外,显示部9001具备触摸传感器,而可以用手指或触屏笔等触摸屏幕来进行操作。例如,通过触摸显示于显示部9001上的图标,可以启动应用程序。

[0513] 图45B是示出便携式信息终端9101的透视图。便携式信息终端9101例如具有电话机、电子笔记本和信息阅读装置等中的一种或多种的功能。具体而言,可以将其用作智能手机。注意,图45A所示的扬声器9003、连接端子9006、传感器9007等在便携式信息终端9101中未图示,但可以设置在与图45A所示的便携式信息终端9100同样的位置上。另外,便携式信息终端9101可以将文字或图像信息显示在其多个面上。例如,可以将三个操作按钮9050(还称为操作图标或只称为图标)显示在显示部9001的一个面上。另外,可以将由虚线矩形表示的信息9051显示在显示部9001的另一个面上。此外,作为信息9051的例子,可以举出提示收到来自电子邮件、SNS(Social Networking Services:社交网络服务)或电话等的信息的显示;电子邮件或SNS等的标题;电子邮件或SNS等的发送者姓名;日期;时间;电量;以及天线接收强度等。或者,可以在显示有信息9051的位置上显示操作按钮9050等代替信息9051。

[0514] 图45C是示出便携式信息终端9102的透视图。便携式信息终端9102具有将信息显示在显示部9001的三个以上的面上的功能。在此,示出信息9052、信息9053、信息9054分别

显示于不同的面上的例子。例如,便携式信息终端9102的使用者能够在将便携式信息终端9102放在上衣口袋里的状态下确认其显示(这里是信息9053)。具体而言,将打来电话的人的电话号码或姓名等显示在能够从便携式信息终端9102的上方观看这些信息的位置。使用者可以确认到该显示而无需从口袋里拿出便携式信息终端9102,由此能够判断是否接电话。

[0515] 图45D是示出手表型便携式信息终端9200的透视图。便携式信息终端9200可以执行移动电话、电子邮件、文章的阅读及编辑、音乐播放、网络通信、电脑游戏等各种应用程序。此外,显示部9001的显示面被弯曲,能够在所弯曲的显示面上进行显示。另外,便携式信息终端9200可以进行被通信标准化的近距离无线通信。例如,通过与可进行无线通信的耳麦相互通信,可以进行免提通话。此外,便携式信息终端9200包括连接端子9006,可以通过连接器直接与其他信息终端进行数据的交换。另外,也可以通过连接端子9006进行充电。此外,充电工作也可以利用无线供电进行,而不通过连接端子9006。

[0516] 图45E至图45G是示出能够折叠的便携式信息终端9201的透视图。另外,图45E是展开状态的便携式信息终端9201的透视图,图45F是从展开状态和折叠状态中的一个状态变为另一个状态的中途的状态的便携式信息终端9201的透视图,图45G是折叠状态的便携式信息终端9201的透视图。便携式信息终端9201在折叠状态下可携带性好,在展开状态下因为具有无缝拼接的较大的显示区域而其显示的一览性强。便携式信息终端9201所包括的显示部9001由铰链9055所连接的三个框体9000来支撑。通过铰链9055使两个框体9000之间弯折,可以从便携式信息终端9201的展开状态可逆性地变为折叠状态。例如,可以以1mm以上且150mm以下的曲率半径使便携式信息终端9201弯曲。

[0517] 本实施方式所示的结构可以与其他实施方式、实施例或参考例所示的结构适当地组合而使用。

实施例1

[0518] 在本实施例中,制造两种显示装置(显示装置A及显示装置B),对该显示装置所包括的晶体管的特性、显示装置的显示例子以及显示装置的耗电量进行评价。

[0519] 首先,表1示出本实施例中所制造的显示装置A的规格,表2示出本实施例中所制造的显示装置B的规格。

规格	
屏幕尺寸	13.3inch(纵型)
像素的数量	4320×RGB(H)×7680(V) (8K UHD)
像素尺寸	12.75μm(H)×38.25μm(V)
像素密度	664ppi
彩色化的方式	白色 OLED + 顶面发射型 + 滤色片(WTC)
像素配置	RGB 条状
像素电路	3Tr+C/cell
开口率	30%
帧频	120Hz
扫描驱动器	一体型
源极驱动器	COG

[0520]

[0521]

规格	
屏幕尺寸	13.3inch(纵型)
像素的数量	4320×RGB(H)×7680(V) (8K UHD)
像素尺寸	12.75μm(H)×38.25μm(V)
像素密度	664ppi
彩色化的方式	白色 OLED + 顶面发射型 + 滤色片(WTC)
像素配置	RGB 条状
像素电路	2Tr+C/cell (像素中的三个布线)
开口率	40%
帧频	60Hz
扫描驱动器	一体型
源极驱动器	COG

[0522] 在显示装置A及显示装置B中,在母体玻璃的600mm×720mm玻璃衬底上形成晶体管及显示元件等。在显示装置A中,直接将晶体管及显示元件等形成在玻璃衬底上。在显示装置B中,从玻璃衬底剥离晶体管及显示元件等而转置到薄膜上,来制造所谓的柔性显示装置。

[0523] 另外,作为显示装置A及显示装置B所包括的显示元件,使用能够发射白色光的有

极EL元件。另外,作为该有极EL元件,采用顶面发射型,即所谓的top-emission结构,并且,将滤色片设置在EL元件的光射出的一侧。

[0524] 另外,作为显示装置A及显示装置B的背板一侧的晶体管,采用与实施方式2所示的晶体管170相同的结构。另外,晶体管的活性层使用CAAC-IGZO。此外,对显示装置A及显示装置B都设置实施方式1所说明的监控电路20及校正电路30。

[0525] <1-1. 显示装置所包括的晶体管的特性>

首先,使用图46A和图46B对显示装置A所包括的晶体管的特性进行说明。

[0526] 图46A示出晶体管的通态电流(I_{on})的母体玻璃面内的概率统计,图46B示出晶体管的阈值电压(V_{th})的母体玻璃面内的概率统计。另外,图46A和图46B所示的晶体管的 I_{on} 及 V_{th} 是测定母体玻璃面内的40个晶体管而得到的结果,该晶体管的尺寸为 $L/W=6\mu\text{m}/50\mu\text{m}$ 。

[0527] 另外,在图46A和图46B中,“new CAAC-IGZO”采用沟道区域的氧化物半导体为叠层的结构,“conventional CAAC-IGZO”采用沟道区域的氧化物半导体为单层的结构。另外,显示装置A所包括的晶体管为“new CAAC-IGZO”,对比用的显示装置使用“conventional CAAC-IGZO”。

[0528] 另外,显示装置B所包括的晶体管为上述“new CAAC-IGZO”。

[0529] 如图46A和图46B所示,可确认到:本实施例中制造的显示装置A及显示装置B所包括的晶体管具有高通态电流,其通态电流及阈值电压的面内偏差小。

[0530] <1-2. 显示装置的显示例子>

接着,使用图47及图48A和图48B说明显示装置A及显示装置B的显示例子。

[0531] 图47是显示装置A的显示例子,图48A和图48B显示装置B的显示例子。图48A是展开柔性显示装置的状态的显示例子,图48B是将柔性显示装置三折的状态的显示例子。

[0532] 如图47及图48A和图48B所示那样,本实施例中制造的显示装置A及显示装置B在实际使用上没有问题,可以获得良好的显示。

[0533] <1-3. 显示装置的耗电量>

接着,使用图49及图50说明显示装置A的耗电量。

[0534] 测定了安装在显示装置A中的扫描驱动器(Scan Driver)的耗电量。

[0535] 图49示出安装在显示装置A中的扫描驱动器的电路图。

[0536] 图49所示的扫描驱动器580包括触发器电路F.F.、晶体管M1以及晶体管M2。

[0537] 晶体管M2的栅电极与触发器电路F.F.电连接,晶体管M2的源极和漏极中的一个与被输入时钟信号的端子CLK1电连接,晶体管M2的源极和漏极中的另一个与晶体管M1电连接。晶体管M1的栅电极与触发器电路F.F.电连接。晶体管M1及晶体管M2的源极和漏极中的另一个与扫描线scan line电连接。

[0538] 接着,图50示出图49所示的扫描驱动器的耗电量的评价结果。

[0539] 注意,图50中示出的“new CAAC-IGZO”及“conventional CAAC-IGZO”与图46A和图46B中的标记相同。

[0540] 如图50所示,通过使用包括“new CAAC-IGZO”的晶体管,可以使扫描驱动器的耗电量降低到包括“conventional CAAC-IGZO”的晶体管的耗电量的35%左右。

[0541] 本实施例所示的结构可以与实施方式、其他实施例及参考实例所示的结构适当地

组合而使用。

实施例2

[0542] 在本实施例中,使用图51所示的电路说明对实际上的面板进行温度校正的结果。

[0543] 图51所示的电路包括监控电路20A、校正电路90及像素电路14。

[0544] 监控电路20A及像素电路14具有与上面说明的电路相同的结构,因此在此省略说明。

[0545] <2-1.校正电路>

图51所示的校正电路90包括恒流电路80、转换器电路61、PC91、FPGA92、Buffer93、数字信号传输器94、DVI接收器95、FPGA96、Buffer97以及IC98。

[0546] 转换器电路61可以采用与上述结构相同的结构。

[0547] PC91被用作接口。例如,PC91可以对输出到监控电路20A或像素电路14的阴极电位进行计算。或者,PC91可以编程或者控制输出到像素电路14的数字信号。

[0548] FPGA92是可编程逻辑装置(PLD),具有根据在PC91中编程了的内容产生信号,对所希望的端子分配该信号的功能。另外,Buffer93具有将来自FPGA92的信号反转而输出的功能或者将来自FPGA92的信号不反转而输出的功能。

[0549] 数字信号传输器94例如可以以压缩或不压缩的方式输出 $8K \times 4K$ 或 $4K \times 2K$ 等高分辨率的视频数据。DVI接收器95具有接收来自数字信号传输器94的数字信号的功能。FPGA96具有对所希望的输出端子分配来自DVI接收器95的数字信号的功能。Buffer97具有将来自FPGA96的信号反转而输出的功能或者将来自FPGA96不反转而输出的功能。

[0550] IC98可以使用源极驱动器IC。例如,从Buffer97输出的信号通过IC98输出到像素电路14的数据线(DL_Y)。

[0551] 作为图51所示的电路的驱动方法,例如在将规定的电流流过恒流电路80之后,检测流过监控发光元件21的电流,调整监控发光元件21及发光元件572的阴极电位。

[0552] <2-2.阴极电位的变化给发光元件的亮度带来的影响>

在此,对阴极电位的变化所带来的发光元件的亮度变化进行说明。以下,制造相当于图51所示的监控电路20A的样品。在相当于监控电路20A的样品中,形成有监控发光元件21及监控晶体管22A。

[0553] 对上述制造了的样品所包括的监控发光元件21的亮度-电压特性进行评价。另外,在 70°C 的环境下对监控发光元件21的亮度-电压特性进行该评价。

[0554] 图52示出评价结果。注意,在图52中,纵轴表示亮度,横轴表示阴极电位。

[0555] 如图52所示,当改变阴极电位时,监控发光元件21的亮度线性地变化,可以利用直线使亮度变化近似。

[0556] 另外,可以考虑通过检测流过监控发光元件21的阳极电位并改变像素电路14所包括的发光元件572的阳极电位来控制发光元件572的亮度的变化的方法,但是在晶体管554在饱和区域中进行工作的情况下,即使改变发光元件572的阳极电位也没有产生亮度变化,或者亮度的变化极少。由此,发光元件572的发光亮度主要取决于供应到数据线(DL_Y)的数字信号的电位与发光元件572的阴极电位之间的电位差。

[0557] <2-3.温度校正方法>

接着,使用图53说明监控发光元件21的温度校正的方法。图53是用来说明监控发光元

件21的温度校正的方法的示意图。

[0558] 在图53中,纵轴表示监控发光元件21的阴极电位,横轴表示显示装置的灰度。注意,在图53中,显示装置的灰度为256灰度。另外,将0灰度设定为最小值,将255灰度设定为最大值,并且n表示低灰度一侧,N表示高灰度一侧。

[0559] 如图53所示,有时监控发光元件21的阴极电位的变化量在低灰度一侧(n)时与在高灰度一侧(N)时不同。于是,在室温为“温度RT”,规定的温度为“温度T”,规定的灰度为“灰度k”的情况下,假设在使相当于温度T、灰度k的电流流过监控发光元件21时的监控电位为 $V_{mon}(T,k)$,可以获得下面四个监控电位。

- 低灰度一侧(n), $V_{mon}(RT,n)$
- 低灰度一侧(n), $V_{mon}(T,n)$
- 高灰度一侧(N), $V_{mon}(RT,N)$
- 高灰度一侧(N), $V_{mon}(T,N)$

[0560] 如图53所示,低灰度一侧的校正量比高灰度一侧小,因此监控发光元件21的阴极电位以低灰度一侧的监控电位为基准,即可。由此,使监控发光元件21的阴极电位变化下面算式(1)表示的量,即可。注意,在算式(1)中, α 表示校正系数。

[0561] [算式1]

$$\{V_{mon}(T,n)-V_{mon}(RT,n)\} \times \alpha \quad (1)$$

[0562] 由于灰度越大,温度T与温度RT之间的监控电位的差异越大,因此对数字信号进行校正,校正的量相当于监控电位的差异中增加的量。数字信号的变化量可以以下面算式(2)表示。注意,在算式(2)中, α 及 β 表示校正系数。

[0563] [算式2]

$$\frac{n-k}{N-n} \left[\alpha \times \{V_{mon}(T,N)-V_{mon}(RT,N)\} - \beta \times \{V_{mon}(T,n)-V_{mon}(RT,n)\} \right] \quad (2)$$

[0564] 由此,在图51所示的电路结构中,作为温度的校正方法,对应于环境的温度而对监控发光元件21的阴极电位及发光元件572的阴极电位进行校正。另外,为了进行监控发光元件21的温度校正,在发光元件572中,通过利用数字信号的电位的校正对阴极电位的校正不足的部分进行校正,可以调整发光元件572的发光亮度。

[0565] 注意,在本实施例中,例示出对发光元件的阴极电位及数字信号的电位的双方进行校正的情况,但是本实施方式不局限于此,例如也可以采用只对发光元件的阴极电位进行校正的结构或者对发光元件的阳极电位进行校正的结构。但是,如本实施例所记载那样,优选对阴极电位及数字信号的电位的双方进行校正。

[0566] <2-4.发光元件的亮度-灰度特性的结果>

接着,说明利用上述温度校正方法获得的发光元件的亮度-灰度特性。

[0567] 在此,制造三个样品(样品A1至样品A3),对该样品的亮度-灰度特性进行评价。图54示出样品A1至样品A3的亮度-灰度特性的结果。

[0568] 另外,在图54中,样品A1示出没有进行温度校正且在室温下进行测量的结果,样品A2示出进行温度校正且在60℃下进行测量的结果,样品A3示出没有进行温度校正且在60℃下进行测量的结果。

[0569] 如图54所示那样,确认到:当对本实施例中制造的样品A2进行温度校正时,样品A2的发光元件的亮度与基准的样品A1的发光元件的亮度大致一致。

[0570] 本实施例所示的结构可以与实施方式、其他实施例或参考例所示的结构适当地组合而使用。

[0571] (参考实例)

在本参考实例中,使用图55所示的电路说明如下测量的结果:对监控电路20A所包括的监控发光元件21及监控晶体管22A的温度依赖性进行评价,对实际上的面板进行温度校正。

[0572] <3-1.温度校正电路>

图55是用来说明在本参考实例中使用的结构的电路图。图55所示的电路包括恒流电路80及监控电路20A。

[0573] 恒流电路80包括电阻器81至85及放大电路88、89。

[0574] 电阻器81的一对电极中的一个与放大电路88的第一输入端子电连接,电阻器81的一对电极中的另一个与放大电路89的输出端子电连接。电阻器82的一对电极中的一个与电阻器81的一对电极中的另一个及放大电路89的输出端子电连接,电阻器82的一对电极中的另一个与放大电路89的第二输入端子电连接。电阻器83的一对电极中的一个与放大电路88的输出端子电连接,电阻器83的一对电极中的另一个与放大电路89的第一输入端子电连接。放大电路88的第二输入端子与放大电路88的输出端子电连接。电阻器83的一对电极中的另一个及放大电路89的第一输入端子与电阻器84电连接,电阻器82的一对电极中的另一个及放大电路89的第二输入端子与电阻器85电连接。

[0575] 监控电路20A具有与上述实施方式1所示的监控电路20A相同的结构。

[0576] 电阻器81的一对电极中的一个与监控电路20A所包括的端子26电连接,产生在恒流电路80中的电压通过端子26供应到监控晶体管22A及监控发光元件21。

[0577] 监控电路20A所包括的端子24与转换器电路61连接。端子24通过转换器电路61与存储电路62连接。

[0578] <3-2.温度校正电路的概念>

接着,使用图56说明对图55中的电路所包括的监控晶体管22A及监控发光元件21供应恒流时产生的电压。

[0579] 图56是说明监控晶体管22A及监控发光元件21的电流-电压(I-V)特性的概念的图。

[0580] 在图56中,纵轴表示电流(I),横轴表示电压(V)。

[0581] 图56相当于示出图55所示的节点A的电流-电压(I-V)特性,主要为节点A的电位(V_{total})的特性的示意图。节点A的电位(V_{total})是指对监控晶体管22A供应恒流时产生的电压(V_d)与对监控发光元件21供应恒流时产生的电压(V_{oled})的总和。就是说,可以以 $V_{total}=V_d+V_{oled}$ 表示。另外,在图56中,电压(V_{total})是在两个温度(低温及高温)下测定的,以实线表示低温时的 $V_d(L)$ 及 $V_{oled}(L)$,以虚线表示高温时的 $V_d(H)$ 及 $V_{oled}(H)$ 。另外,图56中表示的 I_{const} 是指某个基准的电流。

[0582] 如图56所示,在低温下监控晶体管22A的阈值及监控发光元件21的阈值都高,使 I_{const} 流过时的 V_{total} 大。另外,如图56所示,在低温下 V_d 大,在高温下 V_d 小。就是说,以 $V_d(L)$ 与 $V_d(H)$ 之间的变化量(ΔV_d)使监控发光元件21的阴极的电位变化,即可。

[0583] <3-3.温度依赖性的评价>

接着,制造样品B1及样品B2,对样品B1及样品B2的温度依赖性进行评价。样品B1及样品B2采用与上述实施例所示的显示装置B相同的规格。注意,在本参考实例中,对形成在玻璃衬底上的样品进行评价。另外,样品B1是对比用的样品,没有进行温度校正。另一方面,样品B2是进行温度校正的样品。

[0584] 另外,在样品B1及样品B2中,形成有相当于实施方式1的图9所示的像素电路14的电路。由此,下面使用图9所示的符号进行说明。

[0585] 在样品B1及样品B2中,随着温度高,发光元件572的阈值电压(V_{th})向负方向漂移,供应到晶体管554的源电极的电位降低,晶体管554的栅电极与漏电极之间的电位(V_{gs})变大。另外,晶体管554的阈值电压(V_{th})向负方向漂移,流过晶体管554的电流变大。

[0586] 于是,使用图55所示的监控电路20A,测定监控发光元件21及监控晶体管22A的 V_{total} 的温度依赖性,用该测定的结果对晶体管554及发光元件572进行反馈。具体地说,在该反馈中以如下方式进行校正:以相当于在监控电路20A中测定出的 V_{total} 的降低量提高发光元件572的阴极的电位,来降低供应到晶体管554的电位(V_{gs})。

[0587] 图57示出样品B1及样品B2的测定结果。在图57中,纵轴表示亮度(L),横轴表示温度($^{\circ}C$)。

[0588] 如图57所示,确认到进行了温度校正的样品B2与没有进行温度校正的样品B1相比,亮度的温度依赖性得到降低。

[0589] 本参考实例所示的结构可以与实施方式及实施例所示的结构适当地组合而使用。

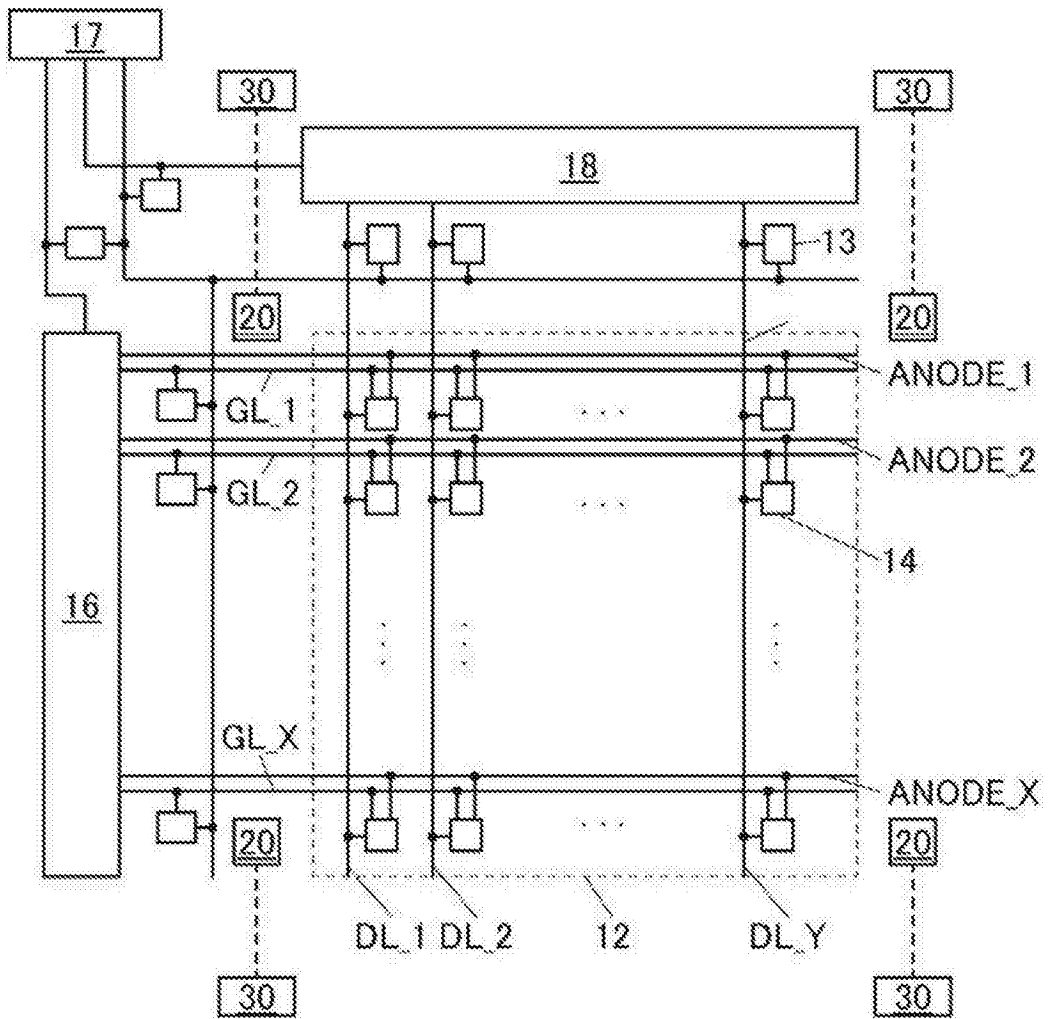


图1

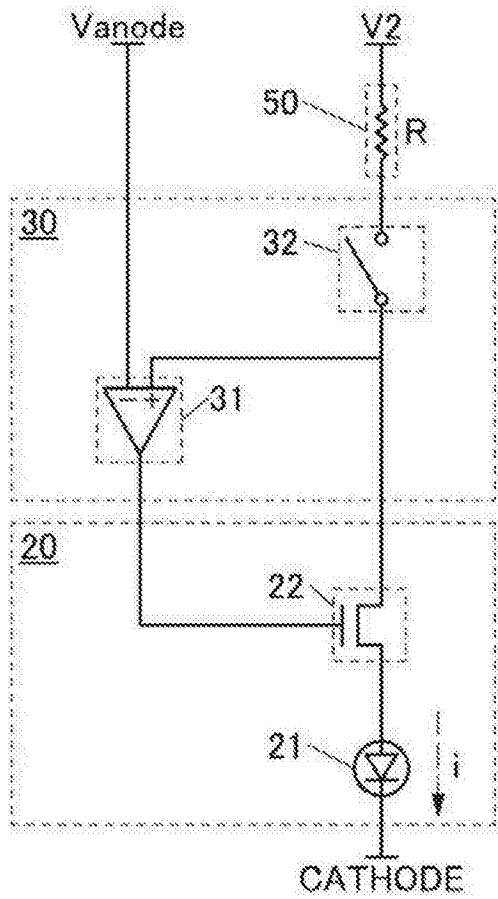


图2

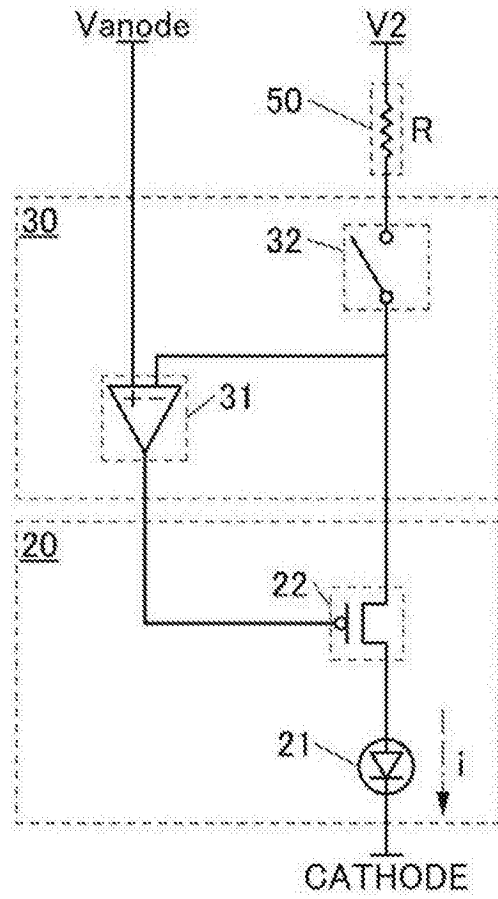


图3

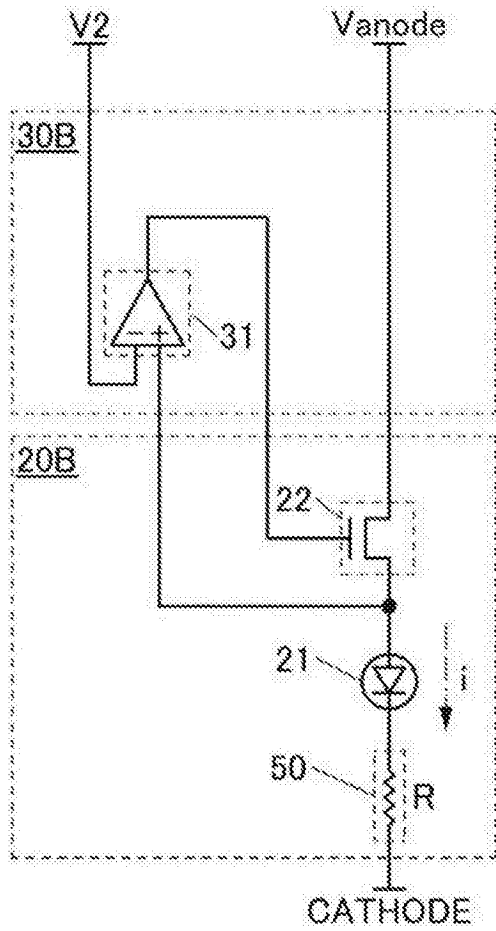


图4

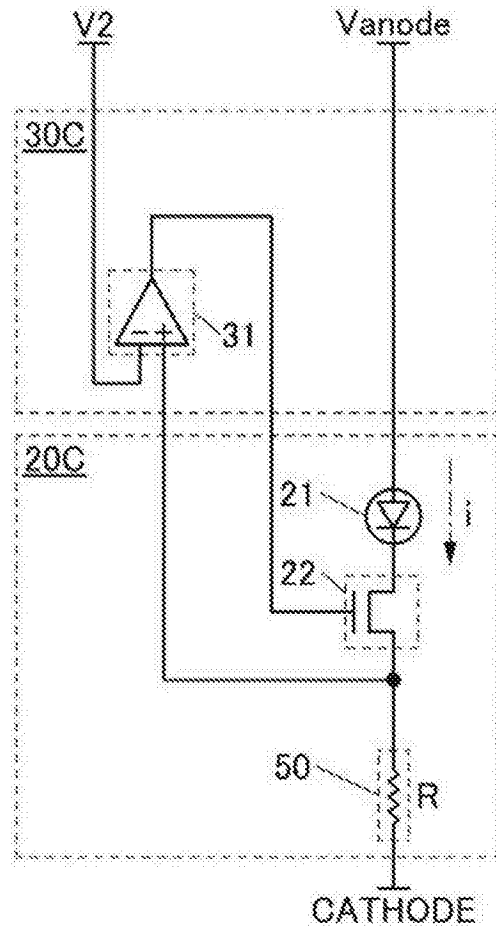


图5

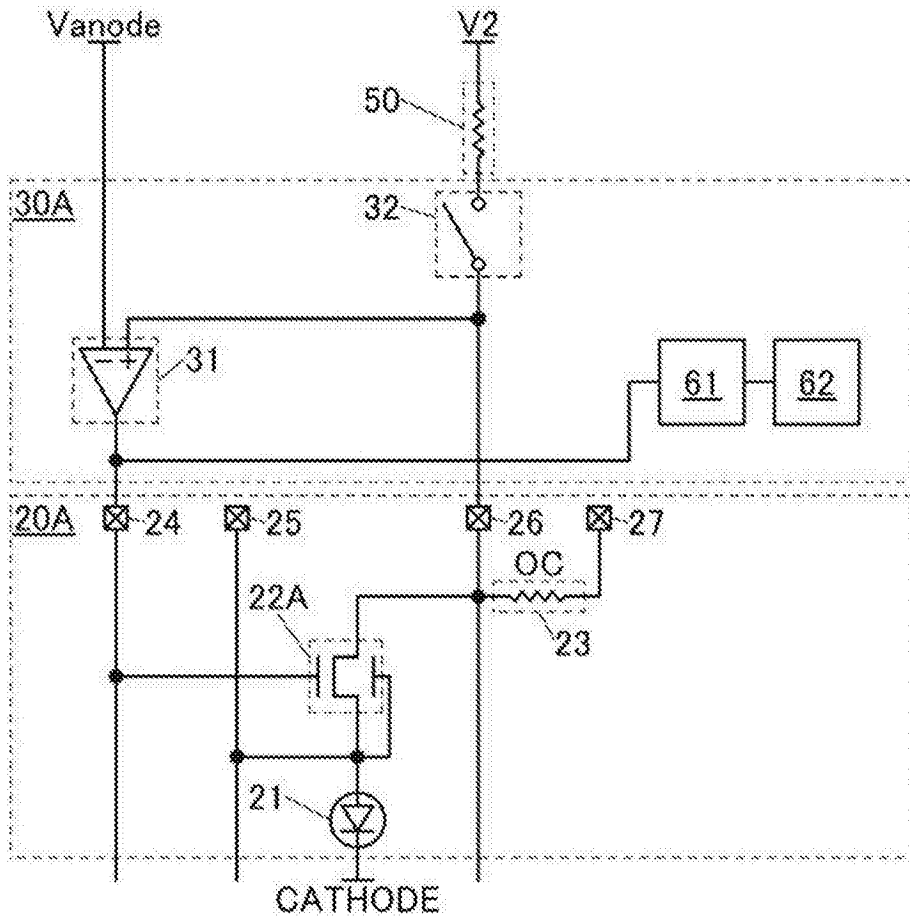


图6

950

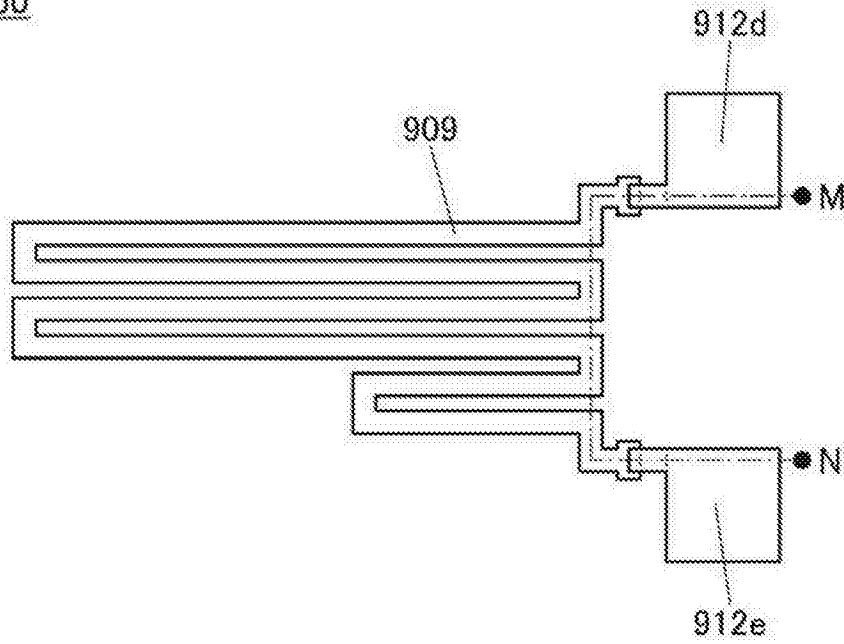


图7A

950

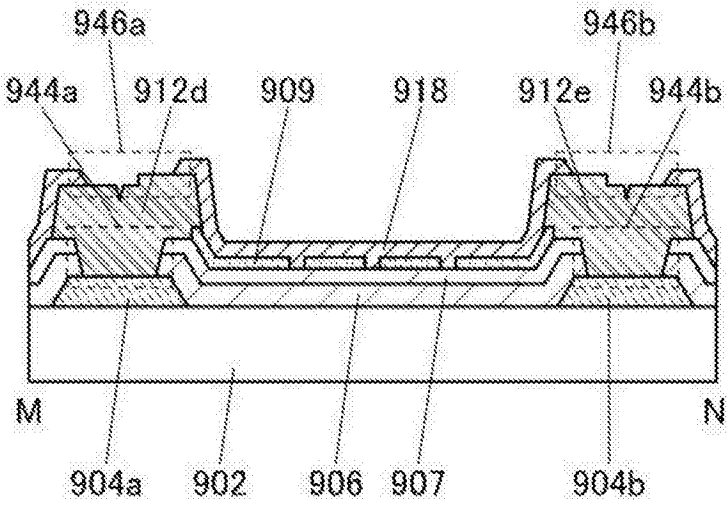


图7B

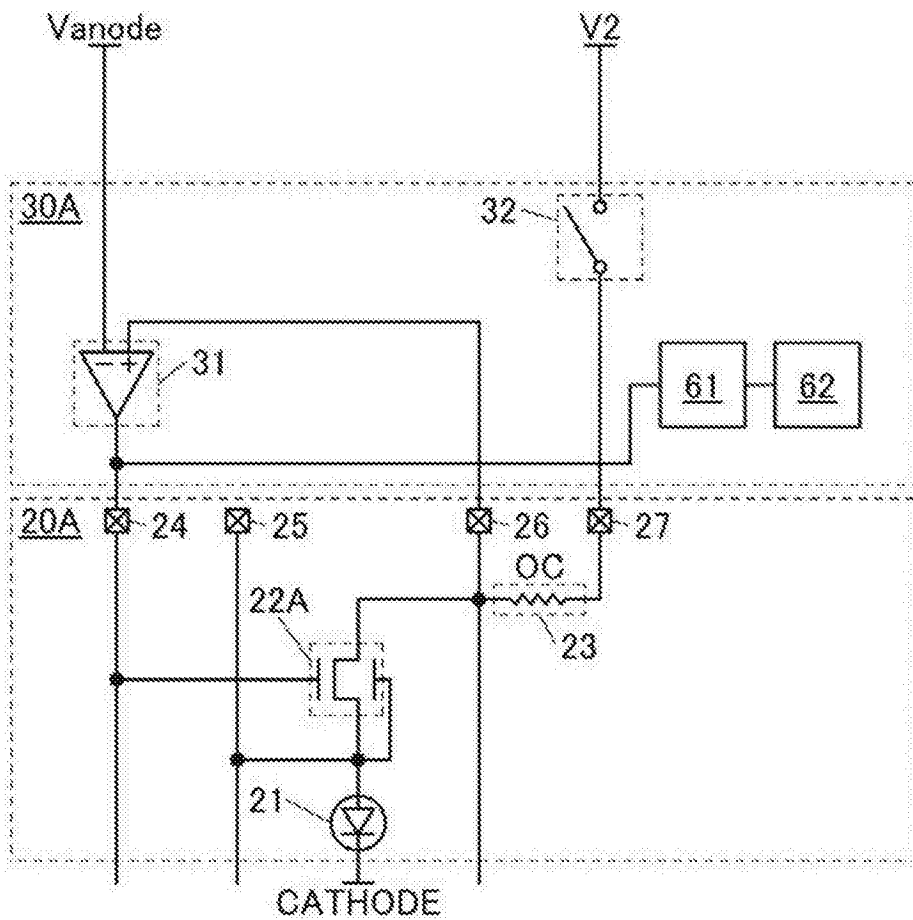


图8

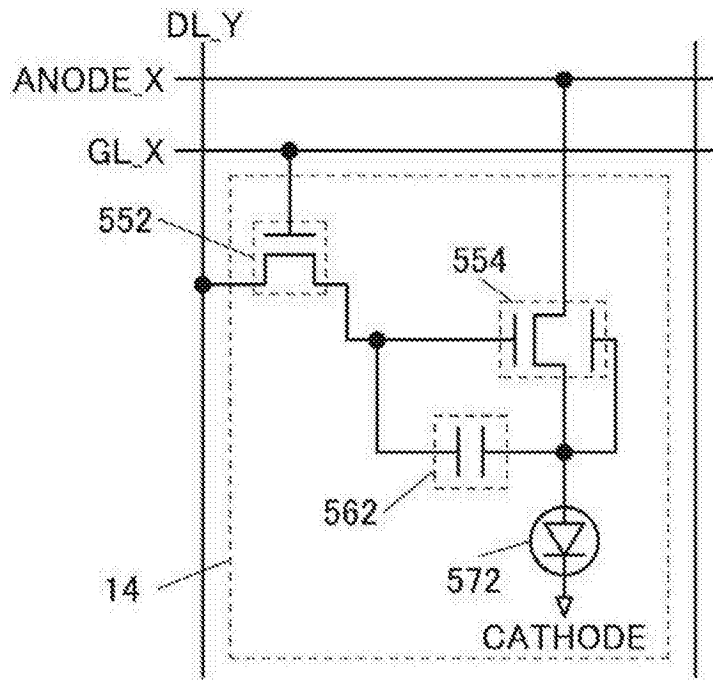


图9

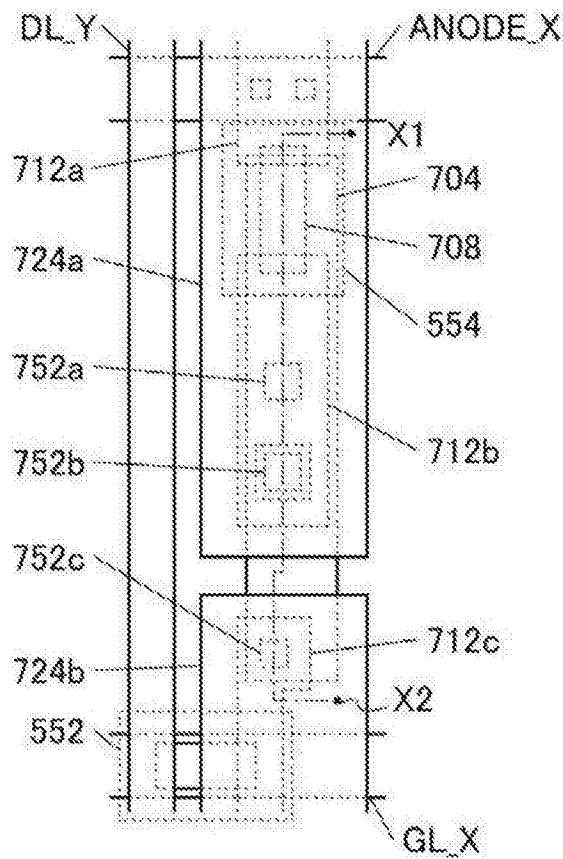


图10A

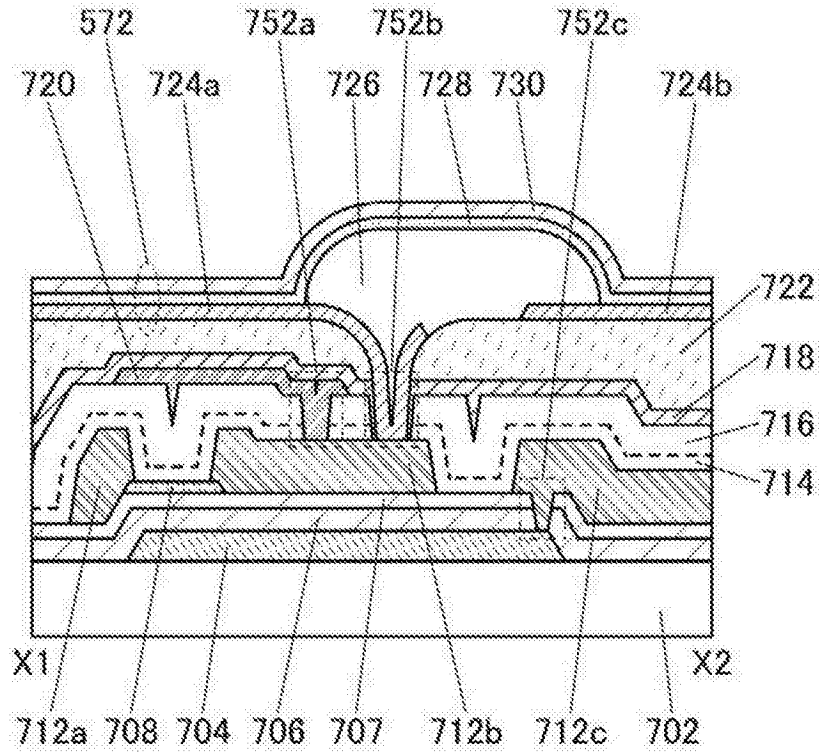


图10B

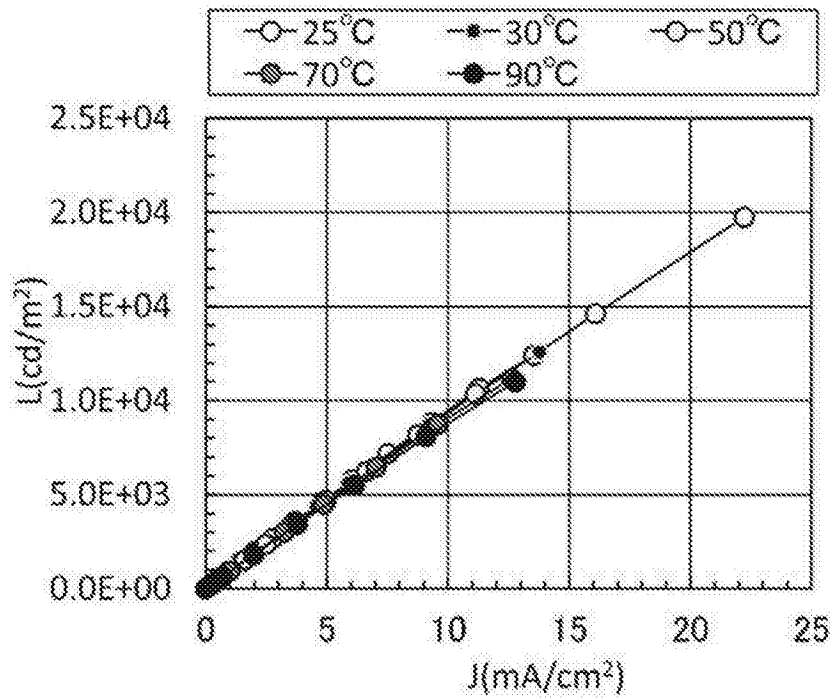


图11A

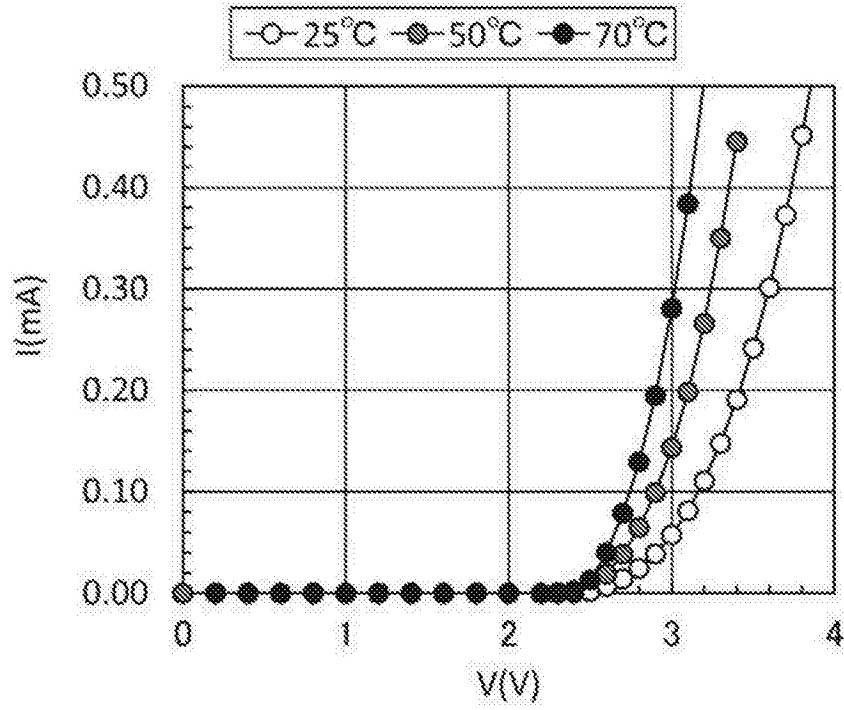


图11B

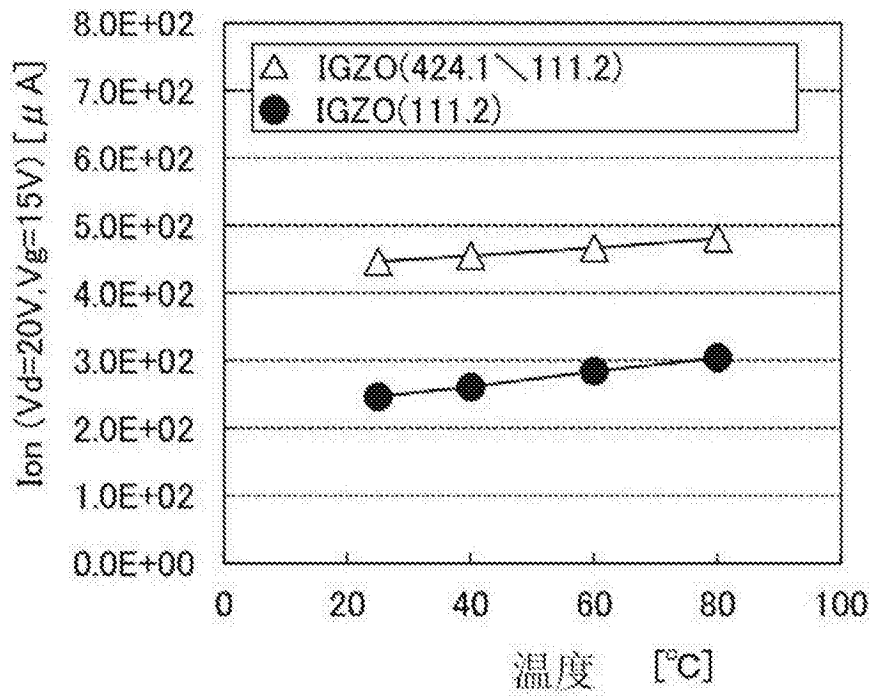


图12

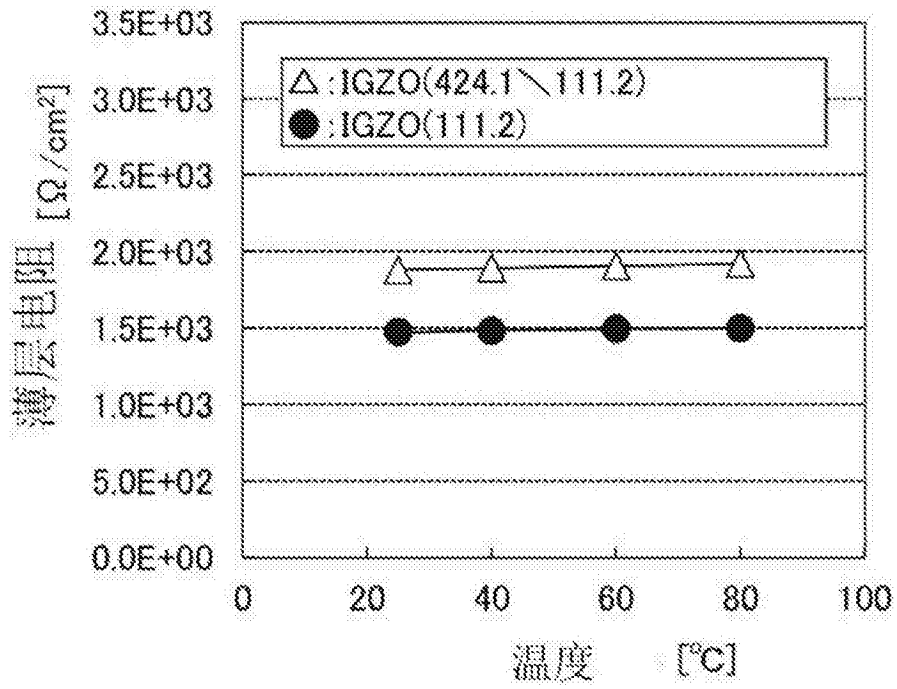


图13

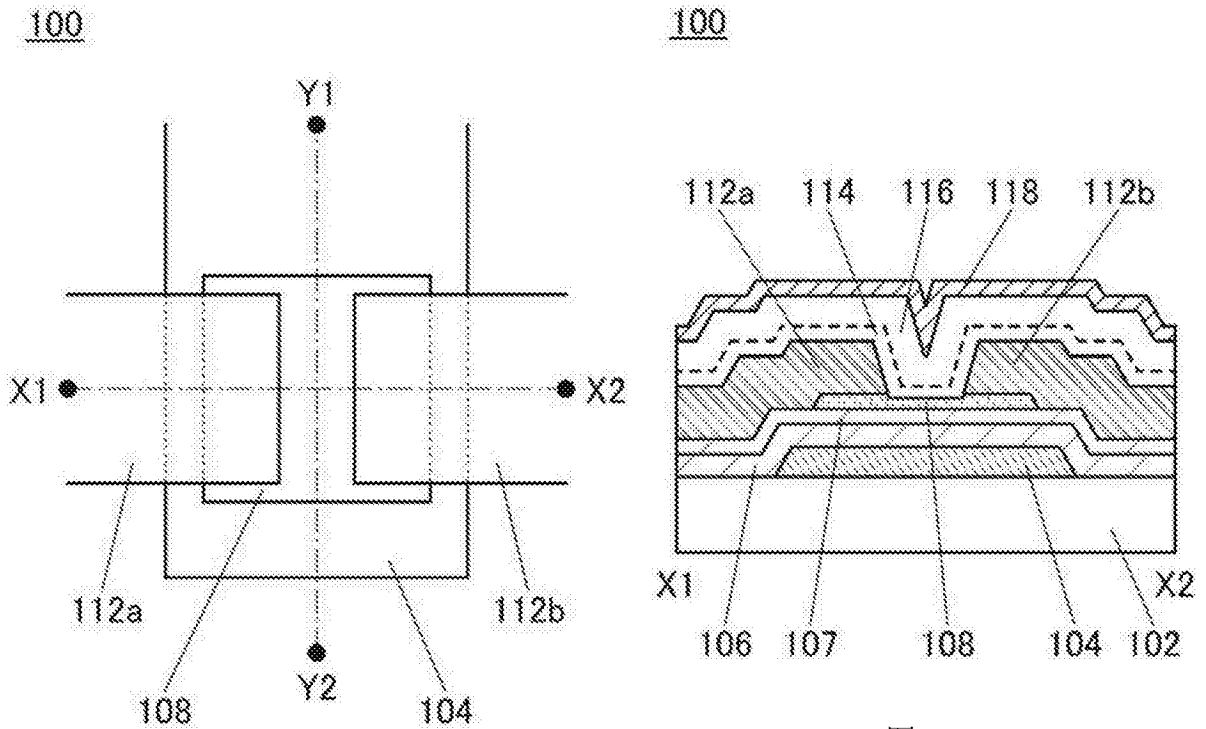


图14A

图14B

100

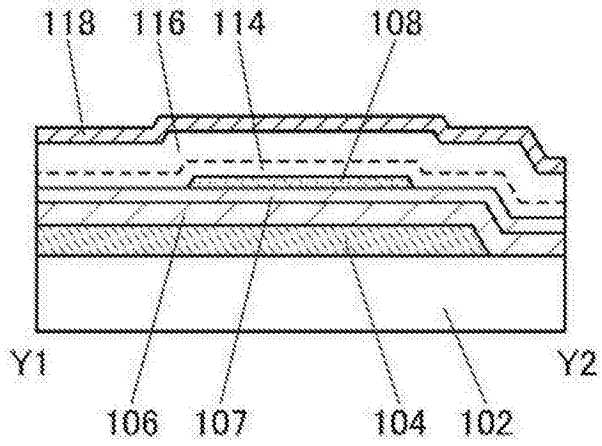


图14C

150

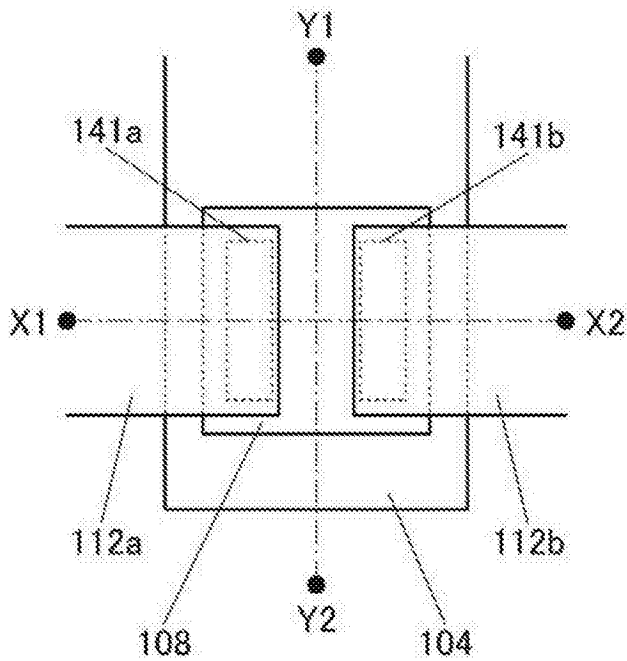


图15A

150

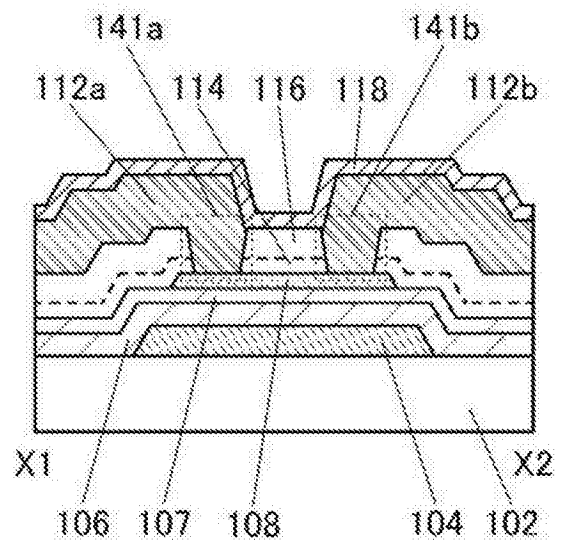


图15B

150

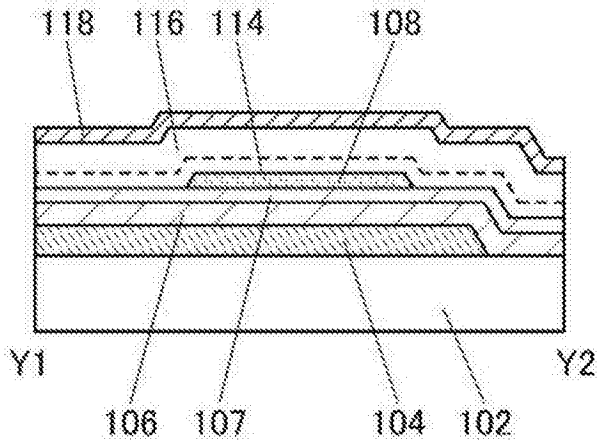


图15C

160

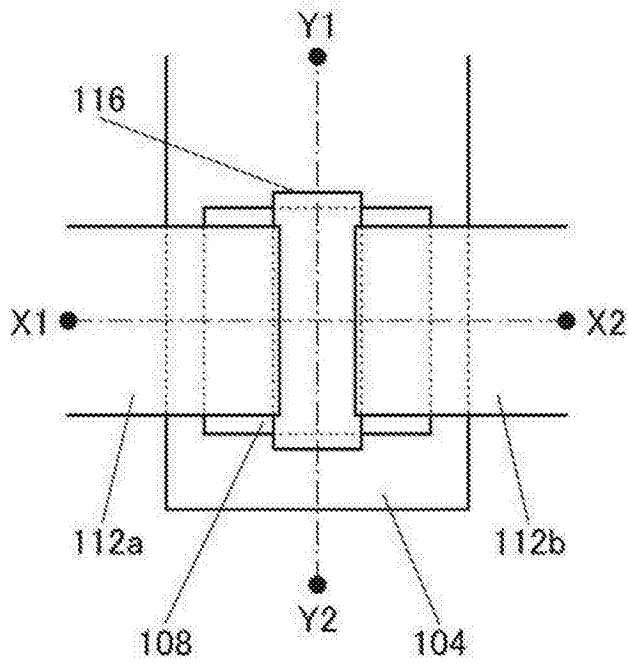


图16A

160

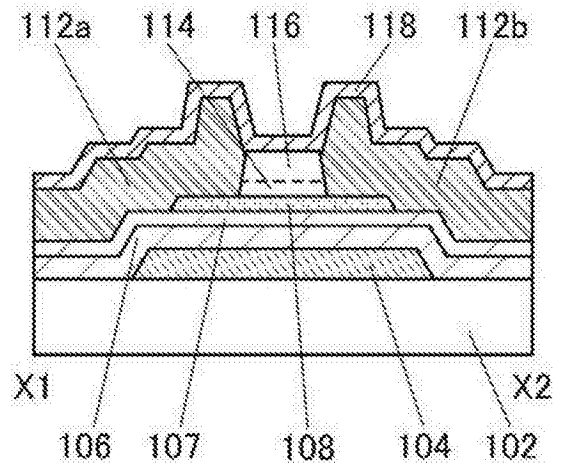


图16B

160

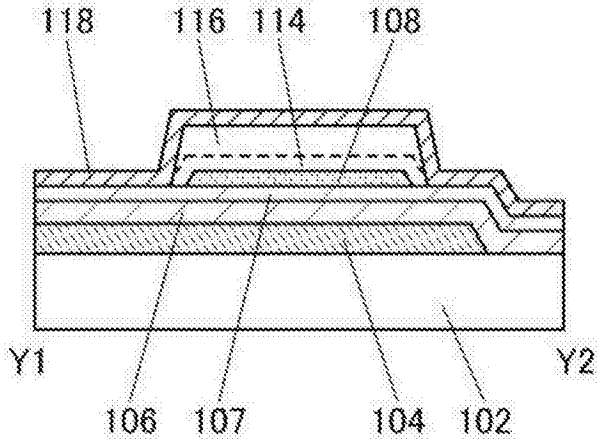


图16C

170

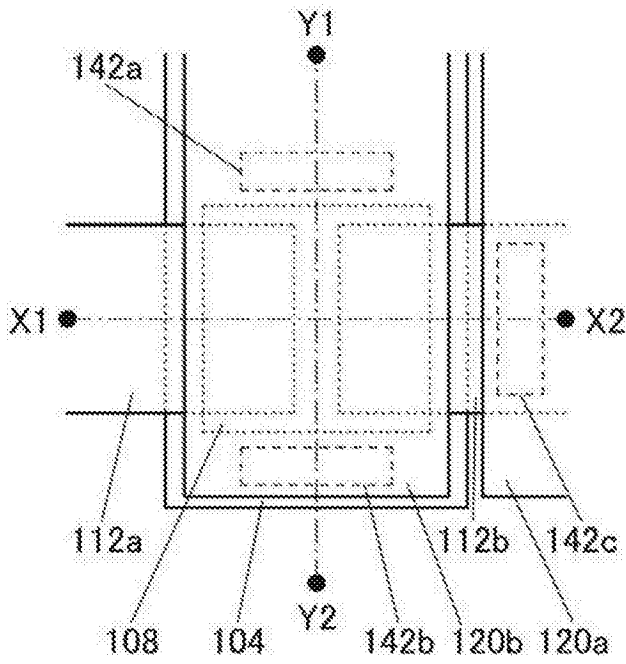


图17A

170

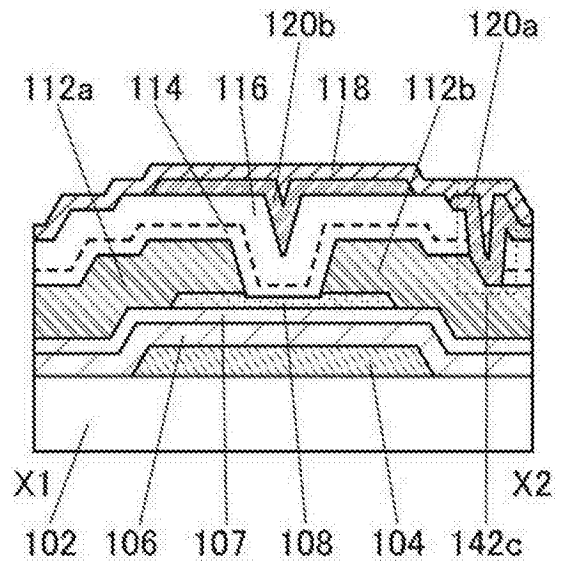


图17B

170

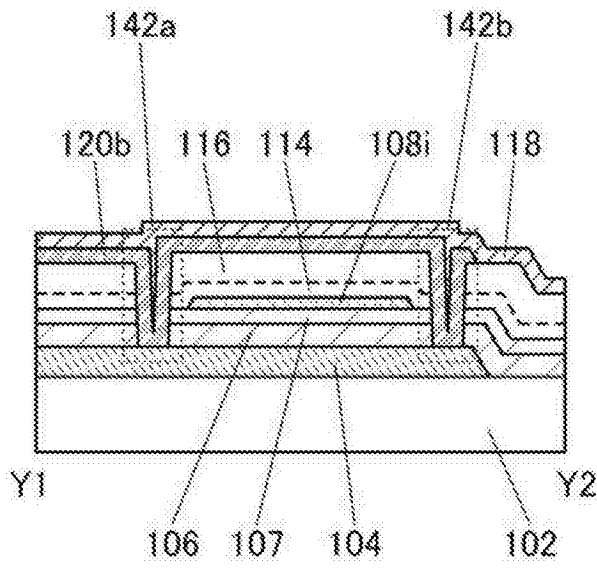


图17C

180

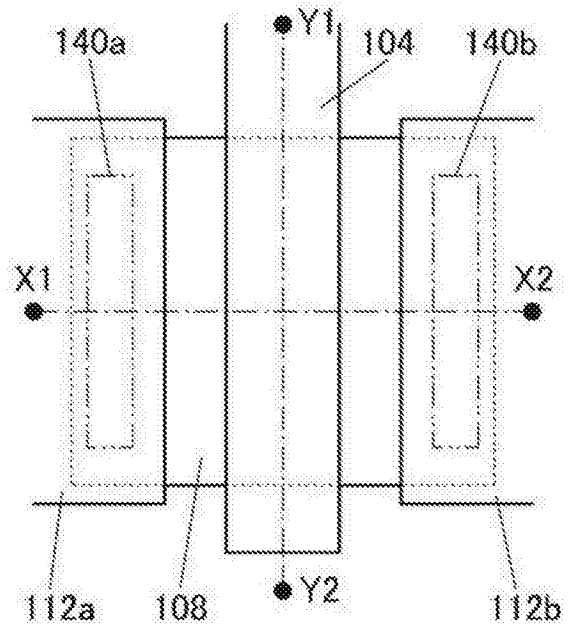


图18A

180

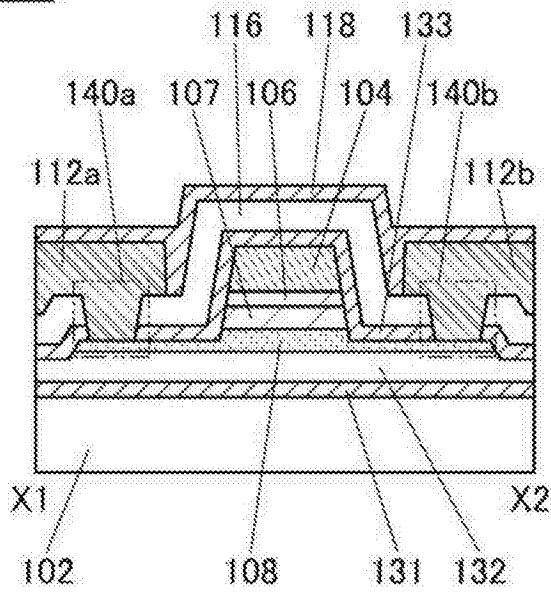


图18B

180

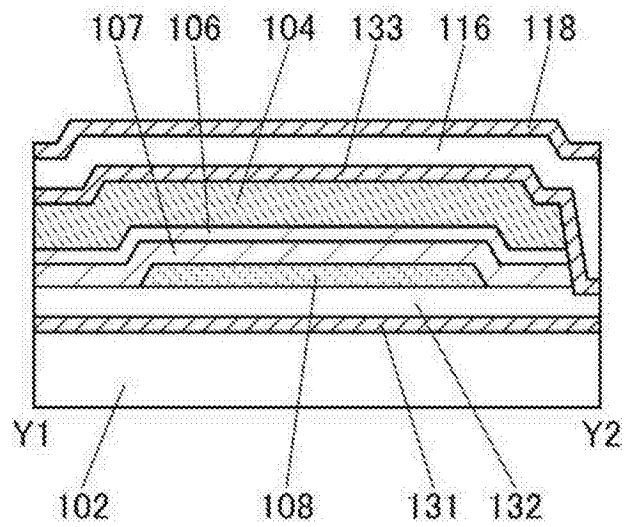


图18C

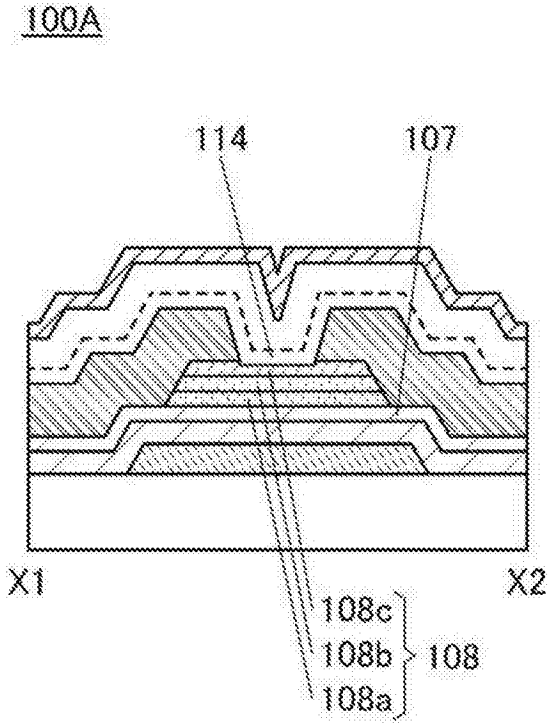


图19A

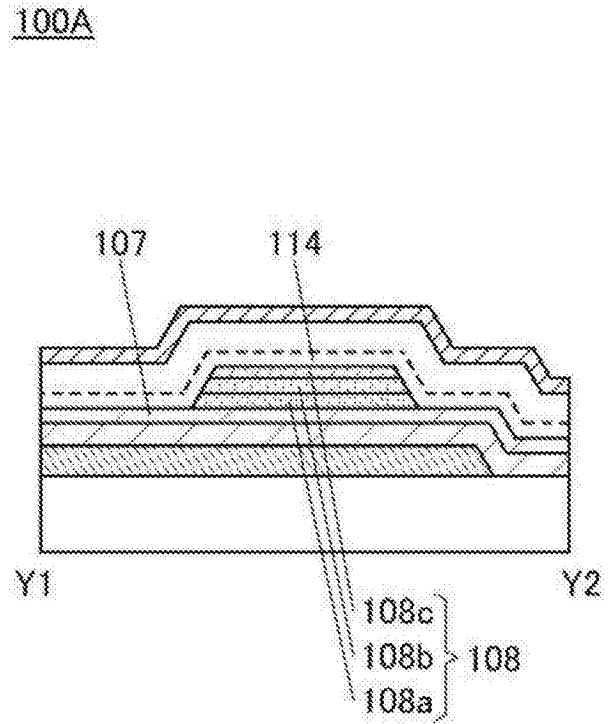


图19B

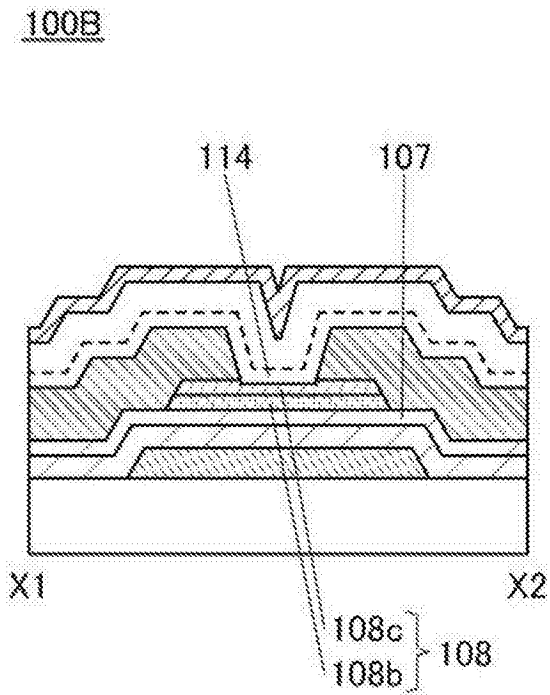


图19C

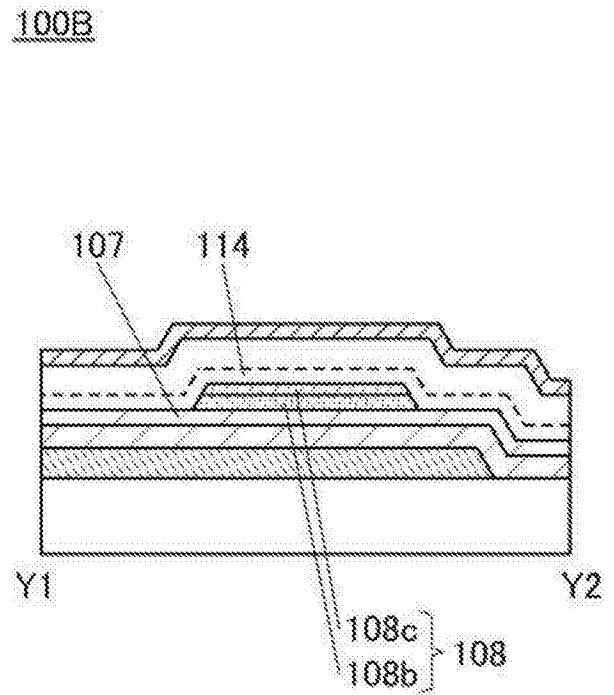


图19D

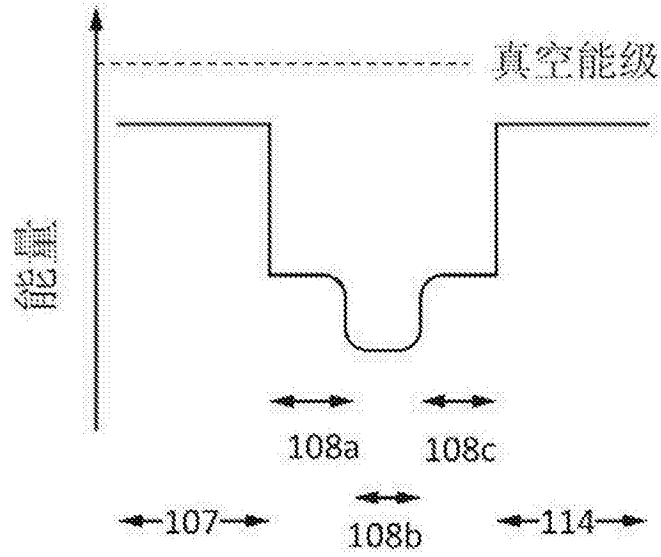


图20A

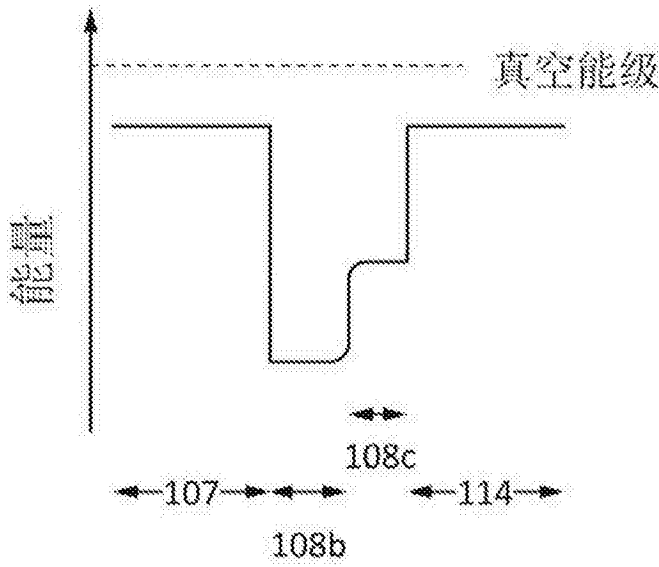


图20B

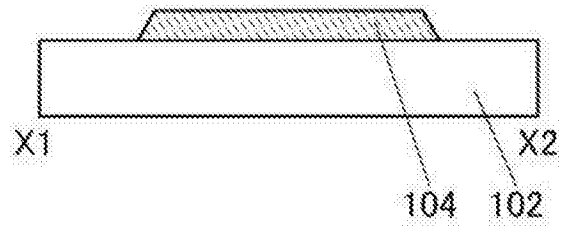


图21A

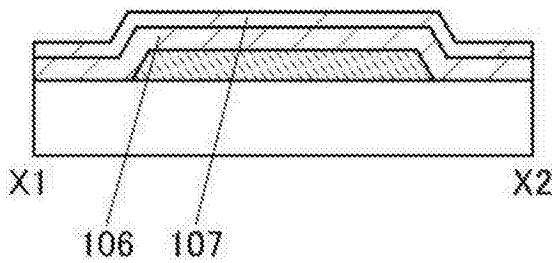


图21B

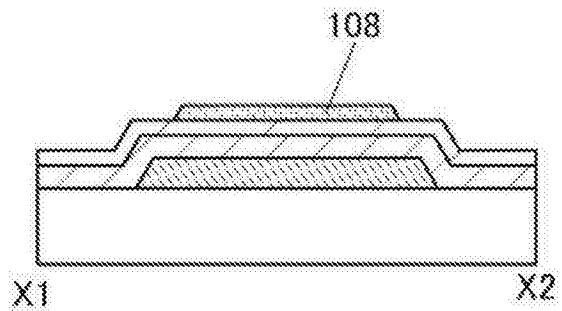


图21C

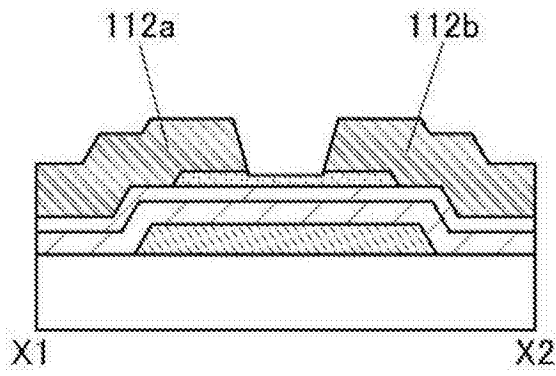


图21D

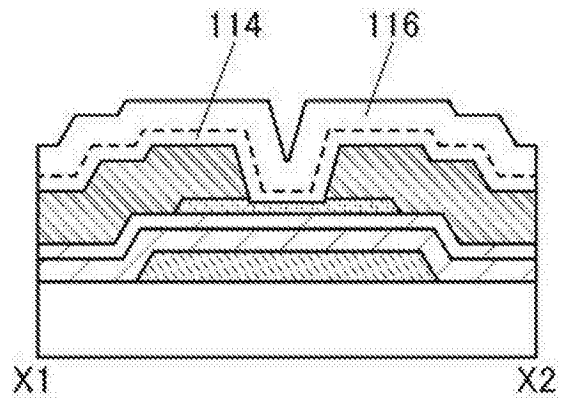


图22A

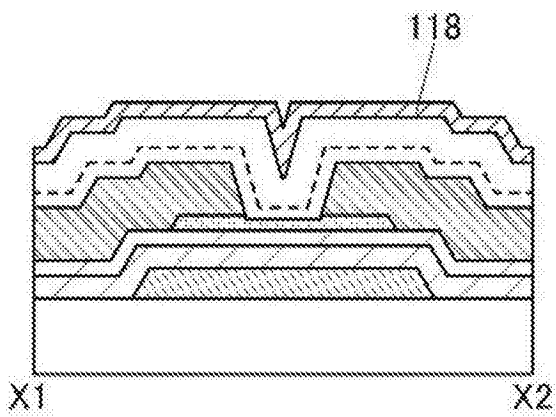


图22B

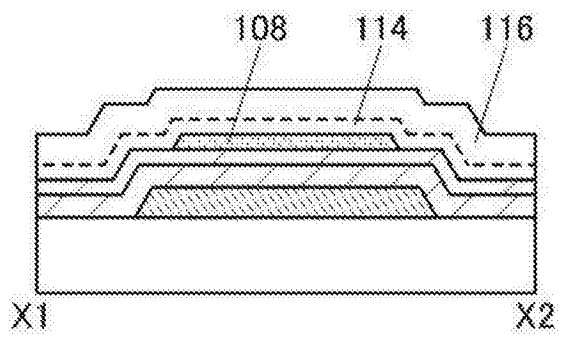


图23A

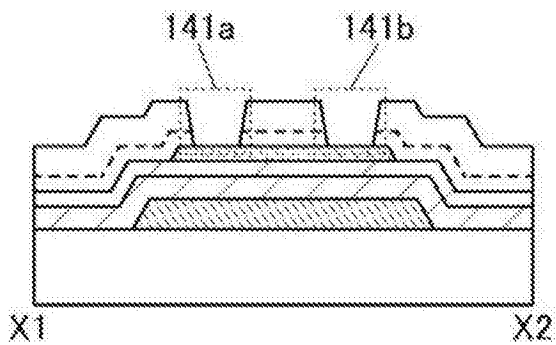


图23B

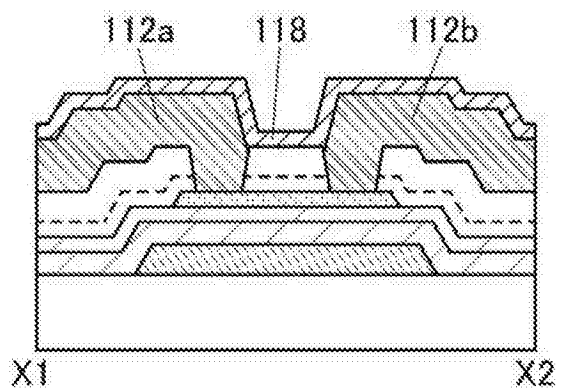


图23C

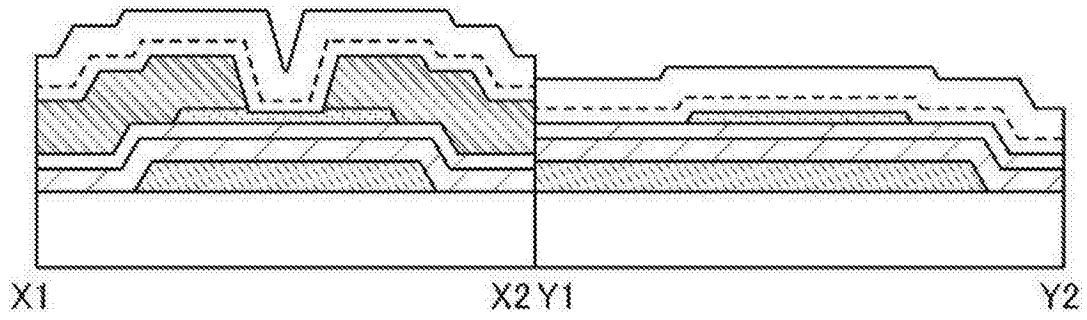


图24A

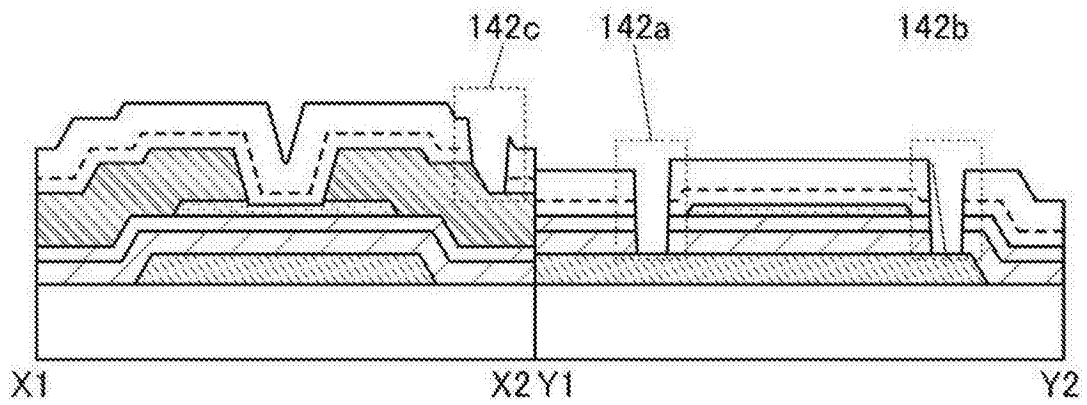


图24B

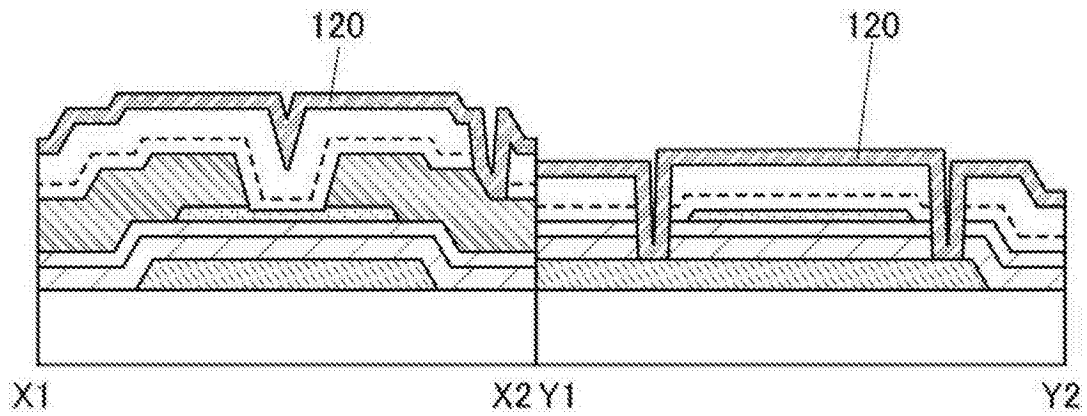


图24C

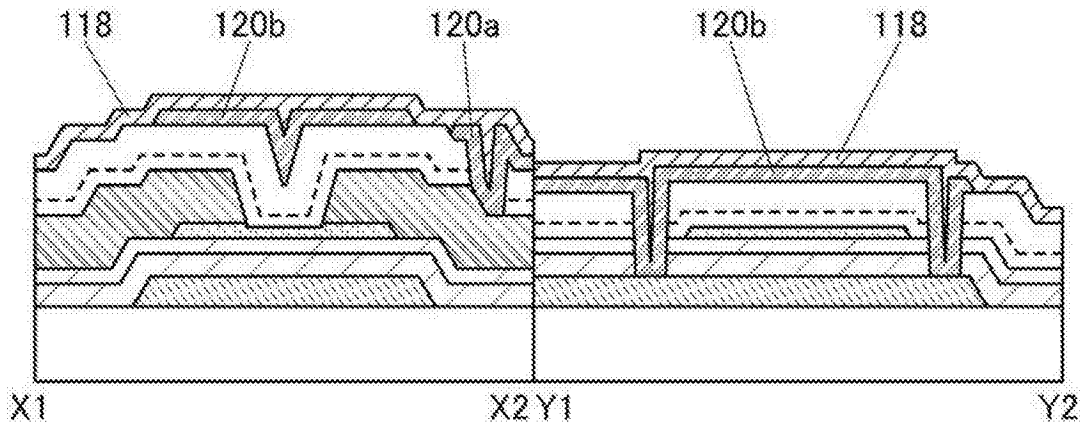


图24D

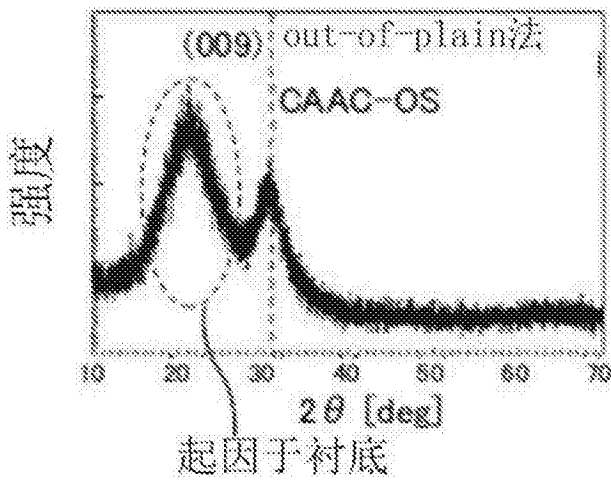


图25A

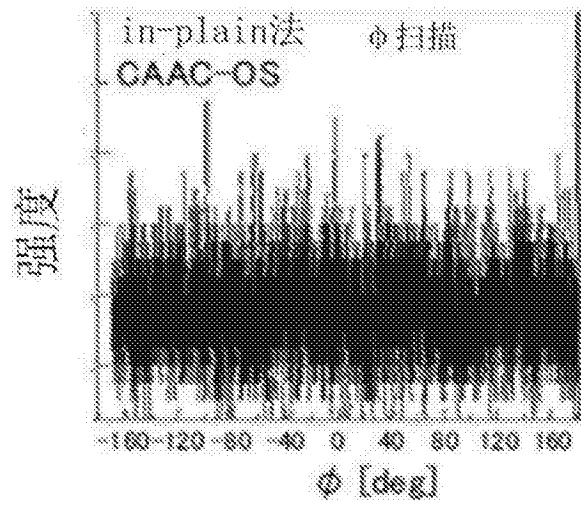


图25B

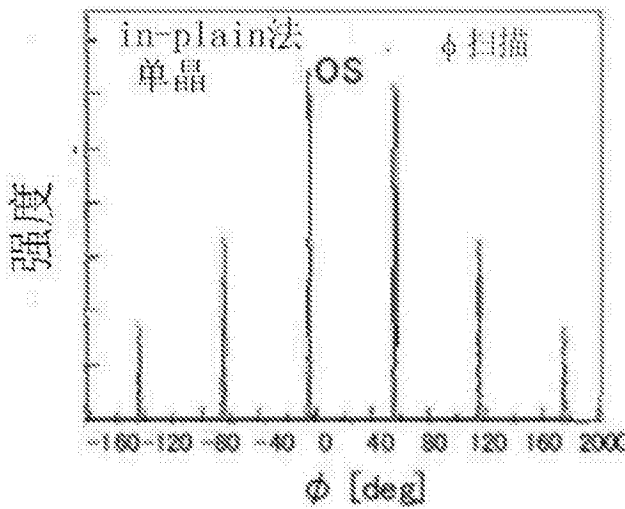


图25C

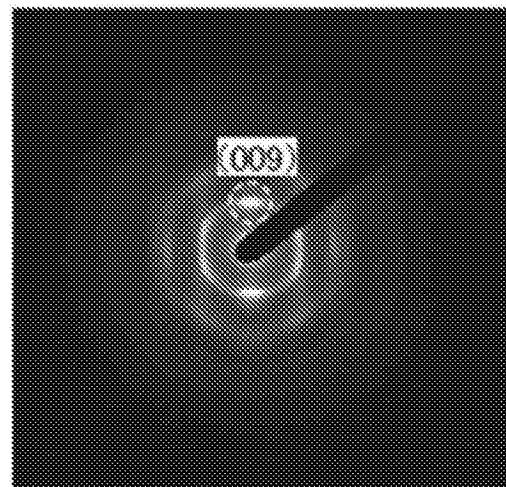


图25D

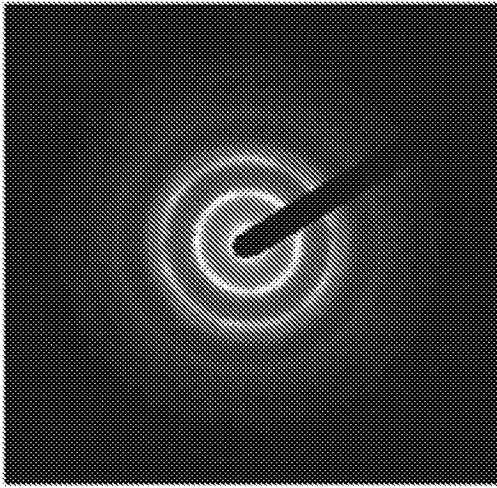


图25E

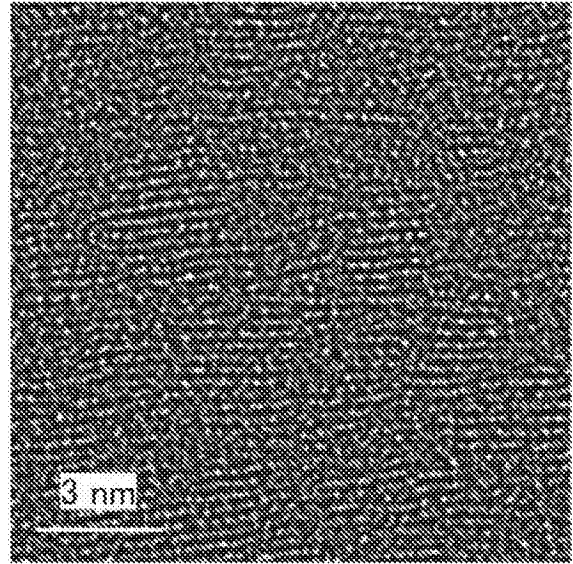


图26A

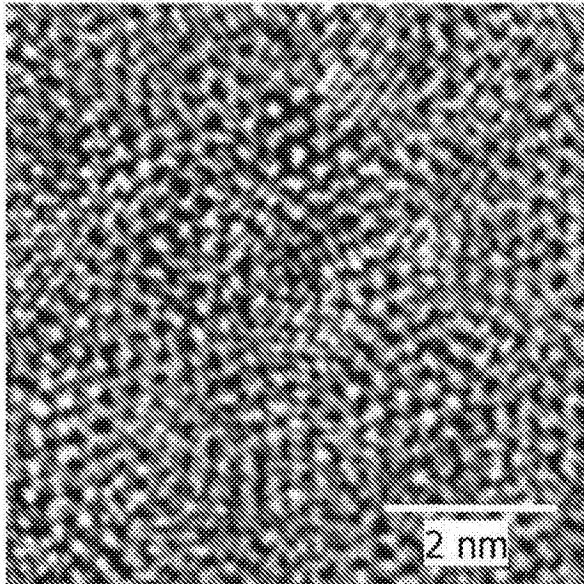


图26B

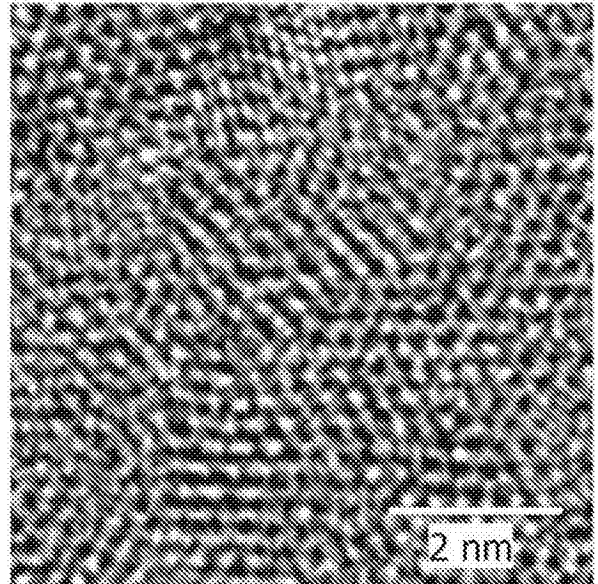


图26C

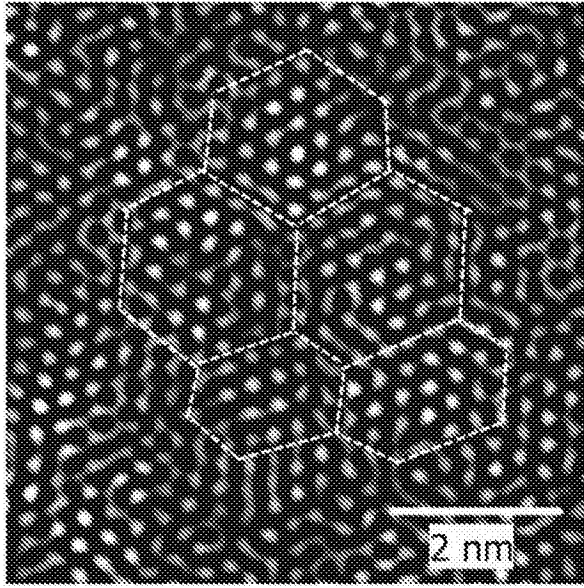


图26D

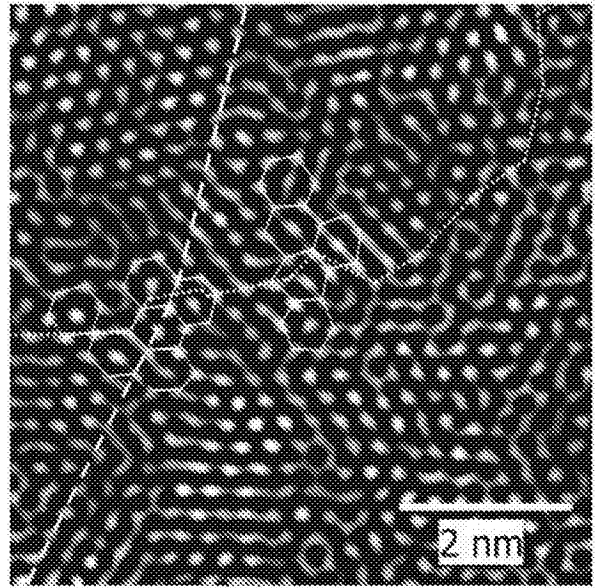


图26E

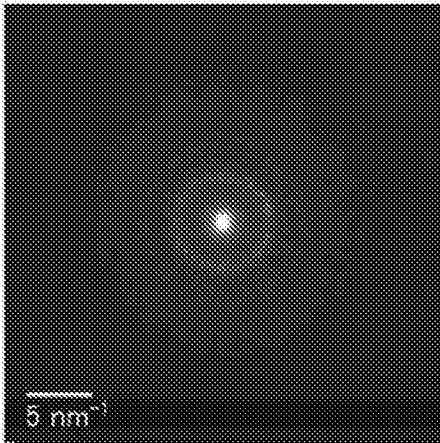


图27A

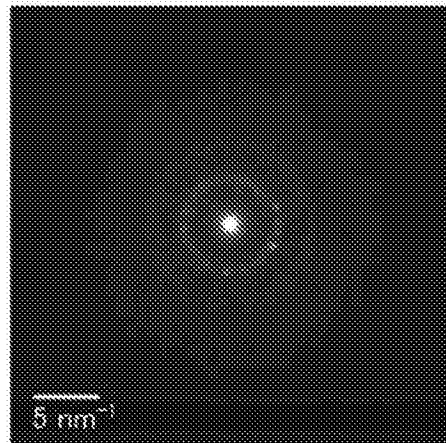


图27B

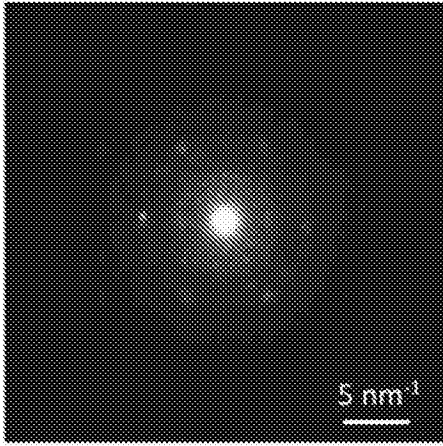


图27C

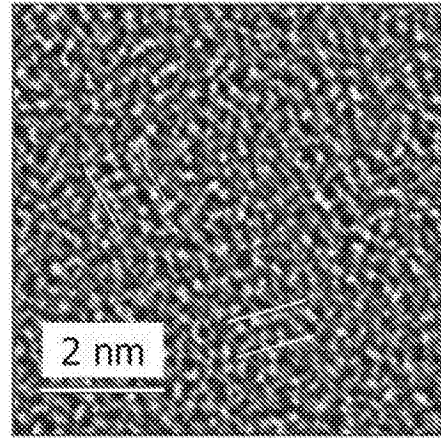


图27D

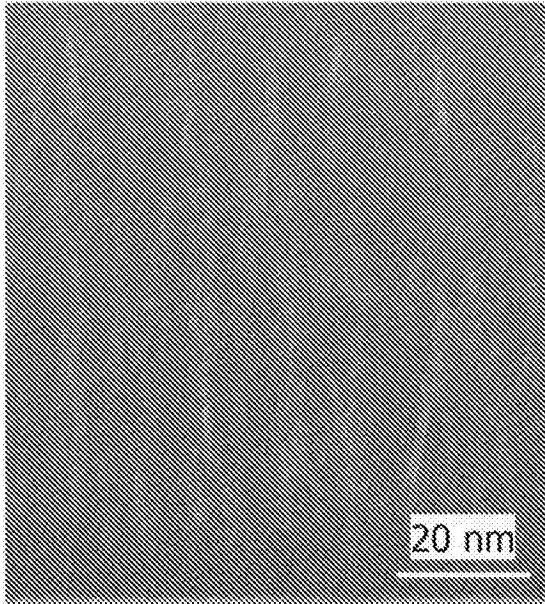


图28A

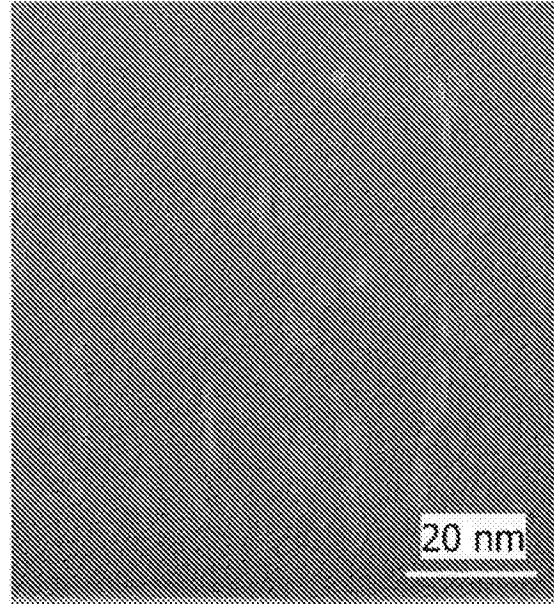


图28B

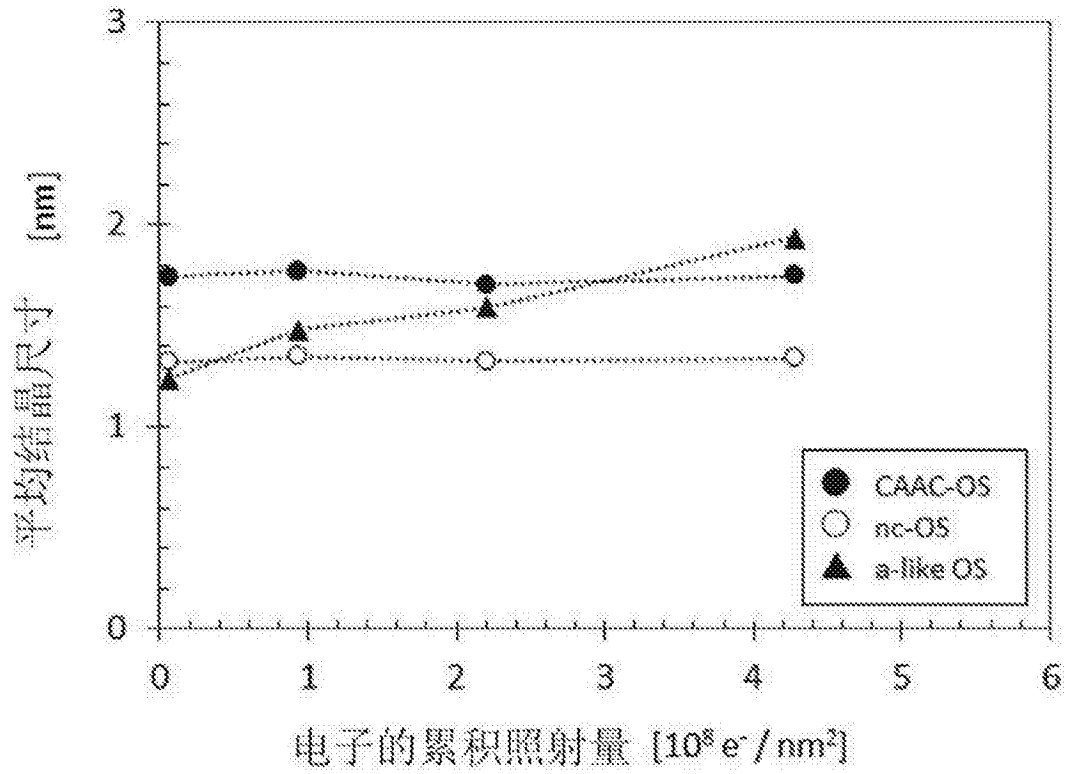


图29

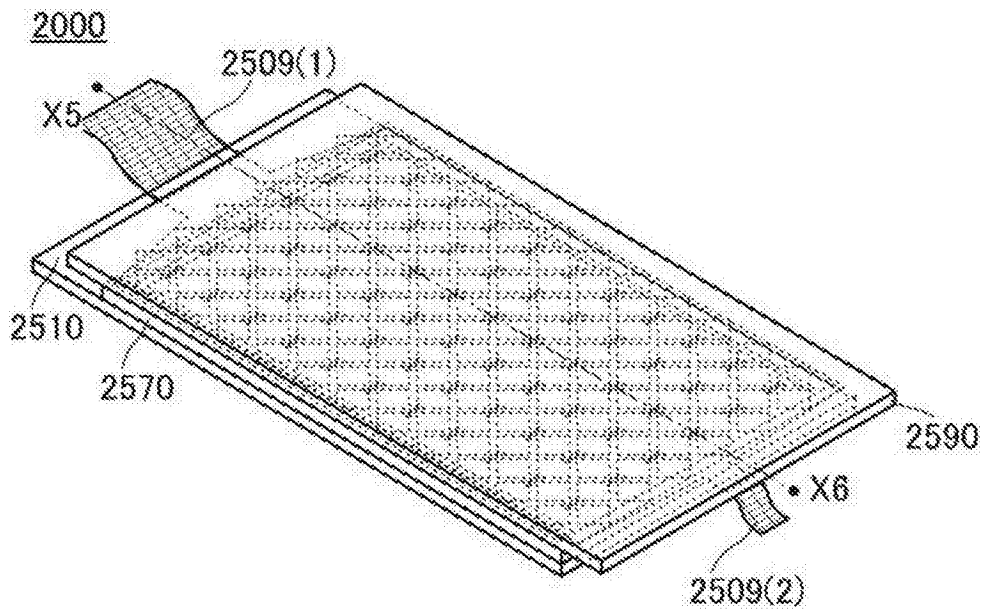


图30A

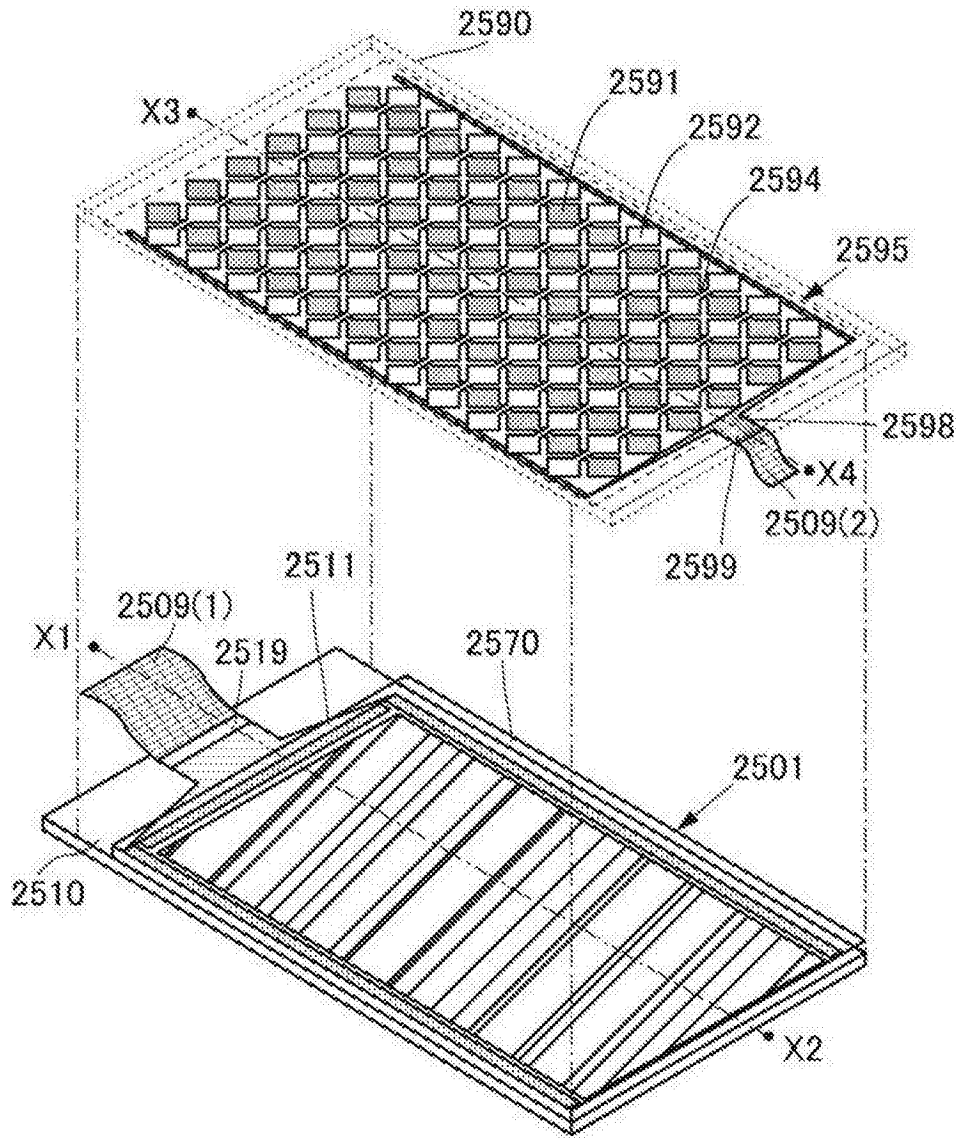


图30B

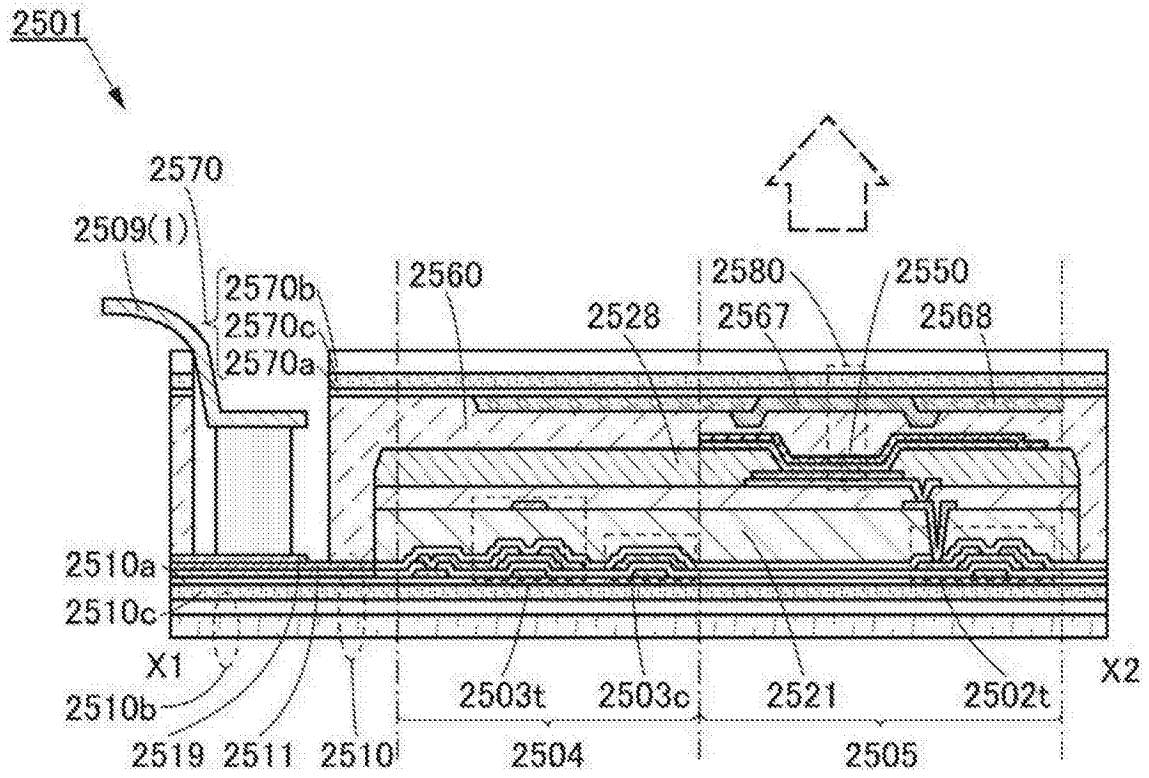


图31A

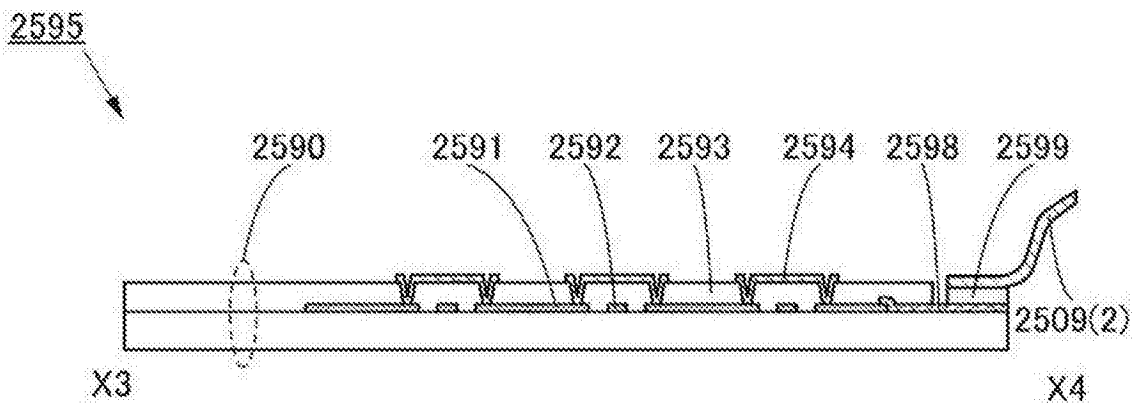


图31B

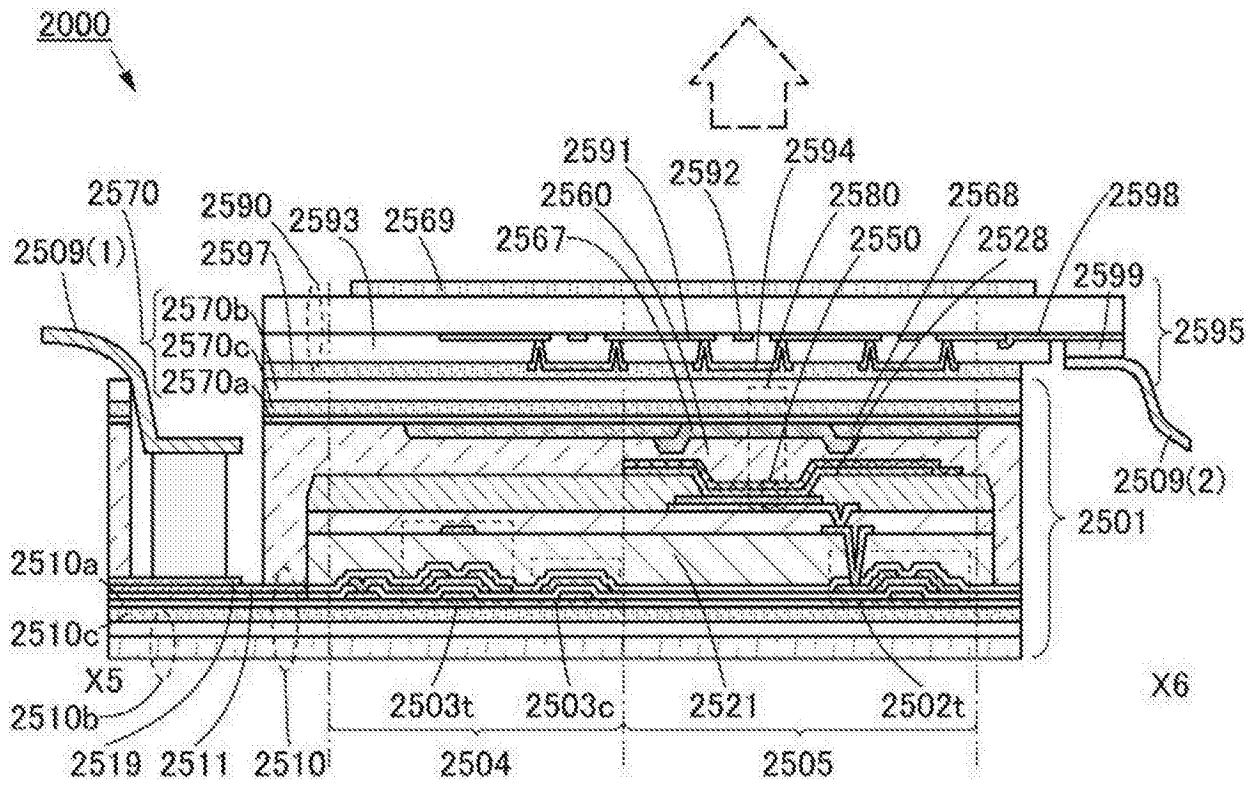


图32A

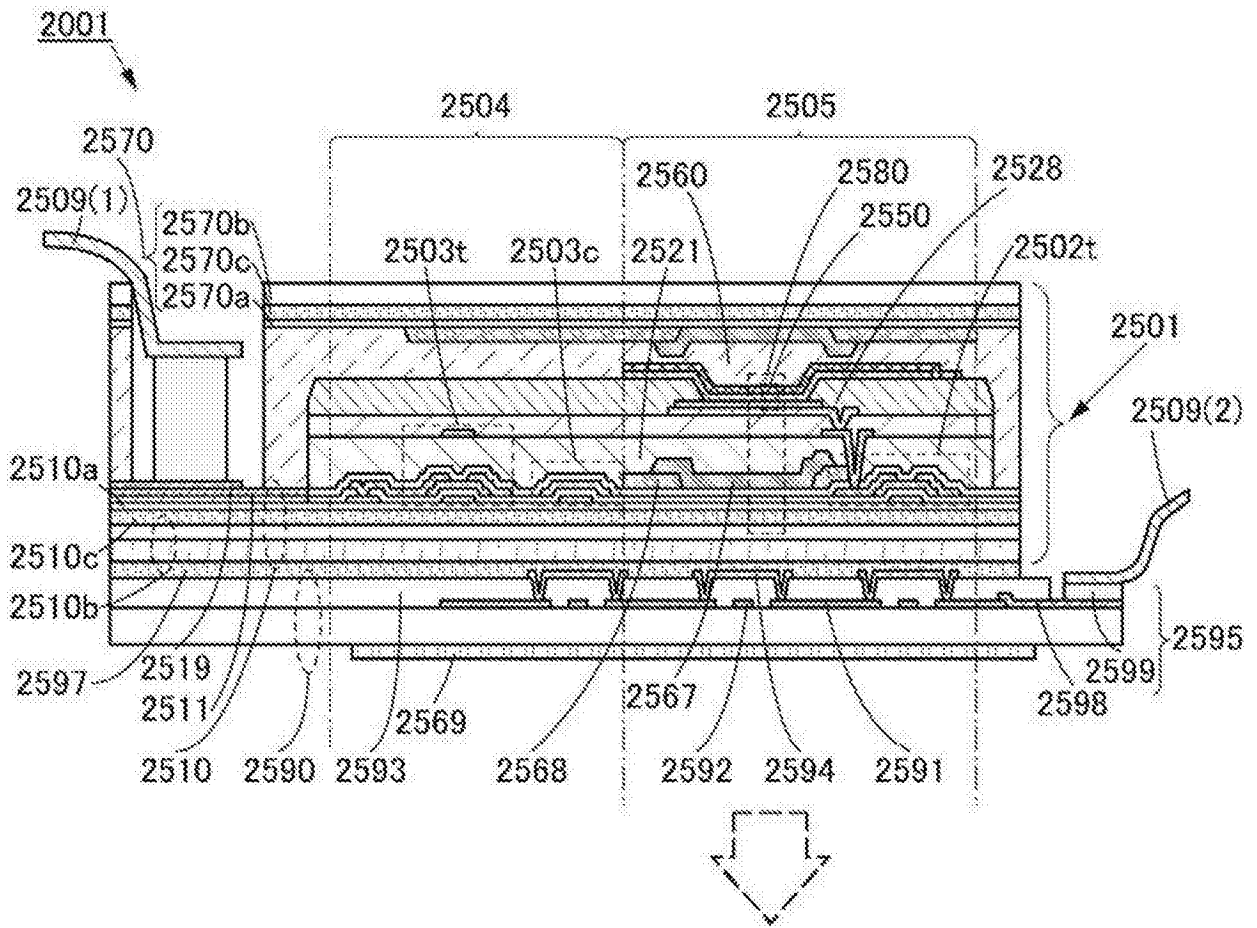


图32B

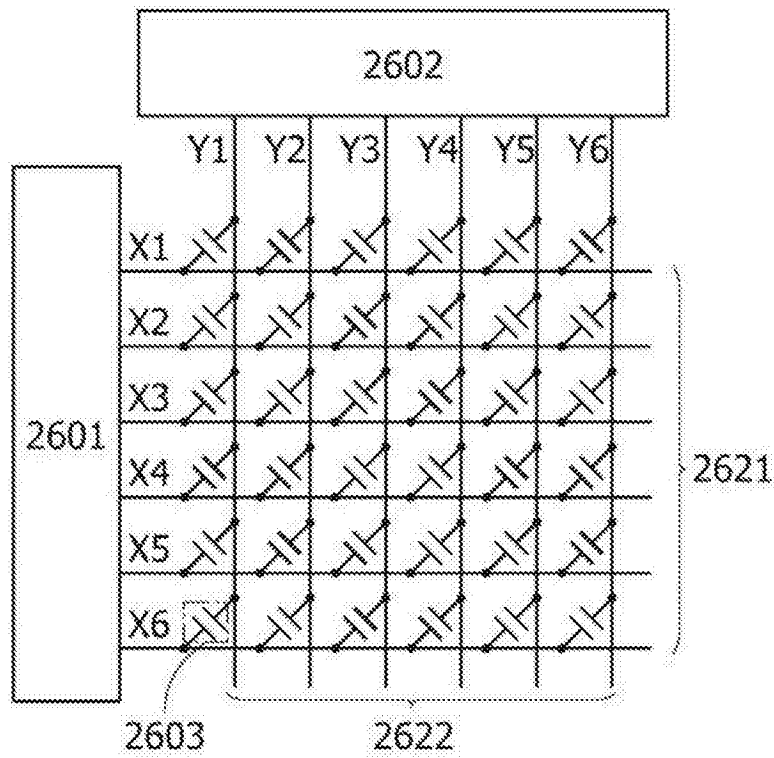


图33A

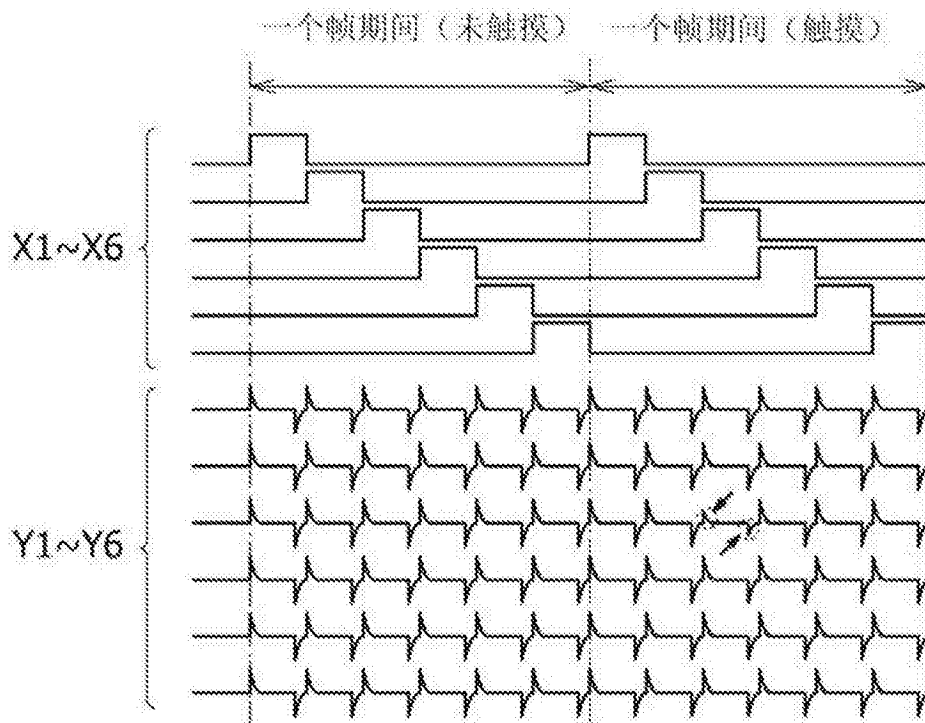


图33B

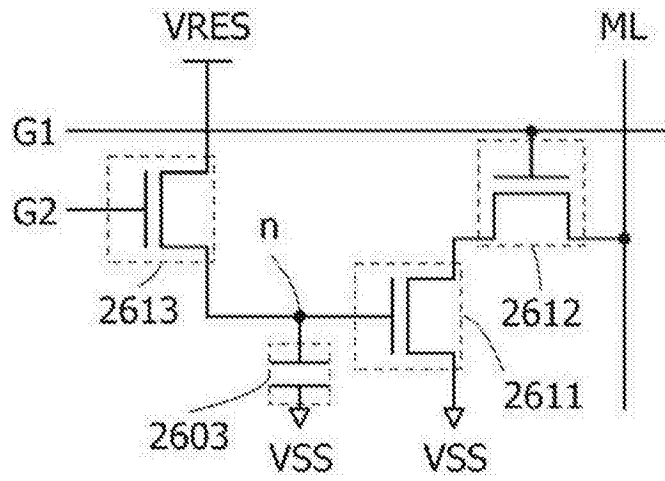


图34

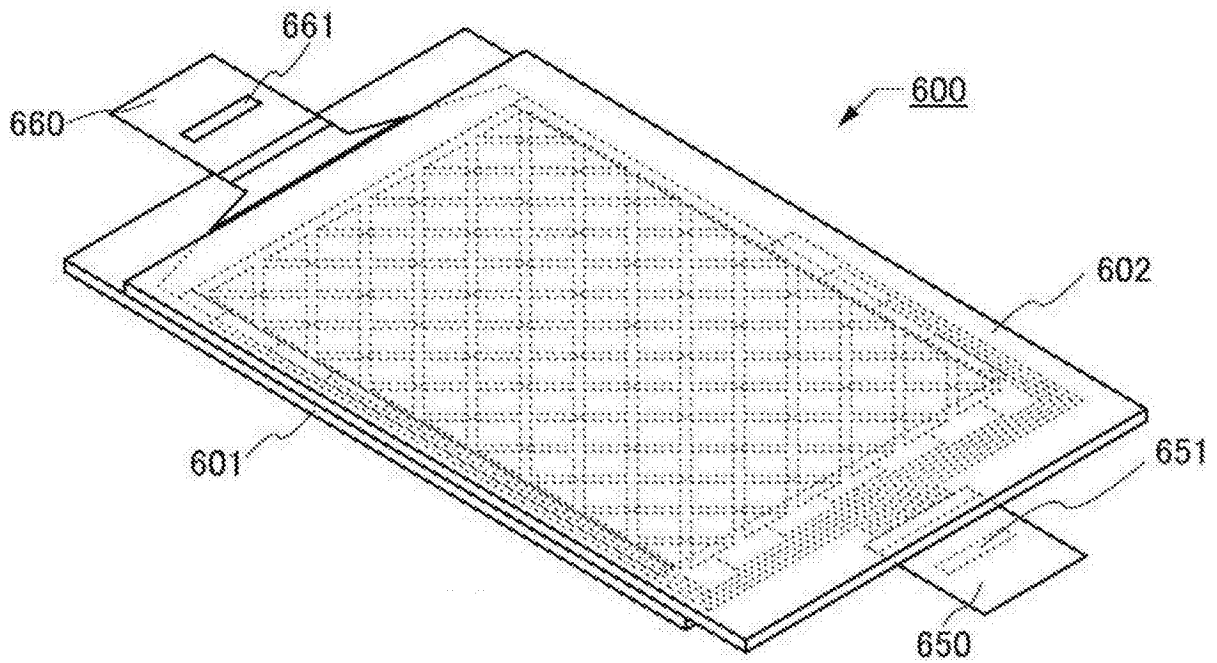


图35A

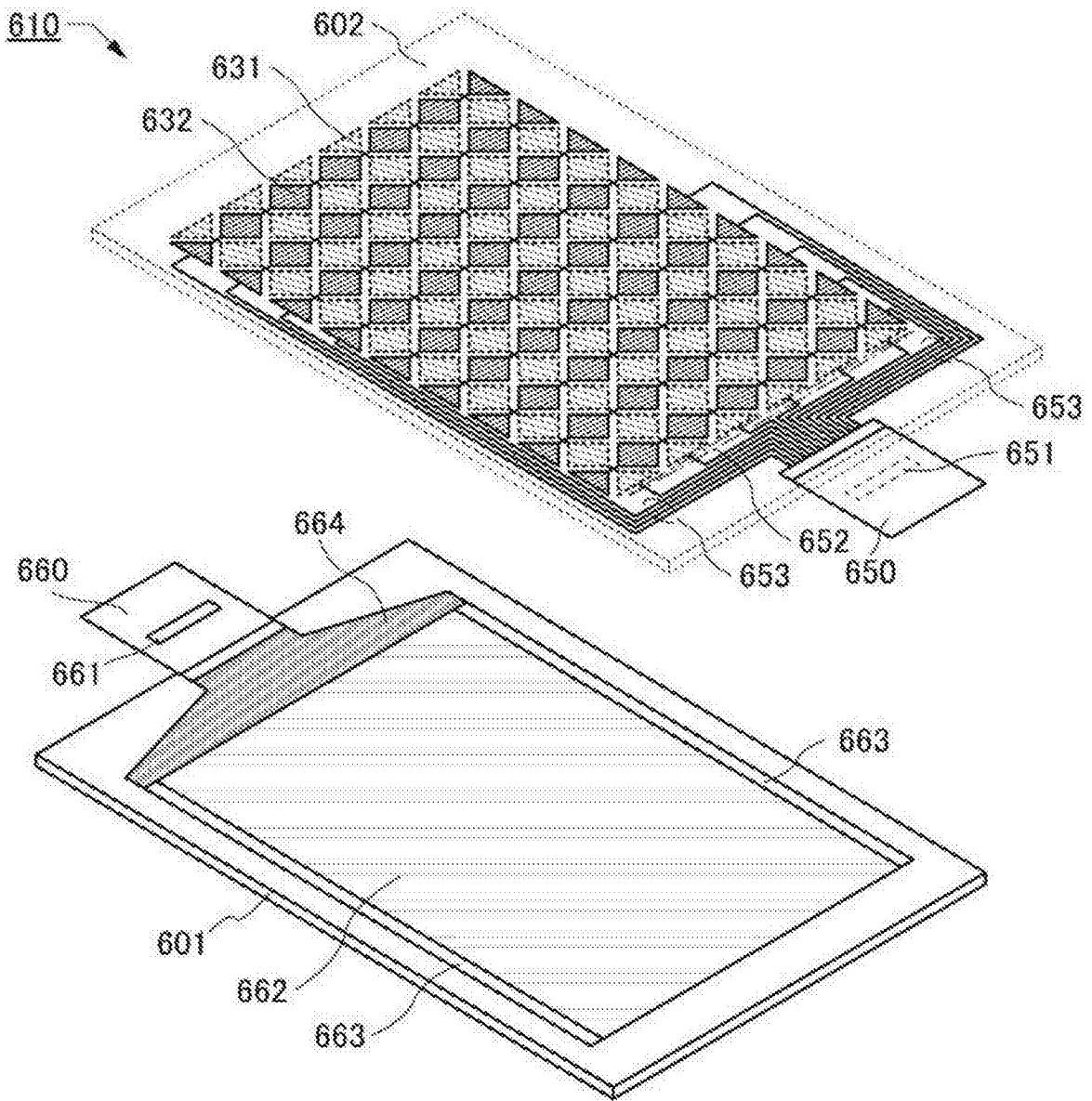


图35B

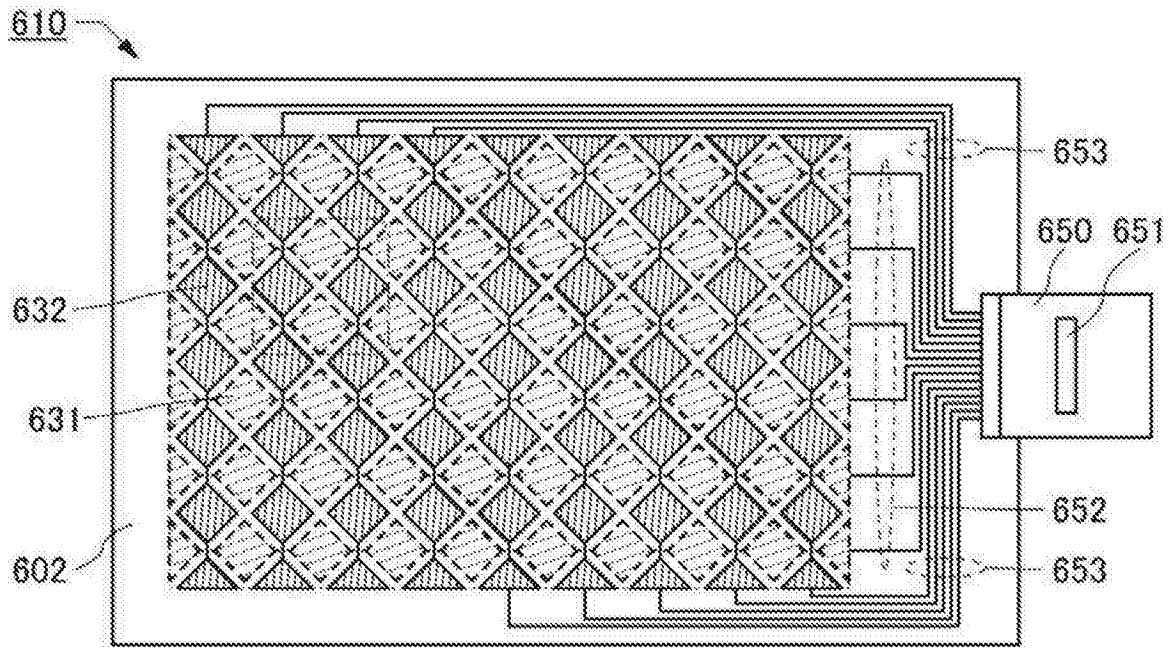


图36A

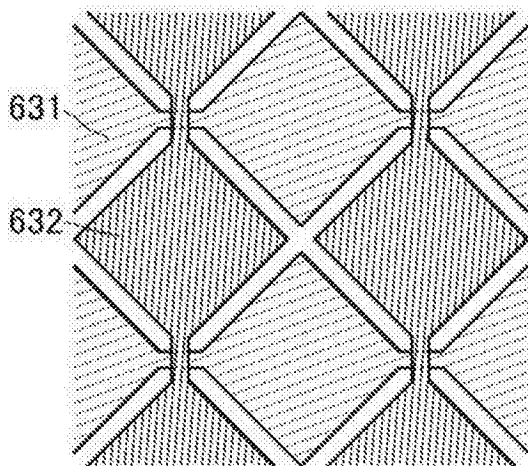


图36B

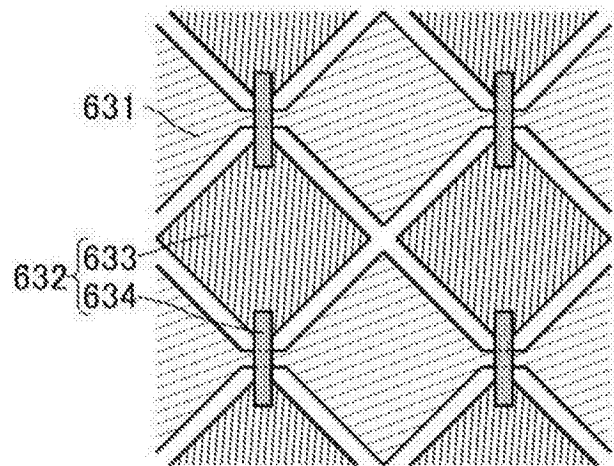


图36C

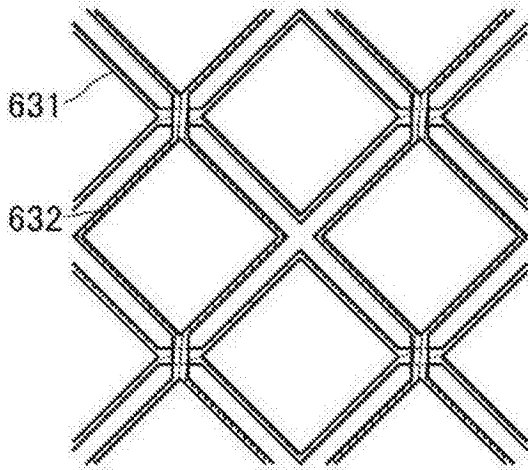


图36D

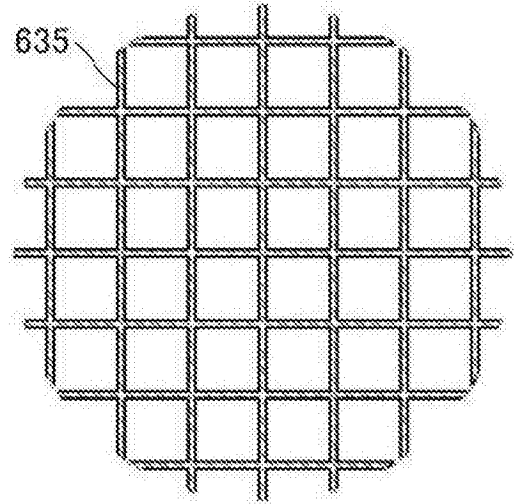


图37A

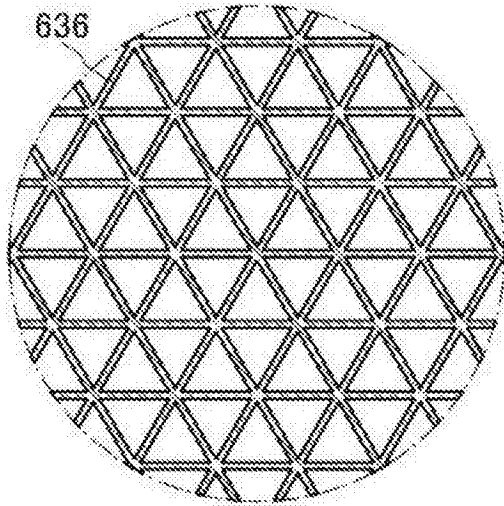


图37B

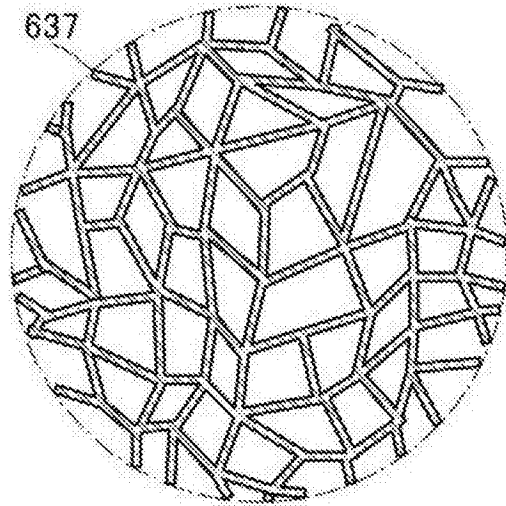


图37C

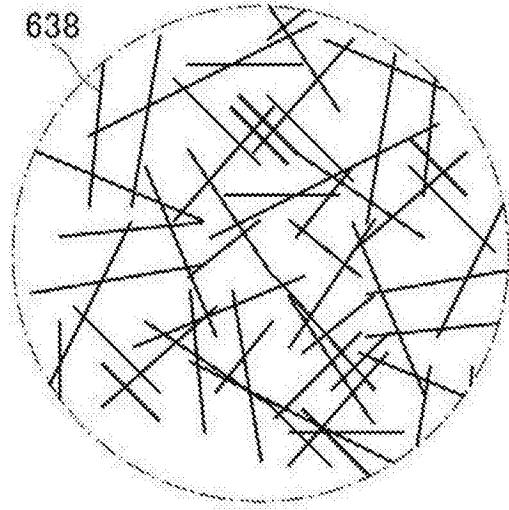


图37D

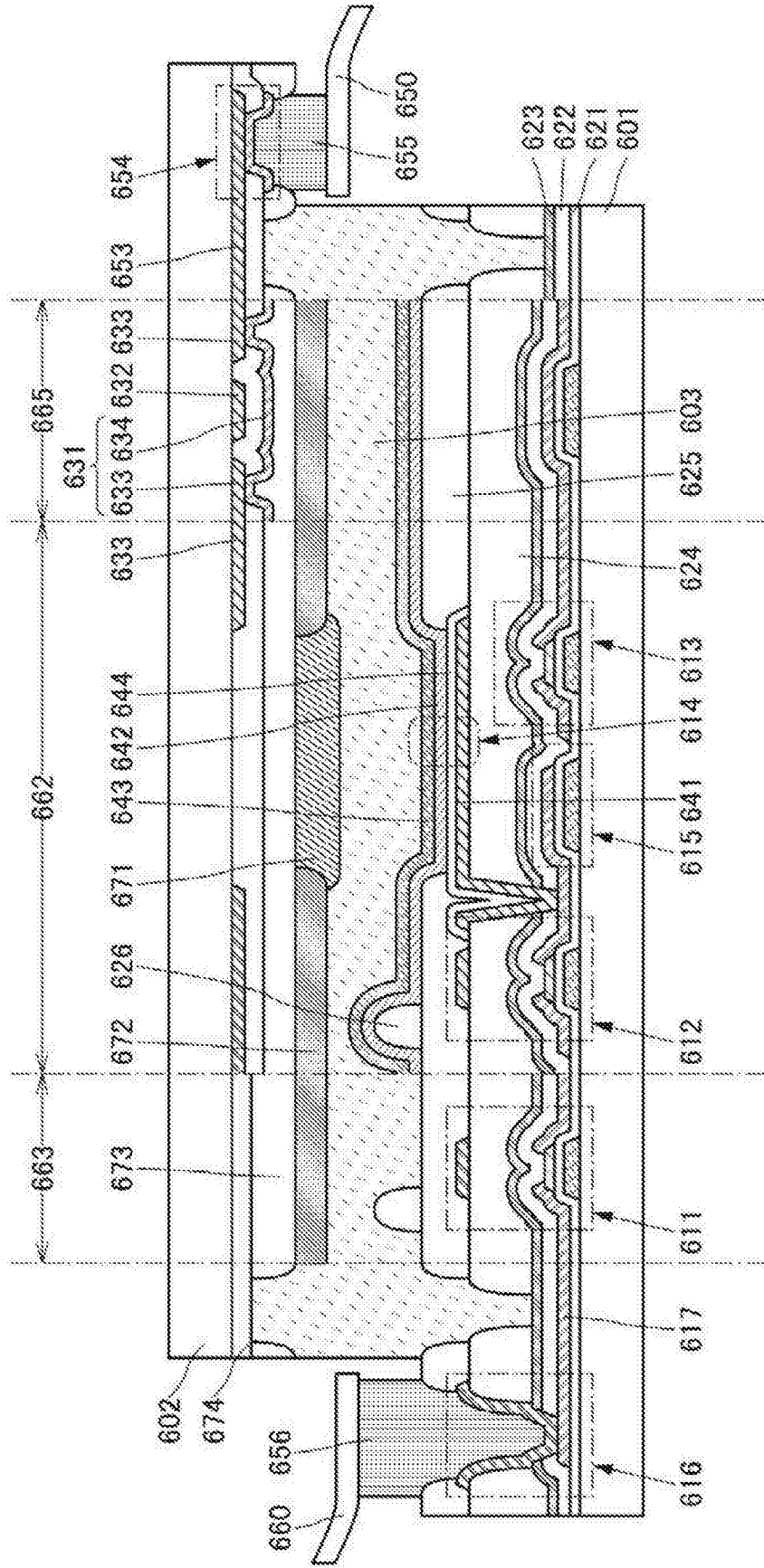


图38

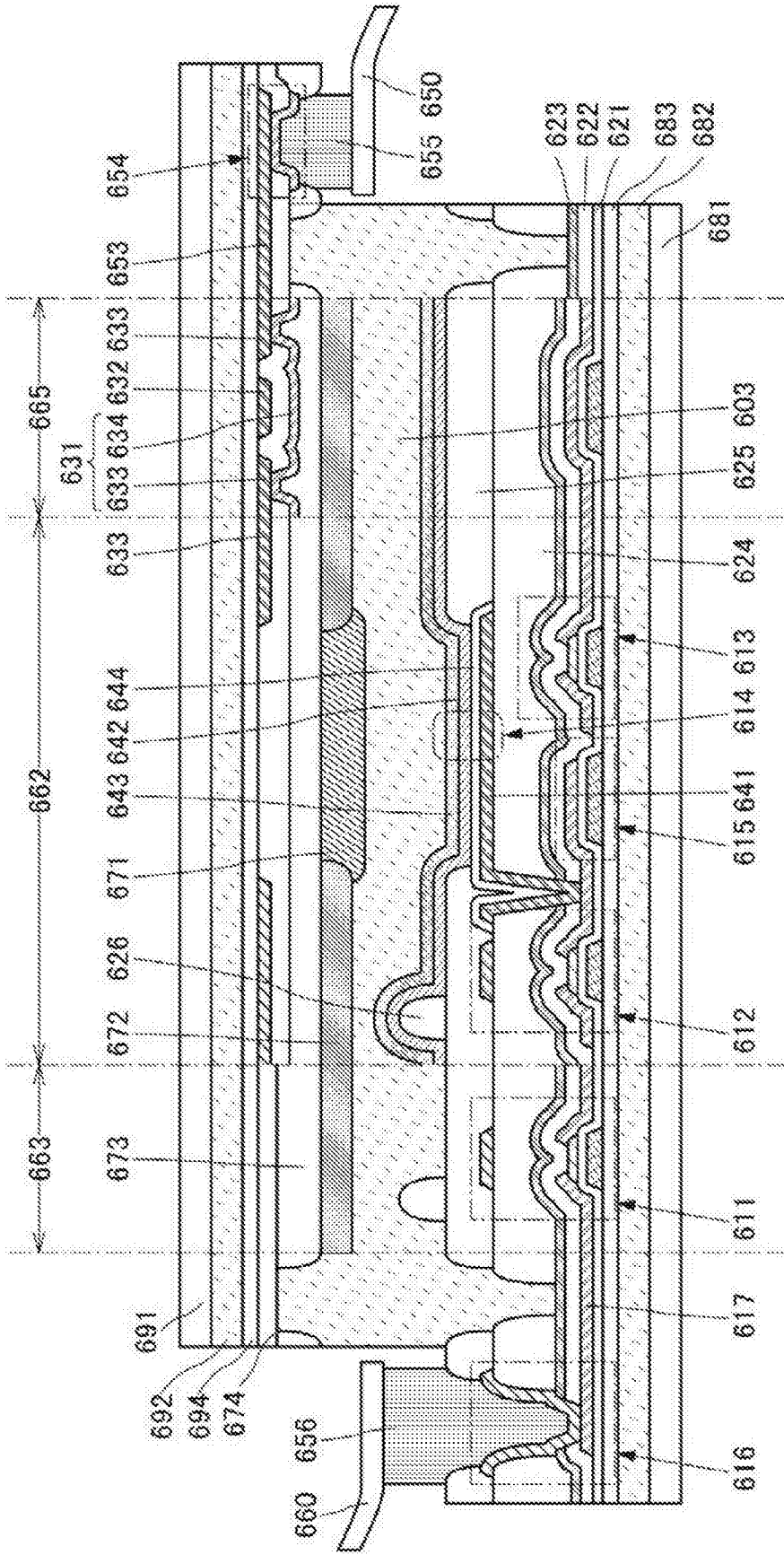


图39

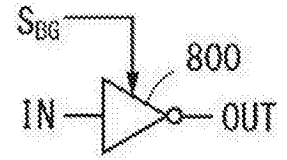


图40A

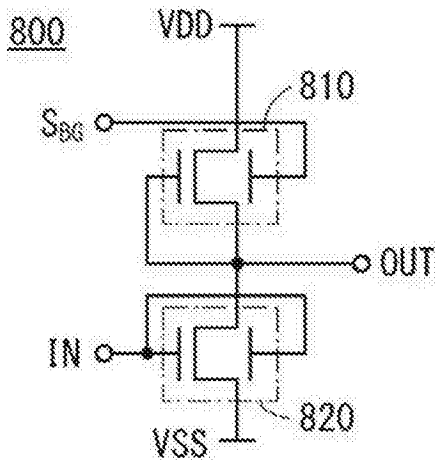


图40B

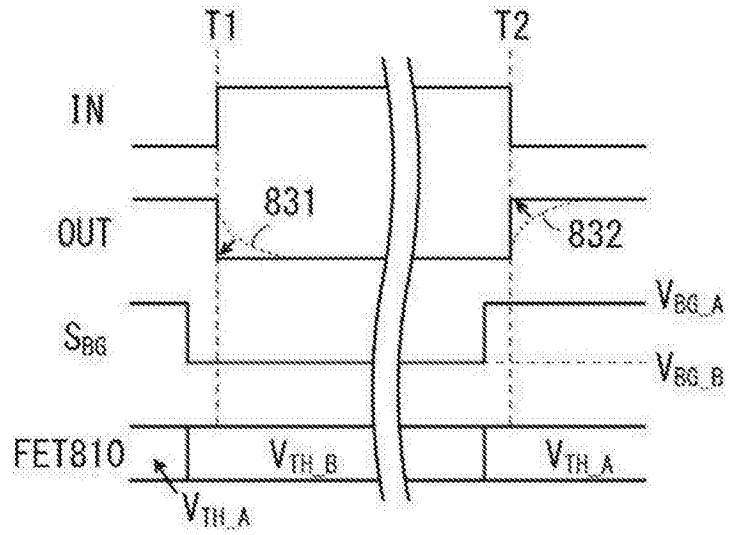


图40C

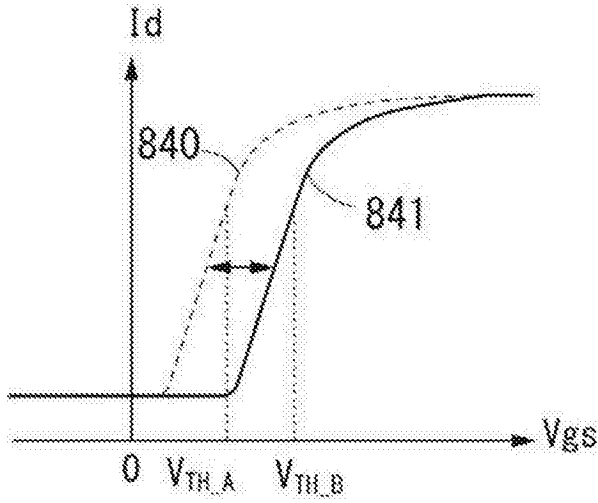


图41A

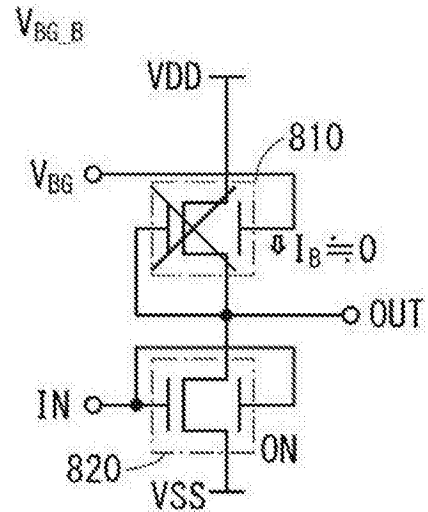


图41B

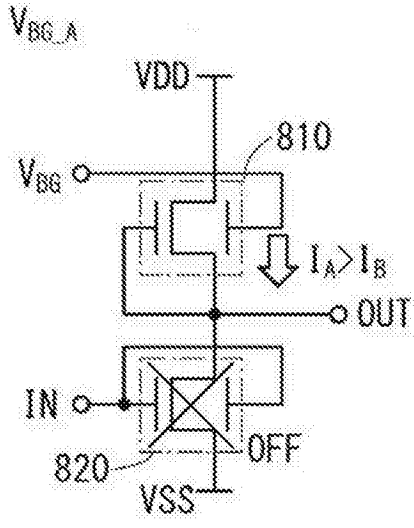


图41C

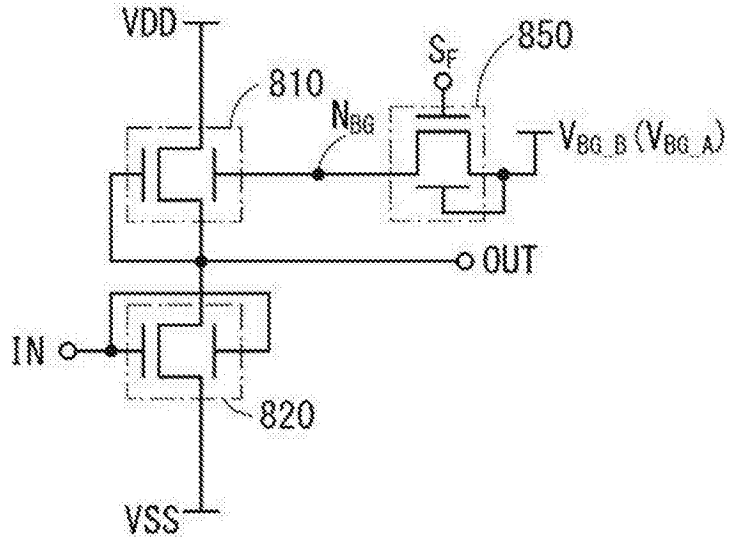


图42A

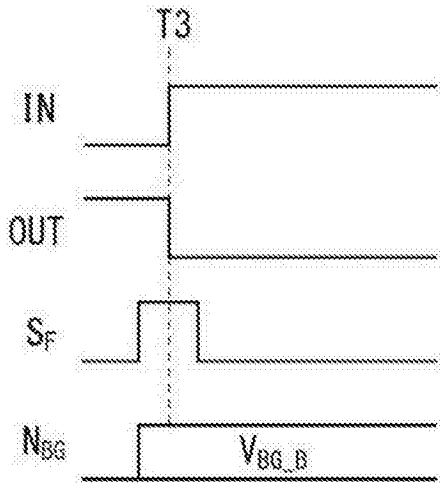


图42B

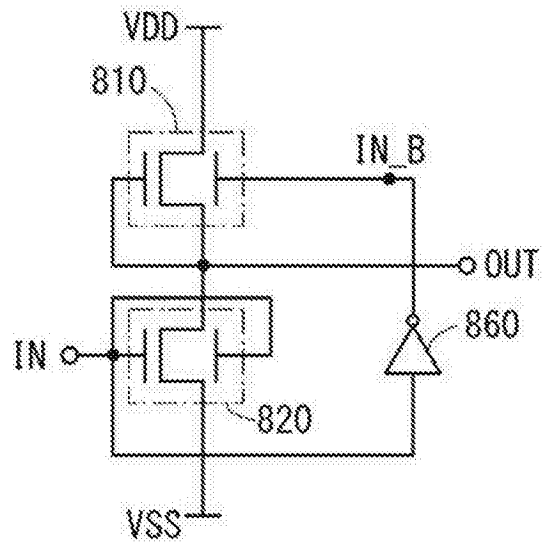


图43A

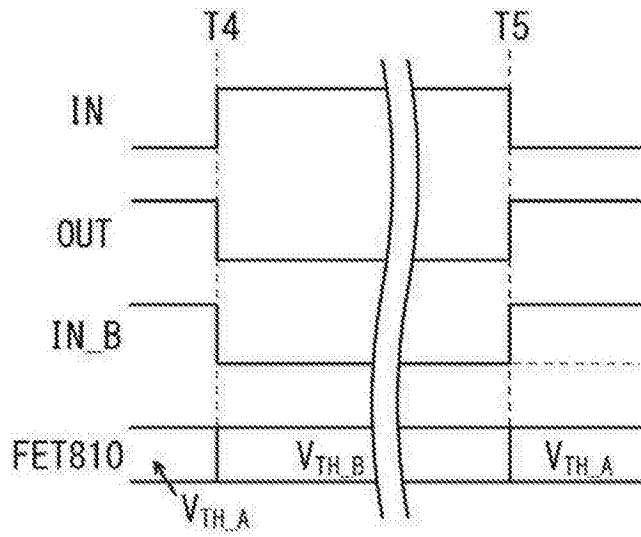


图43B

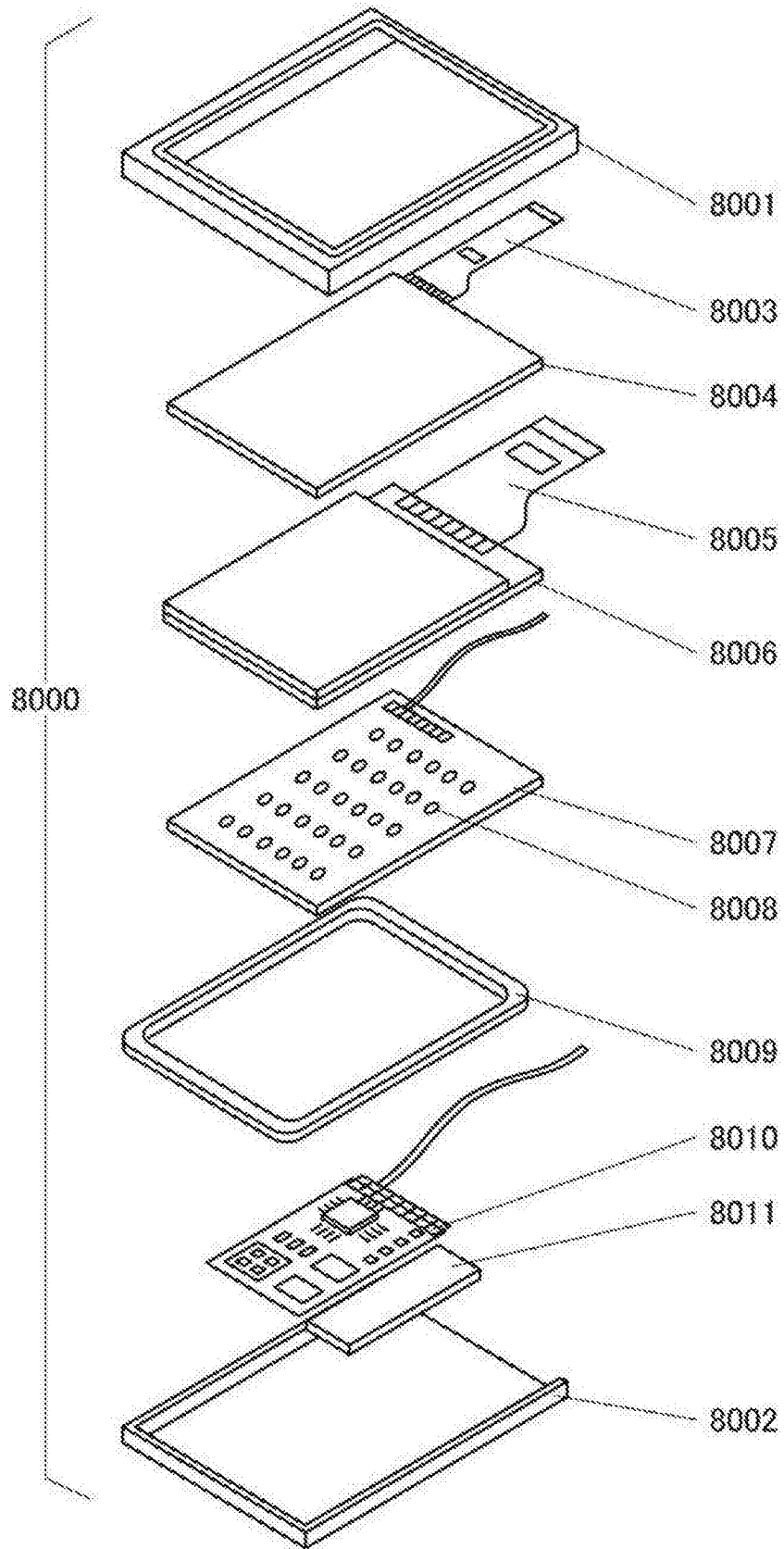


图44

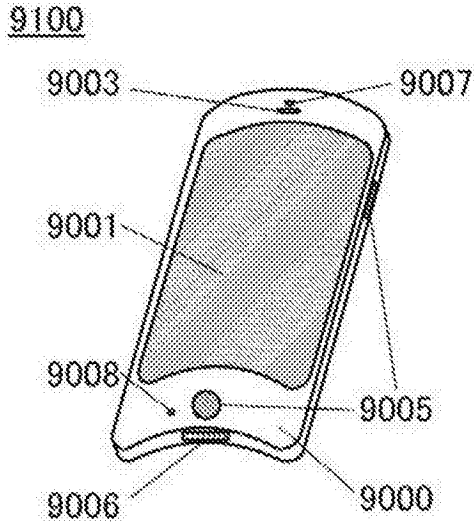


图45A

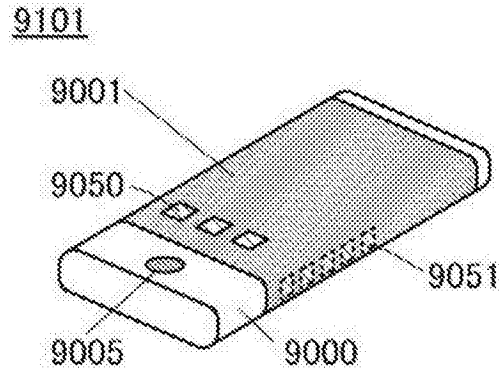


图45B

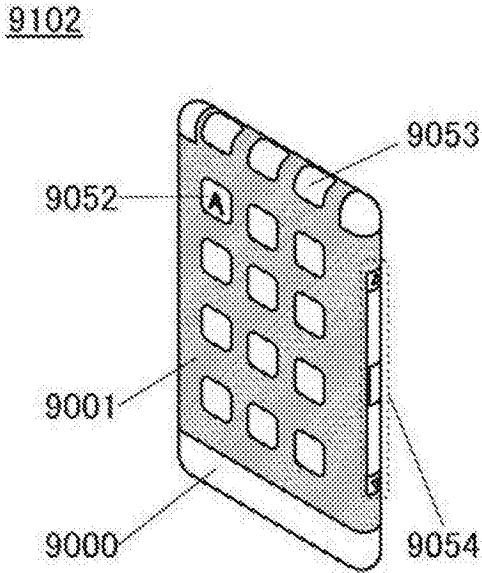


图45C

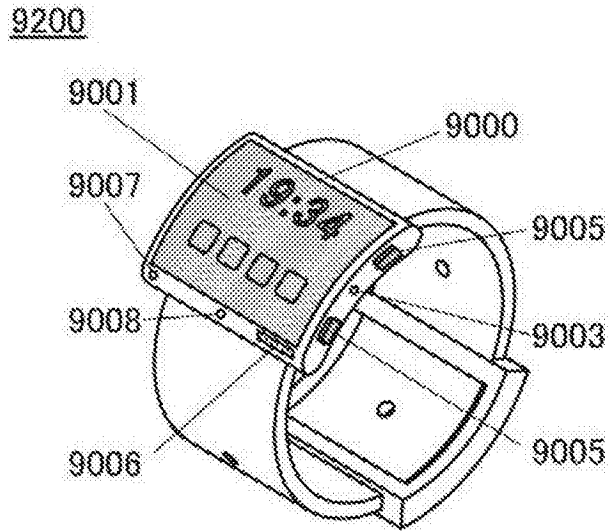


图45D

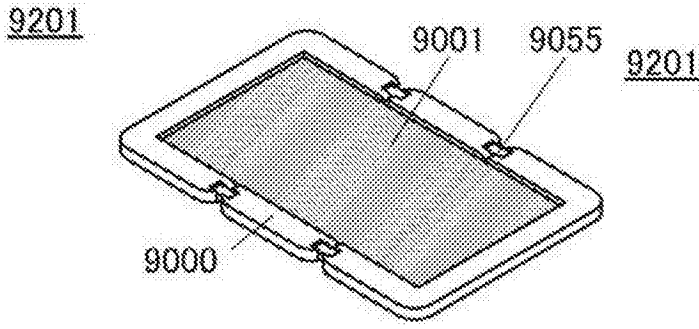


图45E

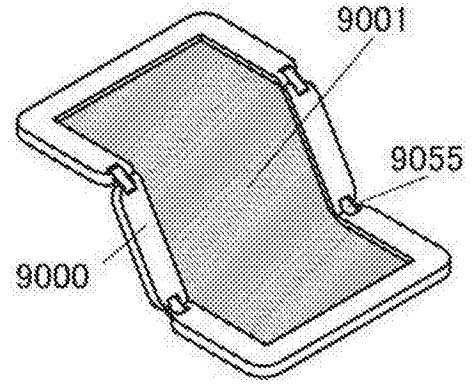


图45F

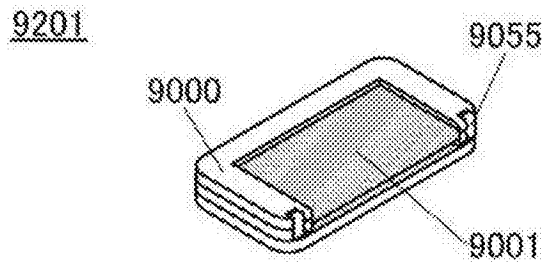


图45G

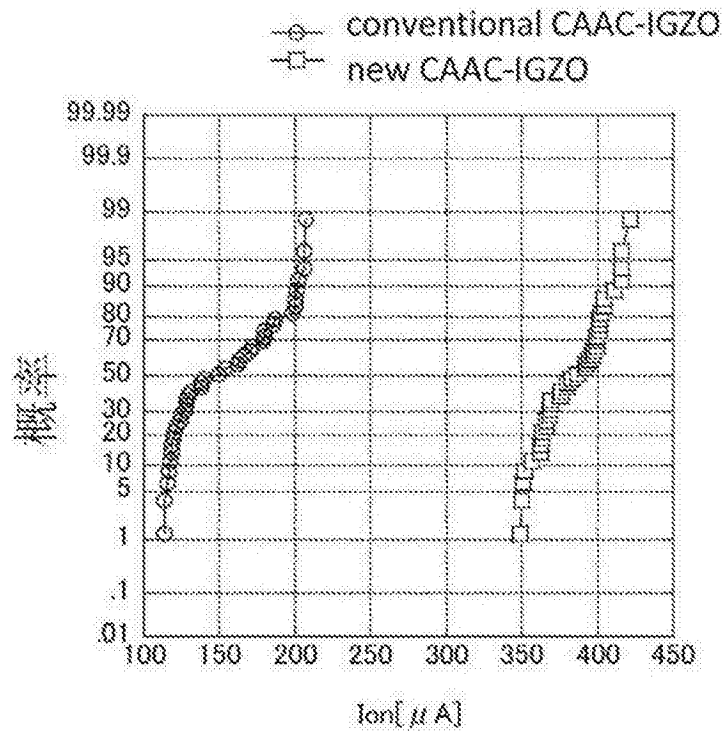


图46A

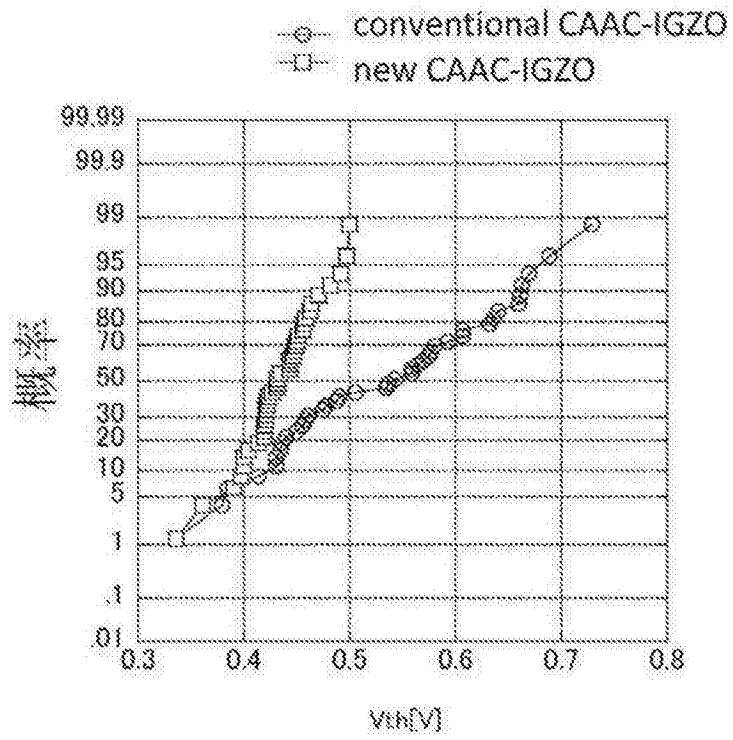


图46B

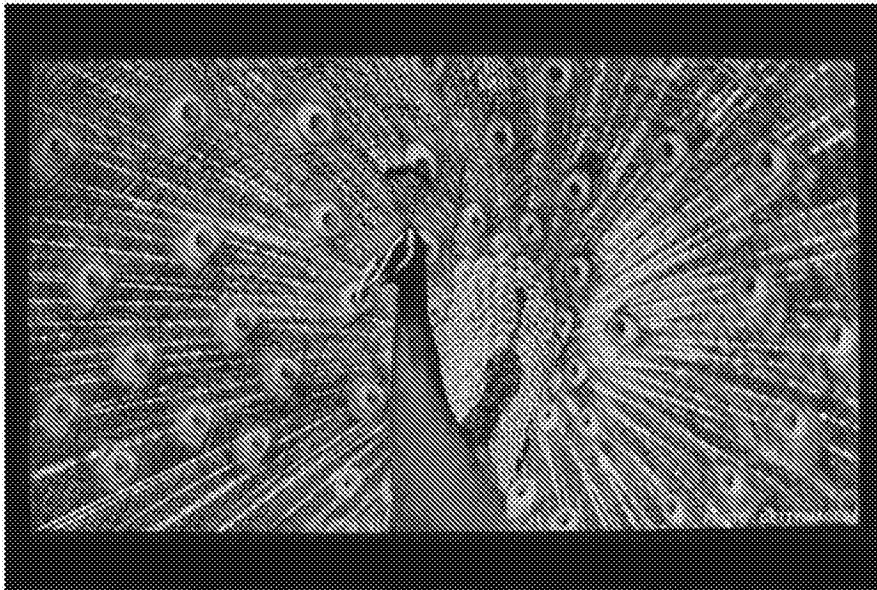


图47



图48A

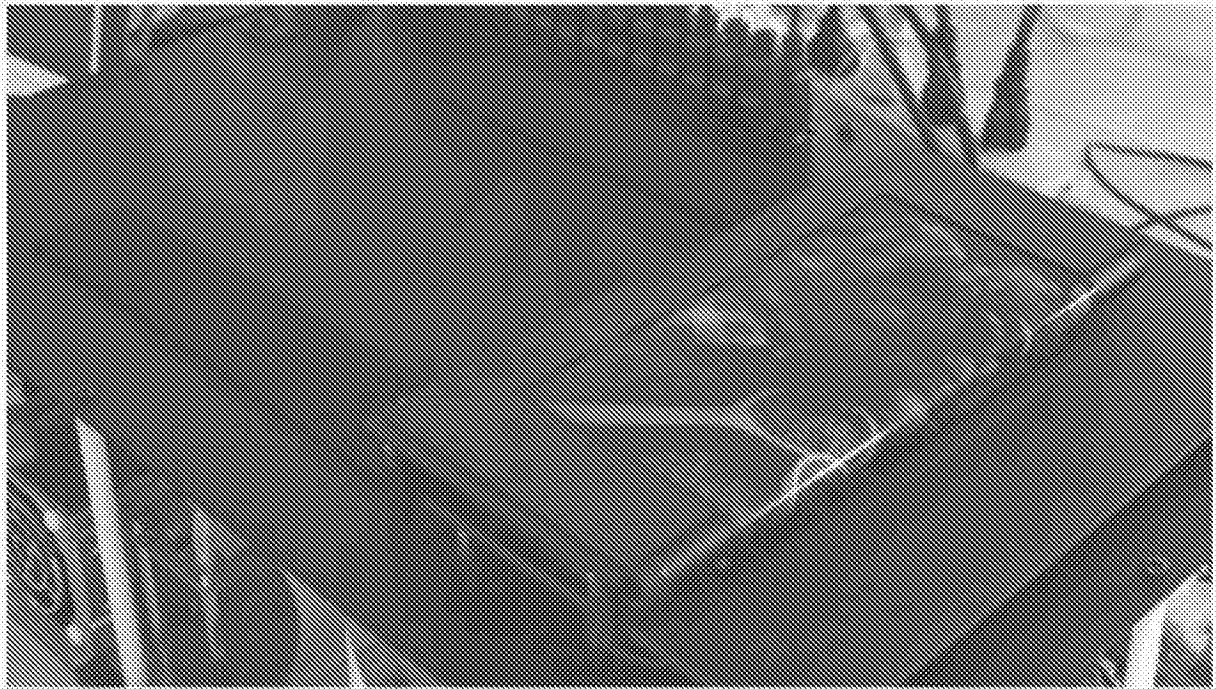


图48B

580

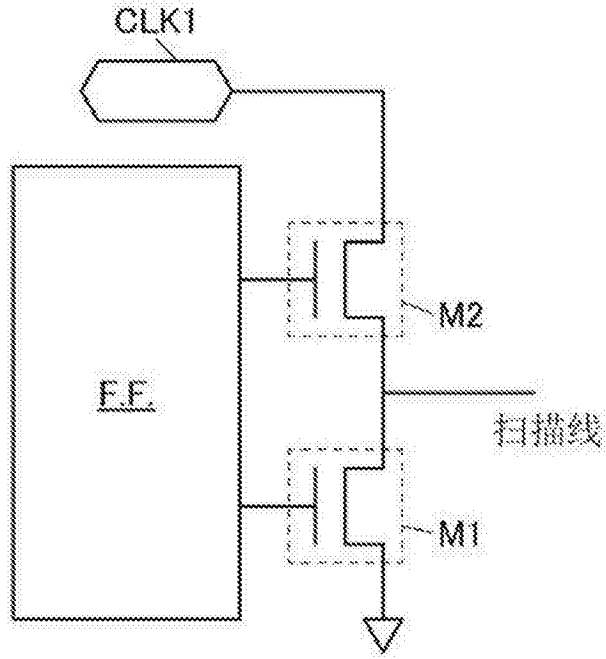


图49

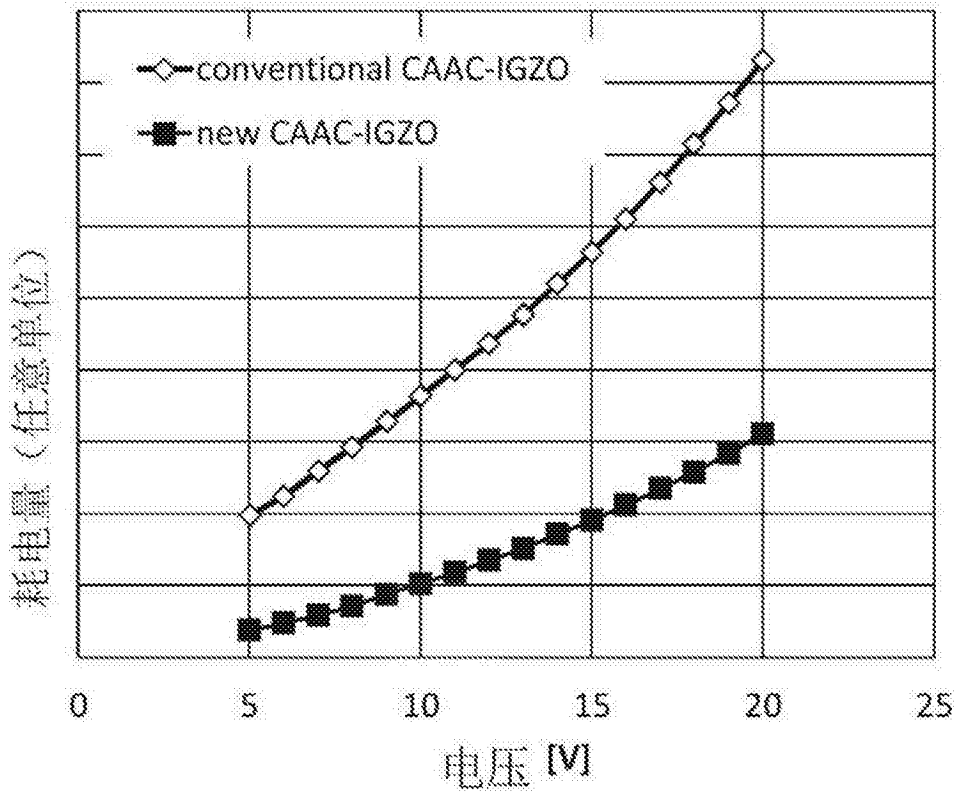


图50

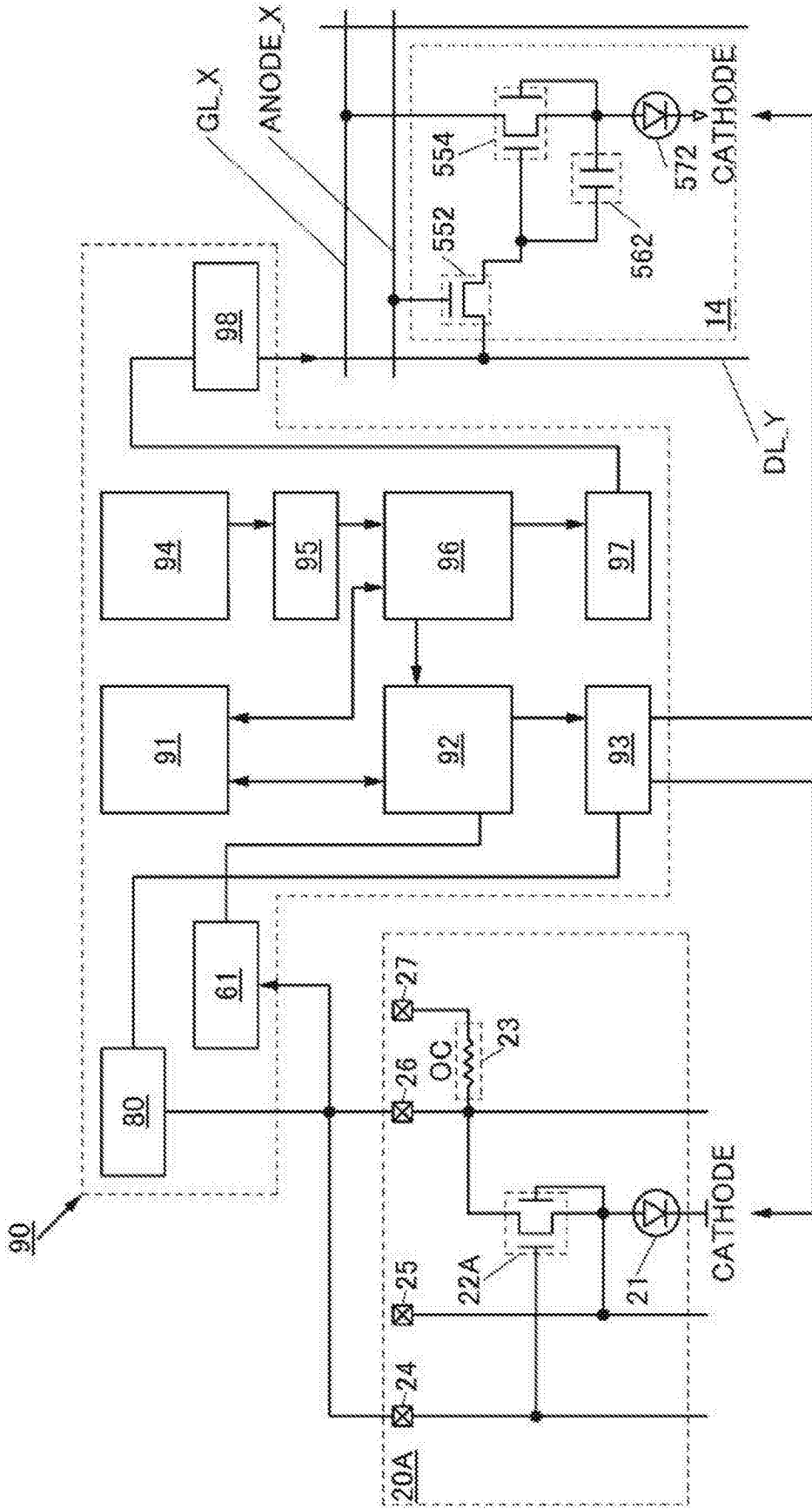


图51

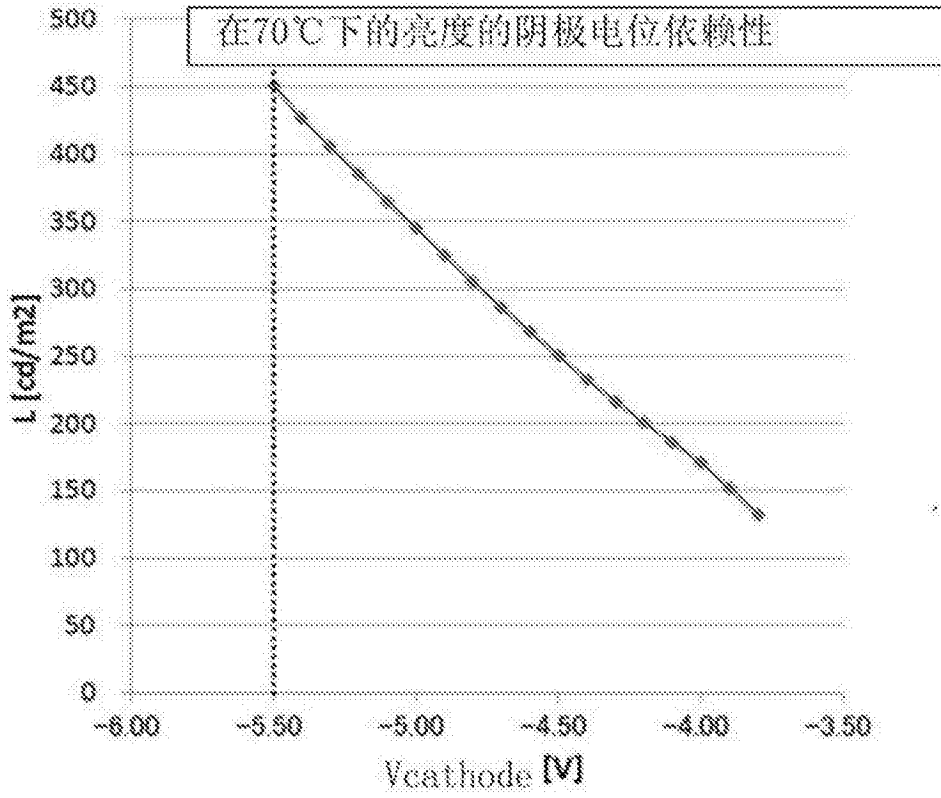


图52

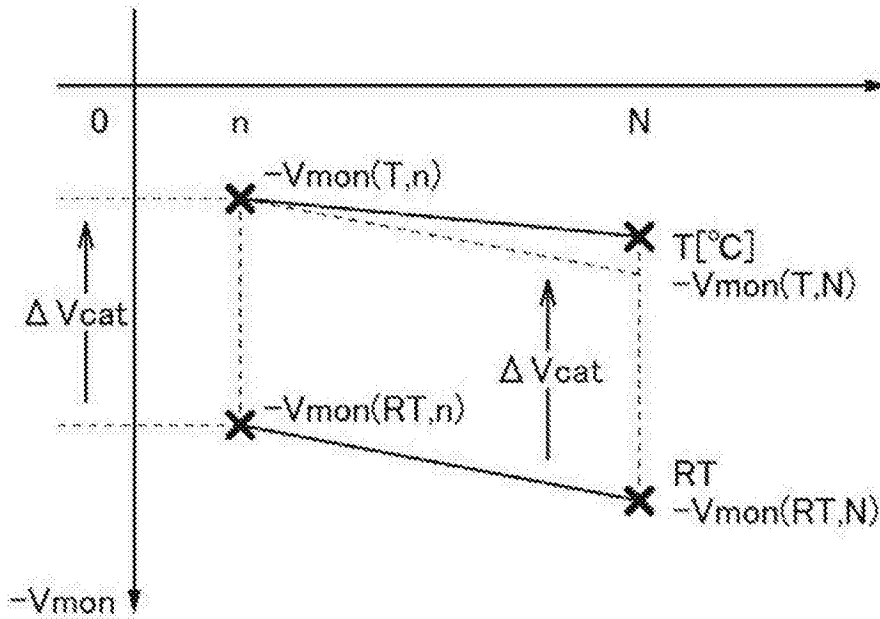


图53

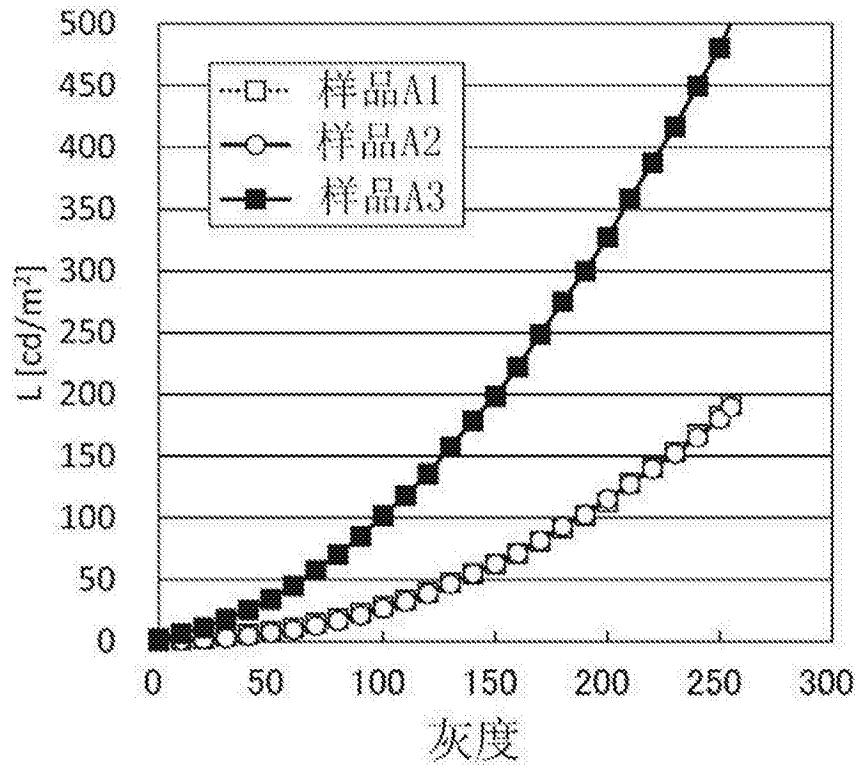


图54

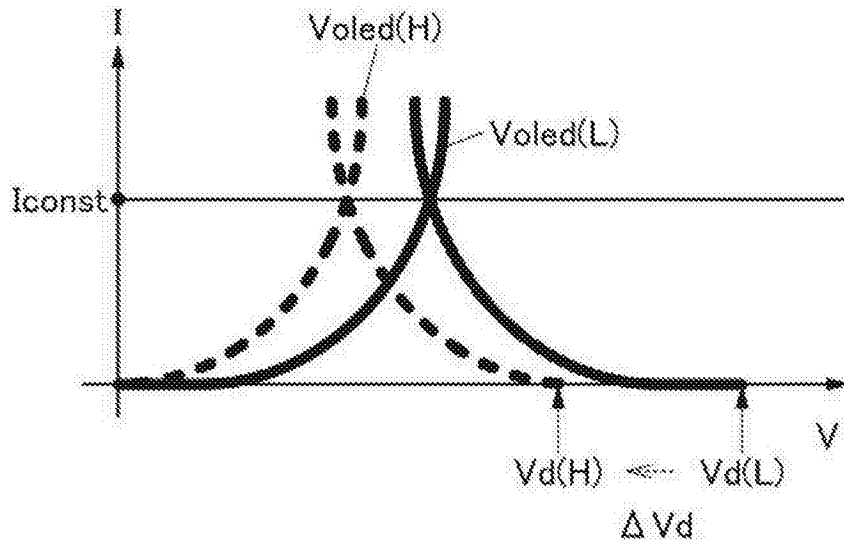


图56

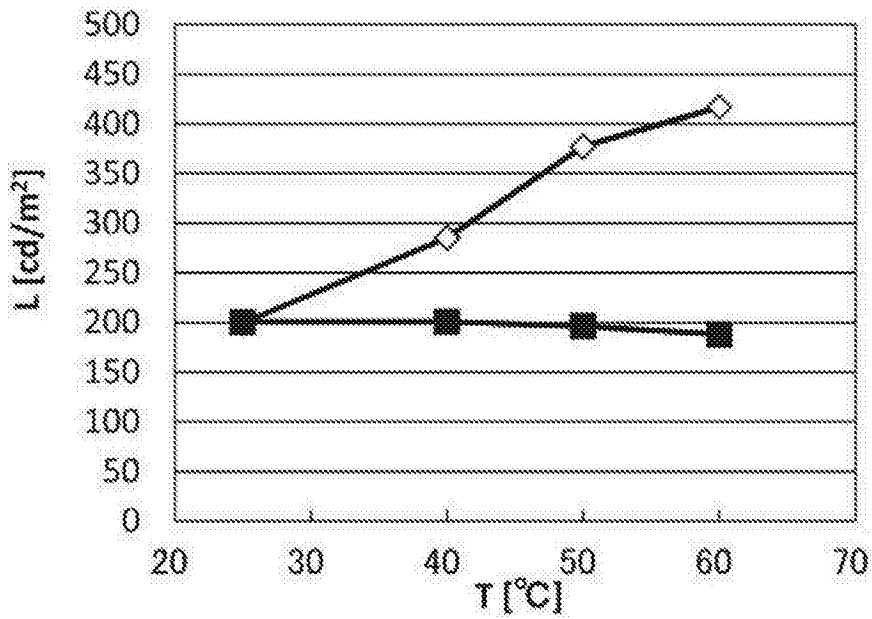
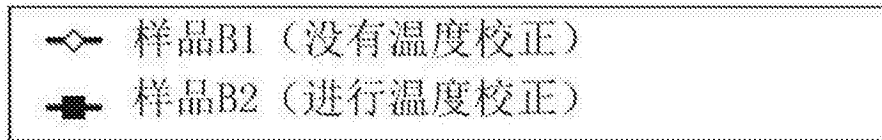


图57