

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年7月5日 (05.07.2001)

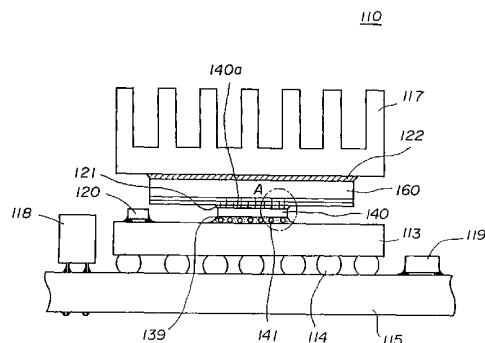
PCT

(10) 国際公開番号
WO 01/48820 A1

- (51) 国際特許分類: H01L 25/00, 23/36, 27/04 — (KIKUCHI, Shunichi) [JP/JP]. 梅 裕 三 三 雄 (UMEMATSU, Misao) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP99/07257
- (22) 国際出願日: 1999年12月24日 (24.12.1999)
- (25) 国際出願の言語: 日本語 (74) 代理人: 伊東忠彦(ITO, Tadahiko); 〒150-6032 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo (JP).
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): JP, US.
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP). 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 菊池俊 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE INCLUDING SEMICONDUCTOR BARE CHIP MOUNTED BY FLIP-CHIP BONDING, AND BOARD MEMBER WITH THIN-FILM STRUCTURE CAPACITOR FOR SEMICONDUCTOR BARE CHIP MOUNTED BY FLIP-CHIP BONDING

(54) 発明の名称: フリップチップ実装された半導体ベアチップを有する半導体装置、及びフリップチップ実装された半導体ベアチップ用の薄膜構造コンデンサ付き基板部材



(57) Abstract: A semiconductor device includes a semiconductor bare chip and a board member with a thin-film structure capacitor. The semiconductor bare chip has a power supply terminal and a grounding terminal on the back thereof, and mounted on a circuit board by flip-chip bonding. The board member comprises a board and a thin-film structure capacitor provided on the board. The capacitor has terminals corresponding to the power supply terminal and grounding terminal of the semiconductor bare chip thereon. The side of the board member where the capacitor is provided is bonded to the back of the semiconductor bare chip. The terminals of the capacitor are electrically connected to the power supply terminal and grounding terminal of the semiconductor bare chip.

[続葉有]



WO 01/48820 A1



(57) 要約:

半導体ベアチップと薄膜構造コンデンサ付き基板部材とを有する。半導体ベアチップは、背面に電源端子及びグランド端子を有する構造であり、回路基板上にフリップチップ実装してある。薄膜構造コンデンサ付き基板部材は、基板と該基板の表面に形成された薄膜構造コンデンサとよりなり、該薄膜構造コンデンサは、表面に上記半導体ベアチップの電源端子及びグランド端子に対応する端子を有する構成である。薄膜構造コンデンサ付き基板部材は、薄膜構造コンデンサ側を半導体ベアチップの背面に接合されており、薄膜構造コンデンサの端子が半導体ベアチップの電源端子及びグランド端子と電氣的に接続されている。

明細書

フリップチップ実装された半導体ベアチップを有する半導体装置、及びフリップチップ実装された半導体ベアチップ用の薄膜構造コンデンサ付き基板部材

5

技術分野

本発明はフリップチップ実装された半導体ベアチップを有する半導体装置、及びフリップチップ実装された半導体ベアチップ用の薄膜構造コンデンサ付き基板部材に係り、特にGHzの高周波領域におけるVGインピーダンスを低くして、高周波領域においてACノイズの影響を受けにくくして、動作の信頼性を向上させたフリップチップ実装された半導体ベアチップを有する半導体装置、及びフリップチップ実装された半導体ベアチップ用の薄膜構造コンデンサ付き基板部材に関する。

近年、高集積化及び低消費電力化を実現する半導体素子として、CMOS型LSIが従来使用されていたECL型LSIに代わって多く使用されている。CMOS型LSIの消費電力Pは、

$$P \propto C \cdot f \cdot V^2$$

で表される。

ここで、Cは、配線による浮遊容量及び浮遊インダクタンスで決まる特性

fは、動作周波数

Vは、動作電源電圧である。

また、近年、CMOS型LSIが組み込まれた電子装置においては、更なる性能の向上の要求がある。この要求に応ずるべく、CMOS型LSIにおいては、更に高集積化が求められており、且つ、動作周波数を一般的な75MHz、100MHzから例えば1GHz、更には3GHzと上げて高速化を図ることが求められている。

CMOS型LSIにおいて、高集積化を図るとCMOS型LSI内のトランジスタの数が増え、CMOS型LSIの消費電力が増えてしまう。また、動作周波数を上げて高速化を図ると、動作周波数に比例してCMOS型LSIの消費電力

が増えてしまう。

ここで、CMOS型LSI自体の消費電力の低減、及びCMOS型LSIを有する半導体装置の消費電力の低減について説明する。

CMOS型LSIでは、作り込まれているトランジスタのゲート長さを短くして、流れる電流量を抑えて、消費電力を低減することが図られつつある。

CMOS型LSIを有する半導体装置では、動作電源電圧を、一般的な5V、5.5Vから例えば1.5V、更には1Vと下げることによって、消費電力を低減することが図られつつある。上記の消費電力Pの式より明らかなように、動作電源電圧を下げることは、消費電力の低減に有効である。

ここで、半導体装置は誤動作を起こさずに高い信頼性で動作することが要求される。

半導体装置の誤動作の原因は、信号電流が流れることによる電磁誘導によって電源層の一部に誘起されるACノイズにある。

半導体装置において、信号電流は動作の開始時に増えて大きく変化するACノイズは動作の開始時に最大となる。

ACノイズ電圧(V)は、

ACノイズ電圧(V) = VGインピーダンスZ(Ω) × 電流増加分値(A) によって表される。VGインピーダンスZは、半導体装置の電源端子とグランド端子との間のインピーダンスである。

半導体装置の誤動作を発生させないACノイズ電圧の値を、許容ACノイズ電圧値という。

前記のように動作電源電圧を下げると、これに応じて許容ACノイズ電圧値も低くなる。ACノイズ電圧に関する上の式より分かるように、ACノイズ電圧を許容ACノイズ電圧値より低くするためには、動作周波数帯域でのVGインピーダンスZを小さくする必要がある。

一般的に、コンデンザのVGインピーダンスZは、

$$Z = R + j\omega L + \frac{1}{j\omega C}$$

で表される。Lは浮遊インダクタンス、Cはキャパシタンスである。

コンデンサのVGインピーダンスZの周波数特性は、図21中、線XXで示すようなV字形状となる。右下がりの線XXaは、キャパシタンスCによって支配され、右上がりの線XXbは、浮遊インダクタンスLによって支配される。キャパシタンスCを増やすと、周波数特性の線は矢印Yの方向にシフトし、浮遊インダクタンスLを小さくすると、周波数特性の線は矢印Xの方向にシフトする。

背景技術

図1は従来の半導体装置10を示す。半導体装置10は、下面にバンプ端子12が配されたCMOS型LSI半導体ベアチップ11と、下面に半田ボール14が配された基板13と、伝熱板16と、ヒートシンク17と、アルミ電解コンデンサ18と、タンタルコンデンサ19と、セラミックコンデンサ20とを有する。

CMOS型LSI半導体ベアチップ11は、バンプ端子12を利用して基板13上にフリップチップ実装されている。基板13は、半田ボール14を利用してメインボード15上に実装されている。半導体ベアチップ11の上面には熱伝導性接合材21によって伝熱板16が固定してあり、更に伝熱板16の上面には熱伝導性接合材22によってヒートシンク17が固定してある。

アルミ電解コンデンサ18及びタンタルコンデンサ19はメインボード15上に、セラミックコンデンサ20は基板13上に実装してある。

アルミ電解コンデンサ18、タンタルコンデンサ19、及びセラミックコンデンサ20は、VGインピーダンスZを小さくするために、図2に示すように、半導体ベアチップ11の電源端子24とグランド端子25との間に接続してある。コンデンサの浮遊インダクタンス値が、VGインピーダンスZを小さく保つ周波数帯域、即ち、有効に働く周波数帯域を決める。

アルミ電解コンデンサ18は、大容量であり、浮遊インダクタンスは大きい。タンタルコンデンサ19は、中容量であり、浮遊インダクタンスは中程度である。セラミックコンデンサ20は、小容量であり、浮遊インダクタンスは小さい。

アルミ電解コンデンサ18は、浮遊インダクタンスが大きいいため、有効に働く周波数帯域が低く、アルミ電解コンデンサ18のVGインピーダンスZの周波数

特性は、図 2 2 を参照して分かるように、図 3 中、線 I で示すようになり、特に低周波数帯域において VG インピーダンス Z を低く保つ。タンタルコンデンサ 19 は、浮遊インダクタンスが中程度であるため、有効に働く周波数帯域は高く、タンタルコンデンサ 19 の VG インピーダンス Z の周波数特性は、図 3 中、線 II
5 で示すようになり、中程の周波数帯域において VG インピーダンス Z を低くする。セラミックコンデンサ 20 は、浮遊インダクタンスが小さいため、有効に働く周波数帯域は更に高く、セラミックコンデンサ 20 の VG インピーダンス Z の周波数特性は、図 3 中、線 III で示すようになり、例えば数 10 MHz の高い周波数帯域において VG インピーダンス Z を低くする。

10 また、半導体ベアチップ 11 自体に薄い膜によってコンデンサが形成されている。この半導体ベアチップ内蔵コンデンサは、浮遊インダクタンスが僅かであるため、有効に働く周波数帯域は更に高く、半導体ベアチップ内蔵コンデンサの VG インピーダンス Z の周波数特性は、図 3 中、線 IV で示すようになり、例えば数 10 MHz より更に高い周波数帯域において VG インピーダンス Z を低くする。

15 よって、半導体装置 10 の VG インピーダンス Z の周波数特性は、上記の線 I, II, III, IV で示す周波数特性を加え合わせた特性、即ち、図 4 に線 V で示す特性となる。26 は使用される周波数帯域である。

上記の構造の半導体装置 10 において、動作電源電圧を一般的な 5 V, 5.5 V から例えば 1.5 V、更には 1 V と下げた場合には、許容 AC ノイズ電圧値が
20 線 VI で示すように低い値となり、符号 27 で示す周波数帯域について改善が必要となる。

なお、CMOS 型 LSI が、半導体ベアチップを合成樹脂によってパッケージしてリード端子が突き出た構造である場合には、各リード端子が有するインダクタンスが大きいため、使用される周波数帯域 26 のうちの或る周波数領域で VG
25 インピーダンスが増えてしまい、上記の要求を満たすことは困難である。そこで、CMOS 型 LSI は、インダクタンスを小さくすることが可能である構造、即ち、半導体ベアチップであってフリップチップ実装が可能である構造が採用されている。また、フリップチップ実装方式は、 bumps 端子が半導体ベアチップの裏面に配されるため、 bumps 端子の数を増やすことが可能であり、CMOS 型 LSI の

高集積化にも対応可能である。

発明の開示

本発明は、上述した従来技術の問題を解決する、フリップチップ実装された半
5 導体ベアチップを有する半導体装置、及びフリップチップ実装された半導体ベア
チップ用の薄膜構造コンデンサ付き基板部材を提供することを総括的な目的とし
ている。

本発明のより詳細な目的は、動作電源電圧が低く且つ動作周波数が高周波領域
10 である場合であっても、ACノイズ電圧の影響を受けにくいようにした半導体装
置を提供することを目的とする。

この目的を達成するため、本発明は、回路基板上にフリップチップ実装された
半導体ベアチップと、基板と該基板の表面に形成された薄膜構造コンデンサとよ
りなる薄膜構造コンデンサ付き基板部材とを有し、該薄膜構造コンデンサ付き基
15 板部材が、該薄膜構造コンデンサを上記半導体ベアチップの背面に接合されて搭
載されており、該薄膜構造コンデンサが上記半導体ベアチップの電源端子とグラ
ンド端子との間に電氣的に接続されている構成とした。

半導体装置がACノイズ電圧の影響を受けやすいのは、動作電源電圧が低い場
合、及び動作周波数が高周波領域である場合である。現在、半導体装置は低消費
電力化が求められており、動作電源電圧が1.5Vと低くなってきている。また、
20 半導体装置は高速化が求められており、動作周波数がGHzと高くなってきてい
る。薄膜構造コンデンサは半導体ベアチップに極めて近接している。更に、薄
膜であるため、電源層とグランド層との距離も極めて近接できる。従って、電源
-グランド間のインダクタンスは極めて小さい。これによって、半導体装置のV
Gインピーダンスが、GHzの高周波領域において低くなる。よって、GHzの
25 高周波領域において、ACノイズ電圧が低くなる。よって、動作電源電圧を下げ
ても、GHzの高周波領域において誤動作が起きることを効果的に防止出来る。

また、薄膜構造コンデンサは半導体ベアチップに極めて近接しているため、薄
膜構造コンデンサと半導体ベアチップとを電氣的に接続する部分が、低周波領域
のACノイズ電圧の影響も受けにくくなる。

また、薄膜構造コンデンサ付き基板部材は、回路基板及び半導体ベアチップとは別個独立に製造されるため、回路基板及び半導体ベアチップの製造の歩留りに影響を与えない。

5 本発明のより詳細な目的は、動作電源電圧が低く且つ動作周波数が高周波領域である場合において、ACノイズ電圧の影響の受けにくさを改善した半導体装置を提供することを目的とする。

この目的を達成するため、本発明は、背面に電源端子及びグランド端子を有する構造であり、回路基板上にフリップチップ実装された半導体ベアチップと、基板と該基板の表面に形成された薄膜構造コンデンサとよりなり、該薄膜構造コン
10 デンサは、表面に上記半導体ベアチップの電源端子及びグランド端子に対応する端子を有する構成である薄膜構造コンデンサ付き基板部材とを有し、該薄膜構造コンデンサ付き基板部材が、該薄膜構造コンデンサの端子を上記半導体ベアチップの電源端子及びグランド端子と電気的に接続されて、該薄膜構造コンデンサを上記半導体ベアチップの背面に接合されて搭載されている構成とした。

15 半導体ベアチップがその背面に電源端子及びグランド端子を有する構造であり、薄膜構造コンデンサがその表面に半導体ベアチップの電源端子及びグランド端子に対応する端子を有する構成である構成は、電気的接続の方向を専ら厚さ方向とし、電気的接続の経路を理想的に極く短くする。このため、薄膜構造コンデンサの浮遊インダクタンスは極めて小さい。これによって、半導体装置のVGイン
20 ピーダンスが、GHzの高周波領域において低くなる。よって、GHzの高周波領域において、ACノイズ電圧が低くなる。よって、動作電源電圧を下げても、GHzの高周波領域において誤動作が起きることを効果的に防止出来る。

薄膜構造コンデンサと半導体ベアチップとの間の電気的接続の経路が理想的に極く短くなっているため、薄膜構造コンデンサと半導体ベアチップとを電気的に
25 接続する部分は、低周波領域のACノイズ電圧の影響も受けにくくなる。

本発明のより詳細な目的は、動作電源電圧が低く且つ動作周波数が高周波領域である場合において、ACノイズ電圧の影響を受けにくい周波数帯域を使用周波数帯域に広げた半導体装置を提供することを目的とする。

この目的を達成するため、本発明は、背面に電源端子及びグランド端子を有す

る構造であり、回路基板上にフリップチップ実装された半導体ベアチップと、基板と該基板の表面に形成された薄膜構造コンデンサとよりなり、該薄膜構造コンデンサは、表面に上記半導体ベアチップの電源端子及びグランド端子に対応する端子を有する構成である薄膜構造コンデンサ付き基板部材とを有し、該薄膜構造

5 コンデンサ付き基板部材が、該薄膜構造コンデンサの端子を上記半導体ベアチップの電源端子及びグランド端子と電気的に接続されて、該薄膜構造コンデンサを上記半導体ベアチップの背面に接合されて搭載し、更には、上記回路基板上にコンデンサ素子を実装して、このコンデンサ素子を上記半導体ベアチップの電源端子とグランド端子との間に電気的に接続されて構成する。

10 このコンデンサ素子は、半導体装置のVGインピーダンスを、低周波領域について低くし、半導体装置をその動作周波数の全帯域に亘ってACノイズ電圧の影響も受けにくくして、動作電源電圧を下げて、半導体装置が誤動作を起こすことをその使用周波数の全帯域に亘って効果的に防止出来る。

本発明のより詳細な目的は、フリップチップ実装された半導体ベアチップに適

15 した薄膜構造コンデンサ付き基板部材を提供することを目的とする。

この目的を達成するため、本発明は、背面に電源端子及びグランド端子を有し、回路基板上にフリップチップ実装された半導体ベアチップの背面に接合される薄膜構造コンデンサ付き基板部材であって、基板と該基板の表面に形成された薄膜構造コンデンサとよりなり、該薄膜構造コンデンサは、表面に上記半導体ベア

20 チップの電源端子及びグランド端子と対応する配置で配された端子を有する構成とする。

薄膜構造コンデンサ側を半導体ベアチップの背面に接合させることによって、薄膜構造コンデンサの端子が半導体ベアチップの電源端子及びグランド端子と電気的に接続させることが可能となり、薄膜構造コンデンサと半導体ベアチップの

25 電源端子及びグランド端子とを電気的に接続する作業が不要となり、半導体装置を効率良く製造出来る。また、薄膜構造コンデンサと半導体ベアチップとの間の電気的接続の経路を理想的に極く短くできる。

本発明の他の目的、特徴、及び利点は添付の図面を参照して以下の詳細な説明を読むことにより、一層明瞭となるであろう。

図面の簡単な説明

- 図1は従来例の半導体装置を示す図である。
- 図2は図1の半導体装置のCMOS型LSI半導体ベアチップに関連する回路を概略的に示す回路図である。
- 5 図3は図2の回路を構成する各コンデンサ等のVGインピーダンスの周波数特性を示す図である。
- 図4は図3の各コンデンサ等のVGインピーダンスの周波数特性を総合した特性を示す図である。
- 図5は本発明の第1実施例になる半導体装置を示す図である。
- 10 図6は図5中、円Aで囲んだ部分を拡大して示す図である。
- 図7は図5の半導体装置のCMOS型LSI半導体ベアチップに関連する回路を概略的に示す回路図である。
- 図8は図7の回路を構成する各コンデンサ等のVGインピーダンスの周波数特性を示す図である。
- 15 図9は図7の各コンデンサ等のVGインピーダンスの周波数特性を総合した特性を示す図である。
- 図10A乃至図10Fは、CMOS型LSI半導体ベアチップの製造工程を示す図である。
- 図11A乃至図11Hは、薄膜コンデンサ付き基板部材の途中までの製造工程を示す図である。
- 20 図12A乃至図12Gは、図11Hに続く、薄膜コンデンサ付き基板部材の完成までの製造工程を示す図である。
- 図13は薄膜コンデンサ付き基板部材が切り出されるウェハを示す図である。
- 図14は本発明の第2実施例になる半導体装置を示す図である。
- 25 図15は図14の半導体装置のCMOS型LSI半導体ベアチップに関連する回路を概略的に示す回路図である。
- 図16は図14の回路を構成する各コンデンサ等のVGインピーダンスの周波数特性を示す図である。
- 図17は図16の各コンデンサ等のVGインピーダンスの周波数特性を総合し

た特性を示す図である。

図18は本発明の第3実施例になる半導体装置を示す図である。

図19は本発明の第4実施例になる半導体装置を示す図である。

図20は本発明の第5実施例になる半導体装置を示す図である。

5 図21はコンデンサのVGインピーダンスの周波数特性を示す図である。

発明を実施するための最良の形態

図5は本発明の第1実施例になる半導体装置110を示す。電子回路モジュール110は、下面にバンパ端子141が配されたCMOS型LSI半導体ベア
10 チップ140と、下面に半田ボール114が配された回路基板113と、薄膜コンデンサ付き基板部材160と、ヒートシンク117と、アルミ電解コンデンサ118と、タンタルコンデンサ119と、セラミックコンデンサ120とを有する。

CMOS型LSI半導体ベアチップ140は、バンパ端子141を利用して回
15 路基板113の上面にフリップチップ実装されている。半導体ベアチップ140と回路基板113との間は、封止材139によって封止されていてもよい。回路基板113は、半田ボール114を利用してメインボード115上に実装されている。半導体ベアチップ140の背面140aには絶縁性であり熱伝導性が良好な接合材121によって薄膜コンデンサ付き基板部材160の薄膜コンデンサ側
20 が固定してあり、更に薄膜コンデンサ付き基板部材160の上面には熱伝導性接合材122によってヒートシンク117が固定してある。

アルミ電解コンデンサ118及びタンタルコンデンサ119はメインボード115上に、セラミックコンデンサ120は基板113上に実装してある。

アルミ電解コンデンサ118、タンタルコンデンサ119、及びセラミックコ
25 ンデンサ120は、VGインピーダンスZを小さくするために、図7に示すように、半導体ベアチップ140の電源端子145とグランド端子146との間に接続してある。コンデンサの浮遊インダクタンス値が、VGインピーダンスZを小さく保つ周波数帯域、即ち、有効に働く周波数帯域を決める。

アルミ電解コンデンサ118は、大容量であり、浮遊インダクタンスは大きい。

タンタルコンデンサ119は、中容量であり、浮遊インダクタンスは中程度である。セラミックコンデンサ120は、小容量であり、浮遊インダクタンスは小さい。

アルミ電解コンデンサ118は、浮遊インダクタンスが大きいため、有効に働く周波数帯域が低く、アルミ電解コンデンサ118のVGインピーダンスZの周波数特性は、図22を参照して分かるように、図8中、線XIで示すようになり、特に低周波数帯域においてVGインピーダンスZを低く保つ。タンタルコンデンサ119は、浮遊インダクタンスが中程度であるため、有効に働く周波数帯域は高く、タンタルコンデンサ119のVGインピーダンスZの周波数特性は、図8中、線XIIで示すようになり、例えば数MHz中程の周波数帯域においてVGインピーダンスZを低くする。セラミックコンデンサ120は、浮遊インダクタンスが小さいため、有効に働く周波数帯域は更に高く、セラミックコンデンサ20AのVGインピーダンスZの周波数特性は、図8中、線XIIIで示すようになり、例えば数10MHz～100MHzの高い周波数帯域においてVGインピーダンスZを低くする。

また、半導体ベアチップ140自体に薄い膜によってコンデンサが形成されている。この半導体ベアチップ内蔵コンデンサは、浮遊インダクタンスが僅かであるため、有効に働く周波数帯域は更に高く、半導体ベアチップ内蔵コンデンサのVGインピーダンスZの周波数特性は、図8中、線XIVで示すようになり、例えば数GHzより更に高い周波数帯域においてVGインピーダンスZを低くする。

以上の構成は、図1に示す従来の半導体装置10と略同じである。

次に、半導体ベアチップ140について説明する。

この半導体ベアチップ140は、その一部を拡大して示すと図6に示す構造を有する。半導体ベアチップ140は、研磨されて薄くされた薄シリコンチップ基板142と、シリコンチップ基板142の下面に形成されているCMOS型LSI回路構造部143と、CMOS型LSI回路142の下面の電極パッド144上に配されているバンプ端子141と、ビアホール構造の電源端子145と、ビアホール構造のグランド端子146とよりなる構造である。ビアホール構造電源端子145は、薄シリコンチップ基板142を貫通して、且つCMOS型LSI

回路構造部143の電源パターン143vと電氣的に接続されて形成してある。
ビアホール構造グランド端子146は、薄シリコンチップ基板142を貫通して、
且つCMOS型LSI回路構造部143のグランド層143gと電氣的に接続さ
れて形成してある。

- 5 この構造の半導体ベアチップ140は、図10A乃至10Fで示すように製造
される。先ず、図10Aに示すように、シリコンチップ基板147の下面にウェ
ハープロセスでCMOS型LSI回路構造部143の形成を終えたシリコンチッ
プ基板147をウェハー状態か切断後に研磨盤148で研磨して、シリコンチッ
10 プ基板147を薄くし、薄シリコンチップ基板142として図10Bに示すもの
を得る。次いで、図10Cに示すように、薄シリコンチップ基板142の上面側
よりエッチングを行なって、薄シリコンチップ基板142の下面にまで到るホー
ル149を形成する。次いで、図10Dに示す各ホール149の内周面に、Si
O₂等の絶縁膜150を形成する。次いで、図10Eに示すように、蒸着等によ
15 って、各ホール149の内周面の絶縁膜150の表面にアルミニウム等の金属
を被着させて各ホール149を埋めて、ビアホール構造電源端子145及びビア
ホール構造グランド端子146を形成する。最後に、CMOS型LSI回路構造
部143の各電極パッド144上にバンプ端子141を形成する。ビアホール構
造電源端子145の位置は電源用バンプ端子141vの位置と対応しており、ビ
アホール構造グランド端子146の位置はグランド用バンプ端子141gの位置
20 と対応している。

次に、薄膜コンデンサ付き基板部材160について説明する。

- この薄膜コンデンサ付き基板部材160は、その一部を拡大して示すと図6に
示す構造を有する。薄膜コンデンサ付き基板部材160は、良熱伝導性であり且
つ絶縁性を有するセラミック製の基板161と、この基板161の下面の薄膜構
25 造のコンデンサ162と、表面の保護絶縁膜163と、端子164、165とを
有する構造である。薄膜構造のコンデンサ162は、基板161の下面の導体層
166と、導体層166上の絶縁層167と、絶縁層167上の導体層168と
よりなり、導体層166と導体層168とが絶縁層167を挟んで対向する構造
である。端子164及び165は、夫々電源端子用ビアホール145及びグラン

ド端子用ビアホール146の位置に対応するように配されている。

端子164は、導体層166に立って絶縁層167を貫通しているビア169と、ビア169の端の接続パッド170と、接続パッド170より立って保護絶縁膜163を貫通しているビア171と、ビア171の端に位置して保護絶縁膜163の表面に露出している接続パッド172とよりなる構成である。

端子165は、導体層168に立って保護絶縁膜163を貫通しているビア173と、ビア173の端に位置して保護絶縁膜163の表面に露出している接続パッド174とよりなる構成である。

この薄膜構造のコンデンサ162の製造方法については後述する。

10 上記の薄膜コンデンサ付き基板部材160は、接合材121によってCMOS型LSI半導体ベアチップ140の上面に接着しており、且つ、端子164の端の接続パッド172とビアホール構造電源端子145との間、及び端子165の端の接続パッド177とビアホール構造グランド端子146との間は夫々導電性接着剤123によって接着しており、電氣的にも接続されている。即ち、図7に示すように、薄膜構造のコンデンサ62が、半導体ベアチップ40の電源端子145とグランド端子146との間に接続してある。実際には、ビアホール構造電源端子145、ビアホール構造グランド端子146、端子164、165は夫々複数形成してあり、薄膜構造のコンデンサ162と半導体ベアチップ140との電氣的接続個所は多い。

20 ここで、薄膜構造のコンデンサ62は容量が例えば1 μ F以上と大きい。また、端子164及び端子165が夫々ビアホール構造電源端子145とビアホール構造グランド端子146とに直接に接続されているため、電氣的接続の方向は専ら厚さ方向となり、電氣的接続の経路は極く短い。よって、薄膜構造のコンデンサ62のインダクタンスは小さい。更には、接続される個所が多いため、インダクタンスは更に小さい。

よって、薄膜構造のコンデンサ62のVGインピーダンスZの周波数特性は、図22を参照して分かるように、図8中、線XVIIで示すようになり、100MHzより更に高い周波数帯域、例えば1~3GHzの周波数帯域において、即ち、図4中、改善が必要である周波数帯域127において、VGインピーダンスZを

低くする。

上記の半導体装置 110 の VG インピーダンス Z の周波数特性は、前記の線 XI, XII, XIII, XIV で示す周波数特性を加え合わせた特性に、上記の線 XVII で示す周波数特性を加えた特性、即ち、図 9 に線 XV で示す特性となる。図 9 の線 XV より分
5 かるように、線 VII で示す周波数特性を加えることによって、図 4 中、改善が必要である周波数帯域 27 の VG インピーダンス Z が低下され、使用される周波数帯域 126 の全体に亘って、VG インピーダンス Z が、線 VI で示す許容 AC ノイズ電圧値より低く抑えられた状態が得られる。

これによって、半導体装置 110 は、例えば 1.5 V 又は 1 V という低い動作
10 電源電圧で、図 1 に示す従来の半導体装置 10 に比べて高い信頼性で動作する。

また、薄膜構造のコンデンサ 62 と半導体ベアチップ 40 との間の電氣的接続の経路は極く短いため、電氣的接続の経路は低周波帯域の AC ノイズや他の LSI からの AC ノイズが受けにくくなっている。このことも、半導体装置 110 の動作の信頼性を向上させている。

なお、CMOS 型 LSI が、半導体ベアチップが合成樹脂によってパッケージ
15 されてリード端子が突き出た構造である場合には、各リード端子が有するインダクタンスが大きいため、使用される周波数帯域 126 のうちの或る周波数領域で VG インピーダンスが増えてしまい、上記の要求を満たすことは困難である。そこで、CMOS 型 LSI は、インダクタンスを小さくすることが可能である構造、
20 即ち、半導体ベアチップであってフリップチップ実装が可能である構造が採用されている。また、フリップチップ実装方式は、 bumps 端子が半導体ベアチップの裏面に配されるため、 bumps 端子の数を増やすことが可能であり、CMOS 型 LSI の高集積化にも対応することが可能である。

また、半導体装置 110 において、半導体ベアチップ 40 で発生した熱は、薄
25 膜コンデンサ付き基板部材 160 に伝導され基板 161 に拡散され、ヒートシンク 117 に伝導され、ヒートシンク 117 の表面から空気中に放熱される。よって、半導体ベアチップ 40 は効率的に冷却される。

次に、薄膜構造のコンデンサ 162 の製造方法について、図 11 A 乃至 11 H、及び図 12 A 乃至 12 G を参照して説明する。

5 先ず、図11Aに示すように、セラミック製の基板161の下面に、密着性を高めるためにTiをスパッタし、その後にCuをメッキして導体層166を形成する。次いで、図11Bに示すように、導体層166の表面に比誘電率の高い絶縁体を必要に応じて数度にわけてコーティングし、その後に焼き付けて、絶縁層167を形成する。次いで、図11Cに示すように、レーザ180を照射して絶縁層167に穴181をあける。次いで、図11Dに示すように、表面の炭化物及び残渣を除去し、その後に、Cuをメッキをする。これによって、絶縁層167の表面に導体層168が形成され、導体層166と導体層168とが絶縁層167を挟んだ状態となって、薄膜構造のコンデンサ162の基本的な構造が形成される。また、穴181を埋めたCuメッキ部が、ビア169を形成する。次いで、図11Eに示すように、レジスト182を塗布し、上記ビア169に対応するパターンを有するマスク183を使用して露光を行い、続いて、図11Fに示すように、現像を行う。次いで、図11Gに示すように、エッチングを行なって、導体層168のうちビア169を囲む部分を除去し、続いて、図11Hに示すように、レジスト182を剥離する。これによって接続パッド170が形成される。

15 次いで、図12Aに示すように、表面に感光性エポキシまたは感光性ポリイミド184を塗布し、所定のパターンを有するマスク185を使用して露光を行い、続いて、図12Bに示すように、現像を行って、接続パッド170の個所に穴185を形成し、別の個所に穴186を形成する。次いで、図12Cに示すように、Cuをメッキをする。これによって、Cu膜187が形成され、また、穴185を埋めたCu膜がビア171を形成し、穴186を埋めたCu膜がビア173を形成する。

20 次いで、図12Dに示すように、レジスト188を塗布し、上記ビア171、173に対応するパターンを有するマスク189を使用して露光を行い、続いて、図12Eに示すように、現像を行う。次いで、図12Fに示すように、エッチングを行なって、導体層188のうちビア171、173を囲む部分を除去し、続いて、図12Gに示すように、レジスト188を剥離する。これによって接続パッド172、174が形成されて、端子164及び165が完成する。これによって、薄膜構造のコンデンサ162が完成し、薄膜コンデンサ付き基板部材1

60が完成する。

上記のように薄膜構造のコンデンサ162は基板161上に形成されるため、回路基板113とは別個独立に製造され、回路基板113の製造の歩留りに影響を与えない。よって、半導体装置110は、生産性良く製造される。

- 5 また、薄膜コンデンサ付き基板部材160は、実際には、図13に示すように、母基材ウェハ190の表面に複数個レイアウトして形成して、最後に切り出すことによって製造される。

次に、本発明の第2実施例になる半導体装置110Aについて、図14を参照して説明する。

- 10 図14及び図15に示す半導体装置110Aは、図5及び図7に示す半導体装置110とは、セラミックコンデンサ120が設けられていない点で相違する。

- 15 薄膜コンデンサ付き基板部材160Aの薄膜構造のコンデンサ162Aは、VGインピーダンスZの周波数特性が、図16中、線XVIIAで示すようになるように、即ち、線XIIで示す周波数特性の一部にかかるように構成してある。薄膜構造のコンデンサ162AがこのようなVGインピーダンスZの周波数特性を有していることによって、セラミックコンデンサ120は省略されている。

上記の半導体装置110AのVGインピーダンスZの周波数特性は、前記の線XI, XII, XIVで示す周波数特性を加え合わせた特性に、上記のXVIIAで示す周波数特性を加えた特性をを加えた特性、即ち、図16に線XVAで示す特性となる。

- 20 図16の線XVAより分かるように、図4中、改善が必要である周波数帯域27のVGインピーダンスZが低下され、且つ、線XIIで示す周波数特性のうちの高周波数側の部分が抑えられて、使用される周波数帯域126の全体に亘って、VGインピーダンスZが、線VIで示す許容ACノイズ電圧値より低く抑えられたものとなる。

- 25 これによって、半導体装置110Aは、例えば1.5V又は1Vという低い動作電源電圧で、従来の半導体装置10に比べて高い信頼性で動作する。

次に、本発明の第3実施例になる半導体装置110Bについて、図18を参照して説明する。

半導体装置110Bは、CMOS型LSI半導体ベアチップ140と、流れる

電流が少ない半導体ベアチップ201とが混在している構造である。即ち、半導体装置110Bは、下面にピン端子200が突き出て並んでいる回路基板113Bと、回路基板113Bの上面にフリップチップ実装してあるCMOS型LSI半導体ベアチップ140と、半導体ベアチップ140上に重ねて実装してある薄膜コンデンサ付き基板部材160と、半導体ベアチップ140と並んで回路基板113Bの上面にフリップチップ実装してある半導体ベアチップ201と、薄膜コンデンサ付き基板部材160及び半導体ベアチップ201の上面に共通に接着してあるヒートシンク117Bとよりなる構成である。

半導体ベアチップ201は、半導体ベアチップ140と薄膜コンデンサ付き基板部材160とを合わせた厚さである。これによって、ヒートシンク117Bが薄膜コンデンサ付き基板部材160及び半導体ベアチップ201の上面に共通に接着してある。ヒートシンク117Bの端部は、回路基板113B上に固定してある。

半導体ベアチップ140には薄膜コンデンサ付き基板部材160上の薄膜コンデンサ162が電氣的に接続されており、半導体ベアチップ140のCMOS型LSI回路構造部は、従来に比べて低い動作電源電圧でもACノイズの影響を受けずに高い信頼性で動作する。

半導体ベアチップ201は流れる電流が少ない性質のものである。よって、VGインピーダンスZが少し高くても、ACノイズの影響を受けにくい。

次に、本発明の第4実施例になる半導体装置110Cについて、図19を参照して説明する。

この半導体装置110Cは、大略、下面に半田ボール114が配された回路基板113Cと、下面にバンプ端子141Cを利用して、回路基板113Cの上面にフリップチップ実装してあるCMOS型LSI半導体ベアチップ140Cと、この半導体ベアチップ140Cの上面に接着してある薄膜コンデンサ付き基板部材160Cとよりなる構成である。

CMOS型LSI半導体ベアチップ140Cは、シリコンチップ基板147Cの下面にCMOS型LSI回路構造部143Cが形成されており、CMOS型LSI回路構造部143Cの下面にバンプ端子141Cが並んでいる構成である。

シリコンチップ基板147Cは、通常の厚さであり、且つ、ビアホール構造の端子は有していない。

半導体装置110Cは、回路基板113Cの下面の半田ボール114Cを利用してメインボード115C上に実装されている。

- 5 この薄膜コンデンサ付き基板部材160Cは、良導電性及び良伝熱性を有する基板161Cの下面に薄膜構造のコンデンサ162Cを有する構造である。基板161Cの材質は、銅合金、アルミニウム合金、金属を含浸したカーボン材などが使用される。薄膜構造コンデンサ162Cは、基板161Cの下面の導体層166Cと、導体層166C上の絶縁層167Cと、絶縁層167C上の導体層168Cとよりなり、導体層166Cと導体層168Cとが絶縁層167Cを挟んで対向する構造である。

薄膜コンデンサ付き基板部材160Cは、導体層168C側を、導電性且つ熱伝導性を有する接着剤210で半導体ベアチップ140Cの上面に接着されている。

- 15 薄膜コンデンサ付き基板部材160Cの基板161Cの上面と、回路基板113の上面の電源端子211との間が可撓性端子212によって電氣的に接続してある。可撓性端子212と電源端子211とは半田又は導電性接着剤によって接続されている。

- よって、薄膜構造コンデンサ162Cの導体層168Cは、接着剤210→シリコンチップ基板147Cを介してCMOS型LSI回路構造部143Cのグラウンド層と電氣的に接続されている。薄膜構造コンデンサ162Cの導体層166Cは、基板161C→可撓性端子212→回路基板113Cのパターン→バンプ端子141Cを介してCMOS型LSI回路構造部143Cの電源層と電氣的に接続されている。よって、薄膜構造コンデンサ162Cは、図7に示すと同じく
- 25 CMOS型LSI半導体ベアチップ140Cに、インダクタンスを小さくされて電氣的に接続されている。

これにより、半導体装置110Cは、VGインピーダンスZが低くなるように電氣的特性が改善され、例えば1.5V又は1Vという低い動作電源電圧でも高い信頼性で動作する。

次に、本発明の第5実施例になる半導体装置110Dについて、図20を参照して説明する。

この半導体装置110Dは、薄膜コンデンサ付き基板部材160Dの基板161Dが良伝熱性を有するが絶縁性である点が相違し、それ以外は、図18に示す半導体装置110Cと略同じである。図19中、図18に示す構成部分と対応する構成部分には添字「D」を付した同じ符号を付し、その説明は省略する。

基板161Dの材質は、窒化アルミニウム、窒化珪素、シリコンカーバイド、窒化硼素、アルミナのうちのいずれか一つである。

薄膜コンデンサ付き基板部材160Dは、半導体ベアチップ140Cよりひと回り大きく、半導体ベアチップ140Cより張り出ている。導体層166Dのうち、この張り出ている個所と、回路基板113Cの上面の電源端子211Dとの間が可撓性端子212Dによって電氣的に接続してある。可撓性端子212Dは複数個所に設けてある。

よって、薄膜構造コンデンサ162Dの導体層168Dは、接着剤210D→シリコンチップ基板147Dを介してCMOS型LSI回路構造部143Dのグラウンド層と電氣的に接続されている。薄膜構造コンデンサ162Dの導体層166Dは、複数の可撓性端子212D→回路基板113Dのパターン→バンプ端子141Dを介してCMOS型LSI回路構造部143Cの電源層と電氣的に接続されている。よって、薄膜構造コンデンサ162Dは、図7に示すと同じくCMOS型LSI半導体ベアチップ140Dに、インダクタンスを小さくされて電氣的に接続されている。

これにより、半導体装置110Dは、VGインピーダンスZが低くなるように電氣的特性が改善され、例えば1.5V又は1Vという低い動作電源電圧でも高い信頼性で動作する。

請求の範囲

1. 回路基板上にフリップチップ実装された半導体ベアチップと、
基板と該基板の表面に形成された薄膜構造コンデンサとよりなる薄膜構造コン
5 デンサ付き基板部材とを有し、
該薄膜構造コンデンサ付き基板部材が、該薄膜構造コンデンサを上記半導体ベ
アチップの背面に接合されて搭載されており、
該薄膜構造コンデンサが上記半導体ベアチップの電源端子とグランド端子との
間に電氣的に接続されている構成とした半導体装置。
- 10
2. 背面に電源端子及びグランド端子を有する構造であり、回路基板上にフ
リップチップ実装された半導体ベアチップと、
基板と該基板の表面に形成された薄膜構造コンデンサとよりなり、該薄膜構造
コンデンサは、表面に上記半導体ベアチップの電源端子及びグランド端子に対応
15 する端子を有する構成である薄膜構造コンデンサ付き基板部材とを有し、
該薄膜構造コンデンサ付き基板部材が、該薄膜構造コンデンサの端子を上記半
導体ベアチップの電源端子及びグランド端子と電氣的に接続されて、該薄膜構造
コンデンサを上記半導体ベアチップの背面に接合されて搭載されている構成とし
た半導体装置。
- 20
3. クレーム2の半導体装置において、
上記半導体ベアチップの背面の電源端子及びグランド端子は夫々複数形成して
あり、
上記薄膜構造コンデンサ付き基板部材の薄膜構造コンデンサは、表面に上記半
25 導体ベアチップの電源端子及びグランド端子に対応する数の端子を有し、
上記薄膜構造コンデンサの各端子が上記半導体ベアチップの電源端子及びグラ
ンド端子と電氣的に接続されている構成とした半導体装置。

4. クレーム 1 又は 2 の半導体装置において、
上記半導体ベアチップの電源端子とグランド端子との間に電氣的に接続されて、
上記回路基板上に実装されたコンデンサ素子を更に有する構成とした半導体装置。
- 5 5. クレーム 1 又は 2 の半導体装置において、
該薄膜構造コンデンサ付き基板部材の基板は良熱伝導体である構成とした半導
体装置。
6. クレーム 1 又は 2 の半導体装置において、
10 該薄膜構造コンデンサ付き基板部材の基板は良熱伝導体であり、
且つ、該該薄膜構造コンデンサ付き基板部材の基板に、ヒートシンクを接合し
た構成の半導体装置。
7. 背面に電源端子及びグランド端子を有し、回路基板上にフリップチップ実
15 装された半導体ベアチップの背面に接合される薄膜構造コンデンサ付き基板部材
であって、
基板と該基板の表面に形成された薄膜構造コンデンサとよりなり、該薄膜構造
コンデンサは、表面に上記半導体ベアチップの電源端子及びグランド端子と対応
する配置で配された端子を有する構成である薄膜構造コンデンサ付き基板部材。

FIG. 1

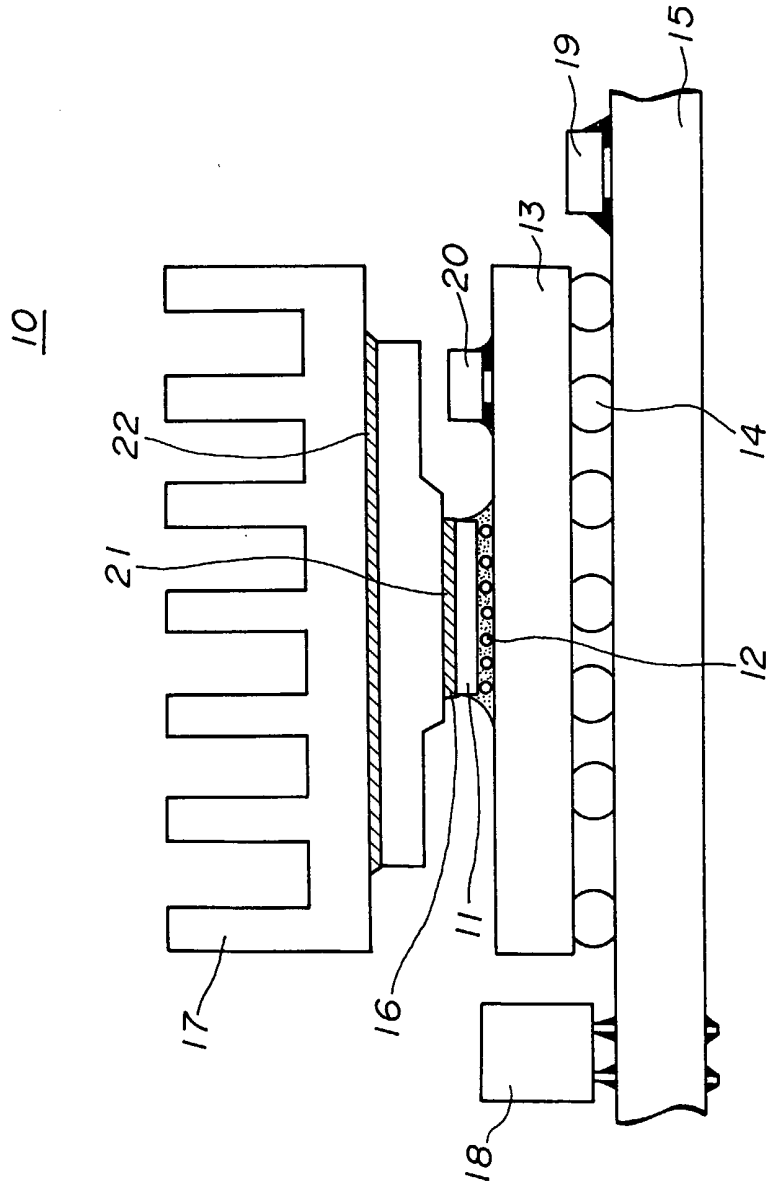


FIG.2

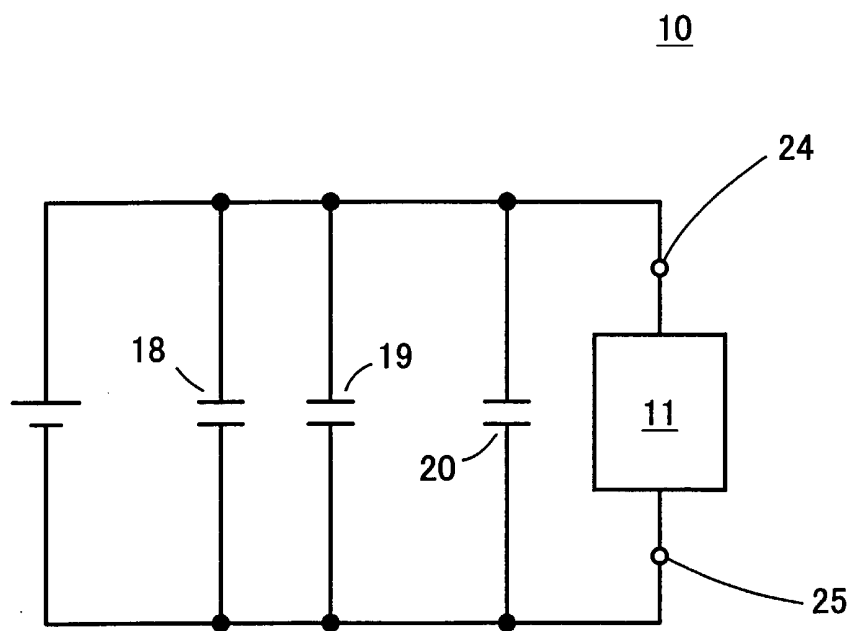


FIG. 3

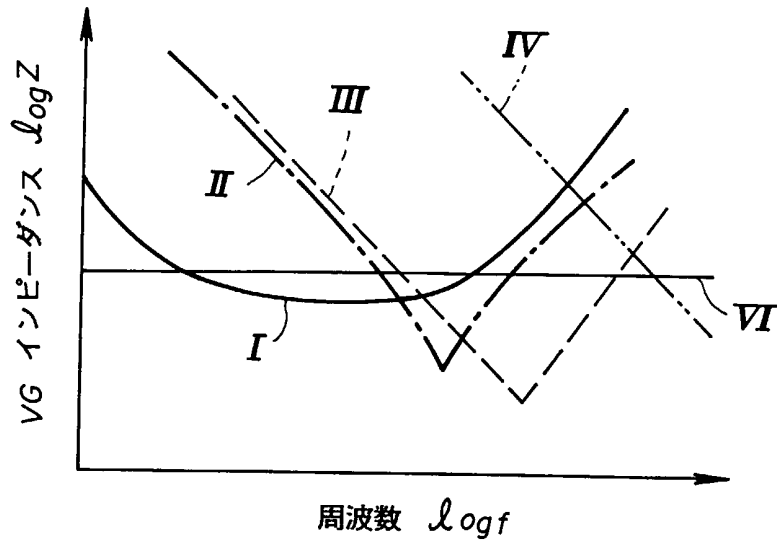


FIG. 4

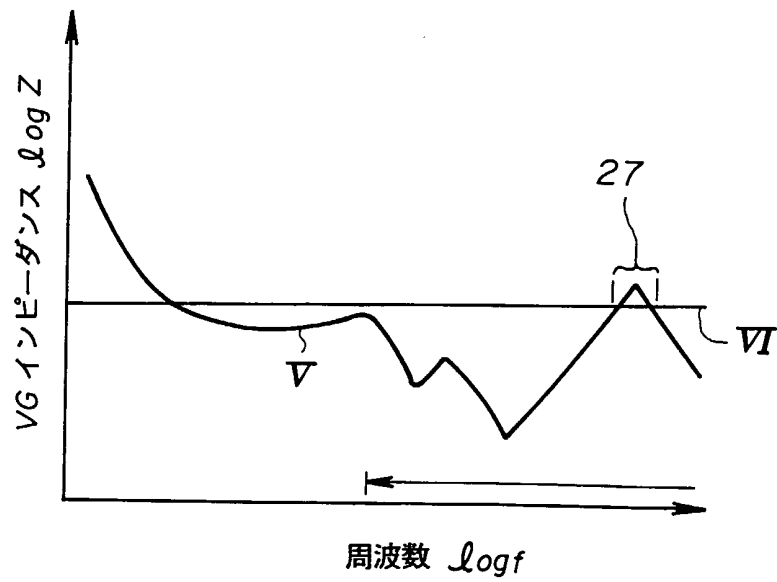


FIG. 5

110

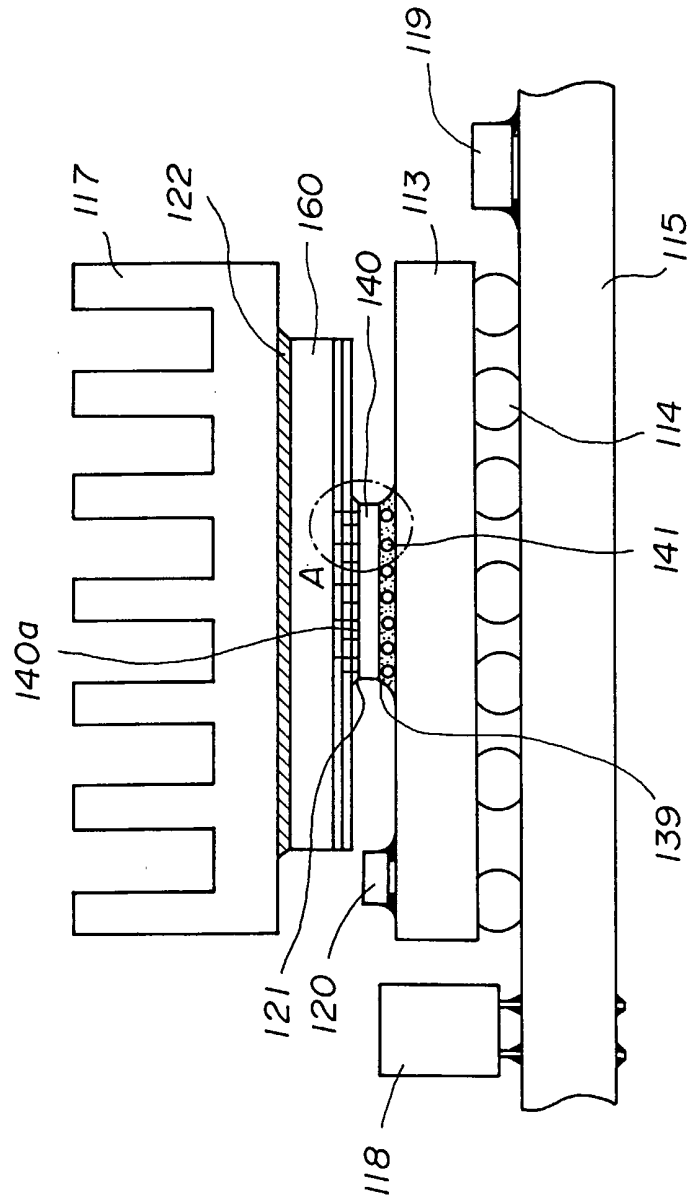


FIG. 6

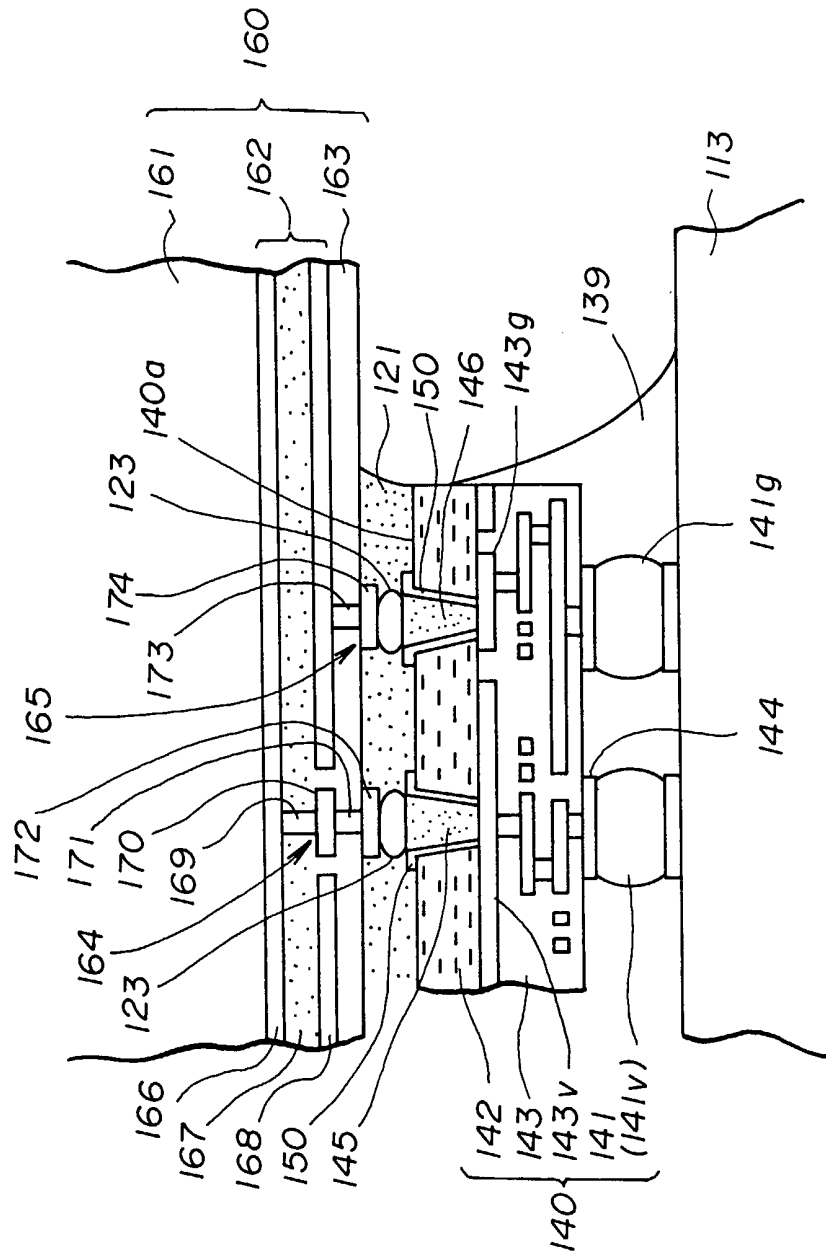


FIG. 7

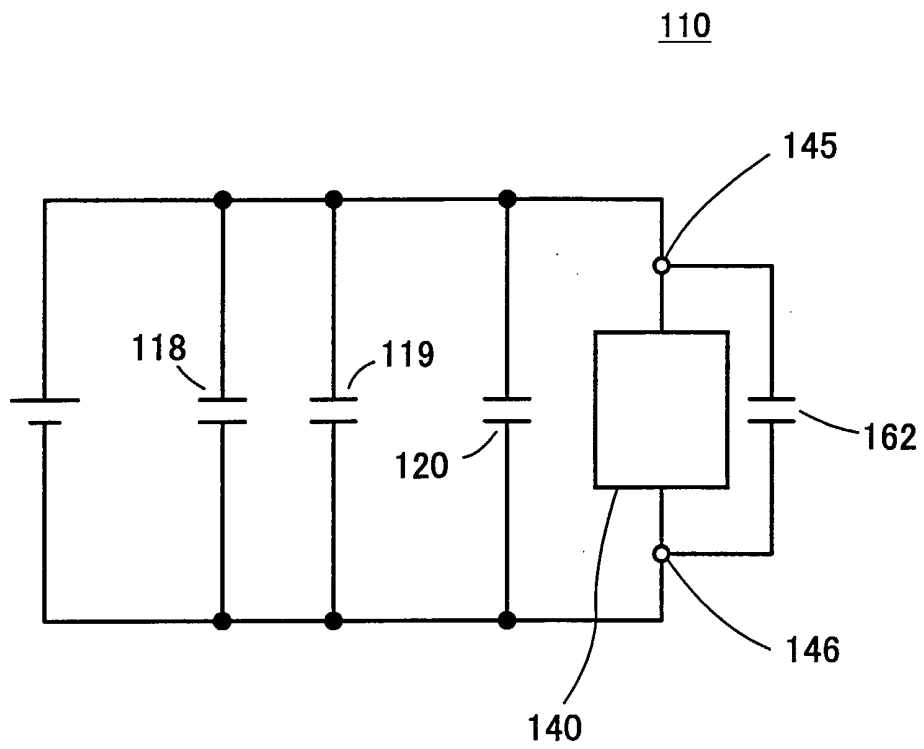


FIG. 8

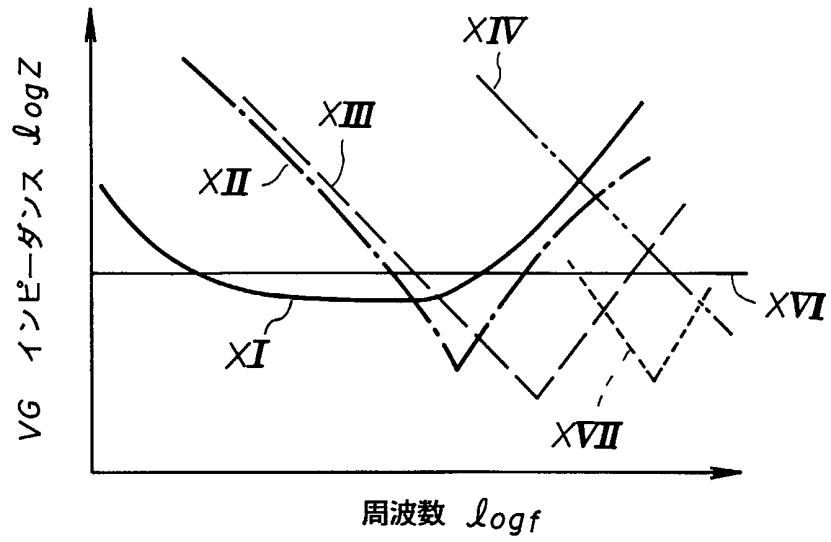


FIG. 9

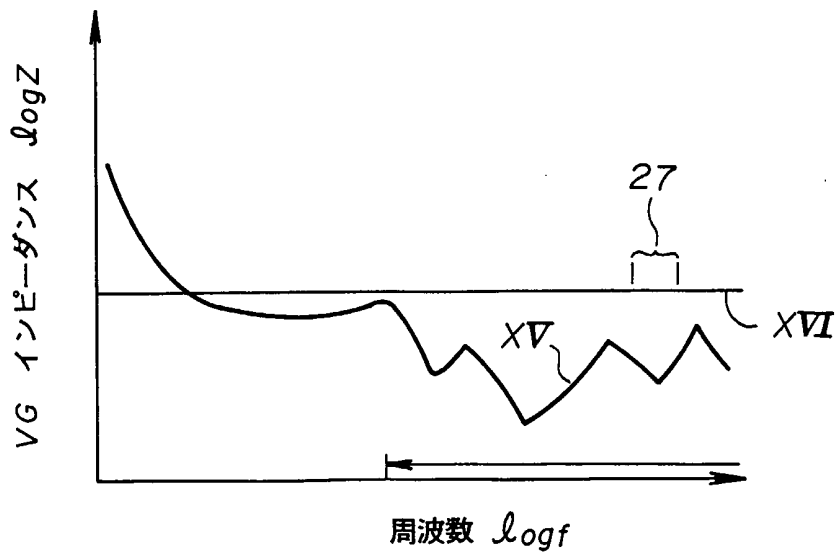


FIG.10A

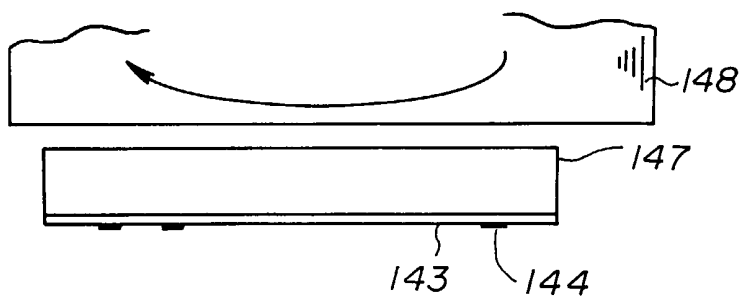


FIG.10B

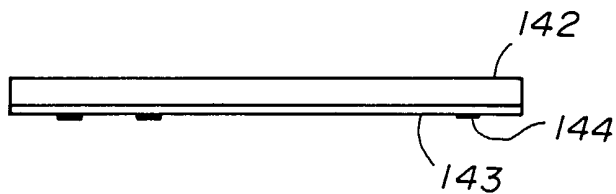


FIG.10C

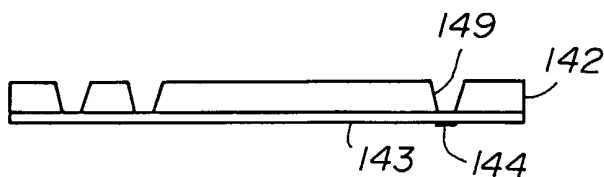


FIG. 10D

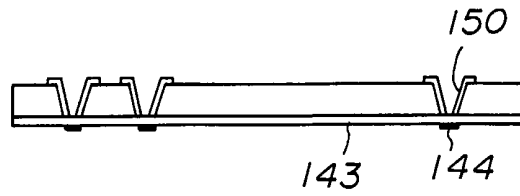


FIG. 10E

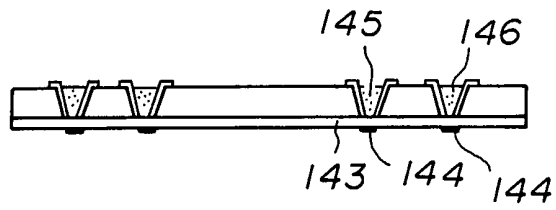


FIG. 10F

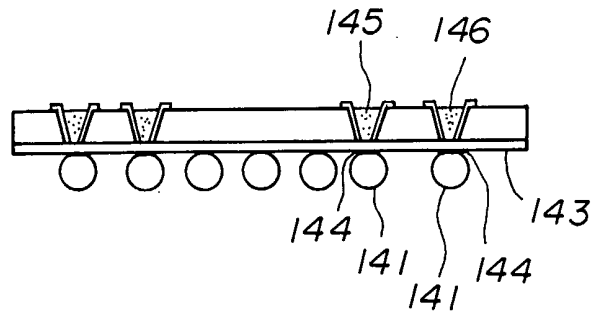


FIG. IIA

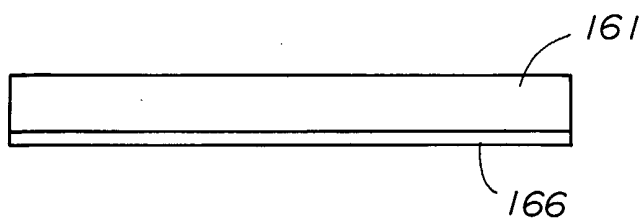


FIG. IIB

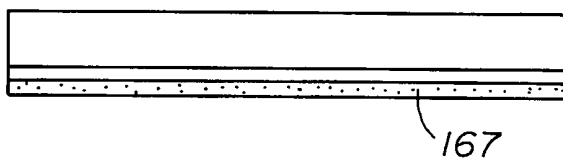


FIG. IIC

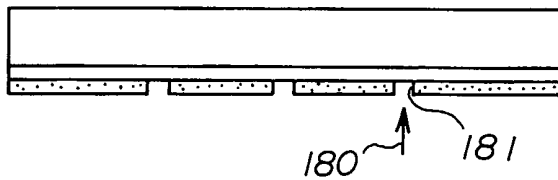


FIG. IID

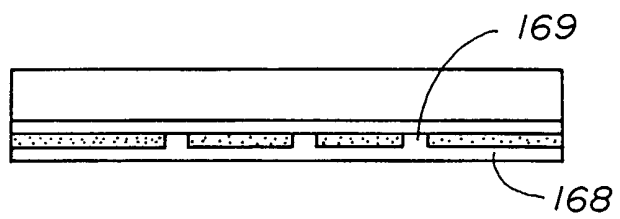


FIG. IIE

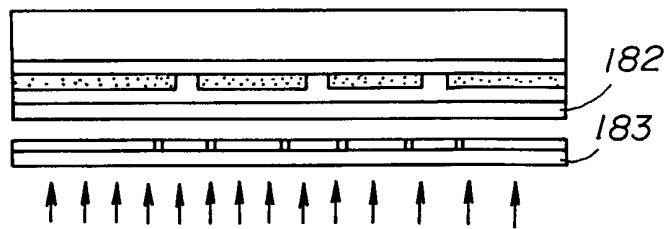


FIG. IIF

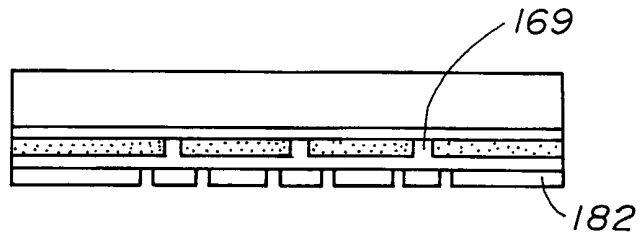


FIG. IIG

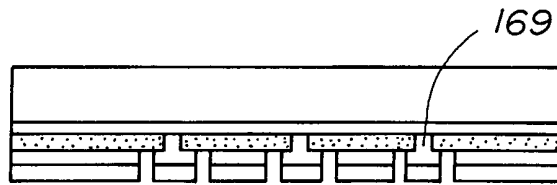


FIG. IIH

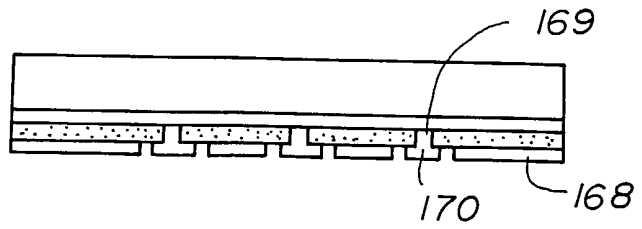


FIG. 12A

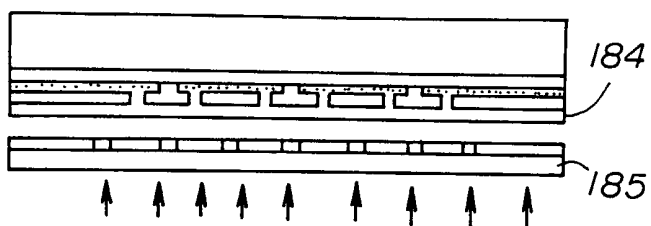


FIG. 12B

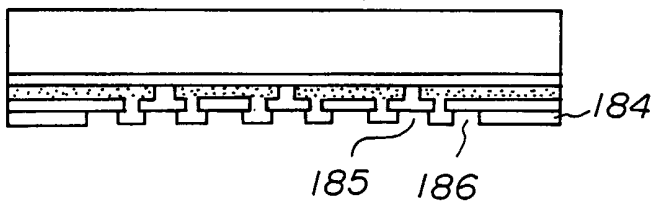


FIG. 12C

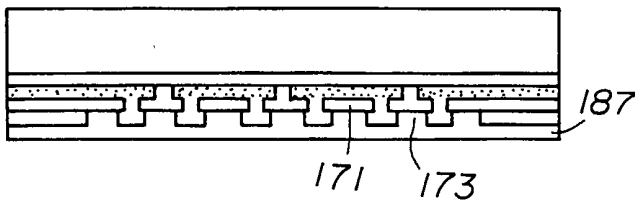


FIG.12D

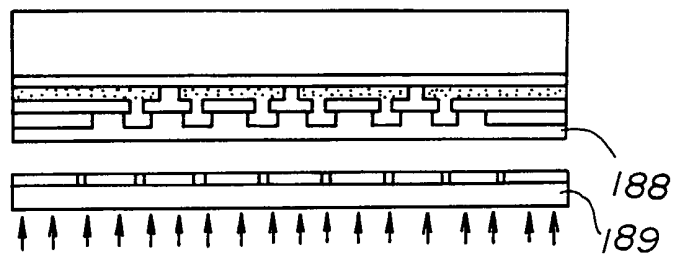


FIG.12E

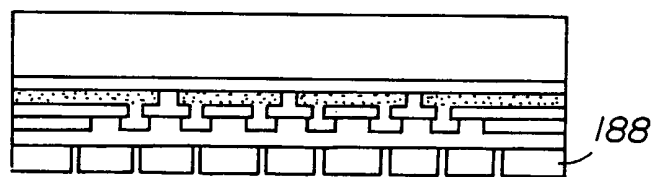


FIG.12F

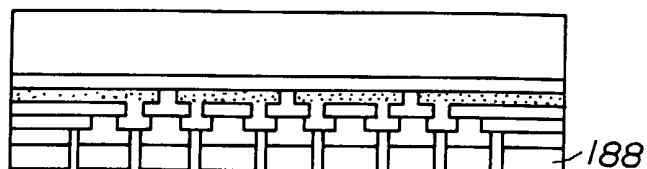


FIG.12G

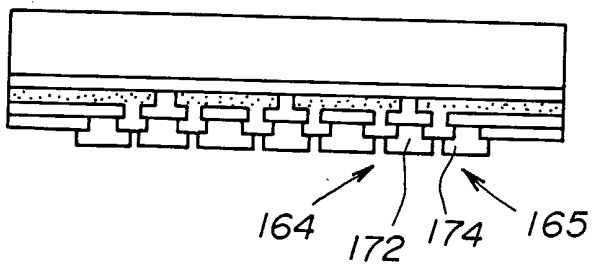


FIG.13

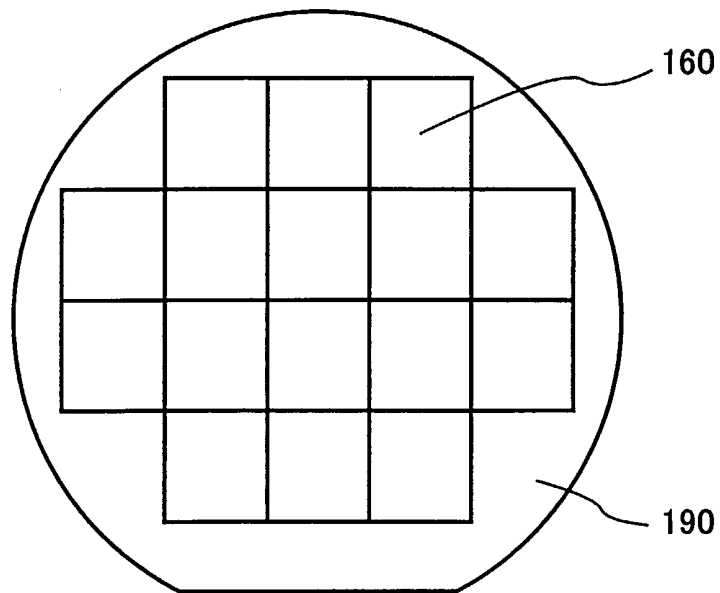


FIG. 14

110A

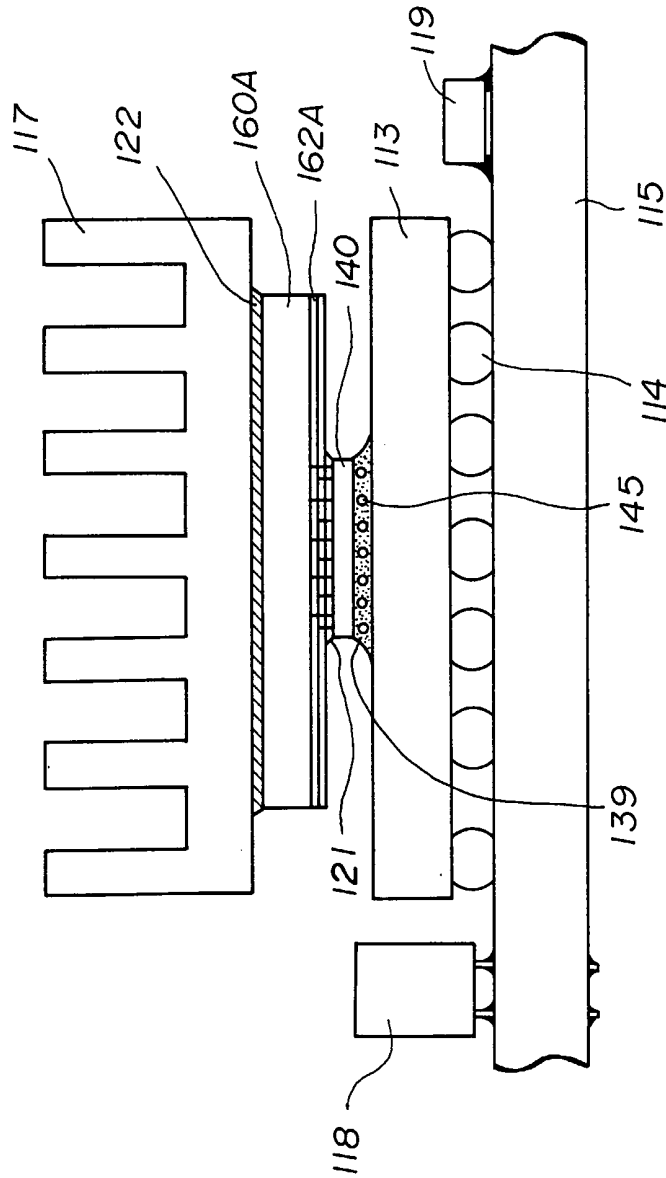


FIG.15

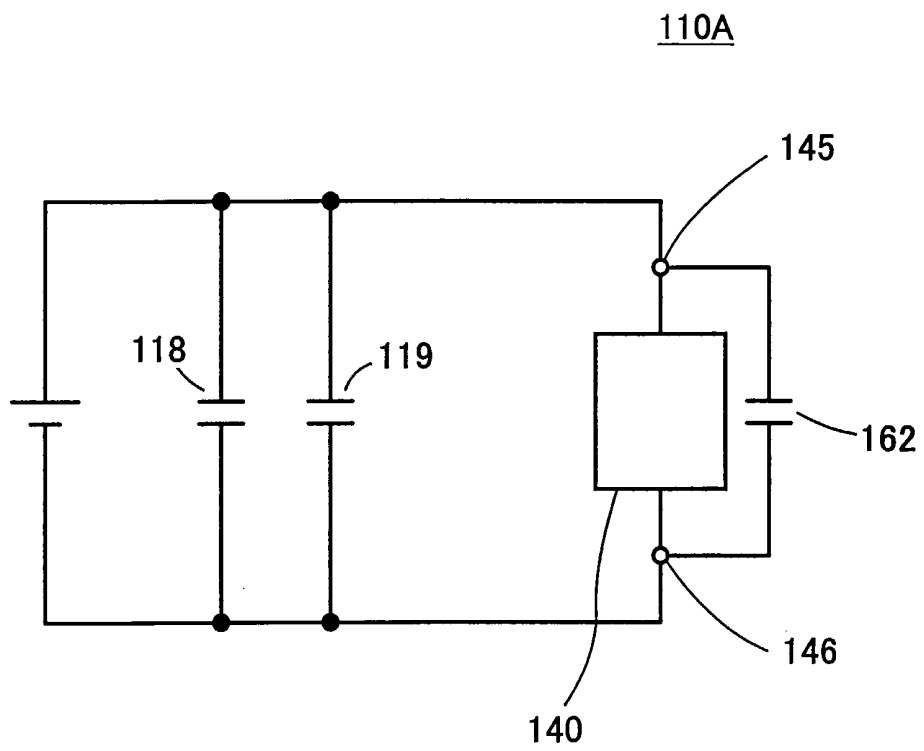


FIG. 16

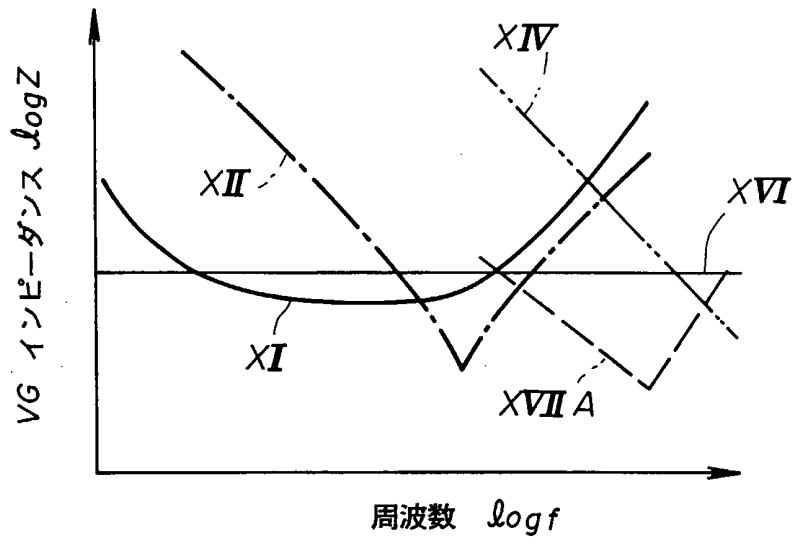


FIG. 17

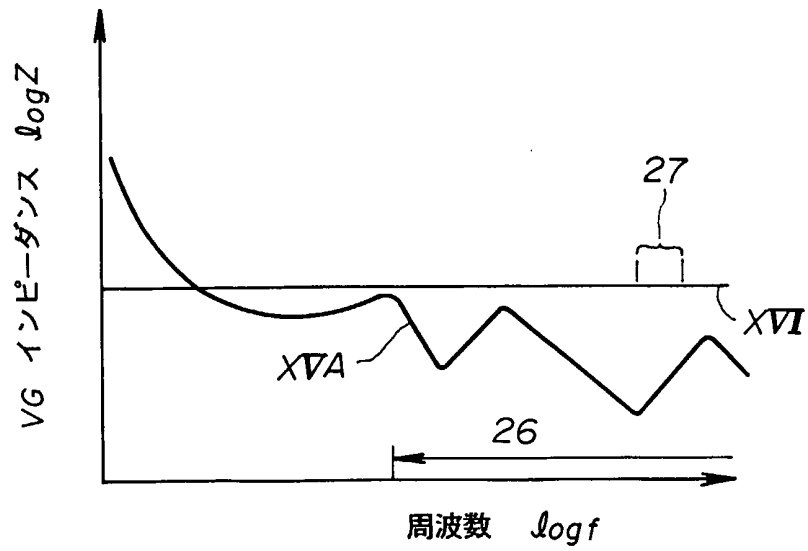


FIG. 18

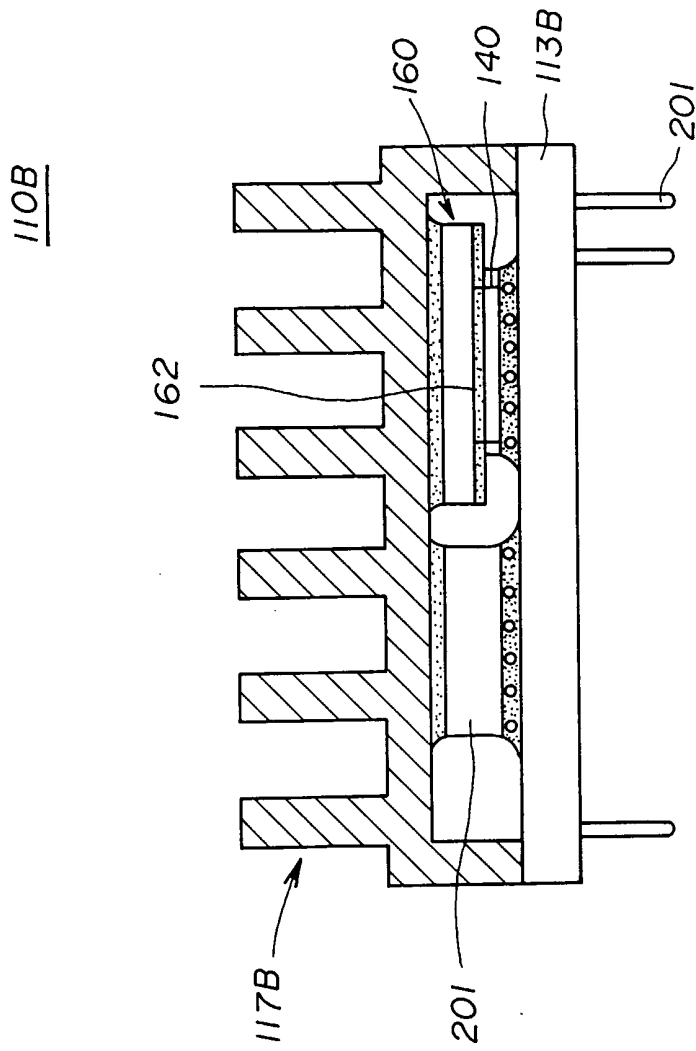


FIG. 19

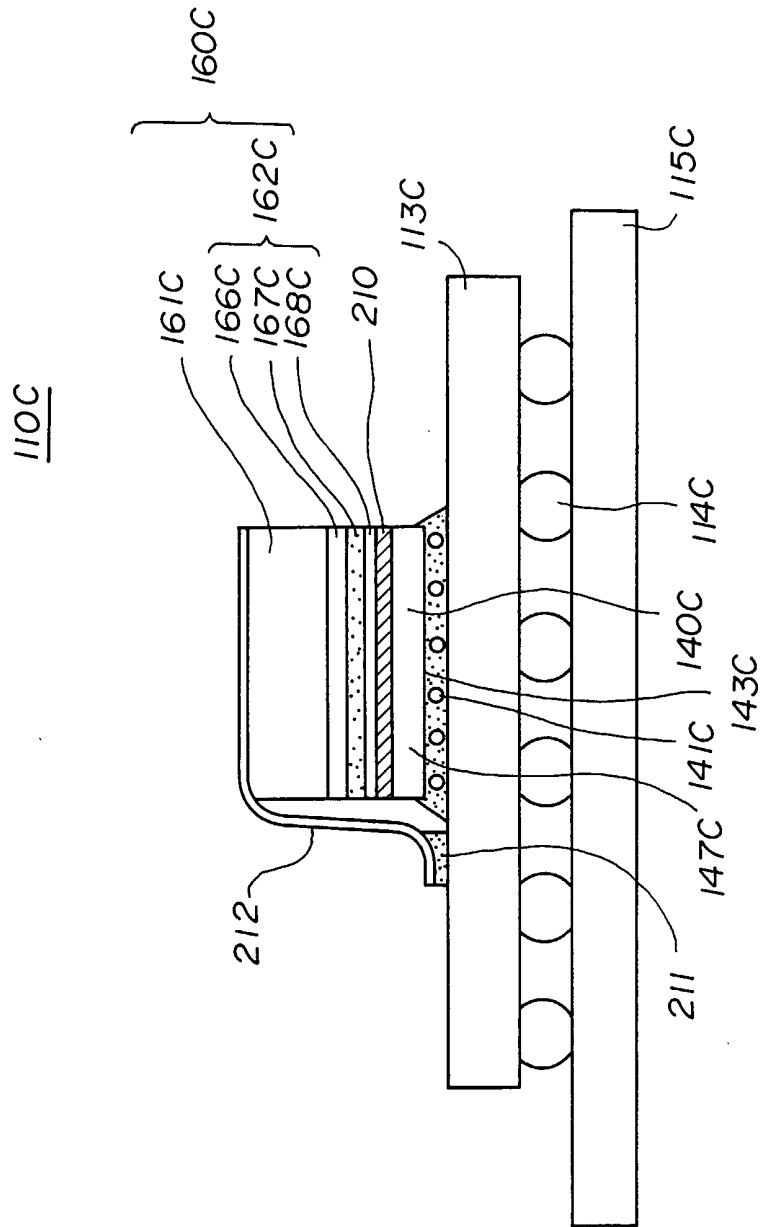


FIG. 20

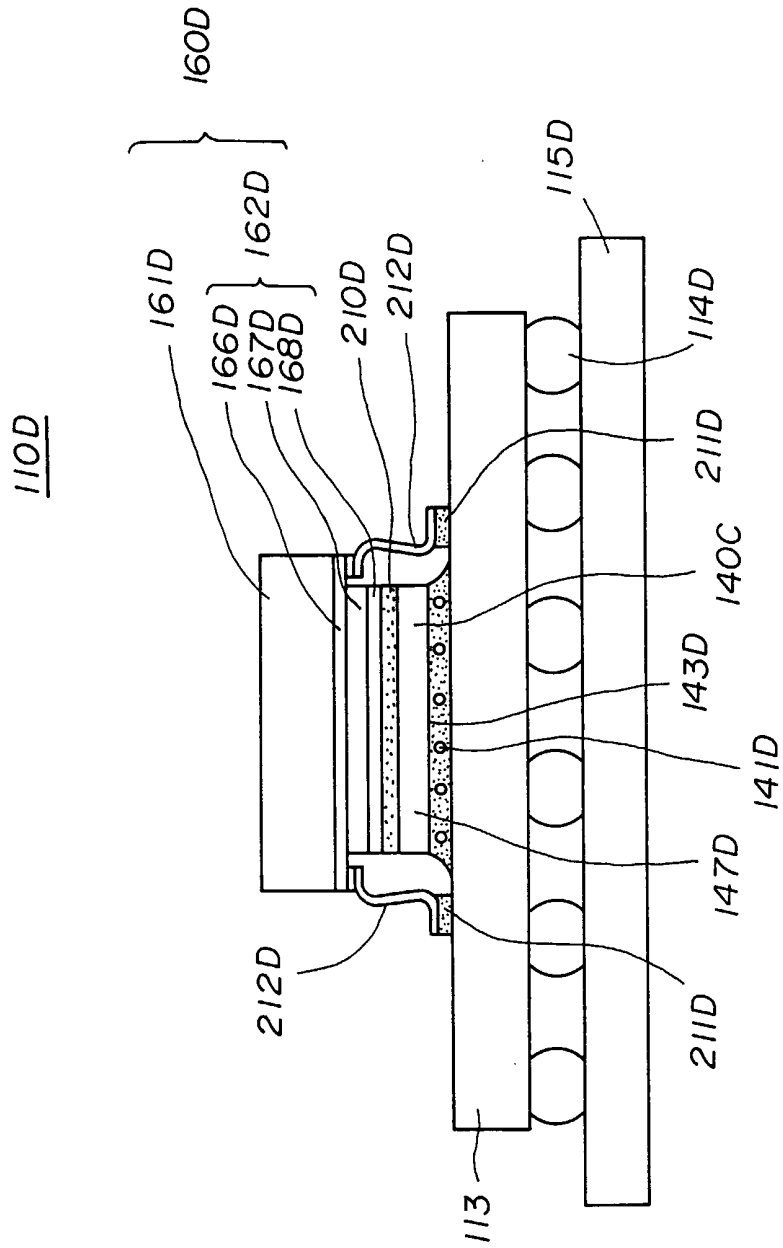
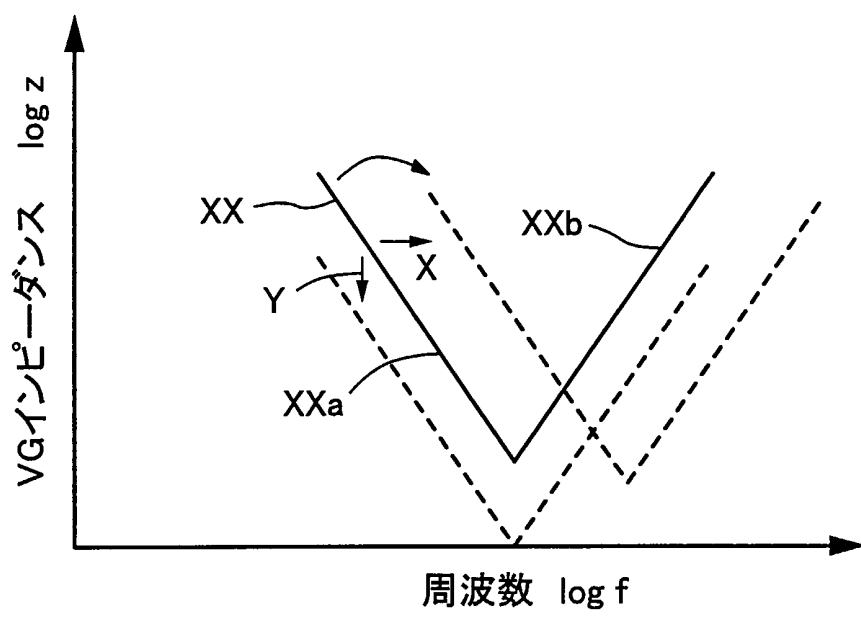


FIG.21



INTERNATIONAL SEARCH REPORT

International application No. PCT/JP99/07257

A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl⁷ H01L25/00, H01L23/36, H01L27/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 Int.Cl⁷ H01L25/00, H01L23/36, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT


Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 4-211191, A (Hitachi, Ltd.), 03 August, 1992 (03.08.92), Full text; Figs. 1 to 17 (Family: none)	1-7
A	JP, 5-343603, A (NEC Corporation), 24 December, 1993 (24.12.93), Full text; Fig. 2 (Family: none)	1-7
A	JP, 8-181245, A (Sumitomo Metal Industries, Ltd.), 12 July, 1996 (12.07.96), Full text; Figs. 1 to 6 (Family: none)	1-7
A	JP, 10-294331, A (Matsushita Electric Ind. Co., Ltd.), 04 November, 1998 (04.11.98), Full text; Figs. I-10 (Family: none)	1-7

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 28 March, 2000 (28.03.00)	Date of mailing of the international search report 04 April, 2000 (04.04.01)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L25/00, H01L23/36, H01L27/04		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L25/00, H01L23/36, H01L27/04		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2000年 日本国登録実用新案公報 1994-2000年 日本国実用新案登録公報 1996-2000年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 4-211191, A (株式会社日立製作所) 03. 8月. 1992 (03. 08. 92) 全文, 第1-17図 (ファミリーなし)	1-7
A	JP, 5-343603, A (日本電気株式会社) 24. 12月. 1993 (24. 12. 93) 全文, 第2図 (ファミリーなし)	1-7
A	JP, 8-181245, A (住友金属工業株式会社) 12. 7月. 1996 (12. 07. 96) 全文, 第1-6図 (ファミリーなし)	1-7
<input checked="" type="checkbox"/> C欄の続きにも文献が列举されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	28. 03. 00	国際調査報告の発送日
		04.04.00
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	4 R 2929
日本国特許庁 (ISA/JP)	長谷山 健	
郵便番号100-8915		
東京都千代田区霞が関三丁目4番3号	電話番号 03-3581-1101	内線 3470

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 10-294331, A (松下電器産業株式会社) 4. 11月. 1998 (04. 11. 98) 全文, 第I-10図 (ファミリーなし)	1-7