

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-54572

(P2017-54572A)

(43) 公開日 平成29年3月16日(2017.3.16)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 G	5 B 2 2 5
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E	
	G 1 1 C 17/00 6 4 1	
	G 1 1 C 17/00 6 1 4	
	G 1 1 C 17/00 6 1 1 A	

審査請求 未請求 請求項の数 9 O L (全 32 頁)

(21) 出願番号 特願2015-179942 (P2015-179942)
 (22) 出願日 平成27年9月11日 (2015.9.11)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100103034
 弁理士 野河 信久
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100153051
 弁理士 河野 直樹
 (74) 代理人 100140176
 弁理士 砂川 克
 (74) 代理人 100179062
 弁理士 井上 正

最終頁に続く

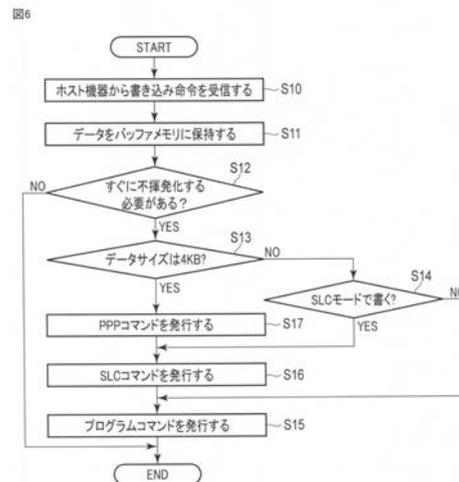
(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】動作信頼性を向上出来るメモリシステムを提供する。

【解決手段】一実施形態のメモリシステムは、コントローラと、半導体記憶装置とを具備する。第1モード(PPP modeのZN0選択)では、第1カラム群ZN0にデータが書き込まれる。第2モード(PPP modeのZN3選択)では、第2カラム群ZN3にデータが書き込まれる。半導体記憶装置は書き込み動作における動作設定値につき、第1モード(ZN0選択時)では第1設定値を用い、第2モード(ZN3選択時)では前記第1設定値と異なる第2設定値を用いる。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

ロウ及びカラムに関連付けられた複数のメモリセルを含む半導体記憶装置と、
前記半導体記憶装置に対して、第 1 モード及び第 2 モードのいずれかのモードでデータ
を書き込むコントローラと

を具備し、前記第 1 モードでは、いずれかのロウアドレスにつき、アドレスの連続する
第 1 カラム及び第 2 カラムを含み、全カラムの一部である第 1 カラム群に対応するメモリ
セルにデータが書き込まれ、アドレスが連続する第 3 カラム及び第 4 カラムを含み、前記
第 1 カラム群と異なる第 2 カラム群に対応するメモリセルは書き込み禁止とされ、

前記第 2 モードでは、前記第 2 カラム群に対応するメモリセルにデータが書き込まれ、
前記第 1 カラム群に対応するメモリセルは書き込み禁止とされ、

前記半導体記憶装置は前記書き込み動作におけるワード線の動作設定値につき、前記第
1 モードでは第 1 設定値を用い、前記第 2 モードでは前記第 1 設定値と異なる第 2 設定値
を用いる

ことを特徴とするメモリシステム。

【請求項 2】

前記動作設定値は、ベリファイ電圧である

ことを特徴とする請求項 1 記載のメモリシステム。

【請求項 3】

前記動作設定値は、プログラム電圧のステップアップ幅である

ことを特徴とする請求項 1 記載のメモリシステム。

【請求項 4】

前記第 1 モードでは、第 1 電圧をベリファイ電圧として用いてデータが書き込まれ、
前記第 2 モードでは、前記第 1 電圧と異なる第 2 電圧をベリファイ電圧に用いて、前記
第 2 カラム群に対応するメモリセル、及び前記第 1 カラム群に対応するメモリセルのうち
、閾値が前記第 1 電圧と第 2 電圧との間であるメモリセルにデータが書き込まれる

ことを特徴とする請求項 1 記載のメモリシステム。

【請求項 5】

ロウ及びカラムに関連付けられた複数のメモリセルを含む半導体記憶装置と、
前記半導体記憶装置に対して、第 1 モード及び第 2 モードのいずれかのモードでデータ
を書き込むコントローラと

を具備し、前記第 1 モードでは、いずれかのロウアドレスにつき、アドレスの連続する
第 1 カラム及び第 2 カラムを含み、全カラムの一部である第 1 カラム群に対応するメモリ
セルに、第 1 電圧をベリファイ電圧として用いてデータが書き込まれ、アドレスが連続す
る第 3 カラム及び第 4 カラムを含み、前記第 1 カラム群と異なる第 2 カラム群に対応する
メモリセルは書き込み禁止とされ、

前記第 2 モードでは、前記第 1 電圧と異なる第 2 電圧をベリファイ電圧に用いて、前記
第 2 カラム群に対応するメモリセル、及び前記第 1 カラム群に対応するメモリセルのうち
、閾値が前記第 1 電圧と第 2 電圧との間であるメモリセルにデータが書き込まれ、残りは
書き込み禁止とされる

ことを特徴とするメモリシステム。

【請求項 6】

前記第 2 電圧は前記第 1 電圧よりも大きい

ことを特徴とする請求項 5 記載のメモリシステム。

【請求項 7】

前記コントローラは、更に第 3 モードでデータを書き込み可能であり、該第 3 モード
では、いずれかのロウアドレスにつき、全カラムに対応するメモリセルにデータが書き込ま
れる

ことを特徴とする請求項 1 または 5 記載のメモリシステム。

【請求項 8】

10

20

30

40

50

前記コントローラは、前記第 1 モードまたは第 2 モードを選択した際には第 1 コマンドを前記半導体記憶装置へ発行し、前記第 3 モードを選択した際には、前記第 1 コマンドと異なる第 2 コマンドを前記半導体記憶装置へ発行する

ことを特徴とする請求項 7 記載のメモリシステム。

【請求項 9】

前記コントローラは、前記第 1 コマンドに引き続き、いずれのカラム群を選択したかを示す情報を前記半導体記憶装置へ発行する

ことを特徴とする請求項 8 記載のメモリシステム。

【発明の詳細な説明】

【技術分野】

10

【0001】

実施形態は、メモリシステムに関する。

【背景技術】

【0002】

メモリセルが三次元に配列された NAND 型フラッシュメモリが知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2011 - 258289 号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0004】

動作信頼性を向上出来るメモリシステムを提供する。

【課題を解決するための手段】

【0005】

本実施形態のメモリシステムは、ロウ及びカラムに関連付けられた複数のメモリセルを含む半導体記憶装置と、半導体記憶装置に対して、第 1 モード及び第 2 モードのいずれかのモードでデータを書き込むコントローラとを具備する。第 1 モードでは、いずれかのロウアドレスにつき、アドレスの連続する第 1 カラム及び第 2 カラムを含み、全カラムの一部である第 1 カラム群に対応するメモリセルにデータが書き込まれ、アドレスが連続する第 3 カラム及び第 4 カラムを含み、第 1 カラム群と異なる第 2 カラム群に対応するメモリセルは書き込み禁止とされる。第 2 モードでは、第 2 カラム群に対応するメモリセルにデータが書き込まれ、第 1 カラム群に対応するメモリセルは書き込み禁止とされる。半導体記憶装置は書き込み動作におけるワード線の動作設定値につき、第 1 モードでは第 1 設定値を用い、第 2 モードでは第 1 設定値と異なる第 2 設定値を用いる。

30

【図面の簡単な説明】

【0006】

【図 1】図 1 は、第 1 実施形態に係るメモリシステムのブロック図である。

【図 2】図 2 は、第 1 実施形態に係る半導体記憶装置の備えるブロックの回路図である。

【図 3】図 3 は、第 1 実施形態に係る半導体記憶装置の備えるブロックの断面図である。

40

【図 4】図 4 は、第 1 実施形態に係る半導体記憶装置におけるページの概念図である。

【図 5】図 5 は、第 1 実施形態に係る半導体記憶装置の備える条件テーブルの概念図である。

【図 6】図 6 は、第 1 実施形態に係るコントローラの動作を示すフローチャートである。

【図 7】図 7 は、第 1 実施形態に係るメモリシステムのコマンドシーケンスを示すタイミングチャートである。

【図 8】図 8 は、第 1 実施形態に係るメモリシステムのコマンドシーケンスを示すタイミングチャートである。

【図 9】図 9 は、第 1 実施形態に係るメモリシステムのコマンドシーケンスを示すタイミングチャートである。

50

【図10】図10は、第1実施形態に係る半導体記憶装置の動作を示すフローチャートである。

【図11】図11は、第1実施形態に係る半導体記憶装置で実行されるプリベリファイの概念図である。

【図12】図12は、第1実施形態に係る半導体記憶装置の書き込み動作時における各種信号の電圧変化を示すタイミングチャートである。

【図13】図13は、第1実施形態に係る半導体記憶装置の書き込み動作時における各種信号の電圧変化を示すタイミングチャートである。

【図14】図14は、第1実施形態に係る半導体記憶装置の模式図である。

【図15】図15は、第1実施形態に係る半導体記憶装置の模式図である。

【図16】図16は、第1実施形態に係る半導体記憶装置の模式図である。

【図17】図17は、第1実施形態に係る半導体記憶装置における各ゾーンに対応するメモリセルの閾値分布の変化を示す模式図である。

【図18】図18は、第1実施形態に係る半導体記憶装置のワード線電圧の変化を示すタイミングチャートである。

【図19】図19は、第2実施形態に係る半導体記憶装置におけるページの概念図である。

【図20】図20は、第2実施形態に係る半導体記憶装置の備える条件テーブルの概念図である。

【図21】図21は、第2実施形態に係るコントローラの動作を示すフローチャートである。

【図22】図22は、第2実施形態に係るメモリシステムのコマンドシーケンスを示すタイミングチャートである。

【図23】図23は、第2実施形態に係る半導体記憶装置の動作を示すフローチャートである。

【図24】図24は、第3実施形態に係るメモリシステムのコマンドシーケンスを示すタイミングチャートである。

【図25】図25は、第3実施形態に係る半導体記憶装置の動作を示すフローチャートである。

【図26】図26は、第1乃至第3実施形態の変形例に係る半導体記憶装置における各ゾーンに対応するメモリセルの閾値分布の変化を示す模式図である。

【図27】図27は、第1乃至第3実施形態の変形例に係る半導体記憶装置における各ゾーンに対応するメモリセルの閾値分布の変化を示す模式図である。

【図28】図28は、第1乃至第3実施形態の変形例に係る半導体記憶装置における各ゾーンに対応するメモリセルの閾値分布の変化を示す模式図である。

【発明を実施するための形態】

【0007】

以下、図面を参照して実施形態について説明する。なお、以下の説明において、同一の機能及び構成を有する構成要素については、共通する参照符号を付す。

【0008】

1. 第1実施形態

第1実施形態に係るメモリシステムについて説明する。以下では半導体記憶装置として、メモリセルが半導体基板の上方に三次元に積層された三次元積層型NAND型フラッシュメモリを例に挙げて説明する。

【0009】

1.1 構成について

1.1.1 メモリシステムの全体構成について

まず、本実施形態に係るメモリシステムの大まかな全体構成について、図1を用いて説明する。

【0010】

10

20

30

40

50

図示するようにメモリシステム 1 は、NAND 型フラッシュメモリ 100 とコントローラ 200 とを備えている。NAND 型フラッシュメモリ 100 とコントローラ 200 とは、例えばそれらの組み合わせにより一つの半導体装置を構成しても良く、その例としては SD^TM カードのようなメモリカードや、SSD (solid state drive) 等が挙げられる。

【0011】

NAND 型フラッシュメモリ 100 は複数のメモリセルを備え、データを不揮発に記憶する。コントローラ 200 は、NAND バスによって NAND 型フラッシュメモリ 100 に接続され、ホストバスによってホスト機器 300 に接続される。そしてコントローラ 200 は、NAND 型フラッシュメモリ 100 を制御し、またホスト機器 300 から受信した命令に
10 応答して、NAND 型フラッシュメモリ 100 にアクセスする。ホスト機器 300 は、例えばデジタルカメラやパーソナルコンピュータ等であり、ホストバスは、例えば SD^TM インターフェースに従ったバスである。

【0012】

NAND バスは、NAND インターフェースに従った信号の送受信を行う。この信号の具体例は、アドレスラッチイネーブル信号 ALE、コマンドラッチイネーブル信号 CLE、ライトイネーブル信号 WE_n、リードイネーブル信号 RE_n、レディ・ビジー信号 RB_n、及び入出力信号 I/O である。

【0013】

信号 CLE 及び ALE は、NAND 型フラッシュメモリ 100 への入力信号 I/O がそれぞれ
20 コマンド及びアドレスであることを NAND 型フラッシュメモリ 100 に通知する信号である。信号 WE_n は low レベルでアサートされ、入力信号 I/O を NAND 型フラッシュメモリ 100 に取り込ませるための信号である。信号 RE_n も low レベルでアサートされ、NAND 型フラッシュメモリ 100 から出力信号 I/O を読み出すための信号である。レディ・ビジー信号 RB_n は、NAND 型フラッシュメモリ 100 がレディ状態 (コントローラ 200 からの命令を受信出来る状態) であるか、それともビジー状態 (コントローラ 200 からの命令を受信出来ない状態) であるかを示す信号であり、low レベルがビジー状態を示す。入出力信号 I/O は、例えば 8 ビットの信号である。そして入出力信号 I/O は、NAND 型フラッシュメモリ 100 とコントローラ 200 との間で送受信
30 されるデータの実体であり、コマンド、アドレス、書き込みデータ、読み出しデータ、及び NAND 型フラッシュメモリ 100 のステータス情報等である。

【0014】

1.1.2 コントローラ 200 の構成について

引き続き図 1 を用いて、コントローラ 200 の構成の詳細について説明する。図 1 に示すようにコントローラ 200 は、ホストインターフェース回路 210、内蔵メモリ (RAM) 220、プロセッサ (CPU) 230、バッファメモリ 240、及び NAND インターフェース回路 250 を備えている。

【0015】

ホストインターフェース回路 210 は、ホストバスを介してホスト機器 300 と接続され、ホスト機器 300 から受信した命令及びデータを、それぞれプロセッサ 230 及びバッファメモリ 240 に転送する。またプロセッサ 230 の命令に
40 応答して、バッファメモリ 240 内のデータをホスト機器 300 へ転送する。

【0016】

プロセッサ 230 は、コントローラ 200 全体の動作を制御する。例えばプロセッサ 230 は、ホスト機器 300 から書き込み命令を受信した際には、それに応答して、NAND インターフェース回路 250 に対して書き込み命令を発行する。読み出し及び消去の際も同様である。またプロセッサ 230 は、ウェアレベリング等、NAND 型フラッシュメモリ 100 を管理するための様々な処理を実行する。

【0017】

NAND インターフェース回路 250 は、NAND バスを介して NAND 型フラッシュ

10

20

30

40

50

メモリ100と接続され、NAND型フラッシュメモリ100との通信を司る。そしてNANDインターフェース回路250は、プロセッサ230から受信した命令に基づき、信号ALE、CLE、WEn、及びREnをNAND型フラッシュメモリ100へ出力する。また書き込み時には、プロセッサ230で発行された書き込みコマンド、及びバッファメモリ240内の書き込みデータを、入出力信号I/OとしてNAND型フラッシュメモリ100へ転送する。更に読み出し時には、プロセッサ230で発行された読み出しコマンドを、入出力信号I/OとしてNAND型フラッシュメモリ100へ転送し、更にNAND型フラッシュメモリ100から読み出されたデータを入出力信号I/Oとして受信し、これをバッファメモリ240へ転送する。

【0018】

バッファメモリ240は、書き込みデータや読み出しデータを一時的に保持する。

【0019】

内蔵メモリ220は、例えばDRAM等の半導体メモリであり、プロセッサ230の作業領域として使用される。そして内蔵メモリ220は、NAND型フラッシュメモリ100を管理するためのファームウェアや、各種の管理テーブル等を保持する。

【0020】

1.1.3 NAND型フラッシュメモリ100の構成について

1.1.3.1 NAND型フラッシュメモリ100の全体構成について

次に、NAND型フラッシュメモリ100の構成について説明する。図1に示すようにNAND型フラッシュメモリ100は、メモリセルアレイ110、ロウデコーダ120(120-0~120-3)、センスアンプ130、カラムセクタ140、カラムデコーダ150、アドレスレジスタ160、コマンドレジスタ170、及びシーケンサ180を備える。

【0021】

コマンドレジスタ170は、コントローラ200から受信したコマンドCMDを一時的に保持する。

【0022】

アドレスレジスタ160は、コントローラ200から受信したアドレスADDを一時的に保持する。そして、ロウアドレスRAをロウデコーダ120に転送し、カラムアドレスCAをカラムデコーダ150に転送する。

【0023】

メモリセルアレイ110は、ロウ及びカラムに対応付けられた複数の不揮発性のメモリセルの集合体である例えば4つのブロックBLK(BLK0~BLK3)を備えている。そしてメモリセルアレイ110は、コントローラ200から与えられたデータを記憶する。

【0024】

ロウデコーダ120-0~120-3は、ブロックBLK0~BLK3にそれぞれ対応付けて設けられ、アドレスレジスタ160から受信したロウアドレスRAをデコードする。そして、ロウアドレスRAのデコード結果に基づき、対応するブロックBLK0~BLK3にそれぞれ電圧を出力する。

【0025】

カラムデコーダ150は、アドレスレジスタ160から受信したカラムアドレスCAをデコードする。そしてカラムデコーダ150におけるカラムアドレスCAのデコード結果に基づき、カラムセクタ140が、対応するカラムを選択する。

【0026】

センスアンプ130は、データの読み出し時には、メモリセルアレイ110から読み出されたデータをセンスする。そして、カラムセクタ140で選択されたカラムに対応するデータDATをコントローラ200に出力する。データの書き込み時には、コントローラ200から受信した書き込みデータDATを、メモリセルアレイ110において、カラムセクタ140で選択されたカラムに対応する領域に転送する。

10

20

30

40

50

【0027】

シーケンサ180は、コマンドレジスタ170に保持されたコマンドCMDに基づき、NAND型フラッシュメモリ100全体の動作を制御する。

【0028】

1.1.3.2 ブロックBLKの構成について

次に、上記ブロックBLKの構成について図2を用いて説明する。図示するように、ブロックBLKは例えば4つのストリングユニットSU(SU0~SU3)を含む。また各々のストリングユニットSUは、複数のNANDストリング10を含む。

【0029】

NANDストリング10の各々は、例えば8個のメモリセルトランジスタMT(MT0~MT7)及び選択トランジスタST1、ST2を含んでいる。メモリセルトランジスタMTは、制御ゲートと電荷蓄積層とを備え、データを不揮発に保持する。そしてメモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に直列接続されている。

【0030】

ストリングユニットSU0~SU3の各々における選択トランジスタST1のゲートは、それぞれセレクトゲート線SGD0~SGD3に接続される。これに対してストリングユニットSU0~SU3の各々における選択トランジスタST2のゲートは、例えばセレクトゲート線SGSに共通接続される。もちろん、ストリングユニット毎に異なるセレクトゲート線SGS0~SGS3に接続されても良い。また、同一のブロックBLK内にあるメモリセルトランジスタMT0~MT7の制御ゲートは、それぞれワード線WL0~WL7に共通接続される。

【0031】

また、メモリセルアレイ110内において同一列にあるNANDストリング10の選択トランジスタST1のドレインは、ビット線BL(BL0~BL(L-1)、但し(L-1)は2以上の自然数)に共通接続される。すなわちビット線BLは、複数のブロックBLK間でNANDストリング10を共通に接続する。更に、複数の選択トランジスタST2のソースは、ソース線SLに共通に接続されている。

【0032】

つまりストリングユニットSUは、異なるビット線BLに接続され、且つ同一のセレクトゲート線SGDに接続されたNANDストリング10の集合体である。またブロックBLKは、ワード線WLを共通にする複数のストリングユニットSUの集合体である。そしてメモリセルアレイ110は、ビット線BLを共通にする複数のブロックBLKの集合体である。

【0033】

図3は、ブロックBLKの一部領域の断面図である。図示するように、p型ウェル領域20上に、複数のNANDストリング10が形成されている。すなわち、ウェル領域20上には、セレクトゲート線SGSとして機能する例えば4層の配線層27、ワード線WL0~WL7として機能する8層の配線層23、及びセレクトゲート線SGDとして機能する例えば4層の配線層25が、順次積層されている。積層された配線層間には、図示せぬ絶縁膜が形成されている。

【0034】

そして、これらの配線層25、23、27を貫通してウェル領域20に達するピラー状の導電体31が形成されている。導電体31の側面には、ゲート絶縁膜30、電荷蓄積層(絶縁膜)29、及びブロック絶縁膜28が順次形成され、これらによってメモリセルトランジスタMT、並びに選択トランジスタST1及びST2が形成されている。導電体31は、NANDストリング10の電流経路として機能し、各トランジスタのチャンネルが形成される領域となる。そして導電体31の上端は、ビット線BLとして機能する金属配線層32に接続される。

【0035】

10

20

30

40

50

ウェル領域 20 の表面領域内には、 n^+ 型不純物拡散層 33 が形成されている。拡散層 33 上にはコンタクトプラグ 35 が形成され、コンタクトプラグ 35 は、ソース線 SL として機能する金属配線層 36 に接続される。更に、ウェル領域 20 の表面領域内には、 p^+ 型不純物拡散層 34 が形成されている。拡散層 34 上にはコンタクトプラグ 37 が形成され、コンタクトプラグ 37 は、ウェル配線 CPWELL として機能する金属配線層 38 に接続される。ウェル配線 CPWELL は、ウェル領域 20 を介して導電体 31 に電位を印加するための配線である。

【0036】

以上の構成が、図 3 を記載した紙面の奥行き方向に複数配列されており、奥行き方向に並ぶ複数の NAND ストリング 10 の集合によってストリングユニット SU が形成される。

10

【0037】

またデータの消去は、ブロック BLK 単位、またはブロック BLK よりも小さい単位で行うことが出来る。消去方法に関しては、例えば“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE”という 2011 年 9 月 18 日に出願された米国特許出願 13/235,389 号に記載されている。また、“NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE”という 2010 年 1 月 27 日に出願された米国特許出願 12/694,690 号に記載されている。更に、“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA ERASE METHOD THEREOF”という 2012 年 5 月 30 日に出願された米国特許出願 13/483,610 号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

20

【0038】

更に、メモリセルアレイ 110 の構成についてはその他の構成であっても良い。すなわちメモリセルアレイ 110 の構成については、例えば、“三次元積層不揮発性半導体メモリ”という 2009 年 3 月 19 日に出願された米国特許出願 12/407,403 号に記載されている。また、“三次元積層不揮発性半導体メモリ”という 2009 年 3 月 18 日に出願された米国特許出願 12/406,524 号、“不揮発性半導体記憶装置及びその製造方法”という 2010 年 3 月 25 日に出願された米国特許出願 12/679,991 号“半導体メモリ及びその製造方法”という 2009 年 3 月 23 日に出願された米国特許出願 12/532,030 号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

30

【0039】

1.1.3.3 ブロック BLK の種類とデータの書き込み単位について

次に、上記ブロック BLK の種類とデータの書き込み単位について説明する。

【0040】

本実施形態に係るブロック BLK は、MLC (Multi-level cell) 用ブロック、SLC (Single-level cell) 用ブロック、及び 4 P P P (Partial page program) 用ブロックの 3 種類のうちのいずれかの種類を取り得る。

【0041】

< MLC 用ブロック及び SLC 用ブロックについて >

40

MLC 用ブロック及び SLC 用ブロックでは、データの書き込みは、いずれかのストリングユニット SU におけるいずれかのワード線 WL に接続されたメモリセルトランジスタ MT に対して、一括して行われる。この単位を「ページ」と呼ぶ。

【0042】

そして SLC 用ブロックは、1 つのメモリセルトランジスタ MT が 1 ビットのデータを保持可能なブロックである。これに対して MLC 用ブロックでは、1 つのメモリセルトランジスタ MT が 2 ビット以上のデータを保持可能である。例えば 2 ビットデータを保持する場合を例に挙げると、データの書き込みは、2 ビットデータのうちの低位ビット毎 (低位ページ)、及び上位ビット毎 (上位ページ) に行われる。従って、MLC 用ブロックのページ数は、SLC 用ブロックのページ数の 2 倍となる。

50

【 0 0 4 3 】

< 4 P P P 用ブロックについて >

4 P P P 用ブロックは、1 ページの 1 / 4 のサイズ of データ単位で書き込みが行われるブロックである。図 4 は、4 P P P 用ブロックにおける 1 ページデータと、データ位置に対応するカラムアドレスとの関係を示す模式図である。

【 0 0 4 4 】

なお、センスアンプ 1 3 0 は 1 ページ分のデータを保持可能なページバッファを備えており、書き込み時には、ページバッファに格納されたページサイズのデータの各ビットがビット線 B L に与えられる。従って図 4 は、このページバッファの模式図と言うことも出来る。また以下では、ページサイズが 1 6 K バイトである場合を例に説明する。

10

【 0 0 4 5 】

図 4 に示すように、4 P P P 用ブロックにおいて 1 ページは、4 つのゾーン Z N (Z N 0 ~ Z N 3) を含む。そして各ゾーン Z N は、1 6 K B の 1 / 4 である 4 K B のサイズを有する。

【 0 0 4 6 】

メモリセルアレイ 1 1 0 において、ビット線 B L は「カラム」なる単位によって指定され、1 つのカラムは例えば 8 本のビット線 B L を含む。例えばカラムアドレス C A 0 が割り当てられたカラムにはビット線 B L 0 ~ B L 7 が対応し、カラムアドレス C A 1 が割り当てられたカラムにはビット線 B L 8 ~ B L 1 5 が対応する。

【 0 0 4 7 】

先頭ゾーン Z N 0 は、その先頭アドレスが C A 0 であり、最終アドレスが C A 4 0 9 5 (C A (4 K - 1)) である。次のゾーン Z N 1 は、その先頭アドレスが C A 4 0 9 6 (C A 4 K) であり、最終アドレスが C A 8 1 9 1 (C A (8 K - 1)) である。次のゾーン Z N 2 は、その先頭アドレスが C A 8 1 9 2 (C A 8 K) であり、最終アドレスが C A 1 2 2 8 7 (C A (1 2 K - 1)) である。そして最終ゾーン Z N 3 は、その先頭アドレスが C A 1 2 2 8 8 (C A 1 2 K) であり、最終アドレスが C A 1 6 3 8 3 (C A (1 6 K - 1)) である。

20

【 0 0 4 8 】

そして 4 P P P 用ブロックでは、この 4 K B のゾーン単位でデータが書き込まれる。あるいは換言すれば、データの書き込み自体はページ単位で行われるが、実際に正味のデータが書き込まれるのは、選択されたいずれか 1 つのゾーンだけであり、その他の非選択ゾーン Z N については実質的なデータの書き込みが禁止される。

30

【 0 0 4 9 】

4 P P P 用ブロックに対してデータを書き込む際には、どのゾーン Z N が選択されるかによって、書き込み条件が異なる。図 5 は、各ゾーン Z N と書き込み条件との関係を示すテーブル (以下、これを条件テーブルと呼ぶ) の概念図である。条件テーブルは、例えばいずれかのブロック B L K に保持されており、例えば N A N D 型フラッシュメモリ 1 0 0 に対する電源投入時に読み出され、シーケンサ 1 8 0 内の例えばレジスタに保持される。そしてシーケンサは、この条件テーブルに基づいて書き込み動作を実行する。

【 0 0 5 0 】

図示するように条件テーブルは、ゾーン毎に、プログラムベリファイ時に用いるベリファイ電圧 V C G _ Z 、プログラム時に用いるプログラム電圧 V P G M のステップアップ幅 V P G M 、及びプログラム前にプリベリファイを行うか否かの情報、を保持する。

40

【 0 0 5 1 】

図 5 の例であると、先頭ゾーン Z N 0 選択時には、プログラムベリファイ時に用いられるベリファイ電圧は V C G _ Z 0 とされ、ステップアップ幅は V P G M _ Z 0 とされ、プリベリファイは行われない。ゾーン Z N 1 選択時には、ベリファイ電圧は V C G _ Z 1 とされ、ステップアップ幅は V P G M _ Z 1 とされ、プリベリファイは行っても行わなくても良い。ゾーン Z N 2 選択時には、ベリファイ電圧は V C G _ Z 2 とされ、ステップアップ幅は V P G M _ Z 2 とされ、プリベリファイは行っても行わなくても良い。最終

50

ゾーン Z N 3 選択時には、ベリファイ電圧は V C G _ Z 3 とされ、ステップアップ幅は V P G M _ Z 3 とされ、プリベリファイが行われる。

【 0 0 5 2 】

なお、ベリファイレベル V C G _ Z には下記の関係がある。すなわち、

V C G _ Z 0 V C G _ Z 1 V C G _ Z 2 < V C G _ Z 3

またステップアップ幅 V P G M には、下記の関係がある。すなわち、

V P G M _ Z 0 V P G M _ Z 1 V P G M _ Z 2 > V P G M _ Z 3

プリベリファイの詳細については後述する。

【 0 0 5 3 】

1 . 2 書き込み動作について

次に、上記構成のメモリシステム 1 の書き込み動作について説明する。

【 0 0 5 4 】

1 . 2 . 1 コントローラ 2 0 0 の動作について

まず、コントローラ 2 0 0 の動作につき、図 6 を用いて説明する。図 6 の各ステップは、主にプロセッサ 2 3 0 の主導により実行される。

【 0 0 5 5 】

図示するようにコントローラ 2 0 0 は、ホスト機器 3 0 0 から書き込み命令と共に書き込みデータを受信する (ステップ S 1 0)。するとプロセッサ 2 3 0 は、受信した書き込みデータをバッファメモリ 2 4 0 に保持させる (ステップ S 1 1) と共に、受信した書き込みデータをすぐに不揮発化させる必要があるか否かを判断する (ステップ S 1 2)。

【 0 0 5 6 】

すぐに不揮発化させる必要が無い場合には (ステップ S 1 2、NO)、処理は終了する。この場合、コントローラ 2 0 0 は、ホスト機器 3 0 0 から更なる書き込み命令を受信した際や、他に処理を行っていない空き時間など、任意のタイミングで NAND 型フラッシュメモリ 1 0 0 に書き込みデータを書き込む。

【 0 0 5 7 】

すぐに不揮発化させる必要がある場合には (ステップ S 1 2、YES)、プロセッサ 2 3 0 は、書き込みデータのサイズを判断する (ステップ S 1 3)。データサイズが 4 K B ではない場合 (ステップ S 1 3、NO)、プロセッサ 2 3 0 は、データを S L C モードで書くべきか否かを判断する (ステップ S 1 4)。S L C モードとは、S L C 用ブロックにデータを

【 0 0 5 8 】

書き込むモード、つまり 1 つのメモリセルトランジスタに 1 ビットデータを書き込むモードである。S L C モードで書く必要がない場合 (ステップ S 1 4、NO)、プロセッサ 2 3 0 は M L C モードを選択する。M L C モードとは、M L C 用ブロックにデータを書き込むモード、つまり 1 つのメモリセルトランジスタにマルチビットデータを書き込むモードである。そして、プロセッサ 2 3 0 の命令に

【 0 0 5 9 】

応答して NAND インターフェース回路 2 5 0 は、通常のプログラムコマンドを NAND 型フラッシュメモリ 1 0 0 に発行する (ステップ S 1 5)。引き続きプロセッサ 2 3 0 は、M L C 用ブロックに対応するページアドレス (ロウアドレス) と書き込みデータを、NAND インターフェース回路 2 5 0 を介して NAND 型フラッシュメモリ 1 0 0 に出力する。ページアドレスは、M L C 用ブロックにおいて直前に書き込まれたページの次のページに対応するアドレスである。

S L C コマンドは、NAND 型フラッシュメモリ 1 0 0 を S L C モードにするためのコマンドである。引き続きプロセッサ 2 3 0 は、S L C 用ブロック B L K に対応するページアドレスと書き込みデータを、NAND インターフェース回路 2 5 0 を介して NAND 型

10

20

30

40

50

フラッシュメモリ 100 に出力する。ページアドレスは、SLC 用ブロックにおいて直前に書き込まれたページの次のページに対応するアドレスである。

【0060】

ステップ S13 においてデータサイズが 4KB であった場合（ステップ S13、YES）、プロセッサ 230 は PPP モードを選択する。PPP モードとは、図 4 を用いて説明したように、ページサイズ未満のサイズであるゾーン単位でデータを書き込むモードである。そしてプロセッサ 230 の命令に回答して NAND インターフェース回路 250 は、まず PPP コマンドを NAND 型フラッシュメモリ 100 に発行し（ステップ S17）、引き続き SLC コマンド及び通常のプログラムコマンドを順次発行する（ステップ S16、S15）。更にプロセッサ 230 は、PPP 用ブロックに対応するページアドレス及び選択されたゾーンに対応するカラムアドレスと書き込みデータを、NAND インターフェース回路 250 を介して NAND 型フラッシュメモリ 100 に出力する。ページアドレスは、PPP 用ブロックにおいて直前に書き込まれたページの次のページに対応するアドレスである。またカラムアドレスは、PPP 用ブロックにおいて直前に書き込まれたゾーン ZN_i の次のゾーン $ZN(i+1)$ に対応するアドレスである（ i は自然数であり、図 4 の例であると 0、1、2、3 のいずれか）。例えば図 4 においてゾーン ZN_0 及び ZN_1 のデータが書き込まれていれば、次のゾーン ZN_2 の先頭カラムアドレスに対応する CA8192 が発行される。

10

【0061】

次に、コントローラ 200 と NAND 型フラッシュメモリ 100 との間のコマンドシーケンスについて説明する。

20

【0062】

<MLC モードについて>

まず、MLC モード時におけるコマンドシーケンスについて、図 7 を用いて説明する。図示するようにコントローラ 200 は、まず通常書き込みコマンド “80H” を発行する（図 6 のステップ S15 に相当）と共に、信号 CLE をアサート（“H” レベル）する。引き続きコントローラ 200 は、例えば 5 サイクルにわたってアドレス（CA：カラムアドレス、RA：ロウアドレス）を発行すると共に、信号 ALE をアサート（“H” レベル）する。これらのコマンド及びアドレスは例えばレジスタ 170 及び 160 にそれぞれ格納される。そしてシーケンサ 180 は、レジスタ 170 に PPP コマンド及び SLC コマンドが保持されることなく、通常書き込みコマンド “80H” が保持されたことに回答して、MLC モードによる書き込みアクセスを受信したことを認識する。

30

【0063】

次にコントローラ 200 は、複数サイクルにわたって書き込みデータ D_{in} を出力する。この間、信号 ALE 及び CLE はネゲート（“L” レベル）される。NAND 型フラッシュメモリ 100 で受信された書き込みデータ D_{in} は、センスアンプ 130 内のページバッファに保持される。

【0064】

次にコントローラ 200 は、書き込みコマンド “10H” を発行すると共に、CLE をアサートする。コマンド “10h” がレジスタ 170 に格納されたことに回答して、シーケンサ 180 は書き込み動作を開始し、NAND 型フラッシュメモリ 100 はビジー状態となる（ $RBN = “L”$ ）。なおコントローラ 200 は、コマンド、アドレス、及びデータ等の信号を発行する度に、 WEn をアサート（“L” レベル）する。そして、 WEn がトグルされる度に、信号が NAND 型フラッシュメモリ 100 に取り込まれる。

40

【0065】

<通常の SLC モードについて>

次に、通常の SLC モード時におけるコマンドシーケンスについて、図 8 を用いて説明する。図示するように、図 7 で説明した MLC モードと異なる点は、コントローラ 200 が、まず SLC コマンド “A2H” を発行する点である（図 6 のステップ S16 に相当）。その後、コントローラ 200 は通常書き込みコマンド “80H” を発行する。シーケ

50

ンサ 180 は、PPP コマンドが保持されることなく SLC コマンド “A2H” 及び通常
の書き込みコマンド “80H” がレジスタ 170 に保持されたことにより、通常の SLC
モードによる書き込みアクセスを受信したことを認識する。

【0066】

< PPP モードについて >

次に、PPP モード時におけるコマンドシーケンスにつき、図 9 を用いて説明する。図
示するように、図 8 で説明した通常の SLC モードと異なる点は、コントローラ 200 が
、SLC コマンド “A2H” の前に PPP コマンド “XH” を発行する点である（図 6 の
ステップ S17 に相当）。その後、コントローラ 200 は SLC コマンド “A2H” 及び
通常
の書き込みコマンド “80H” を発行する。シーケンサ 180 は、レジスタ 170 に
、PPP コマンド “XH”、SLC コマンド “A2H”、及び通常
の書き込みコマンド “80H” が保持されたことにより、PPP モードによる書き込みアクセスを受信したことを認識する。

10

【0067】

1.2.2 NAND 型フラッシュメモリ 100 の動作について

次に、NAND 型フラッシュメモリ 100 の動作につき、図 10 を用いて説明する。図
10 の処理は、コマンド “10H” がコマンドレジスタ 170 に格納されたことに応答し
て開始され、主にシーケンサ 180 が主導することにより実行される。

【0068】

コントローラ 200 から受信したコマンドはコマンドレジスタ 170 に保持され、アド
レスはアドレスレジスタ 160 に保持される。コマンドレジスタ 170 において PPP コ
マンドが保持されておらず（ステップ S20、NO）、且つ SLC コマンドが保持されて
いなければ（ステップ S21、NO）、シーケンサ 180 は MLC モードでプログラムを
実行する（ステップ S22）。すなわち、通常
のプログラムコマンド “80H” のみが与えられた場合には、データは MLC 用ブロックにページ単位で書き込まれる。

20

【0069】

コマンドレジスタ 170 において PPP コマンドは保持されていないが（ステップ S20、NO）、SLC コマンドは保持されている場合には（ステップ S21、YES）、シーケンサ 180 は、通常
の SLC モードでプログラムを実行する（ステップ S23）。すなわち、SLC コマンド “A2H” 及び通常
のプログラムコマンド “80H” が与えられている場合には、データは SLC 用ブロックにページ単位で書き込まれる。

30

【0070】

コマンドレジスタ 170 において PPP コマンド “XH” が保持されている場合（ステ
ップ S20）、シーケンサ 180 は PPP モードでプログラムを実行する。カラムデコー
ダ 150 は、アドレスレジスタ 160 から与えられるカラムアドレス CA をデコードする
。そして、カラムアドレス CA が CA12K 以上であった場合（ステップ S24、YES）、カラムセクタ 140 がゾーン ZN3 を選択する（ステップ S25）。その結果、セ
ンスアンプ 130 におけるページバッファのゾーン ZN3 に対応する領域に、コントロー
ラ 200 から受信した書き込みデータが格納される。引き続き、シーケンサ 180 はプリ
ベリファイを行い（ステップ S26）、プリベリファイの結果に基づいて、PPP モード
による書き込みを行う（ステップ S27）。

40

【0071】

ステップ S26 のプリベリファイ及びステップ S27 の PPP モードによる書き込みにつ
き、図 11 を用いて説明する。図 11 は、ゾーン ZN0 ~ ZN2 に対応するメモリセルト
ランジスタの閾値分布と、ゾーン ZN3 に対応するメモリセルトランジスタの閾値分布
を示している。

【0072】

図示するように、ゾーン ZN3 が選択された時点において、当該ページにおいてゾーン
ZN0 ~ ZN2 に対応するメモリセルトランジスタには既にデータが書き込まれている。
図 11 の例であると、“1” データ（消去状態）を書き込まれたメモリセルトランジスタ

50

の閾値は例えば負の値であり、“0”データを書き込まれたメモリセルトランジスタの閾値は“1”データのそれよりも高い(例えば正の値)。また、図5を用いて説明したように、ゾーンZN0~ZN2に用いるベリファイ電圧VCG_Z0、VCG_Z1、及びVCG_Z2は、ゾーンZN3に用いるベリファイ電圧VCG_Z3よりも小さい。

【0073】

このような状況において、ステップS26のプリベリファイとは、ゾーンZN0~ZN2に対応し、且つ“0”データを保持するメモリセルトランジスタのうち、閾値がVCG_Z3未満のものを特定する動作である。このようにして特定されたトランジスタの分布を、図11では斜線を付した領域で示している。

【0074】

またステップS27の書き込みでは、当然ながらゾーンZN3のデータがメモリセルトランジスタに書き込まれる。この際、ベリファイ電圧としてVCG_Z3が用いられるので、これらのメモリセルトランジスタに加えて、プリベリファイで特定されたメモリセルトランジスタについても書き込みが行われる。この結果、ゾーンZN0~ZN3の全てにおいて、“0”データを保持するメモリセルトランジスタの閾値はVCG_Z3以上の値とされる。

【0075】

図10に戻って説明を続ける。カラムアドレスCAがCA(4K-1)以下であった場合(ステップS28、YES)、カラムセクタ140はゾーンZN0を選択する(ステップS29)。その結果、センスアンプ130におけるページバッファのゾーンZN0に対応する領域に、コントローラ200から受信した書き込みデータが格納される。ゾーンZN0が選択された場合、シーケンサ180は、プリベリファイを行うことなくSLCモードで書き込みを行う(ステップS30)。この際、ベリファイ電圧としてVCG_Z0が用いられ、またゾーンZN1~ZN3に対応するメモリセルトランジスタに対する書き込みは禁止される(言い換えれば“1”データがプログラムされる)。

【0076】

カラムアドレスCAがCA8K以上且つCA(12K-1)以下であった場合(ステップS31、YES)、カラムセクタ140はゾーンZN2を選択する(ステップS32)。その結果、センスアンプ130におけるページバッファのゾーンZN2に対応する領域に、コントローラ200から受信した書き込みデータが格納される。ゾーンZN2が選択された場合、シーケンサ180は、プリベリファイがイネーブルとされているか否かを確認する(ステップS33)。イネーブルとされていれば(ステップS33、YES)、プリベリファイが行われる(ステップS34)。ステップS34のプリベリファイで特定されるメモリセルトランジスタは、ゾーンZN0及びZN1において、“0”データを保持し且つ閾値がVCG_Z2未満のメモリセルトランジスタである。そして、ゾーンZN2に対応するメモリセルトランジスタに対してSLCモードで書き込みが実行される(ステップS35)。なお、ゾーンZN3に対応するメモリセルトランジスタは消去状態であるはずなので、これらのメモリセルトランジスタに対する書き込みは禁止される。ステップS33でプリベリファイがイネーブルとされていれば(ステップS33、YES)、ステップS35では、ゾーンZN2に対応するメモリセルトランジスタだけでなく、ステップS33で特定されたメモリセルトランジスタに対しても書き込みが実行される。この結果、当該ページに対応する、“0”データを保持するメモリセルトランジスタの閾値はVCG_Z2以上の値とされる。ステップS33でプリベリファイがディセーブルとされていれば(ステップS33、NO)、ステップS35では、ゾーンZN0、ZN1、及びZN3に対応するメモリセルトランジスタに対する書き込みは禁止される。

【0077】

カラムアドレスCAが、CA4K以上且つCA(8K-1)以下であった場合(ステップS31、NO)、カラムセクタ140はゾーンZN1を選択する(ステップS36)。その結果、センスアンプ130におけるページバッファのゾーンZN1に対応する領域に、コントローラ200から受信した書き込みデータが格納される。そして、ゾーンZN

10

20

30

40

50

2 が選択された場合と同様の処理が行われる。すなわち、まず必要に応じてプリベリファイが行われる（ステップ S 3 8）。ステップ S 3 8 のプリベリファイで特定されるメモリセルトランジスタは、ゾーン Z N 0 において、“0” データを保持し且つ閾値が V C G _ Z 1 未満のメモリセルトランジスタである。そして、ゾーン Z N 1 に対応するメモリセルトランジスタに対して S L C モードで書き込みが実行される（ステップ S 3 9）。

【0078】

次に、上記書き込み時における N A N D 型フラッシュメモリ 1 0 0 の動作の詳細について、図 1 2 及び図 1 3 を用いて説明する。

【0079】

< M L C モード及び通常の S L C モードについて >

まず、M L C モード及び通常の S L C モード時の動作について、図 1 2 を用いて説明する。

【0080】

M L C モード及び通常の S L C モードでは、まずデータのプログラム動作が実行される。図示するように、時刻 t 0 においてロウデコーダ 1 2 0 は、レジスタ 1 6 0 から与えられるロウアドレス R A に従って、M L C 用ブロックまたは S L C ブロックを選択し、更に選択ブロックにおいていずれかのストリングユニット S U を選択する。そしてロウデコーダ 1 2 0 は、選択したストリングユニット S U のセレクトゲート線 S G D 0 に、電圧 V S G D _ prog を印加する。電圧 V S G D _ prog は、選択トランジスタ S T 1 をオンさせる電圧である。更にロウデコーダ 1 2 0 は、セレクトゲート線 S G S、及び非選択ストリングユニットのセレクトゲート線 S G D に 0 V を印加する。

【0081】

またセンスアンプ 1 4 0 は、ページバッファに格納された書き込みデータに基づき、“0” データを書き込むビット線 B L に例えば 0 V を印加し、“1” データを書き込むビット線 B L に正電圧 V D D (> 0 V) を印加する（時刻 t 1）。“0” データ書き込みは、メモリセルトランジスタ M T の電荷蓄積層に電子を注入することによりメモリセルトランジスタ M T の閾値電圧を上昇させ、その結果として閾値レベルをより高いレベルに遷移させる書き込み動作のことである。他方で“1” データ書き込みは、メモリセルトランジスタ M T の電荷蓄積層への電子の注入を抑制することにより閾値レベルを維持させる書き込み動作のことである（つまり、閾値電圧はほぼ不変であり、書き込みが禁止される、ということも出来る）。

【0082】

引き続き時刻 t 2 においてロウデコーダ 1 2 0 は、選択ストリングユニット S U のセレクトゲート線 S G D に電圧 V S G D を印加する（例えば、V S G D _ prog > V S G D）。電圧 V S G D _ prog は、選択トランジスタ S T 1 に対して電圧 V D D の転送を可能とさせる電圧である。他方で電圧 V S G D は、選択トランジスタ S T 1 に対して 0 V は転送可能であるが、電圧 V D D は転送不能とさせる電圧である。従って、“1” データを書き込むビット線 B L に対応する選択トランジスタ S T 1 は、カットオフ状態となる。

【0083】

次に、時刻 t 3 においてロウデコーダ 1 2 0 は、選択ブロックのワード線 W L に電圧 V P A S S を印加する。引き続きロウデコーダ 1 2 0 は、選択ワード線 W L に印加される電圧を V P A S S から V P G M に上昇させる（時刻 t 4）。これにより、選択ストリングユニット S U において選択ワード線 W L に接続されたメモリセルトランジスタ M T にデータがページ単位で書き込まれる。なお、電圧 V P A S S は保持データに関わらずメモリセルトランジスタ M T をオン状態とし、且つ、“1” データ書き込みに対応する N A N D ストリング 1 0 内のチャネルの電位を容量カップリングにより十分に上昇可能な電圧である。また電圧 V P G M は、F N トンネリングにより電荷蓄積層に電子を注入可能な高電圧である。

【0084】

時刻 t 4 ~ t 5 の期間でデータがプログラムされた後、各配線は 0 V とされる（時刻 t

10

20

30

40

50

7)。

【0085】

以上によりデータプログラムが完了すると、シーケンサ180はプログラムベリファイを実行する。プログラムベリファイは、時刻t4～t5におけるデータプログラムによりメモリセルトランジスタが、目標とする閾値レベルまで上昇したか否かを判断する動作である。

【0086】

すなわち、時刻t8においてロウデコーダ120は、選択ストリングユニットSUにおけるセレクトゲート線SGD及びSGSに電圧VSGを印加する。電圧VSGは、選択トランジスタST1、ST2をオン状態とする電圧である。引き続きセンスアンプ130は、ビット線BLに電圧Vbl(<VDD)を印加し、ロウデコーダ120は、選択ブロックの非選択ワード線WLに電圧VREADを印加する。電圧VREADは、保持データに関わらずメモリセルトランジスタをオン状態にする電圧である(時刻t9)。更にロウデコーダ120は、選択ワード線WLにプログラムベリファイ電圧Vpvfyを印加する(時刻t10)。Vpvfyは、図5で説明した例えばVCG_Z3に等しく、メモリセルトランジスタにおいて最終的な目標となる閾値電圧である。

【0087】

この結果、選択ワード線WLに接続されたメモリセルトランジスタがオフ状態となれば、ビット線BLにセル電流は流れず、当該ビット線BLはプログラムベリファイにパスする。他方でオン状態となれば、ビット線BLにセル電流が流れ、当該ビット線BLはプログラムベリファイにフェイルする。

【0088】

以降、プログラムベリファイにフェイルしたビット線BLを対象として、上記プログラム及びプログラムベリファイが繰り返される。この際、プログラムを繰り返す度に、電圧VPGMの値はVPGMだけステップアップされる。

【0089】

なお、図12の例ではプログラムベリファイ電圧Vpvfyは一定値とされているが、MLCモードの場合には、閾値に応じてVpvfyもステップアップされる。

【0090】

<PPPモードについて>

次に、PPPモード時における動作について、図13を用いて説明する。以下では、図12で説明したMLCモード及び通常のSLCモードとの違いについてのみ着目して説明する。

【0091】

PPPモードにおいてシーケンサ180は、まずデータプログラム前の時刻t20～t0の期間において、プリベリファイを実行する。

【0092】

図13に示すように、まずプログラムベリファイ時と同様に、ロウデコーダ120は選択ストリングユニットSUのセレクトゲート線SGD及びSGSに電圧VSGを印加して、選択トランジスタST1及びST2をオン状態とする(時刻t20)。引き続き時刻t21において、センスアンプ140がビット線BLを電圧Vblに充電し、ロウデコーダ120は非選択ワード線WLに電圧VREADを印加する。この状態でロウデコーダ120は、時刻t22において、選択ワード線WLに電圧VCGRを印加する。電圧VCGRは、図11で説明したように“1”データと“0”データとを判別可能な電圧であり、その値はVCG_Z0未満であり、且つ“1”データを保持するメモリセルトランジスタの取り得る閾値の最大値より大きい。

【0093】

引き続きロウデコーダ120は、時刻t23において、選択ワード線WLにベリファイ電圧VCG_Zを印加する。電圧VCG_Zは、図5で説明したように、ゾーン毎に設定された値である。

10

20

30

40

50

【 0 0 9 4 】

以上の結果、電圧 V C G R 印加時にはセル電流が流れず、電圧 V C G _ Z 印加時にはセル電流が流れるビット線が、“ 0 ” データを保持し且つその閾値が V C G 未満であるメモリセルトランジスタに対応していると特定出来る（すなわち、図 1 1 における斜線部分のメモリセルが特定される）。

【 0 0 9 5 】

上記プリベリファイの後、プログラムとプログラムベリファイとが繰り返される。P P P モードにおけるプログラムが M L C モードや通常の S L C モードと異なる点は、プリベリファイ時に特定されたビット線 B L も “ 0 ” データ書き込み対象となる点である。すなわち、非選択ゾーン Z N であっても、プリベリファイで特定されたビット線 B L には 0 V が印加される。

10

【 0 0 9 6 】

プログラムベリファイは、M L C モード及び通常の S L C モードと同様である。但し、プログラムベリファイ時に使用されるベリファイ電圧は、プリベリファイ時に用いたベリファイ電圧 V C G _ Z と同じ値である。

【 0 0 9 7 】

以上のように、電圧 V C G R 及び V C G _ Z を用いた 2 回の読み出し動作により、“ 0 ” データを保持し、且つ閾値が V C G _ Z 未満のメモリセルトランジスタに対応するビット線 B L が特定される。このようなメモリセルトランジスタは、“ 0 ” データ書き込み時において使用されたベリファイ電圧が V C G _ Z 未満であったか、あるいは書き込み直後の閾値は V C G _ Z 以上であったが、その後、時間経過により閾値が低下したメモリセルトランジスタである。そして、このようなメモリセルトランジスタに対しても、“ 0 ” データの追加書き込みが行われる。

20

【 0 0 9 8 】

なお、プリベリファイは、書き込み動作時の初めにのみ行えば良い。その後は、M L C モード及び通常の S L C モードと同様にプログラム動作とプログラムベリファイ動作とが繰り返される。

【 0 0 9 9 】

1 . 2 . 3 P P P モードの具体例

次に、上記 P P P モードによるデータの書き込み動作の具体例につき、図 1 4 乃至図 1 6 を用いて説明する。図 1 4 乃至図 1 6 はセンスアンプ 1 3 0 及び P P P 用ブロックのブロック図である。図 1 4 乃至図 1 6 では、ページサイズが 1 6 K バイトであり、1 ページが 4 ゾーンを含み、そしてそれぞれゾーン Z N 0、Z N 1、及び Z N 3 が選択された際の様子を示している。

30

【 0 1 0 0 】

まずゾーン Z N 0 選択時の様子につき、図 1 4 を用いて説明する。図示するように、コントローラ 2 0 0 から与えられた 4 K バイトのデータは、センスアンプ 1 3 0 のページバッファにおいて、カラムセクタ 1 4 0 によって選択されたゾーン Z N 0 に対応する領域に格納される。その他の領域（ゾーン Z N 1 ~ Z N 3）では、例えばシーケンサ 1 8 0 によって全ビットが “ 1 ” とされる。この状態において、ページ単位でデータが書き込まれる。この結果、実質的にゾーン Z N 0 のみが書き込まれ、ゾーン Z N 1 ~ Z N 3 は非書き込みとされる。

40

【 0 1 0 1 】

次にゾーン Z N 1 選択時の様子につき、図 1 5 を用いて説明する。図 1 5 は、ゾーン Z N 1 選択時のプリベリファイがディセーブルとされている場合について示している。図示するように、コントローラ 2 0 0 から与えられた 4 K バイトのデータは、センスアンプ 1 3 0 のページバッファにおいて、カラムセクタ 1 4 0 によって選択されたゾーン Z N 1 に対応する領域に格納される。その他の領域（ゾーン Z N 0 及び Z N 2 ~ Z N 3）では、例えばシーケンサ 1 8 0 によって全ビットに “ 1 ” がセットされる。この状態で、ページ単位でデータが書き込まれる。この結果、実質的にゾーン Z N 1 のみが書き込まれ、ゾー

50

ン Z N 0 及び Z N 2 ~ Z N 3 は非書き込みとされる。なお、プリペリファイがイネーブルとされている場合には、ペリファイ電圧 V C G _ Z 1 を用いたプリペリファイの結果に基づいて追加書き込みが必要となったメモリセルトランジスタも “ 0 ” データ書き込み対象とされる。ゾーン Z N 2 選択時は、ゾーン Z N 1 選択時と同様である。

【 0 1 0 2 】

次にゾーン Z N 3 選択時の様子につき、図 1 6 を用いて説明する。最終ゾーン Z N 3 選択時には、まずペリファイ電圧 V C G _ Z 3 を用いたプリペリファイが行われる。そして図示するように、プリペリファイの結果に基づくデータが、センスアンプ 1 3 0 のページバッファに格納される。すなわち、追加書き込みが必要なメモリセルトランジスタ M T に対応する領域には “ 0 ” がセットされ、不要な領域には “ 1 ” がセットされる。更に、コントローラ 2 0 0 から与えられた 4 K バイトのデータが、カラムセクタ 1 4 0 によって選択されたゾーン Z N 3 に対応する領域に格納される。この状態において、ページ単位でデータが書き込まれる。この結果、ゾーン Z N 3 だけでなく、既に書き込み済みのゾーン Z N 0 ~ Z N 2 に対しても、プリペリファイ結果に応じて追加書き込みが行われる。

10

【 0 1 0 3 】

1 . 3 本実施形態に係る効果

本実施形態によれば、メモリシステム及び半導体記憶装置の動作信頼性を向上出来る。本効果につき、以下説明する。

【 0 1 0 4 】

記憶装置のコントローラは、例えば F A T (file allocation table) ファイルシステム等の種々のファイルシステムを用いて記憶装置を管理している。また、記憶装置に書き込むべきデータには、すぐに不揮発化すべき (不揮発性メモリセルに書き込むべき) データと、そうでないデータとがある。後者のデータの場合には、例えばコントローラや記憶装置の空き時間等、都合の良いタイミングで不揮発化すれば良い。

20

【 0 1 0 5 】

すぐに不揮発化すべきデータの例としては、例えばファイルシステムの管理情報等が挙げられ、このようなデータのサイズは、ページサイズよりも小さいことが多い。この場合、1 ページを複数の領域に分割して、ページサイズ未満のデータ単位で書き込むことが好ましい。より具体的には、一部の領域にのみ実質的なデータを含み、その他の領域には書き込み禁止データ (本例では “ 1 ” データ) を含むページデータを書き込めばよい。そして、次のページサイズ未満のデータを書き込む際には、同じページを選択し、“ 1 ” データが書き込まれた領域に、実質的なデータを書き込む。このような方法を用いれば、ページを有効利用出来る。

30

【 0 1 0 6 】

しかし本方法であると、同一ページ内において、最初に書き込まれたデータと、最後に書き込まれたデータとの間で、プログラムディスタープの影響が異なる。すなわち、最初に書き込まれたデータは、同一ページ内においてその後に行われる書き込み動作によって影響を受け、その閾値分布が拡がる。この結果、データの信頼性が低下するおそれがある。

【 0 1 0 7 】

この点、本実施形態であると、コントローラ 2 0 0 は P P P モードを明示する P P P コマンドを N A N D 型フラッシュメモリ 1 0 0 に発行する。すると N A N D 型フラッシュメモリ 1 0 0 は、P P P コマンドを受信したことにより、ページサイズ未満のデータを書き込むべきことを認識する。そして N A N D 型フラッシュメモリ 1 0 0 は、コントローラ 2 0 0 から受信したカラムアドレスに基づいて、書き込むべきデータがページ内におけるいずれの領域 (上記実施形態の例であるとゾーン Z N 0 ~ Z N 3 のいずれか) に対応するものであるかを判断する。そして、ページ内において最後に書き込まれるべき領域に対応する場合には、ページ内で閾値分布が揃うように、既に書き込み済みのゾーンも含めたページ単位での書き込みを実行する。これにより、ページサイズ未満のデータ単位で書き込みを行う場合であっても、データ信頼性の低下を抑制出来る。

40

50

【 0 1 0 8 】

以上の点を、図 1 7 を参照しつつ具体的に説明する。図 1 7 は、あるページにつき、ゾーン Z N 0 から Z N 1、Z N 2、及び Z N 3 の順でデータを書き込んだ際における、ゾーン Z N 0 ~ Z N 3 に対応するメモリセルトランジスタの閾値分布の変動を示している。また図 1 7 は、ゾーン Z N 1 及び Z N 2 に関してはプリベリファイを行わない場合を示している。

【 0 1 0 9 】

図示するように、初期状態（消去状態）において全メモリセルトランジスタは“ 1 ”データを保持しており、その閾値は V C G R 未満（例えば 0 V 未満）である。

【 0 1 1 0 】

この状態で、まずゾーン Z N 0 が P P P モードで書き込まれる。この結果、書き込みデータに応じて、ゾーン Z N 0 に対応するメモリセルトランジスタの一部には“ 0 ”データが書き込まれる。“ 0 ”データを保持するメモリセルトランジスタの閾値は V C G _ Z 0 以上であり、当然ながら V C G R より高い。他方で、選択ワード線 W L に電圧 V P G M が印加されることにより、非書き込み（“ 1 ”データ書き込み）対象のメモリセルトランジスタに対する誤書き込みが生じ、一部の非書き込み対象メモリセルトランジスタの閾値も変動する。その結果、閾値分布の上裾部分が高電圧側にシフトする。この閾値シフトの部分を、図 1 7 では斜線を付して示している。

【 0 1 1 1 】

次に、ゾーン Z N 1 が P P P モードで書き込まれる。この結果、ゾーン Z N 1 に対応するメモリセルトランジスタの一部には“ 0 ”データが書き込まれる。“ 0 ”データを保持するメモリセルトランジスタの閾値は V C G _ Z 1 以上であり、V C G R より高い。この際にも、誤書き込みによって非書き込み対象のメモリセルトランジスタの閾値も変動する。更に、既に書き込み済みのゾーン Z N 0 に対応するメモリセルトランジスタのうち、“ 0 ”データが書き込まれたメモリセルトランジスタの閾値も変動する。

【 0 1 1 2 】

引き続き、ゾーン Z N 2 が P P P モードで書き込まれる。この際も、ゾーン Z N 1 と同様に誤書き込みによって、非書き込み対象のメモリセルトランジスタの閾値電圧が変動する。

【 0 1 1 3 】

最後に、ゾーン Z N 3 が P P P モードで書き込まれる。この際、ベリファイ電圧 V C G _ Z 3 を用いたプリベリファイ結果により追加書き込みが必要と判断された、ゾーン Z N 0 ~ Z N 2 に対応するメモリセルトランジスタに対しても書き込みが行われる。

【 0 1 1 4 】

以上の結果、ゾーン Z N 3 の書き込みが完了した時点、すなわち 1 ページ全体の書き込みが完了した時点において、“ 0 ”データを保持するメモリセルトランジスタの閾値分布における誤書き込みの影響はほぼ解消される。すなわち、ゾーン Z N 0 ~ Z N 3 が受ける誤書き込みの影響はゾーン毎に異なるが、プリベリファイ結果に基づいてゾーン Z N 3 の書き込みを行うことで、この影響の差異をほぼ解消し、“ 0 ”データを保持するメモリセルトランジスタの閾値分布はゾーン Z N 0 ~ Z N 3 間でほぼ均一となる。他方で“ 1 ”データの閾値分布には、非書き込み対象メモリセルトランジスタに対する誤書き込みの影響が残っているが、この影響による閾値のシフト量は、ゾーン Z N 0 ~ Z N 3 間でほぼ同じである。なぜなら、非書き込み対象メモリセルトランジスタが誤書き込みの影響を受ける回数は、ゾーン Z N 0 ~ Z N 3 のいずれについても同じ 4 回だからである。従って、“ 1 ”データの閾値分布もまた、ゾーン Z N 0 ~ Z N 3 間でほぼ均一となる。

【 0 1 1 5 】

このように、1 ページを複数の領域に分割して書き込む分割書き込みにおいて、N A N D 型フラッシュメモリ 1 0 0 は、書き込みデータが 1 ページ内のいずれの領域に対応するものかを認識する。そして、少なくとも最後のゾーン Z N 3 書き込み時にはプリベリファイを行い、この結果に基づき、既に書き込み済みのゾーン Z N 0 ~ Z N 2 に対して再書き

10

20

30

40

50

込みを行い、これらの領域の閾値分布をゾーン Z N 3 と合わせる。これにより、分割書き込みを行う場合であっても、ゾーン間における閾値分布をほぼ均一に揃えることが出来る。

【 0 1 1 6 】

なお、最終ゾーン以外のゾーンに対応するメモリセルトランジスタの閾値分布は、最終ゾーン書き込み時に調整される。従って、最終ゾーン以外の書き込みは、最終ゾーンの書き込みに比べて粗くて良い。この点を、図 1 8 を用いて説明する。図 1 8 は、ゾーン Z N 0 の書き込み、プリベリファイ、及びゾーン Z N 3 書き込み時におけるワード線の電圧を簡略化して示すタイミングチャートである。

【 0 1 1 7 】

図示するように、プログラムとプログラムベリファイとの繰り返しによってデータは書き込まれる。この際、プログラム電圧 V P G M は繰り返しの度にステップアップ幅 V P G M でステップアップされる。そして、先頭ゾーン Z N 0 書き込み時におけるステップアップ幅 V P G M _ Z 0 は、最終ゾーン Z N 3 書き込み時におけるステップアップ幅 V P G M _ Z 3 よりも大きくされる。従って、ゾーン Z N 0 の書き込みは、ゾーン Z N 3 の書き込みよりも早く終了する。他方で、ゾーン Z N 3 書き込み時には、細かいステップでプログラム電圧 V P G M がステップアップされるので、より高精度に閾値を設定出来る。このことは、ゾーン Z N 1 及び Z N 2 についても同様である。

【 0 1 1 8 】

なお、図 1 8 ではプログラム電圧 V P G M の初期値を、ゾーン Z N 0 書き込みの場合とゾーン Z N 3 書き込みの場合とで同じ値としているが、異なっても良い。

【 0 1 1 9 】

2 . 第 2 実施形態

次に、第 2 実施形態に係るメモリシステムについて説明する。本実施形態は、上記第 1 実施形態において、1 ページを 2 分割して書き込むモードを更に備えるものである。以下では、第 1 実施形態と異なる点についてのみ説明する。また以下では、1 ページを 4 分割して書き込むモード（第 1 実施形態で説明したモード）を 4 P P P モードと呼び、2 分割して書き込むモードを 2 P P P モードと呼ぶ。

【 0 1 2 0 】

2 . 1 ブロックの種類とデータの書き込み単位について

本実施形態に係るメモリセルアレイ 1 1 0 は、第 1 実施形態で説明した M L C 用ブロック、S L C 用ブロック、及び 4 P P P 用ブロックに加えて、更に 2 P P P 用ブロックを含む。

【 0 1 2 1 】

2 P P P 用ブロックは、1 ページの 1 / 2 のサイズのデータ単位で書き込みが行われるブロックである。図 1 9 は、2 P P P 用ブロックにおける 1 ページデータと、データ位置に対応するカラムアドレスとの関係を示す模式図であり、4 P P P 用ブロックについて説明した図 4 に対応する。

【 0 1 2 2 】

図 1 9 に示すように、2 P P P 用ブロックにおいて 1 ページは、2 つのゾーン Z N 0 及び Z N 1 を含む。そして各ゾーン Z N は、1 6 K B の 1 / 2 である 8 K B のサイズを有する。

【 0 1 2 3 】

先頭ゾーン Z N 0 は、その先頭アドレスが C A 0 であり、最終アドレスが C A 8 1 9 1 (C A (8 K - 1)) である。次のゾーン Z N 1 は、その先頭アドレスが C A 8 1 9 2 (C A 8 K) であり、最終アドレスが C A 1 6 3 8 3 (C A (1 6 K - 1)) である。そして 2 P P P 用ブロックでは、この 8 K B のゾーン Z N 単位でデータが書き込まれる。

【 0 1 2 4 】

2 P P P モードにおける書き込み条件は、第 1 実施形態において図 5 を用いて説明した条件テーブルに保持される。図 2 0 は、本実施形態に係る条件テーブルの概念図である。

10

20

30

40

50

【 0 1 2 5 】

図示するように、先頭ゾーン Z N 0 選択時の書き込み条件は、4 P P P モードにおける先頭ゾーン Z N 0 選択時と同様である。また最終ゾーン Z N 1 選択時の書き込み条件は、4 P P P モードにおける最終ゾーン Z N 3 選択時と同様である。

【 0 1 2 6 】

2 . 2 書き込み動作について

次に、本実施形態に係るメモリシステム 1 における書き込み動作について説明する。

【 0 1 2 7 】

2 . 2 . 1 コントローラ 2 0 0 の動作について

まず、コントローラ 2 0 0 の動作につき、図 2 1 を用いて説明する。図 2 1 は、書き込み動作時におけるコントローラ 2 0 0 の動作を示すフローチャートである。

10

【 0 1 2 8 】

第 1 実施形態において図 6 を用いて説明した動作と異なる点は、下記の点である。すなわち、

(1) データサイズが 4 K B であった場合 (ステップ S 1 3 、 Y E S) 、 コントローラ 2 0 0 は 4 P P P コマンドを発行する (ステップ S 4 1) 。

(2) データサイズが 8 K B であった場合 (ステップ S 4 0 、 Y E S) 、 コントローラ 2 0 0 は 2 P P P コマンドを発行する (ステップ S 4 2) 。

【 0 1 2 9 】

4 P P P コマンド及び 2 P P P コマンドは、第 1 実施形態で説明した P P P コマンドの一種であり、それぞれ 4 P P P モード及び 2 P P P モードでの書き込みを命令するコマンドである。

20

【 0 1 3 0 】

図 2 2 は、P P P モード時におけるコマンドシーケンスを示している。図示するように、第 1 実施形態で説明した図 9 と異なる点は、複数の P P P コマンドが用意されている点である。図 2 2 の例であると、2 P P P モードが指定される際にはコマンド “ X A H ” が発行され、4 P P P モードが指定される際にはコマンド “ X B H ” が発行される。なお、1 ページを 8 分割して、2 K B 単位でデータを書き込む 8 P P P モードが用意されても良く、この場合にはコマンド “ X C H ” が発行される。

【 0 1 3 1 】

2 . 2 . 2 N A N D 型フラッシュメモリ 1 0 0 の動作について

次に、N A N D 型フラッシュメモリ 1 0 0 の動作につき、図 2 3 を用いて説明する。図 2 3 は、書き込み動作時における N A N D 型フラッシュメモリ 1 0 0 の動作を示すフローチャートであり、第 1 実施形態における図 1 0 に対応する。

30

【 0 1 3 2 】

図示するように、P P P コマンドを受信し (ステップ S 2 0 、 Y E S) 、それが 4 P P P コマンドであった場合 (ステップ S 5 0 、 Y E S) 、シーケンサ 1 8 0 は 4 P P P モードで書き込みを行う。本動作は、第 1 実施形態で説明した通りであり、図 1 0 におけるステップ S 2 4 ~ S 3 9 の動作が行われる。

【 0 1 3 3 】

受信した P P P コマンドが 2 P P P コマンドであった場合 (ステップ S 5 0 、 N O) 、シーケンサ 1 8 0 は 2 P P P モードで書き込みを行う。カラムアドレス C A が C A 8 K 以上であった場合 (ステップ S 5 2 、 Y E S) 、カラムセクタ 1 4 0 がゾーン Z N 1 を選択する (ステップ S 5 3) 。その結果、センスアンプ 1 3 0 におけるページバッファのゾーン Z N 1 に対応する領域に、コントローラ 2 0 0 から受信した 8 K バイトの書き込みデータが格納される。引き続きシーケンサ 1 8 0 はプリベリファイを行い (ステップ S 5 4) 、プリベリファイの結果に基づいて、S L C モードによる書き込みを行う (ステップ S 5 5) 。すなわち、4 P P P モード時においてゾーン Z N 3 が選択された際と同様の動作が行われる。

40

【 0 1 3 4 】

50

カラムアドレスCAがCA(8K-1)以下であった場合(ステップS52、NO)、カラムセクタ140はゾーンZN0を選択する(ステップS56)。その結果、センスアンプ130におけるページバッファのゾーンZN0に対応する領域に、コントローラ200から受信した8KBの書き込みデータが格納される。ゾーンZN0が選択された場合、シーケンサ180は、プリベリファイを行うことなくSLCモードで書き込みを行う(ステップS57)。すなわち、4PPPモード時においてゾーンZN0が選択された際と同様の動作が行われる。

【0135】

2.3 本実施形態に係る効果

本実施形態によれば、複数のPPPモードを有することで、種々のサイズのデータに対応出来る。本実施形態では、データが4KB及び8KBの場合を例に説明したが、これに限定されず、種々のデータサイズを適宜選択出来る。

10

【0136】

3.第3実施形態

次に、第3実施形態に係るメモリシステムについて説明する。本実施形態は、上記第1または第2実施形態において、1ページ内のゾーン数及び選択ゾーンをコントローラ200がNAND型フラッシュメモリ100へ通知するものである。以下では、第1及び第2実施形態と異なる点についてのみ説明する。

【0137】

3.1 コントローラ200の動作について

まず、コントローラ200の動作につき、図24を用いて説明する。図24は、PPPモード選択時におけるコマンドシーケンスを示している。

20

【0138】

図示するように本例では、第1実施形態で説明した図9において、コントローラ200はPPPコマンド“XH”の次にゾーン情報を発行する。ゾーン情報は例えば8ビットデータであり、上位4ビットがゾーン数を示し、下位4ビットが選択ゾーンを示す。従って、上位4ビットが“0010”であれば2PPPモードが選択され、“0100”であれば4PPPモードが選択され、“1000”であれば8PPPモードが選択される。そして下位ビットが“0000”であればゾーンZN0が選択され、“0001”であればゾーンZN1が選択され、“0010”であればゾーンZN2が選択され、以下同様である。すなわち、これからコントローラ200が実行するPPPモードがいずれのPPPモードであるかを示す情報であり、換言すれば、コントローラ200がこれから実行すべき動作に対する設定値であり、モード情報とも言うべきデータである。もちろん、このモード情報の構成は本例に限定されず、ゾーン数及び選択ゾーンの指定さえ出来れば十分である。

30

【0139】

3.2 NAND型フラッシュメモリ100の動作について

次に、NAND型フラッシュメモリ100の動作について、図25を用いて説明する。図25は、4PPPモード時におけるNAND型フラッシュメモリ100の動作を示すフローチャートであり、第2実施形態で説明した図23におけるステップS51に相当する。

40

【0140】

モードコマンドの上位4ビットに基づいて4PPPモードであることを把握したシーケンサ180は、引き続きモード情報の下位4ビットを確認する(ステップS60)。そしてシーケンサ180は、モード情報の下位4ビットに基づき、選択ゾーンを認識する(ステップS61~S63)。その他は第1実施形態で説明した通りである。なお、モード情報により選択ゾーンを把握出来るので、カラムデコード150によるカラムアドレスのデコードは特に必要ではない。すなわち、シーケンサ180の命令に従って、カラムセクタ140が指定されたゾーンを選択するようにしても良い。

【0141】

50

3.3 本実施形態に係る効果

本実施形態のように、1 ページ内のゾーン数及び選択ゾーンを、コントローラ 200 から NAND 型フラッシュメモリ 100 に通知するようにしても良い。

【0142】

4. 変形例等

以上のように、上記実施形態に係るメモリシステムは、ロウ及びカラムに関連付けられた複数のメモリセルを含む半導体記憶装置と、半導体記憶装置に対して、第1モード(PPP modeのZNO選択)及び第2モード(PPP modeのZN3選択)のいずれかのモードでデータを書き込むコントローラとを備える。第1モード(PPP modeのZNO選択)では、いずれかのロウアドレスにつき、アドレスの連続する第1カラム及び第2カラムを含み、全カラムの一部である第1カラム群(ZN0)に対応するメモリセルにデータが書き込まれ、アドレスが連続する第3カラム及び第4カラムを含み、第1カラム群と異なる第2カラム群(ZN3)に対応するメモリセルは書き込み禁止とされる。第2モード(PPP modeのZN3選択)では、第2カラム群(ZN3)に対応するメモリセルにデータが書き込まれ、第1カラム群(ZN0)に対応するメモリセルは書き込み禁止とされる。半導体記憶装置は、書き込み動作におけるワード線の動作設定値につき、第1モード(ZNO選択時)では第1設定値を用い、第2モード(ZN3選択時)では第1設定値と異なる第2設定値を用いる(図5)。

【0143】

あるいは、メモリシステムは、第1モード(PPP modeのZNO選択)では第1電圧(VCG_Z0)をベリファイ電圧として用いてデータが書き込まれる。そして第2モード(PPP modeのZN3選択)では、第1電圧(VCG_Z0)と異なる第2電圧(VCG_Z3)をベリファイ電圧に用いて、第2カラム群(ZN3)に対応するメモリセル、及び第1カラム群(ZN0)に対応するメモリセルのうち、閾値が第1電圧と第2電圧との間であるメモリセルにデータが書き込まれる(図11, 16)。

【0144】

本構成によれば、ページサイズ未満のデータ単位で書き込みを行う場合であっても、同一ページ内の閾値分布をほぼ均一にすることが出来る。従って、メモリセルトランジスタによるデータ保持特性を向上させ、半導体記憶装置及びメモリシステムの動作信頼性を向上出来る。

【0145】

なお、実施形態は上記説明した形態に限られず、種々の変形が可能である。例えば、上記実施形態では2 PPPモード及び4 PPPモードの場合を例に挙げて説明したが、8 PPPモード、16 PPPモード、及び32 PPPモードなどがサポートされても良い。ページサイズを16 KBとすれば、8 PPPモードの場合には1ページはそれぞれが2 KBの8個のゾーンに分割される。16 PPPモードの場合には、それぞれが1 KBの16個のゾーンに分割される。32 PPPモードの場合には、それぞれが512 バイトの32個のゾーンに分割される。このように、1 ページを何分割するか、またどのモードをサポートするかは、適宜選択可能である。

【0146】

更に“0”データ書き込みの際のビット線の条件を、最終ゾーン選択時とそれ以外のゾーン選択時とで異ならせても良い。この様子を図26及び図27に示す。図26及び図27は書き込み時における閾値分布の変動を示しており、図26は最終ゾーン以外のゾーンが選択された場合を示し、図27は最終ゾーンが選択された場合を示している。

【0147】

図26に示すように、最終ゾーン以外のゾーンが選択された場合は、ビット線BLの電位は、閾値電圧が所望の値VCG_Z0、VCG_Z1、またはVCG_Z2(4 PPPの場合)に達するまで一定値(例えば0V)とされる。従って、1回のプログラムによる閾値の変動は、書き込み動作の期間、ほぼ一定である。

【0148】

これに対して図27に示すように最終ゾーンが選択された場合は、所望の値VCG_Z

3よりも小さいベリファイレベル VCG_QPW が初めに設定される。そして、閾値電圧が VCG_QPW に達するまでは、ビット線 BL の電位は例えば $0V$ とされる。閾値電圧が VCG_QPW に達した後は、ビット線 BL の電位はより高い電圧に設定され、再びプログラムが開始される。ビット線 BL の電位が高い電圧にされたことで、電荷蓄積層とチャンネルとの間の電位差が小さくなり、閾値の変動量も小さくなる。当然ながら、最終ゾーン選択時には、その他のゾーンにおいてプリベリファイにフェイルしたメモリセルトランジスタも同様の方法でプログラムされる。

【0149】

本方法によれば、目標となる閾値分布まで遠い段階では粗く書き、近づくと細かく書く。従って、書き込み速度の向上と高精度な書き込みとを両立出来る。

10

【0150】

また上記実施形態では、最終ゾーン選択時にのみプリベリファイを行い、また最終ゾーン選択時のベリファイレベルがその他のゾーン選択時のベリファイレベルよりも高い場合を例に説明した。しかし、この場合に限定されるものではない。図28は、4PPPモードにおいて、ゾーン $ZN2$ 選択時にプリベリファイを行う場合の閾値分布の変動を示している。この場合、ゾーン $ZN2$ 選択時に、プリベリファイの結果追加書き込みが必要となったメモリセルに対してもプログラムが行われる。

【0151】

その後のゾーン $ZN3$ 選択時には、誤書き込みの影響によってゾーン $ZN0 \sim ZN2$ に対応するメモリセルトランジスタの閾値は変動するが、“0”データを保持するメモリセルトランジスタが受ける誤書き込みの影響は、ゾーン $ZN3$ の書き込み時によるものだけである。従って、この程度の閾値変動を許容出来る場合には、プリベリファイは必ずしも最終ゾーン選択時である必要はない。またこの場合、 $VCG_Z0 < VCG_Z1 < VCG_Z2$ であり、 VCG_Z3 は VCG_Z2 より大きくても小さくてもよいが、同じであることが好ましい。もちろん、 $VPGM_Z0 < VPGM_Z1 < VPGM_Z2$ である。そして、 $VPGM_Z3$ は $VPGM_Z2$ より大きくても小さくてもよいし、同じであってもよい。

20

【0152】

また、上記実施形態では、各ゾーン ZN はカラムアドレス順に選択される場合を例に説明した。例えば4PPPモードの場合には、ゾーン $ZN0$ 、 $ZN1$ 、 $ZN2$ 、及び $ZN3$ の順に選択される場合を例に説明した。しかし、必ずしもこの選択順序に限られるものではない。同一ページ内において、最後に選択されるゾーン ZN の書き込み時にプリベリファイ及びプリベリファイ結果に基づく書き込みが行われれば良い。例えば4PPPモードにおいて、ゾーン $ZN1$ が最後に選択される場合には、図5に示すゾーン $ZN3$ に関する書き込み条件を用いてプリベリファイ及び書き込みが行われても良い。つまり、1ページ内の全ゾーンの書き込みが完了した時点において、各ゾーンの閾値分布がほぼ揃っていれば、ゾーン ZN の選択順序は問わない。そして図5及び図20で説明した条件テーブルは、ゾーン ZN と書き込み条件との関係を保持するテーブルと言うよりも、ゾーン毎の書き込み順序と、その順序に対応する書き込み条件との関係を保持するテーブルである、と言うことも出来る。

30

40

【0153】

また、図9や図22のコマンドシーケンスでは、PPPコマンドの次にSLCコマンド“ $A2H$ ”が発行される場合を例に説明した。しかし、PPPコマンドを受信したことに応答して、NAND型フラッシュメモリ100はSLCモードを選択しても良い。この場合、コントローラ200はSLCコマンド“ $A2H$ ”を発行する必要は無い。

【0154】

更に、データを読み出す際の読み出しレベルは、図17及び図28で説明した電圧 $VCGR$ を用いても良い。しかし、最終ゾーン ZN の書き込み後、ページ内において“0”データを保持するメモリセルトランジスタの閾値は、全体的に高電圧側へシフトする(ベリファイレベル VCG_Z3 以上の値に設定される)。従って、読み出しレベルとして、 V

50

CGRとVCG_Z3との間の値を用いても良い。

【0155】

更に、上記実施形態ではメモリセルが三次元に積層されたNAND型フラッシュメモリを例に挙げて説明したが、メモリセルが半導体基板上に二次元に配列された平面型NAND型フラッシュメモリに適用することも可能である。更に、電荷蓄積層が絶縁膜で形成されたMONOS型に限らず、電荷蓄積層が導電膜で形成されたFG型にも適用出来る。

【0156】

また、上記実施形態で説明したフローチャートにおける各ステップの順序は一例に過ぎず、可能な限りその順序を入れ替えることが出来る。

【0157】

1つのメモリセルトランジスタMTが2ビットデータを保持する場合、その閾値電圧は、保持データに応じて4種類のレベルのいずれかを取る。4種類のレベルを低い方から順に、消去レベル、Aレベル、Bレベル、及びCレベルとした場合、Aレベルの読み出し動作時に選択ワード線に印加される電圧は、例えば0V~0.55Vの間である。これに限定されることなく、0.1V~0.24V, 0.21V~0.31V, 0.31V~0.4V, 0.4V~0.5V, 0.5V~0.55V等のいずれかの間であってもよい。Bレベルの読み出し時に選択ワード線に印加される電圧は、例えば1.5V~2.3Vの間である。これに限定されることなく、1.65V~1.8V, 1.8V~1.95V, 1.95V~2.1V, 2.1V~2.3V等のいずれかの間であってもよい。Cレベルの読み出し動作時に選択ワード線に印加される電圧は、例えば3.0V~4.0Vの間である。これに限定されることなく、3.0V~3.2V, 3.2V~3.4V, 3.4V~3.5V, 3.5V~3.6V, 3.6V~4.0V等のいずれかの間であってもよい。読み出し動作の時間(t_R)としては、例えば25 μ s~38 μ s, 38 μ s~70 μ s, 70 μ s~80 μ s等のいずれかの間であってもよい。

【0158】

書き込み動作は、プログラムとプログラムベリファイを含む。書き込み動作においては、プログラム時に選択されたワード線に最初に印加される電圧は、例えば13.7V~14.3Vの間である。これに限定されることなく、例えば13.7V~14.0V, 14.0V~14.6V等のいずれかの間であってもよい奇数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧と、偶数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧とを異ならせてもよい。プログラム動作をISPP方式(Incremental Step Pulse Program)としたとき、ステップアップの電圧として、例えば0.5V程度が挙げられる。非選択のワード線に印加される電圧としては、例えば6.0V~7.3Vの間であってもよい。これに限定されることなく、例えば7.3V~8.4Vの間であってもよく、6.0V以下であってもよい。非選択のワード線が奇数番目のワード線であるか、偶数番目のワード線であるかにより、印加するバス電圧を異ならせてもよい。書き込み動作の時間(t_{Prog})としては、例えば1700 μ s~1800 μ s, 1800 μ s~1900 μ s, 1900 μ s~2000 μ sの間であってもよい。

【0159】

消去動作においては、半導体基板上部に配置され、かつ、メモリセルが上方に配置されたウェルに最初に印加される電圧は、例えば12V~13.6Vの間である。これに限定されることなく、例えば13.6V~14.8V, 14.8V~19.0V, 19.0V~19.8V, 19.8V~21V等のいずれかの間であってもよい。消去動作の時間(t_{Erase})としては、例えば3000 μ s~4000 μ s, 4000 μ s~5000 μ s, 4000 μ s~9000 μ sの間であってもよい。

【0160】

また、メモリセルは、例えば以下のような構造であってもよい。メモリセルは、シリコン基板等の半導体基板上に膜厚が4nm~10nmのトンネル絶縁膜を介して配置された電荷蓄積膜を有する。この電荷蓄積膜は、膜厚が2nm~3nmのシリコン窒化(SiN

10

20

30

40

50

膜、またはシリコン酸窒化 (SiON) 膜などの絶縁膜と、膜厚が 3 nm ~ 8 nm のポリシリコン (Poly-Si) 膜との積層構造にすることができる。ポリシリコン膜には、ルテニウム (Ru) などの金属が添加されていても良い。メモリセルは、電荷蓄積膜の上に絶縁膜を有する。この絶縁膜は、例えば膜厚が 3 nm ~ 10 nm の下層 High-k 膜と、膜厚が 3 nm ~ 10 nm の上層 High-k 膜とに挟まれた、膜厚が 4 nm ~ 10 nm のシリコン酸化 (SiO) 膜を有する。High-k 膜の材料としては、酸化ハフニウム (HfO) などが挙げられる。また、シリコン酸化膜の膜厚は、High-k 膜の膜厚よりも厚くすることができる。絶縁膜上には、膜厚が 3 nm ~ 10 nm の仕事関数調整用の膜を介して、膜厚が 30 nm ~ 70 nm の制御電極が設けられる。ここで仕事関数調整用膜は、例えば酸化タンタル (TaO) などの金属酸化膜、窒化タンタル (TaN) などの金属窒化膜等である。制御電極には、タングステン (W) などを用いることができる。メモリセル間にはエアギャップを配置することができる。

10

【0161】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

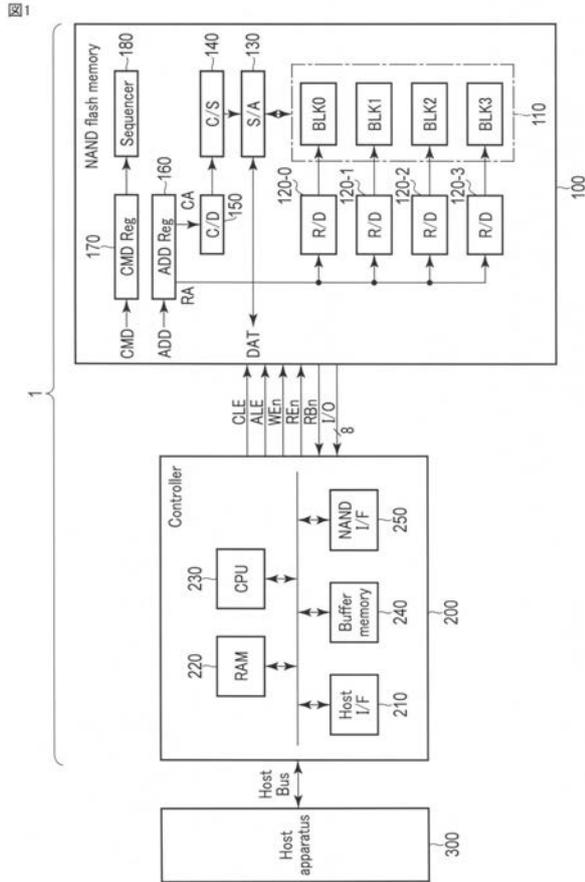
【符号の説明】

20

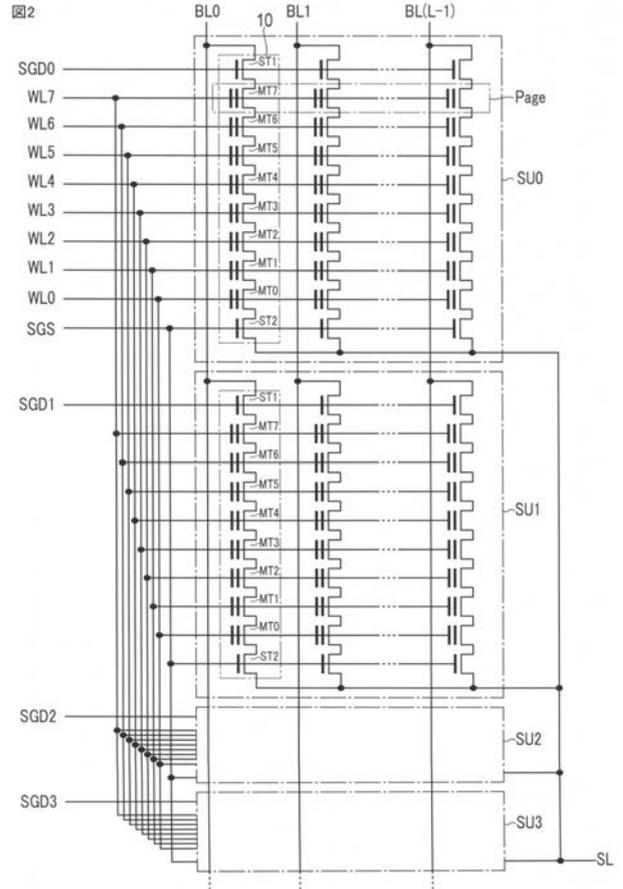
【0162】

1 ... メモリシステム、100 ... NAND 型フラッシュメモリ、110 ... メモリセルアレイ、120 ... ロウデコーダ、130 ... センスアンプ、140 ... カラムセレクト、150 ... カラムデコーダ、160、170 ... レジスタ、180 ... シーケンサ、200 ... コントローラ、210、250 ... インターフェース回路、220、240 ... メモリ、230 ... プロセッサ、300 ... ホスト機器

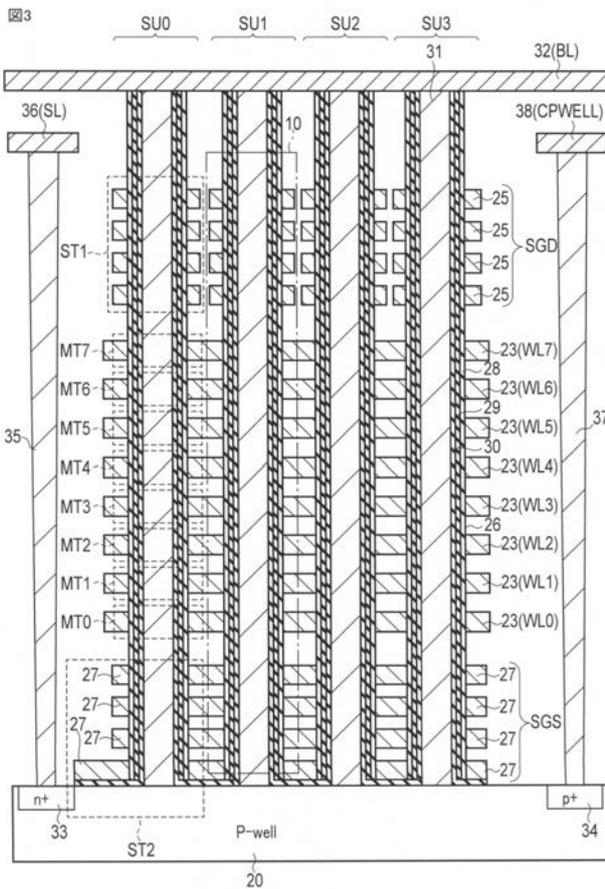
【 図 1 】



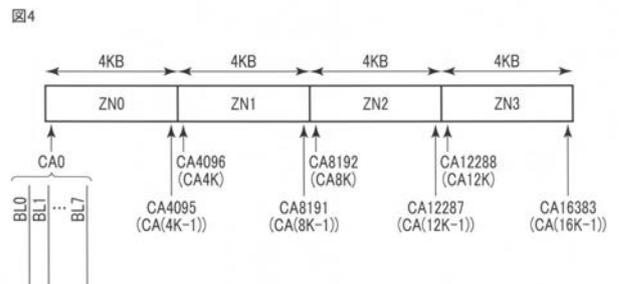
【 図 2 】



【 図 3 】



【 図 4 】



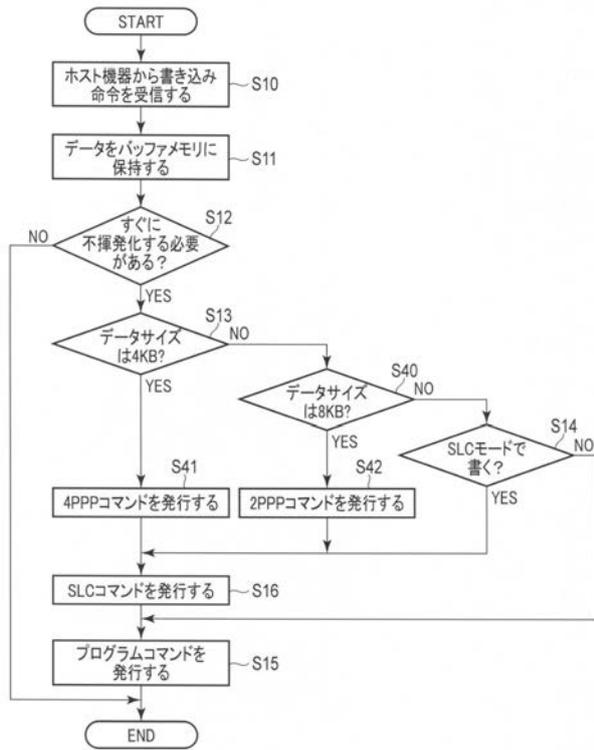
【 図 5 】

図5

Zone	Verify level	Δ VPGM	Pre-verify
ZN0	VCG_Z0	Δ VPGM_Z0	x
ZN1	VCG_Z1	Δ VPGM_Z1	○/x
ZN2	VCG_Z2	Δ VPGM_Z2	○/x
ZN3	VCG_Z3	Δ VPGM_Z3	○

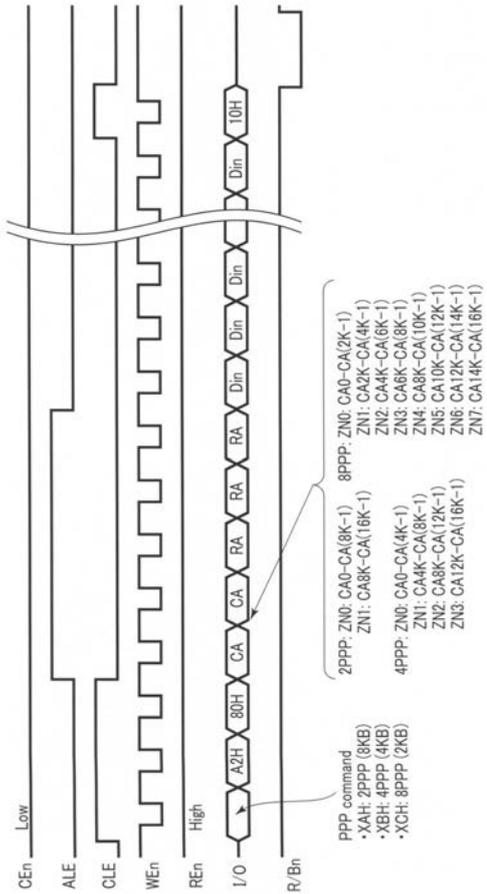
【 図 2 1 】

図21



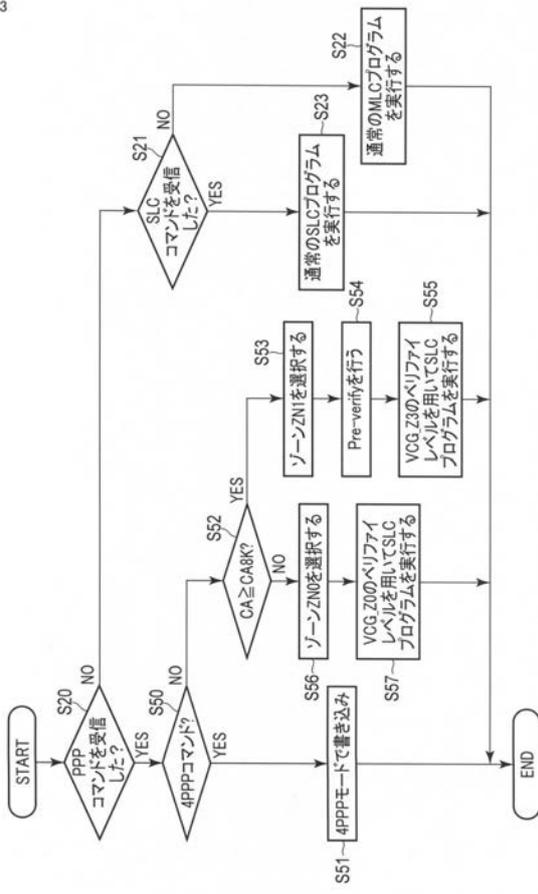
【 図 2 2 】

図22



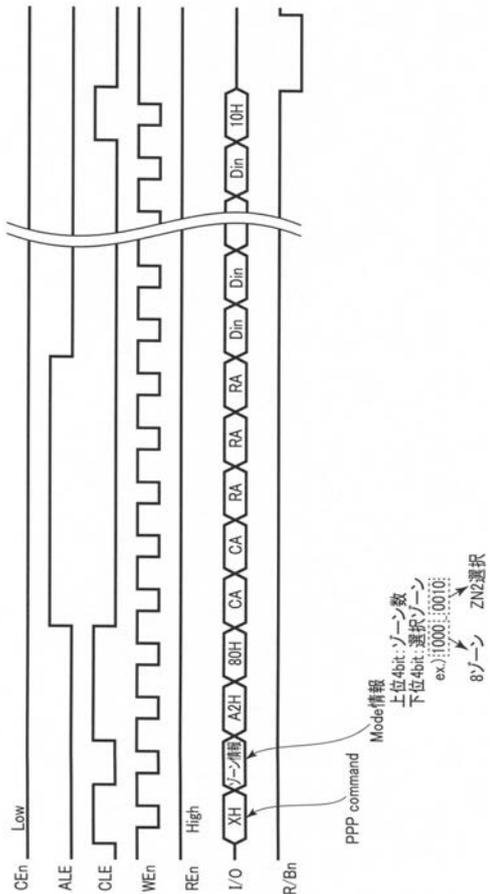
【 図 2 3 】

図23

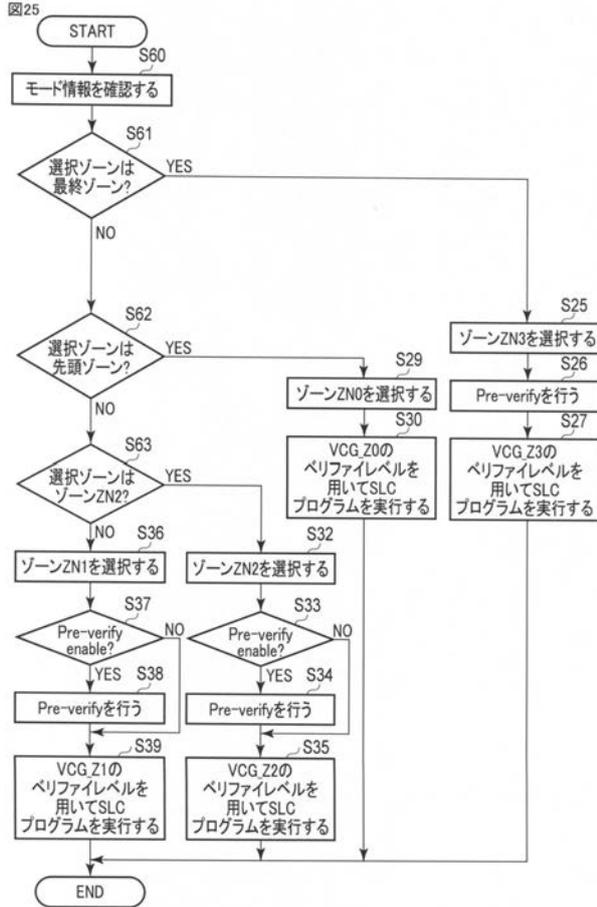


【 図 2 4 】

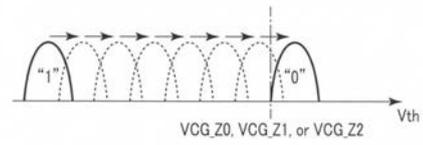
図24



【 図 2 5 】

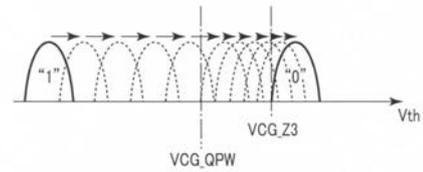


【 図 2 6 】

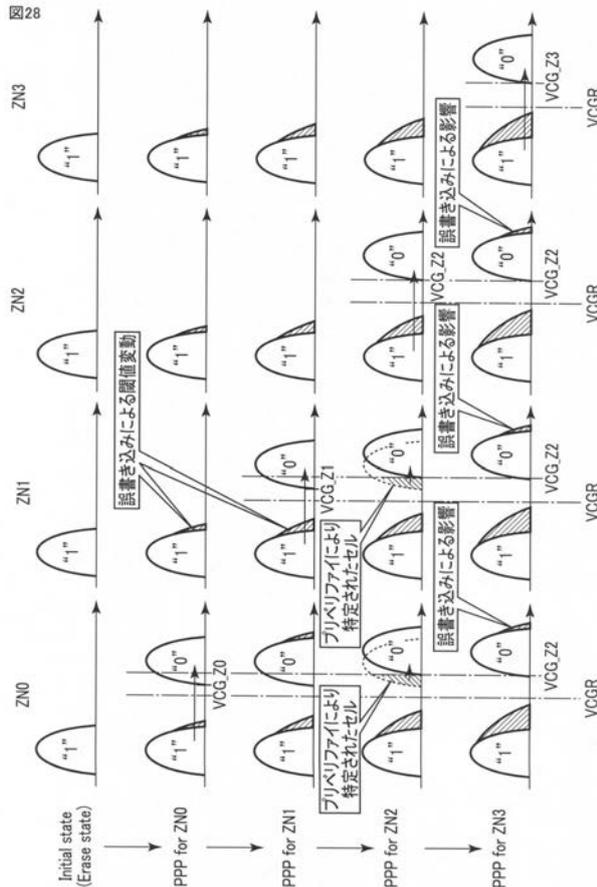


【 図 2 7 】

図27



【 図 2 8 】



フロントページの続き

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(72)発明者 白川 政信

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 安福 健太

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 山家 陽

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B225 BA02 BA19 CA19 DB02 DB08 DE15 DE20 EA05 EA08 EK01
FA01 FA02