

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5196222号
(P5196222)

(45) 発行日 平成25年5月15日(2013.5.15)

(24) 登録日 平成25年2月15日(2013.2.15)

(51) Int. Cl. F I
 HO 1 L 21/822 (2006.01) HO 1 L 27/04 T
 HO 1 L 27/04 (2006.01) GO 1 R 31/28 U
 GO 1 R 31/28 (2006.01)

請求項の数 5 (全 10 頁)

(21) 出願番号	特願2007-140214 (P2007-140214)	(73) 特許権者	000005234 富士電機株式会社
(22) 出願日	平成19年5月28日 (2007.5.28)		神奈川県川崎市川崎区田辺新田1番1号
(65) 公開番号	特開2008-294334 (P2008-294334A)	(74) 代理人	100099623 弁理士 奥山 尚一
(43) 公開日	平成20年12月4日 (2008.12.4)		
審査請求日	平成22年4月15日 (2010.4.15)	(74) 代理人	100096769 弁理士 有原 幸一
		(74) 代理人	100107319 弁理士 松島 鉄男
		(72) 発明者	手塚 伸一 東京都品川区大崎一丁目11番2号 富士電機デバイステクノロジー株式会社内
		審査官	瀧内 健夫

最終頁に続く

(54) 【発明の名称】 ゲート耐圧試験装置及び方法

(57) 【特許請求の範囲】

【請求項1】

ドライバ回路と、該ドライバ回路の出力素子からの信号をゲートに入力して作動するMOS型半導体素子とを備える半導体装置において、該MOS型半導体素子のゲート電流値に基づいて、ゲート耐圧が不良か否かを判定するゲート耐圧試験装置であって、

ゲート耐圧試験用電圧を前記MOS型半導体素子のゲートに印加するための試験用電圧印加端子と、

オフ指示信号によって作動されて前記出力素子をオフ状態に固定する出力素子オフ手段と、

ゲート耐圧試験時に、前記オフ指示信号によって前記出力素子オフ手段を作動させて前記出力素子をオフ状態に固定する処理、第1の電圧を前記ゲート耐圧試験用電圧として前記試験用電圧印加端子に印加し、その状態で第1のゲート電流を測定する処理、前記第1の電圧よりも大きい第2の電圧を前記ゲート耐圧試験用電圧として前記試験用電圧印加端子に印加する処理、前記第1の電圧と同じ大きさである第3の電圧を前記ゲート耐圧試験用電圧として前記試験用電圧印加端子に印加し、その状態で第2のゲート電流を測定する処理、及び、前記第1のゲート電流の測定値と前記第2のゲート電流の測定値とを比較し、その比較の結果に基づいてゲート耐圧が不良であるか否かを判定する処理、を実行するプロセッサと、

を備える、ゲート耐圧試験装置。

【請求項2】

10

20

前記出力素子は、プッシュプル回路を構成していることを特徴とする、請求項 1 に記載のゲート耐圧試験装置。

【請求項 3】

前記ドライバ回路は、パルス幅変調された信号に基づくオン・オフ信号を前記出力素子から出力するように構成されていることを特徴とする、請求項 1 に記載のゲート耐圧試験装置。

【請求項 4】

ドライバ回路と、該ドライバ回路の出力素子からの信号をゲートに入力して作動する MOS 型半導体素子とを備える半導体装置において、該 MOS 型半導体素子のゲート電流値に基づいて、ゲート耐圧が不良か否かを判定するゲート耐圧試験方法であって、

ドライバ回路の出力素子をオフ状態に固定するステップと、

ゲート耐圧試験用電圧を前記 MOS 型半導体素子のゲートに印加して、ゲート電流を測定するステップと、を含み、

前記ゲート電流を測定するステップは、

前記ゲート耐圧試験用電圧として、第 1 の電圧を前記 MOS 型半導体素子のゲートに印加し、その状態で第 1 のゲート電流を測定するステップと、

前記ゲート耐圧試験用電圧として、前記第 1 の電圧よりも大きい第 2 の電圧を前記 MOS 型半導体素子のゲートに印加するステップと、

前記ゲート耐圧試験用電圧として、前記第 1 の電圧と同じ大きさである第 3 の電圧を前記 MOS 型半導体素子のゲートに印加し、その状態で第 2 のゲート電流を測定するステップと、

前記第 1 のゲート電流の測定値と前記第 2 のゲート電流の測定値とを比較して、該比較結果に基づいて、ゲート耐圧が不良であるか否かを判定するステップと、
を含む、ゲート耐圧試験方法。

【請求項 5】

前記第 2 の電圧は、前記 MOS 型半導体素子のゲートに対する最大定格電圧であることを特徴とする、請求項 4 に記載のゲート耐圧試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MOS 型半導体素子のゲートの耐圧を試験する装置及び方法に関する。

【背景技術】

【0002】

一般的に、出力段に使用されるパワー MOS FET 等の MOS 型半導体素子は、オフ耐圧も高く、また、オン抵抗も低いため、素子面積の割合もチップの約 50% 程度を占めることが多い。そのため、ウェハの結晶欠陥などが原因のゲート耐圧不良を引き起こす確率が高くなる。そこで、連続運転時の寿命低下を防止するためにも、ゲート耐圧不良をスクリーニングするためのゲート耐圧試験が必要となる。

【0003】

ゲート耐圧試験の一例については、特許文献 1 に開示されている。特許文献 1 では、パワー IC の出力段に使用されるパワー MOS FET のゲートに試験用の高電圧を印加して、該ゲートの不良に関するスクリーニング試験を行っている。

【0004】

このスクリーニング試験では、パワー MOS FET のゲート電極から外部にゲート端子を引き出し、そのゲート端子からゲートに試験用の高電圧を印加する際に、該ゲートと、通常動作時にこのゲートに駆動信号を出力する駆動制御回路部とを切り離すようにしている。これは、上記駆動制御回路が、上記高電圧による悪影響を受けないようにするためである。

【0005】

上記切り離しのための手段には、パワー MOS FET のゲートと駆動制御回路部との間

10

20

30

40

50

に介在させたヒューズ又はダイオードが用いられている。ヒューズを用いた場合には、試験用高電圧印加時に該ヒューズが溶断することによって前記切り離しを実現され、ダイオードを用いた場合には、試験用高電圧印加時に該ダイオードの特性によって前記切り離しを実現される。

【 0 0 0 6 】

試験後には、パワーMOSFETのゲートと駆動制御回路部とが再接続される。すなわち、ヒューズ使用時には、その溶断部分を導線又は導体層で接続することにより、また、ダイオード使用時には、該ダイオードを電氣的に破壊して短絡させることにより、パワーMOSFETのゲートと駆動制御回路部とを再接続している。

【特許文献1】特開平7-283370号公報

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、この従来技術においては、通常時の回路動作には不要な上記ヒューズ又はダイオードを予め設ける必要がある。しかも、試験後にパワーMOSFETのゲートと駆動制御回路部を再接続するための処理も必要となるため、手間とコストを要する。加えて、ダイオードを使用した場合には、該ダイオードに印加される短絡用の高電圧のために、周辺の回路要素がダメージを受ける可能性がある。

【 0 0 0 8 】

ところで、スクリーニング試験においては、上記試験用高電圧を印加したときの、パワーMOSFETのゲートの電氣的特性をチェックする必要がある。しかし、上記従来技術では、前記ヒューズを切り離し手段に用いた場合に次のような問題がある。すなわち、試験用高電圧の印加開始からヒューズが溶断するまでの間、パワーMOSFETのゲートと駆動制御回路部が接続状態を継続しているので、上記電氣的特性をチェックする際に、駆動制御回路部側からの電氣的影響を排除できない。

20

【 0 0 0 9 】

一方、前記ダイオードを切り離し手段に用いた場合には、駆動制御回路部の出力が「H」レベルであると、試験用に印加した電圧が、この「H」レベルの電圧を超えるまでの間、上記「H」レベルの出力がダイオードを介して前記ゲートに加えられることになる。

上記の理由から、特許文献1に開示された技術によっては、パワーMOSFETのゲートの電氣的特性を精度良くチェックすることができない。

30

【 0 0 1 0 】

そこで、本発明の目的は、上記従来技術の問題点を克服し、MOS型半導体素子のスクリーニングを簡易かつ低コストな手段を用いて高精度に行うことが可能なゲート耐圧試験装置及び方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

本発明は、ドライバ回路と、該ドライバ回路の出力素子からの信号をゲートに入力して作動するMOS型半導体素子とを備える半導体装置において、該MOS型半導体素子のゲート電流値に基づいて、ゲート耐圧が不良か否かを判定するゲート耐圧試験装置に係るものである。上記目的を達成するため、本発明では、ゲート耐圧試験用電圧を前記MOS型半導体素子のゲートに印加するための試験用電圧印加端子と、オフ指示信号によって作動されて前記出力素子をオフ状態に固定する出力素子オフ手段と、ゲート耐圧試験時に、前記オフ指示信号によって前記出力素子オフ手段を作動させて前記出力素子をオフ状態に固定する処理、第1の電圧を前記ゲート耐圧試験用電圧として前記試験用電圧印加端子に印加し、その状態で第1のゲート電流を測定する処理、前記第1の電圧よりも大きい第2の電圧を前記ゲート耐圧試験用電圧として前記試験用電圧印加端子に印加する処理、前記第1の電圧と同じ大きさである第3の電圧を前記ゲート耐圧試験用電圧として前記試験用電圧印加端子に印加し、その状態で第2のゲート電流を測定する処理、及び、前記第1のゲート電流の測定値と前記第2のゲート電流の測定値とを比較し、その比較の結果に基づい

40

50

てゲート耐圧が不良であるか否かを判定する処理、を実行するプロセッサと、を備えた構成を有する。

【0012】

前記ドライブ回路の出力素子は、プッシュプル回路を構成するものであっても良い。前記ドライバ回路は、例えば、パルス幅変調された信号に基づくオン・オフ信号を前記出力素子から出力するように構成される。

【0013】

本発明は、ドライバ回路と、該ドライバ回路の出力素子からの信号をゲートに入力して作動するMOS型半導体素子とを備える半導体装置において、該MOS型半導体素子のゲート電流値に基づいて、ゲート耐圧が不良か否かを判定するゲート耐圧試験方法に係るものである。このゲート耐圧試験方法においては、ドライブ回路の出力素子をオフ状態に固定するステップと、ゲート耐圧試験用電圧を前記MOS型半導体素子のゲートに印加して、ゲート電流を測定するステップと、を含み、前記ゲート電流を測定するステップは、前記ゲート耐圧試験用電圧として、第1の電圧を前記MOS型半導体素子のゲートに印加し、その状態で第1のゲート電流を測定するステップと、前記ゲート耐圧試験用電圧として、前記第1の電圧よりも大きい第2の電圧を前記MOS型半導体素子のゲートに印加するステップと、前記ゲート耐圧試験用電圧として、前記第1の電圧と同じ大きさである第3の電圧を前記MOS型半導体素子のゲートに印加し、その状態で第2のゲート電流を測定するステップと、前記第1のゲート電流の測定値と前記第2のゲート電流の測定値とを比較して、該比較結果に基づいて、ゲート耐圧が不良であるか否かを判定するステップと、

10

20

【0015】

本発明の実施形態では、前記第2の電圧として、MOS型半導体素子のゲートに対する最大定格電圧を用いている。

【発明の効果】

【0016】

本発明によれば、ゲート耐圧試験時に、MOS型半導体のゲートを駆動するドライバ回路の出力素子がオフ状態に固定されるので、該ドライバ回路の出力がハイインピーダンスとなつて、MOS型半導体のゲートとドライバ回路とが電氣的に切り離される。つまり、MOS型半導体のゲートとドライバ回路の間に、上記ヒューズ又はダイオードといった専用の切り離し手段を設けることなく、両者間を電氣的に切り離すことができる。そして、ヒューズ又はダイオードといった専用の切り離し手段を設けた場合には、ゲート耐圧試験時にMOS型半導体のゲートとドライバ回路の間を電氣的に再接続する工程が必要となるが、そのような工程は不要となる。

30

したがって、本発明に係る半導体装置においては、MOS型半導体のゲートとドライバ回路との電氣的な切り離し及び再接続を簡易かつ低コストで実現することができる。

【0017】

また、上記ヒューズ又はダイオードといった専用の切り離し手段を使用しないので、それらの影響を受けることなく、MOS型半導体の電氣的特性チェックを精度良く行うことができる。その結果、より精度の高いスクリーニングが可能となる。

40

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態を添付の図により説明する。図1に本発明の実施形態に係る半導体装置の回路図を示す。

【0019】

本実施形態に係る半導体装置は、スイッチング電源を構成する半導体集積回路10である。この半導体集積回路10は、スイッチング電源の構成要素であるドライバ回路12と、該ドライバ回路12によって駆動されるパワーMOSFET14を備えている。

【0020】

ドライバ回路12は、電源部18を備える。電源部18は、トランジスタQ1とトラン

50

ジスタQ2とからなる第1の増幅回路と、トランジスタQ3とトランジスタQ4とからなるダーリントン接続構成の第2の増幅回路と、その出力ライン1aと接地間に並列に接続されたツェナーダイオードZD1及び抵抗R5とを備えている。上記トランジスタQ1のベースは、半導体集積回路10に内蔵された図示していない電圧レギュレータの出力に接続されている。この電圧レギュレータは、電源電圧VCCに基づいて規定の安定化した電圧を出力する。電源部18は、上記電圧レギュレータの出力(例えば、5V)に基づいて、所定の電圧(本実施形態では、5V)を出力するように構成されている。

【0021】

この電源部18の出力は、ドライバ回路における直列接続された最終段の出力素子M2及びM3に上記出力ライン1aを介して供給される。出力ライン1aには、入力端子VDRVが接続されている。この入力端子VDRVは、後述のゲート耐圧試験時に、出力素子M2の寄生ダイオードD1のオン動作を防止するための電圧を入力するものである。

10

【0022】

本実施形態において、PチャネルMOSFETである上記出力素子M2と、NチャネルMOSFETである上記出力素子M3は、出力ライン1aと接地間においてプッシュプル回路を構成している。出力素子M2及び出力素子M3の間には、スイッチングノイズ抑制用抵抗R3が設けられ、かつ出力ライン1bが接続されている。

【0023】

上記出力ライン1bは、前記パワーMOSFET14のゲートに接続され、かつプルダウン抵抗R4を介して接地されている。端子VGは、後述の試験用電圧を印加するものであり、上記出力ライン1bに接続されている。

20

【0024】

インバータINV1には、半導体集積回路10に内蔵された図示しないPWM信号発生回路が接続されている。このPWM信号発生回路の構成は周知であるので、ここではそれについての説明は省略する。インバータINV1の出力は、オア回路OR1を介して、ノア回路NOR1の第1入力及びナンド回路NAND1の第3入力に接続されている。

ノア回路NOR1の出力は、インバータINV4を介して、出力素子M2のゲートとナンド回路NAND1の第1入力とに接続されている。また、ナンド回路NAND1の出力は、インバータINV5を介して、出力素子M3のゲートとノア回路NOR1の第3入力とに接続されている。

30

【0025】

信号入力端子TESTは、ゲート耐圧試験時に、Hレベルの信号を入力するために設けられている。この信号入力端子TESTは、インバータINV2の入力に接続され、かつプルダウン抵抗R2を介して接地されている。インバータINV2の出力は、インバータINV3を介してノア回路NOR1の第2入力に接続されると共に、ナンド回路NAND1の第2入力に接続されている。

【0026】

上記ドライブ回路12には、半導体集積回路10に内蔵された図示していないUVLO(低電圧ロックアウト)回路からの出力信号が入力される。UVLO回路の出力信号は、上記オア回路OR1の第1入力に加えられるとともに、前記電源部18におけるトランジスタQ3のベースに接続されたNチャネルMOSFETM1のゲートに加えられる。

40

【0027】

上記UVLO回路は、低電圧による半導体集積回路10の誤動作を防止するため、電源電圧VCCを監視して、電源電圧VCCが所定の電圧よりも低い場合には、Hレベルの警告信号を出力し、電源電圧VCCが前記所定の電圧以上である場合にはLレベルの正常信号を出力する。Hレベルの警告信号が出力された場合、オア回路OR1からの出力がHレベルに固定されて出力素子M2がオフすると共に、NチャネルMOSFETM1がオン状態となって前記電源部18からの出力が遮断される。

【0028】

次に、本実施形態に係る半導体集積回路10の動作について説明する。初めに、ゲート

50

耐圧試験時以外での通常動作について説明する。

【 0 0 2 9 】

インバータ I N V 1 に入力される前記 P W M 信号発生回路からの P W M 信号は、該インバータ I N V 1 で反転された後、オア回路 O R 1 に加えられる。したがって、U V L O 回路からの信号が L レベルであるとする、オア回路 O R 1 からは反転された P W M 信号が出力される。

【 0 0 3 0 】

通常動作時において、信号入力端子 T E S T はプルダウン抵抗 R 2 によって L レベルに固定されている。したがって、ノア回路 N O R 1 の第 2 入力、ナンド回路 N A N D 1 の第 2 入力は H レベルの状態になる。

この状態において、オア回路 O R 1 の出力が H レベルのときには、ノア回路 N O R 1 の出力が L レベル、インバータ I N V 4 の出力が H レベル、ナンド回路 N A N D 1 の出力が L レベル、インバータ I N V 5 の出力が H レベルになる。したがって、出力素子 M 2 及び出力素子 M 3 のゲートが、共に H レベルになって、出力素子 M 2 はオフ状態に、出力素子 M 3 はオン状態になる。

一方、オア回路 O R 1 の出力が L レベルのときには、出力素子 M 2 及び出力素子 M 3 のゲートが共に L レベルになるので、出力素子 M 2 はオン状態に、出力素子 M 3 はオフ状態になる。

【 0 0 3 1 】

以上の説明から明らかなように、出力素子 M 2 及び出力素子 M 3 のゲートには、P W M 信号に基づく同一論理レベルの信号が繰り返し加えられる。これにより、出力素子 M 2 と出力素子 M 3 は、交互にオン・オフ状態を繰り返し、その結果、出力ライン 1 b には、P W M 信号に基づくゲート駆動信号が出力される。パワー M O S F E T 1 4 は、上記ゲート駆動信号によりオン・オフ動作して、図示していない負荷を駆動する。

【 0 0 3 2 】

次にゲート耐圧試験時の半導体集積回路 1 0 の動作について説明する。ゲート耐圧試験時には、信号入力端子 T E S T に H レベルの信号が入力される。これに伴い、インバータ I N V 2 の出力は L レベル、インバータ I N V 3 の出力は H レベル、ノア回路 N O R 1 の出力は L レベル、インバータ I N V 4 の出力は H レベル、ナンド回路 N A N D 1 の出力は H レベル、インバータ I N V 5 の出力は L レベルとなる。したがって、出力素子 M 2 は、そのゲートが H レベルになってオフし、また出力素子 M 3 は、そのゲートが L レベルになってオフする。つまり、出力素子 M 2 と出力素子 M 3 は、共にオフ状態となる。

【 0 0 3 3 】

上記に説明したように、本実施形態に係るドライブ回路 1 2 では、信号入力端子 T E S T を H レベルにすることにより、出力素子 M 2、M 3 を共にオフさせることができる。なお、信号入力端子 T E S T を H レベルにした場合には、インバータ I N V 1 に入力される P W M 信号の論理レベルによらず、出力素子 M 2、M 3 が、共にオフ状態に固定される。

なお、上記のように要素 I N V 2、I N V 3、N O R 1、I N V 4、N A N D 1 及び I N V 5 は、出力素子 M 2、M 3 のオフ手段及びオフ解除手段を構成している。

【 0 0 3 4 】

上記のように出力素子 M 2 と出力素子 M 3 を共にオフ状態に固定した後、入力端子 V D R V に所定の電圧を印加して、前記電源部 1 8 の出力ライン 1 a の電圧を後述する試験用印加電圧と同じ大きさまで上げる。これは、パワー M O S F E T 1 4 のゲートに試験用電圧を印加するとき、出力素子 M 2 の寄生ダイオード D 1 が導通しないようにするためである。本実施形態では、後述の試験用印加電圧が 7 V のため、電源部 1 8 の出力ライン 1 a の電圧を 7 V まで上げる。

なお、上記入力端子 V D R V に電圧を印加する代わりに、トランジスタ Q 1 のベースに接続した端子 V D D に電源部 1 8 の出力電圧を 7 V にするための電圧を印加しても良い。前記電圧レギュレータは、シリーズレギュレータとしての構成を有するので、上記端子 V D D への電圧印加によって、前記電圧レギュレータがダメージを受けることはない。

10

20

30

40

50

【 0 0 3 5 】

次に、試験用電圧印加端子V Gに試験用電圧を印加して、パワーMOSFET 14のゲート電圧を7 Vに上げる。なお、本実施形態におけるパワーMOSFET 14の最大定格電圧は7.5 Vである。上記試験用電圧7 Vが、パワーMOSFET 14のゲートに印加されている状態で、該ゲートに流れる電流を測定する。電流は、例えば、試験用電圧印加端子V Gに直列に接続した電流測定手段によって測定される。

ゲート酸化膜の欠陥等のために、試験用電圧7 Vの印加によって絶縁破壊が生じた場合は、ゲートに漏れ電流が生じる。したがって、ゲート電流の測定により、パワーMOSFET 14のゲート耐圧が不良である半導体集積回路10を検出して、スクリーニングすることができる。

10

【 0 0 3 6 】

ところで、本実施形態においては、パワーMOSFET 14のゲートに接続されているプルダウン抵抗R 4に電流が流れることを考慮する必要がある。すなわち、本実施形態では、プルダウン抵抗R 4の値が1 MΩに設定されているので、試験用電圧印加端子V Gに7 Vの試験用電圧を入力した場合には、該抵抗R 4に7 μAの電流が流れることになる。なお、プルダウン抵抗R 4は、起動時のパワーMOSFETの誤動作を防止するために設けたものであるから、スイッチ等で切り離すことができない。

【 0 0 3 7 】

試験用電圧印加端子V Gへの入力電圧を増加させていった場合、該端子V Gから出力ライン1 bに流れ込む電流は、図2に例示する形態で変化する。この図において線形に増加する電流は、プルダウン抵抗R 4に流れる電流を示している。また、7.3 V付近で急激に増加する電流は、ゲートの絶縁破壊による漏れ電流とプルダウン抵抗R 4に流れる電流との合成電流である。

20

【 0 0 3 8 】

上記のように、パワーMOSFET 14のゲートに7 Vの電圧を印加したときの測定電流の値が、プルダウン抵抗R 4に流れる電流値よりも明らかに大きい場合には、ゲートの絶縁破壊による漏れ電流が生じていると判定して、つまり、ゲートの耐圧が不良であると判定して、当該半導体集積回路10をスクリーニングする。

【 0 0 3 9 】

一方、測定した電流の値が、プルダウン抵抗R 4に流れる電流値と同じか又は所定の許容範囲内の値と認められる場合には、さらに精度の高いゲート耐圧試験を実現するため、試験用電圧印加端子V GにパワーMOSFET 14のゲートに対する最大定格電圧である7.5 Vの電圧を入力し、その後、試験用電圧印加端子V Gに再び7 Vの電圧を入力して、電流を測定する。そして、7.5 V印加前後の電流値、すなわち最初に7 Vの電圧をゲートに印加して測定した電流値と、7.5 Vの電圧をゲートに印加した後に再度7 Vの電圧をゲートに印加して測定した電流値とを比較して、その相違が所定の許容値を越える場合に、ゲート耐圧不良であると判定する。本実施形態では、上記最初の測定電流値に対して後の測定電流値が1 μA以上変化している場合に、ゲート耐圧不良であると判定している。

30

【 0 0 4 0 】

なお、本実施の形態ではパワーMOSFET 14のゲートに7.5 Vの電圧を印加するときの電流測定は実施しないので、7.5 V印加時に寄生ダイオードD 1が導通してもゲート耐圧試験としては問題ない。従い、パワーMOSFET 14のゲートに7.5 Vの電圧を印加するときは、電源部18の出力ライン1 aの電位を7 Vのままとしてもよい。但し、試験用電圧印加端子V Gに外付けされた電源が寄生ダイオードD 1導通時の電流を供給しきれない場合や、別の試験仕様において7.5 V印加時の電流測定を実施する場合は、端子V D R V又は端子V D Dへの入力電圧を変更して電源部18の出力ライン1 aの電位を7.5 Vに変更する必要がある。

40

【 0 0 4 1 】

ところで、本実施形態によれば、上記ゲート耐圧試験時において、パワーMOSFET

50

14のゲートを駆動するドライバ回路12の出力素子M2及び出力素子M3が共にオフ状態に固定されるので、ドライバ回路12の出力インピーダンスがハイインピーダンスとなって、パワーMOSFET14のゲートとドライバ回路12とが電氣的に切り離される。つまり、パワーMOSFET14のゲートとドライバ回路12の間に、専用の切り離し手段を設けることなく、両者間を電氣的に切り離すことができる。

【0042】

そして、両者間を再接続するための特別な工程を経ることなく、信号入力端子TESTを再びLレベルにすることによって、パワーMOSFET14のゲートとドライバ回路12とを電氣的に再接続することができる。したがって、本実施形態においては、パワーMOSFET14のゲートとドライバ回路12との電氣的な切り離し及び再接続を簡易かつ

10

【0043】

また、試験時に上記出力素子M2及び出力素子M3がオフ状態に固定されていることから、ドライバ回路12側からの漏れ電流がゲート電流の測定値に影響を与えることがない。このため、信頼性の高いゲート耐圧試験結果を得て、より精度の高いスクリーニングを実行することが可能となる。

【0044】

加えて、上記に説明した試験用電圧を3回印加するゲート耐圧良否判定処理を行うことによって、さらに精度の高いスクリーニングを実行することが可能となる。

【0045】

上記実施形態において説明した試験用電圧のゲートへの印加、ゲート電流の測定、ゲート電流測定値に基づくゲート耐圧が不良か否かの判定等を含むゲート耐圧試験方法は、図示していないコンピュータ等のプロセッサにより自動的に実行することができる。また、本発明にかかる半導体装置は、スイッチング電源以外の用途に用いられる半導体装置として構成することもできる。また、本発明のMOS型半導体素子として、上記実施形態ではパワーMOSFETを例示したが、パワーMOSFETに限定されるものではなく、例えば、IGBT (Insulated Gate Bipolar Transistor) であってもよい。

20

【図面の簡単な説明】

【0046】

【図1】本発明の一実施形態に係る半導体装置の構成を示す回路図である。

30

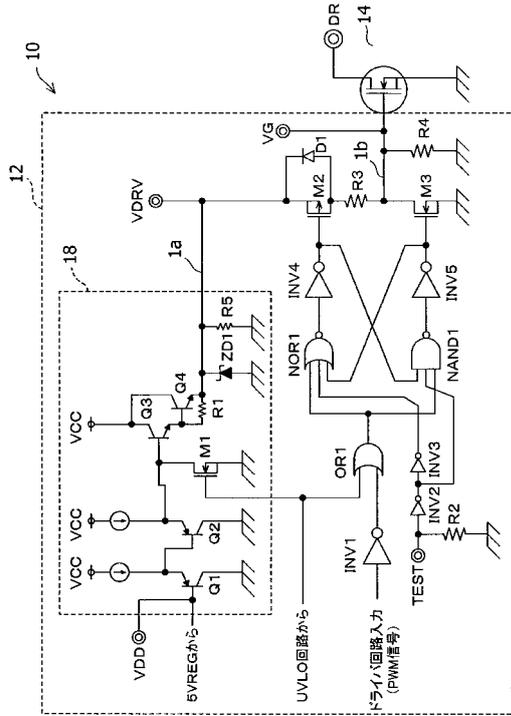
【図2】本発明の一実施形態に係る試験用印加電圧と電圧の印加に伴って生じる電流との関係を示すグラフである。

【符号の説明】

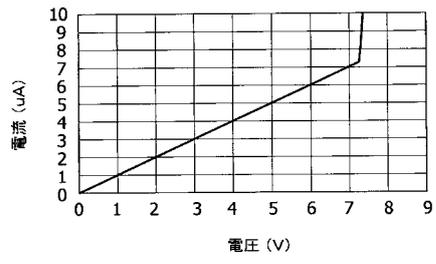
【0047】

- 10 半導体集積回路
- 12 ドライバ回路
- 14 パワーMOSFET
- 18 電源部

【図1】



【図2】



フロントページの続き

(56)参考文献 特開2005-064042(JP,A)
特開平07-283370(JP,A)
特開2003-258110(JP,A)
特開2004-007606(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/66
H01L 21/822
H01L 27/04
G01R 31/26
G01R 31/28